



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년04월28일  
(11) 등록번호 10-2526216  
(24) 등록일자 2023년04월24일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)  
(52) CPC특허분류  
H01L 29/7869 (2013.01)  
G02F 1/1368 (2013.01)  
(21) 출원번호 10-2016-0024973  
(22) 출원일자 2016년03월02일  
심사청구일자 2021년03월02일  
(65) 공개번호 10-2016-0107110  
(43) 공개일자 2016년09월13일  
(30) 우선권주장  
JP-P-2015-040972 2015년03월03일 일본(JP)  
(56) 선행기술조사문헌  
JP2013243349 A  
JP2013149970 A  
KR1020120135407 A  
US20160190149 A1

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
오카자키 겐이치  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
진초 마사미  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(뒷면에 계속)  
(74) 대리인  
장훈

전체 청구항 수 : 총 17 항

심사관 : 임창연

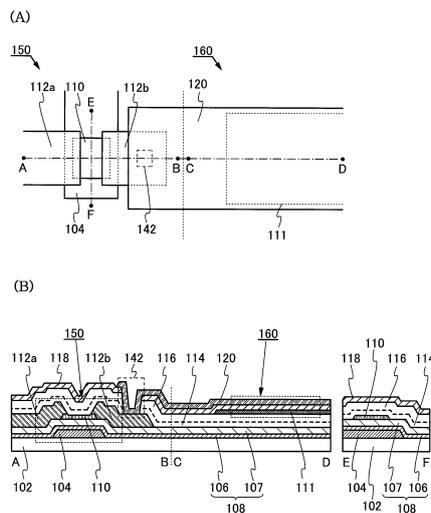
(54) 발명의 명칭 반도체 장치, 표시 장치, 및 상기 표시 장치를 사용한 전자 기기

(57) 요약

[과제] 개구율을 높이면서 용량값을 증대시킨 반도체 장치를 제공한다. 또한, 제조 비용이 낮은 반도체 장치를 제공한다.

[해결수단] 트랜지스터와, 제 1 절연막과, 한 쌍의 전극간에 제 2 절연막을 포함하는 용량 소자를 갖는 반도체 장치로서, 트랜지스터는, 게이트 전극과, 게이트 전극에 접하여 설치된 게이트 절연막과, 게이트 절연막에 접하여 설치되고, 게이트 전극과 중첩되는 위치에 설치된 제 1 산화물 반도체막과, 제 1 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 가지며, 용량 소자의 한 쌍의 전극 중 한쪽이, 제 2 산화물 반도체막을 포함하고, 제 1 절연막은, 제 1 산화물 반도체막 위에 설치되고, 제 2 절연막은, 제 2 산화물 반도체막이 제 1 절연막과 제 2 절연막에 의해 협지되도록, 제 2 산화물 반도체막 위에 설치된다.

대표도 - 도1



(52) CPC특허분류

*H01L 29/78606* (2013.01)

*H01L 29/78618* (2013.01)

*H01L 29/78639* (2013.01)

(72) 발명자

**이구치 다카히로**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**호사카 야스하루**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**교에즈카 준이치**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**미야케 히로유키**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**야마자키 순페이**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

반도체 장치에 있어서,

트랜지스터;

제 1 절연막; 및

한 쌍의 전극 간에 제 2 절연막을 포함하는 용량 소자를 포함하고,

상기 트랜지스터는:

게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위에서 상기 게이트 전극과 중첩되는 제 1 산화물 반도체막; 및

상기 제 1 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하고,

상기 용량 소자의 상기 한 쌍의 전극 중 한쪽은 제 2 산화물 반도체막을 포함하고,

상기 제 1 절연막은 상기 제 1 산화물 반도체막 위에 있고,

상기 제 2 절연막은, 상기 제 2 산화물 반도체막이 상기 제 1 절연막과 상기 제 2 절연막 사이에 있도록, 상기 제 2 산화물 반도체막 위에 있는, 반도체 장치.

#### 청구항 2

제 1 항에 있어서,

제 1 도전막을 더 포함하고, 상기 용량 소자의 상기 한 쌍의 전극 중 다른 쪽은 상기 제 1 도전막을 포함하는, 반도체 장치.

#### 청구항 3

제 1 항에 있어서,

상기 트랜지스터는 상기 제 1 산화물 반도체막과 중첩되는 제 3 산화물 반도체막을 포함하고,

상기 제 2 산화물 반도체막 및 상기 제 3 산화물 반도체막은 동일한 층으로 형성되는, 반도체 장치.

#### 청구항 4

제 2 항에 있어서,

상기 트랜지스터는 제 2 도전막을 포함하고,

상기 제 1 절연막, 상기 제 2 절연막, 및 상기 제 2 도전막은 각각 상기 제 1 산화물 반도체막과 중첩되고,

상기 제 1 도전막 및 상기 제 2 도전막은 동일한 층으로 형성되는, 반도체 장치.

#### 청구항 5

삭제

#### 청구항 6

제 1 항에 있어서,

상기 제 1 산화물 반도체막 및 상기 제 2 산화물 반도체막의 각각은 In-M-Zn 산화물을 포함하고, M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, Sn, 및 Hf 중 어느 하나인, 반도체 장치.

**청구항 7**

제 1 항에 있어서,  
 상기 제 1 절연막은 산소를 함유하고,  
 상기 제 2 절연막은 수소를 함유하는, 반도체 장치.

**청구항 8**

제 1 항에 있어서,  
 상기 제 1 절연막은 상기 제 1 산화물 반도체막과 접하는, 반도체 장치.

**청구항 9**

제 1 항에 있어서,  
 상기 제 2 절연막은 상기 제 2 산화물 반도체막과 접하는, 반도체 장치.

**청구항 10**

삭제

**청구항 11**

전자 기기에 있어서,  
 제 1 항에 따른 반도체 장치; 및  
 스위치, 스피커, 표시부, 및하우징 중 적어도 하나를 포함하는, 전자 기기.

**청구항 12**

반도체 장치에 있어서,  
 트랜지스터로서:  
     제 1 게이트 전극;  
     상기 제 1 게이트 전극 위의 제 1 절연막;  
     상기 제 1 절연막 위에서 상기 제 1 게이트 전극과 중첩되는 산화물 반도체막;  
     상기 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극;  
     상기 산화물 반도체막, 상기 소스 전극, 및 상기 드레인 전극 위의 제 2 절연막;  
     상기 제 2 절연막 위의 제 2 게이트 전극; 및  
     상기 제 2 게이트 전극 위의 제 3 절연막을 포함하는, 상기 트랜지스터; 및  
 한 쌍의 전극 간에 상기 제 3 절연막을 포함하는 용량 소자를 포함하고,  
 상기 제 2 게이트 전극은 인듐, 갈륨, 및 아연을 포함하고,  
 상기 용량 소자의 상기 한 쌍의 전극 중 한쪽은 인듐, 갈륨, 및 아연을 포함하고,  
 상기 제 3 절연막은, 상기 한 쌍의 전극 중 상기 한쪽이 상기 제 2 절연막과 상기 제 3 절연막 사이에 있도록,  
 상기 한 쌍의 전극 중 상기 한쪽 위에 있는, 반도체 장치.

**청구항 13**

제 1 항 또는 제 12 항에 있어서,  
상기 용량 소자는 가시광을 투과하는, 반도체 장치.

**청구항 14**

제 12 항에 있어서,  
상기 제 2 절연막은 산소를 함유하고,  
상기 제 3 절연막은 수소를 함유하는, 반도체 장치.

**청구항 15**

제 12 항에 있어서,  
상기 제 2 절연막은 상기 산화물 반도체막과 접하는, 반도체 장치.

**청구항 16**

제 12 항에 있어서,  
상기 제 3 절연막은 상기 한 쌍의 전극 중 상기 한쪽과 접하는, 반도체 장치.

**청구항 17**

표시 장치에 있어서,  
제 1 항 또는 제 12 항에 따른 반도체 장치; 및  
액정 소자를 포함하는, 표시 장치.

**청구항 18**

반도체 장치에 있어서,  
트랜지스터로서:  
제 1 산화물 반도체막;  
상기 제 1 산화물 반도체막 위의 제 1 게이트 절연막; 및  
상기 제 1 게이트 절연막 위에서 상기 제 1 산화물 반도체막과 중첩되는 제 1 게이트 전극을 포함하는, 상  
기 트랜지스터; 및  
상기 제 1 게이트 절연막 위의 용량 소자로서:  
제 1 전극;  
상기 제 1 전극 위의 제 2 절연막; 및  
상기 제 2 절연막 위의 제 2 전극을 포함하는, 상기 용량 소자를 포함하고,  
상기 제 1 게이트 전극과, 상기 제 1 전극 및 상기 제 2 전극 중 한쪽은 상기 제 2 절연막의 하나의 동일한 표  
면과 접하고 서로 동일한 원소를 포함하는, 반도체 장치.

**청구항 19**

제 18 항에 있어서,  
상기 제 2 전극은 상기 트랜지스터에 전기적으로 접속되는, 반도체 장치.

**발명의 설명**

**기술분야**

[0001] 본 발명의 일 형태는, 반도체 장치, 표시 장치 및 상기 표시 장치를 사용한 전자 기기에 관한 것이다. 또는, 본 발명의 일 형태는, 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는, 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 형태는, 반도체 장치, 표시 장치, 전자 기기, 이들의 제작 방법, 또는 이들의 구동 방법에 관한 것이다. 특히, 본 발명의 일 형태는, 예를 들면, 트랜지스터 및 용량 소자를 갖는 반도체 장치에 관한 것이다.

**배경기술**

[0002] 액정 표시 장치나 발광 표시 장치로 대표되는 플랫 패널 디스플레이의 대부분에 사용되고 있는 트랜지스터는, 유리 기판 위에 형성된 아몰퍼스 실리콘, 단결정 실리콘 또는 다결정 실리콘 등의 실리콘 반도체에 의해 구성되어 있다. 또한, 상기 실리콘 반도체를 사용한 트랜지스터는, 집적 회로(IC) 등에도 이용되고 있다.

[0003] 최근, 실리콘 반도체 대신, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술이 주목받고 있다. 또한, 본 명세서 중에서는, 반도체 특성을 나타내는 금속 산화물을 산화물 반도체라고 부르기로 한다. 예를 들면, 산화물 반도체로서, 산화아연, 또는 In-Ga-Zn계 산화물을 사용한 트랜지스터를 제작하고, 상기 트랜지스터를 표시 장치의 화소의 스위칭 소자 등에 사용하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2 참조).

**선행기술문헌**

**특허문헌**

[0004] (특허문헌 0001) 일본 공개특허공보 2007-123861호  
 (특허문헌 0002) 일본 공개특허공보 2007-96055호

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 일 형태는, 도전성을 갖는 산화물 반도체막을 구비한 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 개구율을 높이면서 용량값을 증대시킨 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 제조 비용이 낮은 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 신규 반도체 장치 등을 제공하는 것을 과제의 하나로 한다.

[0006] 또한, 이들 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 이외의 과제는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 과제를 추출하는 것이 가능하다.

**과제의 해결 수단**

[0007] 본 발명의 일 형태는, 트랜지스터와, 제 1 절연막과, 한 쌍의 전극간에 제 2 절연막을 포함하는 용량 소자를 갖는 반도체 장치로서, 트랜지스터는, 게이트 전극과, 게이트 전극에 접하여 설치된 게이트 절연막과, 게이트 절연막에 접하여 설치되고, 게이트 전극과 중첩되는 위치에 설치된 제 1 산화물 반도체막과, 제 1 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 가지며, 용량 소자의 한 쌍의 전극 중 한쪽이, 제 2 산화물 반도체막을 포함하고, 제 1 절연막은, 제 1 산화물 반도체막 위에 설치되고, 제 2 절연막은, 제 2 산화물 반도체막이 제 1 절연막과 제 2 절연막에 의해 협지되도록, 제 2 산화물 반도체막 위에 설치되는 것을 특징으로 하는, 반도체 장치이다.

[0008] 또한, 도전막을 가지며, 용량 소자의 한 쌍의 전극 중 다른쪽이 도전막을 포함하는, 상기의 반도체 장치도 본 발명의 일 형태이다.

[0009] 또한, 트랜지스터가 제 1 절연막과, 제 1 산화물 반도체막과 중첩되는 위치에 설치된 제 2 산화물 반도체막을

갖는, 상기의 반도체 장치도 본 발명의 일 형태이다.

- [0010] 또한, 트랜지스터가 제 1 절연막과, 제 2 절연막과, 제 1 산화물 반도체막과 중첩되는 위치에 설치된 도전막을 갖는, 상기의 반도체 장치도 본 발명의 일 형태이다.
- [0011] 또한, 본 발명의 일 형태의 반도체 장치는, 용량 소자가 가시광에 있어서 투광성을 갖는, 상기의 반도체 장치이다.
- [0012] 또한, 상기의 반도체 장치에 있어서, 제 1 산화물 반도체막 및 제 2 산화물 반도체막이 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, Sn 또는 Hf를 나타낸다)인 것이 바람직하다.
- [0013] 또한, 상기의 반도체 장치에 있어서, 제 1 절연막이 산소를 함유하고, 제 2 절연막이 수소를 함유하는 것이 바람직하다.
- [0014] 또한, 상기의 반도체 장치와, 액정 소자를 갖는 표시 장치도, 본 발명의 일 형태이다.
- [0015] 또한, 상기의 반도체 장치와, 스위치, 스피커, 표시부 또는 하우징을 갖는 전자 기기도, 본 발명의 일 형태이다.

**발명의 효과**

- [0016] 본 발명의 일 형태에 의해, 도전성을 갖는 산화물 반도체막을 구비한 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의해, 개구율을 향상시키면서 용량값을 증대시킨 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의해, 제조 비용이 낮은 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의해, 신규 반도체 장치 등을 제공할 수 있다.
- [0017] 또한, 이들 효과의 기재는, 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 반드시, 이들 효과 모두를 가질 필요는 없다. 또한, 이들 이외의 효과는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 효과를 추출하는 것이 가능하다.

**도면의 간단한 설명**

- [0018] 도 1은 반도체 장치의 일 형태를 도시하는 상면도 및 단면도.
- 도 2는 반도체 장치의 일 형태를 도시하는 단면도.
- 도 3은 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도.
- 도 4는 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도.
- 도 5는 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도.
- 도 6은 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도.
- 도 7은 반도체 장치의 일 형태를 도시하는 상면도 및 단면도.
- 도 8은 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도.
- 도 9는 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도.
- 도 10은 반도체 장치의 일 형태를 도시하는 상면도 및 단면도.
- 도 11은 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도.
- 도 12는 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도.
- 도 13은 CAAC-OS의 단면에 있어서의 Cs 보정 고분해능 TEM상, 및 CAAC-OS의 단면 모식도.
- 도 14는 CAAC-OS의 평면에 있어서의 Cs 보정 고분해능 TEM상.
- 도 15는 CAAC-OS 및 단결정 산화물 반도체의 XRD에 의한 구조 해석을 설명하는 도면.
- 도 16은 CAAC-OS의 전자 회절 패턴을 도시하는 도면.

- 도 17은 In-Ga-Zn 산화물의 전자 조사에 의한 결정부의 변화를 도시하는 도면.
- 도 18은 CAAC-OS의 성막 방법을 설명하는 도면.
- 도 19는 InMnO<sub>4</sub>의 결정을 설명하는 도면.
- 도 20은 CAAC-OS의 성막 방법을 설명하는 도면.
- 도 21은 트랜지스터의 일례를 도시하는 상면도 및 단면도.
- 도 22는 트랜지스터의 일례를 도시하는 단면도.
- 도 23은 밴드 구조를 설명하는 도면.
- 도 24는 트랜지스터의 일례를 도시하는 단면도.
- 도 25는 표시 장치의 일 형태를 도시하는 상면도 및 화소의 일 형태를 도시하는 회로도.
- 도 26은 화소의 일 형태를 도시하는 상면도.
- 도 27은 화소의 일 형태를 도시하는 단면도.
- 도 28은 화소의 일 형태를 도시하는 단면도.
- 도 29는 화소의 일 형태를 도시하는 상면도.
- 도 30은 화소의 일 형태를 도시하는 단면도.
- 도 31은 화소의 일 형태를 도시하는 단면도.
- 도 32는 화소의 일 형태를 도시하는 상면도.
- 도 33은 화소의 일 형태를 도시하는 단면도.
- 도 34는 화소의 일 형태를 도시하는 단면도.
- 도 35는 화소의 일 형태를 도시하는 상면도.
- 도 36은 화소의 일 형태를 도시하는 단면도.
- 도 37은 화소의 일 형태를 도시하는 단면도.
- 도 38은 화소의 일 형태를 도시하는 단면도.
- 도 39는 화소의 일 형태를 도시하는 상면도.
- 도 40은 화소의 일 형태를 도시하는 단면도.
- 도 41은 화소의 일 형태를 도시하는 회로도 및 상면도.
- 도 42는 화소의 일 형태를 도시하는 단면도.
- 도 43은 화소의 일 형태를 도시하는 상면도.
- 도 44는 화소의 일 형태를 도시하는 단면도.
- 도 45는 화소의 일 형태를 도시하는 회로도.
- 도 46은 표시 장치의 일 형태를 도시하는 상면도.
- 도 47은 표시 장치의 일 형태를 도시하는 단면도.
- 도 48은 표시 장치의 표시를 설명하기 위한 도면.
- 도 49는 표시 장치의 표시를 설명하기 위한 도면.
- 도 50은 표시 장치로의 표시 방법의 예를 설명하는 도면.
- 도 51은 실시형태에 따르는, 표시 장치로의 표시 방법의 예를 설명하는 도면.

도 52는 표시 모듈을 설명하는 도면.

도 53은 전자 기기를 설명하는 도면.

도 54는 실시예에 따르는 표시 장치의 휘도의 변화를 설명하는 도면.

도 55는 실시예에 따르는 시각 자극의 변화를 설명하는 도면.

도 56은 실시예에 따르는 피험자의 임계 융합 주파수의 변화를 설명하는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0019] 이하에서는, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명의 일 형태는 이하의 설명으로 한정되지 않으며, 본 발명의 주지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명의 일 형태는, 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 실시형태에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는, 동일한 부호 또는 동일한 해치 패턴을 상이한 도면간에 공통적으로 사용하고, 그 반복 설명은 생략한다.
- [0020] 또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 막의 두께, 또는 영역은, 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일로 한정되지 않는다.
- [0021] 또한, 본 명세서 등에 있어서 사용하는 제 1, 제 2 등의 서수사는, 구성 요소의 혼동을 피하기 위해 붙인 것이며, 수적으로 한정하는 것이 아니다. 이로 인해, 예를 들면, 「제 1」을 「제 2」 또는 「제 3」 등과 적절히 치환하여 설명할 수 있다.
- [0022] 또한, 본 명세서 등에 있어서, 「막」이라는 용어와, 「층」이라는 용어는, 서로 교체하는 것이 가능하다. 예를 들면, 「도전층」이라는 용어를, 「도전막」이라는 용어로 변경하는 것이 가능한 경우가 있다. 또는, 예를 들면, 「절연막」이라는 용어를, 「절연층」이라는 용어로 변경하는 것이 가능한 경우가 있다.
- [0023] 또한, 본 명세서 등에 있어서, 「반도체」라고 표기한 경우라도, 예를 들면, 도전성이 충분히 낮은 경우에는, 「절연체」로서의 특성을 갖는 경우가 있다. 또한, 「반도체」와 「절연체」는 경계가 애매하여, 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에 기재된 「반도체」는, 「절연체」로 바꿔 말하는 것이 가능한 경우가 있다. 마찬가지로, 본 명세서 등에 기재된 「절연체」는, 「반도체」로 바꿔 말하는 것이 가능한 경우가 있다. 또는, 본 명세서 등에 기재된 「절연체」를 「반절연체」로 바꿔 말하는 것이 가능한 경우가 있다.
- [0024] 또한, 본 명세서 등에 있어서, 「반도체」라고 표기한 경우라도, 예를 들면, 도전성이 충분히 높은 경우에는, 「도전체」로서의 특성을 갖는 경우가 있다. 또한, 「반도체」와 「도전체」는 경계가 애매하여, 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에 기재된 「반도체」는, 「도전체」로 바꿔 말하는 것이 가능한 경우가 있다. 마찬가지로, 본 명세서 등에 기재된 「도전체」는, 「반도체」로 바꿔 말하는 것이 가능한 경우가 있다.
- [0025] 또한, 트랜지스터의 「소스」나 「드레인」의 기능은, 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 교체되는 경우가 있다. 이로 인해, 본 명세서에 있어서는, 「소스」나 「드레인」이라는 용어는, 교체하여 사용할 수 있는 것으로 한다.
- [0026] 또한, 본 명세서 등에 있어서 패터닝이란, 포토리소그래피 공정을 사용하는 것으로 한다. 단, 패터닝은, 포토리소그래피 공정으로 한정되지 않으며, 포토리소그래피 공정 이외의 공정을 사용할 수도 있다. 또한, 포토리소그래피 공정에서 형성한 마스크는 에칭 처리후 제거하는 것으로 한다.
- [0027] 또한, 본 명세서 등에 있어서, 산화질화실리콘막이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 막을 가리키고, 바람직하게는 산소가 55원자% 이상 65원자% 이하, 질소가 1원자% 이상 20원자% 이하, 실리콘이 25원자% 이상 35원자% 이하, 수소가 0.1원자% 이상 10원자% 이하의 농도 범위에서 함유되는 것을 말한다. 질화산화실리콘막이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 막을 가리키고, 바람직하게는 질소가 55원자% 이상 65원자% 이하, 산소가 1원자% 이상 20원자% 이하, 실리콘이 25원자% 이상 35원자% 이하, 수소가 0.1원자% 이상 10원자% 이하의 농도 범위에서 함유되는 것을 말한다.
- [0028] (실시형태 1)

- [0029] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치에 관해서, 도 1 내지 도 12를 사용하여 설명한다.
- [0030] <반도체 장치의 구성예>
- [0031] 도 1의 (A)는, 본 발명의 일 형태의 반도체 장치의 상면도이며, 도 1의 (B)는, 도 1의 (A)의 일점쇄선 A-B 간, 일점쇄선 C-D 간, 및 일점쇄선 E-F 간의 각 절단선에 대응하는 단면도에 상당한다. 또한, 도 1의 (A)에 있어서, 번잡해지는 것을 피하기 위해서, 반도체 장치의 구성 요소의 일부(게이트 절연막 등)를 생략하여 도시하고 있다. 또한, 트랜지스터 상면도에 있어서는, 이후의 도면에 있어서도 도 1의 (A)와 같이, 구성 요소의 일부를 생략하여 도시하는 경우가 있다.
- [0032] 도 1의 (A)의 일점쇄선 A-B는 트랜지스터(150)의 채널 길이 방향을 나타내고 있다. 또한 일점쇄선 E-F는 트랜지스터(150)의 채널 폭 방향을 나타내고 있다. 또한, 본 명세서에 있어서 트랜지스터의 채널 길이 방향이란, 소스(소스 영역 또는 소스 전극) 및 드레인(드레인 영역 또는 드레인 전극) 간에 있어서, 캐리어가 이동하는 방향을 의미하고, 채널 폭 방향은, 기판에 수평인 면 내에 있어서, 채널 길이 방향에 대해 수직인 방향을 의미한다.
- [0033] 도 1의 (A), (B)에 도시하는 반도체 장치는, 제 1 산화물 반도체막(110)을 포함하는 트랜지스터(150)와, 한 쌍의 전극간에 절연막을 포함하는 용량 소자(160)를 가진다. 또한, 용량 소자(160)에 있어서, 한 쌍의 전극 중 한쪽이 제 2 산화물 반도체막(111)이며, 한 쌍의 전극 중 다른쪽이 도전막(120)이다.
- [0034] 트랜지스터(150)는 기판(102) 위의 게이트 전극(104)과, 게이트 전극(104) 위의 게이트 절연막으로서 기능하는 절연막(108)과, 절연막(108) 위의 게이트 전극(104)과 중첩되는 위치의 제 1 산화물 반도체막(110)과, 제 1 산화물 반도체막(110) 위의 소스 전극(112a) 및 드레인 전극(112b)을 가진다. 달리 말하면, 트랜지스터(150)는, 제 1 산화물 반도체막(110)과, 제 1 산화물 반도체막(110)에 접하여 설치된 게이트 절연막으로서 기능하는 절연막(108)과, 절연막(108)에 접하여 설치되고, 제 1 산화물 반도체막(110)과 중첩되는 위치에 설치된 게이트 전극(104)과, 제 1 산화물 반도체막(110)과 전기적으로 접속된 소스 전극(112a) 및 드레인 전극(112b)을 가진다. 또한, 도 1의 (A), (B)에 도시하는 트랜지스터(150)는, 소위 보텀 게이트 구조이다.
- [0035] 또한, 트랜지스터(150) 위, 보다 상세하게는, 제 1 산화물 반도체막(110), 소스 전극(112a) 및 드레인 전극(112b) 위에 절연막(114, 116, 118)이 형성되어 있다. 절연막(114, 116, 118)은, 트랜지스터(150)의 보호 절연막으로서의 기능을 가진다. 또한, 절연막(114, 116, 118)에는, 드레인 전극(112b)에 이르는 개구(142)가 형성되어 있고, 개구(142)를 덮도록 절연막(118) 위에 도전막(120)이 형성되어 있다. 도전막(120)은, 예를 들면, 화소 전극으로서의 기능을 가진다.
- [0036] 용량 소자(160)는, 절연막(116) 위의 한 쌍의 전극 중 한쪽의 전극으로서의 기능을 갖는 제 2 산화물 반도체막(111)과, 제 2 산화물 반도체막(111) 위의 유전체막으로서 기능하는 절연막(118)과, 절연막(118)을 개재하여 제 2 산화물 반도체막(111)과 중첩되는 위치에 설치된 한 쌍의 전극 중 다른쪽의 전극으로서의 기능을 갖는 도전막(120)을 가진다. 즉, 도전막(120)은 화소 전극으로서의 기능과 용량 소자의 전극으로서의 기능을 가진다.
- [0037] 또한, 제 1 산화물 반도체막(110)은, 트랜지스터(150)의 채널 영역으로서 기능하는 영역을 가진다. 또한, 제 2 산화물 반도체막(111)은, 용량 소자(160)의 한 쌍의 전극 중 한쪽의 전극으로서 기능한다. 따라서, 제 1 산화물 반도체막(110)보다도 제 2 산화물 반도체막(111) 쪽이 저항율이 낮다. 또한, 제 1 산화물 반도체막(110)과 제 2 산화물 반도체막(111)은, 동일한 금속 원소를 가지면 바람직하다. 제 1 산화물 반도체막(110)과 제 2 산화물 반도체막(111)을 동일한 금속 원소를 갖는 구성으로 함으로써, 제조 장치(예를 들면, 성막 장치, 가공 장치 등)를 공통적으로 사용하는 것이 가능해지기 때문에, 제조 비용을 억제할 수 있다.
- [0038] 또한, 제 2 산화물 반도체막(111)에, 별도 금속막 등으로 형성되는 배선 등을 접속해도 좋다. 예를 들면, 도 1에 도시하는 반도체 장치를 표시 장치의 화소부의 트랜지스터 및 용량 소자에 사용하는 경우, 리드 배선, 또는 게이트 배선 등을 금속막으로 형성하고, 상기 금속막에 제 2 산화물 반도체막(111)을 접속시키는 구성을 사용해도 좋다. 리드 배선, 또는 게이트 배선 등을 금속막으로 형성함으로써, 배선 저항을 낮추는 것이 가능해지기 때문에, 신호 지연 등을 억제할 수 있다.
- [0039] 또한, 용량 소자(160)는 투광성을 가진다. 즉, 용량 소자(160)가 갖는 제 2 산화물 반도체막(111), 도전막(120), 및 절연막(118)은, 각각 투광성을 갖는, 재료에 의해 구성된다. 이와 같이, 용량 소자(160)가 투광성을 가짐으로써, 화소 내의 트랜지스터가 형성되는 개소 이외의 영역에 크게(대면적으로) 형성할 수 있기 때문에, 개구율을 높이면서 용량값을 증대시킨 반도체 장치를 얻을 수 있다. 이 결과, 표시 품질이 우수한 반도체 장치

를 얻을 수 있다.

- [0040] 또한, 트랜지스터(150) 위에 설치되고 또한 용량 소자(160)에 사용되는 절연막(118)으로서는, 적어도 수소를 함유하는 절연막을 사용한다. 또한, 트랜지스터(150)에 사용하는 절연막(107), 및 트랜지스터(150) 위에 설치되는 절연막(114, 116)으로서는, 적어도 산소를 함유하는 절연막을 사용한다. 이와 같이, 트랜지스터(150) 위 및 용량 소자(160)에 사용하는 절연막, 및 트랜지스터(150) 위 및 용량 소자(160) 아래에 사용하는 절연막을, 상기 구성의 절연막으로 함으로써, 트랜지스터(150)가 갖는 제 1 산화물 반도체막(110) 및 용량 소자(160)가 갖는 제 2 산화물 반도체막(111)의 저항율을 제어할 수 있다.
- [0041] 또한, 용량 소자(160)에 사용하는 절연막, 및 트랜지스터(150) 및 용량 소자(160) 위에 사용하는 절연막을, 이하의 구성으로 함으로써, 도전막(120)의 평탄성을 높일 수 있다. 구체적으로는, 절연막(114, 116)은 제 1 산화물 반도체막(110) 위에 설치되고, 절연막(118)은, 제 2 산화물 반도체막(111)이 절연막(116)과 절연막(118)에 의해 협지되도록 제 2 산화물 반도체막(111) 위에 설치된다. 이러한 구성으로 함으로써, 제 2 산화물 반도체막(111)과 접치는 위치의 절연막(114, 116)에 개구를 형성하지 않고 제 2 산화물 반도체막(111)의 저항율을 제어할 수 있기 때문에, 도전막(120)의 평탄성을 높일 수 있다. 따라서, 이러한 구성으로 함으로써, 예를 들면 도 1에 도시하는 반도체 장치를 액정 표시 장치의 화소부의 트랜지스터 및 용량 소자에 사용하는 경우, 도전막(120) 위에 형성되는 액정의 배향성을 양호한 것으로 할 수 있다.
- [0042] 또한, 도전막(120)과 동시에 성막하고, 동시에 에칭하고, 동시에 형성한 도전막(120a)을 트랜지스터의 채널 영역과 접치도록 설치해도 좋다. 그 경우의 예를, 도 2의 (A)에 도시한다. 도전막(120a)은, 일례로서는, 도전막(120)과 동시에 성막하고, 동시에 에칭하고, 동시에 형성하기 때문에, 동일한 재료를 가지고 있다. 이로 인해, 프로세스 공정의 증가를 억제할 수 있다. 단, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않는다. 도전막(120a)은, 도전막(120)과는 상이한 공정으로 형성해도 좋다. 도전막(120a)은, 트랜지스터의 채널 영역과 접치는 영역을 가지고 있다. 따라서, 도전막(120a)은, 트랜지스터의 제 2 게이트 전극으로서의 기능을 가지고 있다. 이로 인해, 도전막(120a)은 게이트 전극(104)과 접속되어 있어도 좋다. 또는, 도전막(120a)은, 게이트 전극(104)과 접속되지 않고, 게이트 전극(104)과는 상이한 신호나 상이한 전위가 공급되고 있어도 좋다. 이러한 구성으로 함으로써, 트랜지스터(150)의 전류 구동 능력을 한층 더 향상시킬 수 있다. 이 때, 제 2 게이트 전극에 대한 게이트 절연막은, 절연막(114, 116, 118)이 된다.
- [0043] 또한, 제 2 산화물 반도체막(111)과 동시에 성막하고, 동시에 에칭하고, 동시에 형성한 제 2 산화물 반도체막(111a)을 트랜지스터의 채널 영역과 접치도록 설치해도 좋다. 그 경우의 예를, 도 2의 (B)에 도시한다. 제 2 산화물 반도체막(111a)은, 일례로서는, 제 2 산화물 반도체막(111)과 동시에 성막하고, 동시에 에칭하고, 동시에 형성하기 때문에, 동일한 재료를 가지고 있다. 이로 인해, 프로세스 공정의 증가를 억제할 수 있다. 단, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않는다. 제 2 산화물 반도체막(111a)은, 제 2 산화물 반도체막(111)과는 상이한 공정으로 형성해도 좋다. 제 2 산화물 반도체막(111a)은, 트랜지스터(150)의 채널 영역이 되는 제 1 산화물 반도체막(110)과 접치는 영역을 가지고 있다. 따라서, 제 2 산화물 반도체막(111a)은, 트랜지스터(150)의 제 2 게이트 전극으로서의 기능을 가지고 있다. 이로 인해, 제 2 산화물 반도체막(111a)은, 게이트 전극(104)과 접속되어 있어도 좋다. 또는, 제 2 산화물 반도체막(111a)은, 게이트 전극(104)과 접속되지 않고, 게이트 전극(104)과는 상이한 신호나 상이한 전위가 공급되고 있어도 좋다. 이러한 구성으로 함으로써, 제 2 게이트 전극에 대한 게이트 절연막이 절연막(114, 116)이 되기 때문에, 이러한 구성으로 함으로써, 트랜지스터(150)의 전류 구동 능력을 도 2의 (A)에 도시하는 트랜지스터와 비교하여 더욱 향상시킬 수 있다.
- [0044] 또한, 트랜지스터(150)에 있어서, 제 1 산화물 반도체막(110)은, 채널 영역으로서 사용하기 때문에, 제 2 산화물 반도체막(111)과 비교하여 저항율이 높다. 한편, 제 2 산화물 반도체막(111)은 전극으로서의 기능을 갖기 때문에, 제 1 산화물 반도체막(110)과 비교하여 저항율이 낮다.
- [0045] 여기에서, 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111)의 저항율의 제어 방법에 관해서, 이하 설명을 행한다.
- [0046] <산화물 반도체막의 저항율의 제어 방법>
- [0047] 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111)에 사용할 수 있는 산화물 반도체막은, 막 중의 산소 결손 및/또는 막 중의 수소, 물 등의 불순물 농도에 의해, 저항율을 제어할 수 있는 반도체 재료이다. 이로 인해, 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111)에 산소 결손 및/또는 불순물 농도가 증가하는 처리, 또는 산소 결손 및/또는 불순물 농도가 저감되는 처리를 선택함으로써, 각각의 산화물 반도체막의 저항율을

제어할 수 있다.

- [0048] 구체적으로는, 용량 소자(160)의 전극으로서 기능하는 제 2 산화물 반도체막(111)에 사용하는 산화물 반도체막에 플라즈마 처리를 행하여, 상기 산화물 반도체막의 막 중의 산소 결손을 증가시키고, 및/또는 산화물 반도체막의 막 중의 수소, 물 등의 불순물을 증가시킴으로써, 캐리어 밀도가 높고, 저항율이 낮은 산화물 반도체막으로 할 수 있다. 또한, 산화물 반도체막에 수소를 함유하는 절연막을 접하여 형성하여, 상기 수소를 함유하는 절연막, 예를 들면 절연막(118)으로부터 산화물 반도체막으로 수소를 확산시킴으로써, 캐리어 밀도가 높고, 저항율이 낮은 산화물 반도체막으로 할 수 있다. 제 2 산화물 반도체막(111)은, 상기한 바와 같이 막 중의 산소 결손을 증가시키거나, 또는 수소를 확산시키는 공정 전에 있어서는 반도체로서의 기능을 가지며, 상기 공정 후에 있어서는, 도전체로서의 기능을 가진다.
- [0049] 상기의 플라즈마 처리로서는, 예를 들면, 대표적으로는, 희가스(He, Ne, Ar, Kr, Xe), 수소, 및 질소 중에서 선택된 1종 이상을 함유하는 가스를 사용한 플라즈마 처리를 들 수 있다. 보다 구체적으로는, Ar 분위기 하에서의 플라즈마 처리, Ar와 수소의 혼합 가스 분위기하에서의 플라즈마 처리, 암모니아 분위기 하에서의 플라즈마 처리, Ar과 암모니아의 혼합 가스 분위기 하에서의 플라즈마 처리, 또는 질소 분위기 하에서의 플라즈마 처리 등을 들 수 있다. 상기의 플라즈마 처리에 의해, 산화물 반도체막은, 산소가 탈리된 격자(또는 산소가 탈리된 부분)에 산소 결손을 형성한다. 상기 산소 결손은, 캐리어를 발생하는 요인이 되는 경우가 있다. 또한, 산화물 반도체막의 근방, 보다 구체적으로는, 산화물 반도체막의 하측 또는 상측에 접하는 절연막으로부터 수소가 공급되면, 상기 산소 결손과 수소가 결합함으로써, 캐리어인 전자를 생성하는 경우가 있다.
- [0050] 또한, 절연막(118)으로서, 예를 들면, 수소를 함유하는 절연막, 달리 말하면 수소를 방출하는 것이 가능한 절연막, 대표적으로는 질화실리콘막을 사용함으로써, 제 2 산화물 반도체막(111)에 수소를 공급할 수 있다. 수소를 방출하는 것이 가능한 절연막으로서, 막 중의 함유 수소 농도가  $1 \times 10^{22}$  atoms/cm<sup>3</sup> 이상이면 바람직하다. 이러한 절연막을 제 2 산화물 반도체막(111)에 접하여 형성함으로써, 제 2 산화물 반도체막(111)에 효과적으로 수소를 함유시킬 수 있다.
- [0051] 산화물 반도체막에 함유되는 수소는, 금속 원자와 결합하는 산소와 반응하여 물이 되는 동시에, 산소가 탈리된 격자(또는 산소가 탈리된 부분)에 산소 결손을 형성한다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합함으로써, 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 함유되어 있는 절연막과 접하여 설치된 제 2 산화물 반도체막(111)은, 제 1 산화물 반도체막(110)보다도 캐리어 밀도가 높은 산화물 반도체막이 된다.
- [0052] 또한, 저항율이 낮은 산화물 반도체막을 얻기 위해서, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용하여, 수소, 보론, 인, 또는 질소를 산화물 반도체막에 주입해도 좋다.
- [0053] 한편, 트랜지스터(150)의 채널 영역으로서 기능하는 제 1 산화물 반도체막(110)은, 절연막(107, 114, 116)을 설치함으로써, 수소를 함유하는 절연막(106, 118)과 접하지 않는 구성으로 한다. 절연막(107, 114, 116)의 적어도 하나에 산소를 함유하는 절연막, 달리 말하면, 산소를 방출하는 것이 가능한 절연막을 적용함으로써, 제 1 산화물 반도체막(110)에 산소를 공급할 수 있다. 산소가 공급된 제 1 산화물 반도체막(110)은, 막 중 또는 계면의 산소 결손이 보충되어 저항율이 높은 산화물 반도체막이 된다. 또한, 산소를 방출하는 것이 가능한 절연막으로서, 예를 들면, 산화실리콘막, 또는 산화질화실리콘막을 사용할 수 있다.
- [0054] 이와 같이, 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111)에 접하는 절연막의 구성을 바꿈으로써, 산화물 반도체막의 저항율을 제어할 수 있다. 또한, 절연막(106)으로서, 절연막(118)과 같은 재료를 사용해도 좋다. 절연막(106)으로서 질화실리콘을 사용함으로써, 절연막(107)으로부터 방출되는 산소가 게이트 전극(104)으로 공급되어, 산화되는 것을 억제할 수 있다.
- [0055] 산소 결손이 보충되어, 수소 농도가 저감된 산화물 반도체막은, 고순도 진성화, 또는 실질적으로 고순도 진성화된 산화물 반도체막이라고 할 수 있다. 여기에서, 실질적으로 진성이란, 산화물 반도체막의 캐리어 밀도가,  $8 \times 10^{11}$  개/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{11}$  개/cm<sup>3</sup> 미만, 보다 바람직하게는  $1 \times 10^{10}$  개/cm<sup>3</sup> 미만이며,  $1 \times 10^{-9}$  개/cm<sup>3</sup> 이상인 것을 가리킨다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 결합 준위 밀도가 낮기 때문에, 포획 준위 밀도를 저감시킬 수 있다.
- [0056] 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 오프 전류가 현저하게 작고, 채널 폭이

$1 \times 10^6 \mu\text{m}$ 이고 채널 길이가  $10 \mu\text{m}$ 인 소자라도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V에서부터 10V의 범위에 있어서, 오프 전류가, 반도체 파라미터 애널리저의 측정 한계 이하, 즉  $1 \times 10^{-13} \text{A}$  이하라는 특성을 얻을 수 있다. 따라서, 상기한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막을 사용하는 제 1 산화물 반도체막(110)을 채널 영역에 사용하는 트랜지스터(150)는, 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다.

[0057] 트랜지스터(150)의 채널 영역이 형성되는 제 1 산화물 반도체막(110)은, 수소가 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 제 1 산화물 반도체막(110)에 있어서, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의해 얻어지는 수소 농도를,  $2 \times 10^{20} \text{atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{atoms/cm}^3$  이하, 보다 바람직하게는  $1 \times 10^{19} \text{atoms/cm}^3$  이하,  $5 \times 10^{18} \text{atoms/cm}^3$  이하, 바람직하게는  $1 \times 10^{18} \text{atoms/cm}^3$  이하, 보다 바람직하게는  $5 \times 10^{17} \text{atoms/cm}^3$  이하, 더욱 바람직하게는  $1 \times 10^{16} \text{atoms/cm}^3$  이하로 한다.

[0058] 한편, 용량 소자(160)의 전극으로서 기능하는 제 2 산화물 반도체막(111)은, 제 1 산화물 반도체막(110)보다도 수소 농도 및/또는 산소 결손량이 많고, 저항율이 낮은 산화물 반도체막이다. 제 2 산화물 반도체막(111)에 함유되는 수소 농도는,  $8 \times 10^{19} \text{atoms/cm}^3$  이상, 바람직하게는  $1 \times 10^{20} \text{atoms/cm}^3$  이상, 보다 바람직하게는  $5 \times 10^{20} \text{atoms/cm}^3$  이상이다. 또한, 제 1 산화물 반도체막(110)과 비교하여, 제 2 산화물 반도체막(111)에 함유되는 수소 농도는 2배 이상, 바람직하게는 10배 이상이다. 또한, 제 2 산화물 반도체막(111)의 저항율이, 제 1 산화물 반도체막(110)의 저항율의  $1 \times 10^{-8}$ 배 이상  $1 \times 10^{-1}$ 배 미만인 것이 바람직하며, 대표적으로는  $1 \times 10^{-3} \Omega\text{cm}$  이상  $1 \times 10^4 \Omega\text{cm}$  미만, 더욱 바람직하게는, 저항율이  $1 \times 10^{-3} \Omega\text{cm}$  이상  $1 \times 10^{-1} \Omega\text{cm}$  미만이면 좋다.

[0059] 여기에서, 도 1의 (A) 및 도 1의 (B)에 도시하는 반도체 장치의 그 밖의 구성 요소의 상세에 관해서, 이하 설명을 행한다.

[0060] <기판>

[0061] 기판(102)의 재질 등에 큰 제한은 없지만, 적어도, 나중의 열처리에 견딜 수 있을 정도의 내열성을 가지고 있을 필요가 있다. 예를 들면, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을, 기판(102)으로서 사용해도 좋다. 또한, 실리콘이나 탄화실리콘으로 이루어지는 단결정 반도체 기판, 다결정 반도체 기판, 실리콘게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용하는 것도 가능하고, 이들 기판 위에 반도체 소자가 설치된 것을, 기판(102)으로서 사용해도 좋다. 또한, 기판(102)으로서, 유리 기판을 사용하는 경우, 제 6 세대( $1500\text{mm} \times 1850\text{mm}$ ), 제 7 세대( $1870\text{mm} \times 2200\text{mm}$ ), 제 8 세대( $2200\text{mm} \times 2400\text{mm}$ ), 제 9 세대( $2400\text{mm} \times 2800\text{mm}$ ), 제 10 세대( $2950\text{mm} \times 3400\text{mm}$ ) 등의 대면적 기판을 사용함으로써, 대형의 표시 장치를 제작할 수 있다. 또한, 기판(102)으로서, 가요성 기판을 사용하고, 가요성 기판 위에 직접, 트랜지스터(150), 용량 소자(160) 등을 형성해도 좋다.

[0062] 이들 이외에도, 기판(102)으로서, 다양한 기판을 사용하여, 트랜지스터를 형성할 수 있다. 기판의 종류는, 특정한 것으로 한정되지는 않는다. 그 기판의 일례로서는, 플라스틱 기판, 금속 기판, 스테인리스·스틸 기판, 스테인리스·스틸·호일을 갖는 기판, 텅스텐 기판, 텅스텐·호일을 갖는 기판, 가요성 기판, 첩합 필름, 섬유상의 재료를 함유하는 종이, 또는 기재 필름 등이 있다. 유리 기판의 일례로서는, 바륨boro실리케이트 유리, 알루미늄boro실리케이트 유리, 또는 소다라임 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 갖는 합성 수지 등이 있다. 첩합 필름의 일례로서는, 폴리프로필렌, 폴리에스테르, 폴리불화비닐, 또는 폴리염화비닐 등이 있다. 기재 필름의 일례로서는, 폴리에스테르, 폴리아미드, 폴리이미드, 무기 증착 필름, 또는 종이류 등이 있다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제조함으로써, 특성, 사이즈, 또는 형상 등의 불균일이 적고, 전류 능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터에 의해 회로를 구성하면, 회로의 저소비 전력화, 또는 회로의 고집적화를 도모할 수 있다.

[0063] 또한, 어떤 기판을 사용하여 트랜지스터를 형성하고, 그 후, 별도의 기판에 트랜지스터를 전치함으로써 다른 기판 위에 트랜지스터를 배치해도 좋다. 트랜지스터가 전치되는 기판의 일례로서는, 상기한 트랜지스터를 형성하는 것이 가능한 기판 외에, 종이 기판, 셀로판 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(견, 면, 마), 합성 섬유(나일론, 폴리에스테르, 폴리아미드) 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생

폴리에스테르) 등을 포함한다), 피혁 기관, 또는 고무 기관 등이 있다. 이러한 기관을 사용함으로써, 특성이 양호한 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 깨지기 어려운 장치의 제조, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.

- [0064] <제 1 산화물 반도체막 및 제 2 산화물 반도체막>
- [0065] 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111)은, 적어도 인듐(In), 아연(Zn) 및 M(Al, Ti, Ga, Y, Zr, La, Ce, Nd, Sn 또는 Hf 등의 금속)을 함유하는 In-M-Zn 산화물로 표기되는 막을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 불균일을 감소시키기 위해서, 이들과 함께, 안정화제를 함유하는 것이 바람직하다.
- [0066] 안정화제로서는, 상기 M으로 기재된 금속을 포함하여, 예를 들면, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 기타 안정화제로서는, 란타노이드인, 란타늄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유토폴(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 호르븀(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.
- [0067] 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111)을 구성하는 산화물 반도체로서, 예를 들면, In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0068] 또한, 여기에서, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 상관없다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어가 있어도 좋다.
- [0069] 또한, 제 1 산화물 반도체막(110)과, 제 2 산화물 반도체막(111)은, 상기 산화물 중, 동일한 금속 원소를 가지고 있어도 좋다. 제 1 산화물 반도체막(110)과, 제 2 산화물 반도체막(111)을 동일한 금속 원소로 함으로써, 제조 비용을 저감시킬 수 있다. 예를 들면, 동일한 금속 조성의 금속 산화물 타깃을 사용함으로써, 제조 비용을 저감시킬 수 있다. 또한 동일한 금속 조성의 금속 산화물 타깃을 사용함으로써 산화물 반도체막을 가공할 때의 에칭 가스 또는 에칭액을 공통적으로 사용할 수 있다. 단, 제 1 산화물 반도체막(110)과, 제 2 산화물 반도체막(111)은, 동일한 금속 원소를 가지고 있어도, 조성이 상이한 경우가 있다. 예를 들면, 트랜지스터 및 용량 소자의 제작 공정 중에, 막 중의 금속 원소가 탈리되어, 상이한 금속 조성이 되는 경우가 있다.
- [0070] 또한, 제 1 산화물 반도체막(110)이 In-M-Zn 산화물일 때, In과 M의 원자수 비율은, In 및 M의 합을 100atomic%로 했을 때, 바람직하게는 In이 25atomic%보다 높고, M을 75atomic% 미만, 더욱 바람직하게는 In이 34atomic%보다 높고, M을 66atomic% 미만으로 한다.
- [0071] 제 1 산화물 반도체막(110)은, 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 이와 같이, 에너지 갭이 넓은 산화물 반도체를 사용함으로써, 트랜지스터(150)의 오프 전류를 저감시킬 수 있다.
- [0072] 제 1 산화물 반도체막(110)의 두께는, 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더욱 바람직하게는 3nm 이상 50nm 이하로 한다.
- [0073] 제 1 산화물 반도체막(110)이 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, Sn 또는 Hf)인 경우, In-M-Zn 산화물을 성막하기 위해 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는,  $In \geq M$ ,  $Zn \geq M$ 을 충족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비로서, In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=3:1:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6 등을 들 수 있다. 또한, 성막되는 제 1 산화물 반도체막(110)의 원자수비는 각각, 오차로서 상기의 스퍼터링 타깃에 함유되는 금속 원소의 원자수비의  $\pm 40\%$ 의 변동을 포함한다.
- [0074] 제 1 산화물 반도체막(110)으로서는, 캐리어 밀도가 낮은 산화물 반도체막을 사용한다. 예를 들면, 제 1 산화물 반도체막(110)은, 캐리어 밀도가  $1 \times 10^{17}$  개/cm<sup>2</sup> 이하, 바람직하게는  $1 \times 10^{15}$  개/cm<sup>2</sup> 이하, 더욱 바람직하게는  $1 \times 10^{13}$  개/cm<sup>2</sup> 이하, 보다 바람직하게는  $1 \times 10^{11}$  개/cm<sup>2</sup> 이하의 산화물 반도체막을 사용한다.
- [0075] 또한, 이들로 한정되지 않으며, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 임계값

전압 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위해서, 제 1 산화물 반도체막(110)의 캐리어 밀도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0076] 제 1 산화물 반도체막(110)에 있어서, 제 14 족 원소의 하나인 실리콘이나 탄소가 함유되면, 제 1 산화물 반도체막(110)에 있어서 산소 결손이 증가하고, n형화되어 버린다. 이로 인해, 제 1 산화물 반도체막(110)에 있어서의 실리콘이나 탄소의 농도(2차 이온 질량 분석법에 의해 얻어지는 농도)를,  $2 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다.

[0077] 또한, 제 1 산화물 반도체막(110)에 있어서, 2차 이온 질량 분석법에 의해 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를,  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{16}$  atoms/cm<sup>3</sup> 이하로 한다. 알칼리 금속 및 알칼리 토금속은, 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있고, 트랜지스터의 오프 전류가 증대되어 버리는 경우가 있다. 이로 인해, 제 1 산화물 반도체막(110)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감시키는 것이 바람직하다.

[0078] 또한, 제 1 산화물 반도체막(110)에 질소가 함유되어 있으면, 캐리어인 전자가 생성되고, 캐리어 밀도가 증가하여, n형화되기 쉽다. 이 결과, 질소가 함유되어 있는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 상기 산화물 반도체막에 있어서, 질소는 가능한 한 저감되어 있는 것이 바람직하며, 예를 들면, 2차 이온 질량 분석법에 의해 얻어지는 질소 농도는,  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하로 하는 것이 바람직하다.

[0079] 또한, 제 1 산화물 반도체막(110)은, 예를 들면 비단결정 구조라도 좋다. 비단결정 구조는, 예를 들면, 후술하는 CAAC-OS(C Axis Aligned-Crystalline Oxide Semiconductor), 다결정 구조, 후술하는 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조에 있어서, 비정질 구조는 가장 결합 준위 밀도가 높고, CAAC-OS는 가장 결합 준위 밀도가 낮다.

[0080] 제 1 산화물 반도체막(110)은, 예를 들면 비정질 구조라도 좋다. 비정질 구조의 산화물 반도체막은, 예를 들면, 원자 배열이 무질서하며, 결정 성분을 갖지 않는다. 또는, 비정질 구조의 산화물막은, 예를 들면, 완전한 비정질 구조이며, 결정부를 갖지 않는다.

[0081] 또한, 제 1 산화물 반도체막(110)이, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 2종 이상을 갖는 혼합막이라도 좋다. 혼합막은, 예를 들면, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역을 갖는 경우가 있다. 또한, 혼합막은, 예를 들면, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역의 적층 구조를 갖는 경우가 있다.

[0082] <절연막>

[0083] 트랜지스터(150)의 게이트 절연막으로서 기능하는 절연막(106, 107)으로서, 플라즈마 CVD(CVD: Chemical Vapor Deposition)법, 스퍼터링법 등에 의해, 산화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 질화실리콘막, 산화알루미늄막, 산화하프늄막, 산화이트륨막, 산화지르코늄막, 산화갈륨막, 산화탄탈럼막, 산화마그네슘막, 산화란타넘막, 산화세륨막 및 산화네오디뮴막을 1종 이상 포함하는 절연막을, 각각 사용할 수 있다. 또한, 절연막(106, 107)의 적층 구조로 하지 않고, 상기의 재료로부터 선택된 단층의 절연막을 사용해도 좋다.

[0084] 절연막(106)은, 산소의 투과를 억제하는 블로킹막으로서의 기능을 가진다. 예를 들면, 절연막(107, 114, 116) 및/또는 제 1 산화물 반도체막(110) 중에 과잉의 산소를 공급하는 경우에 있어서, 절연막(106)은 산소의 투과를 억제할 수 있다.

[0085] 또한, 트랜지스터(150)의 채널 영역으로서 기능하는 제 1 산화물 반도체막(110)과 접하는 절연막(107)은, 산화물 절연막인 것이 바람직하며, 화학량론적 조성보다도 과잉으로 산소를 함유하는 영역(산소 과잉 영역)을 갖는 것이 보다 바람직하다. 달리 말하면, 절연막(107)은, 산소를 방출하는 것이 가능한 절연막이다. 또한, 절연막(107)에 산소 과잉 영역을 형성하기 위해서는, 예를 들면, 산소 분위기 하에서 절연막(107)을 형성하면 좋다. 또는, 성막후의 절연막(107)에 산소를 도입하여, 산소 과잉 영역을 형성해도 좋다. 산소의 도입 방법으로서, 이온주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

[0086] 또한, 절연막(106, 107)으로서, 산화하프늄을 사용하는 경우, 이하의 효과를 나타낸다. 산화하프늄은, 산화실

리콘이나 산화질화실리콘과 비교하여 비유전율이 높다. 따라서, 산화실리콘을 사용한 경우와 비교하여, 절연막(106, 107)의 막 두께를 크게 할 수 있기 때문에, 터널 전류에 의한 리크 전류를 작게 할 수 있다. 즉, 오프 전류가 작은 트랜지스터를 실현할 수 있다. 또한, 결정 구조를 갖는 산화하프늄은, 비정질 구조를 갖는 산화하프늄과 비교하여 높은 비유전율을 구비한다. 따라서, 오프 전류가 작은 트랜지스터로 하기 위해서는, 결정 구조를 갖는 산화하프늄을 사용하는 것이 바람직하다. 결정 구조의 예로서는, 단사정계나 입방정계 등을 들 수 있다. 단, 본 발명의 일 형태는, 이들로 한정되지 않는다.

[0087] 또한, 본 실시형태에서는, 절연막(106)으로서 질화실리콘막을 형성하고, 절연막(107)으로서 산화실리콘막을 형성한다. 질화실리콘막은, 산화실리콘막과 비교하여 비유전율이 높고, 산화실리콘막과 동등한 정전 용량을 얻는데 필요한 막 두께가 크기 때문에, 트랜지스터(150)의 게이트 절연막으로서 기능하는 절연막(108)으로서, 질화실리콘막을 포함함으로써 절연막을 물리적으로 후막화할 수 있다. 따라서, 트랜지스터(150)의 절연 내압의 저하를 억제, 게다가 절연 내압을 향상시켜, 트랜지스터(150)의 정전 파괴를 억제할 수 있다.

[0088] <게이트 전극, 소스 전극 및 드레인 전극>

[0089] 게이트 전극(104), 소스 전극(112a) 및 드레인 전극(112b)에 사용할 수 있는 재료로서는, 알루미늄, 티타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈럼, 또는 텅스텐 등의 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 사용할 수 있다. 예를 들면, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 몰리브덴막 위에 구리막을 적층한 2층 구조, 몰리브덴과 텅스텐을 함유하는 합금막 위에 구리막을 적층한 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화티타늄막과, 그 티타늄막 또는 질화티타늄막 위에 포개어 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 티타늄막 또는 질화티타늄막을 형성하는 3층 구조, 몰리브덴막 또는 질화몰리브덴막과, 그 몰리브덴막 또는 질화몰리브덴막 위에 포개어 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 몰리브덴막 또는 질화몰리브덴막을 형성하는 3층 구조 등이 있다. 또한, 소스 전극(112a), 및 드레인 전극(112b)을 3층 구조로 하는 경우, 1층째 및 3층째에는, 티타늄, 질화티타늄, 몰리브덴, 텅스텐, 몰리브덴과 텅스텐을 함유하는 합금, 몰리브덴과 지르코늄을 함유하는 합금, 또는 질화몰리브덴으로 이루어지는 막을 형성하고, 2층째에는, 구리, 알루미늄, 금 또는 은, 또는 구리와 망간의 합금 등의 저저항 재료로 이루어지는 막을 형성하는 것이 바람직하다. 또한, 인듐주석 산화물, 산화텅스텐을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐아연 산화물, 산화티타늄을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐주석 산화물, 인듐아연 산화물, 산화실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용해도 된다. 또한, 게이트 전극(104), 소스 전극(112a) 및 드레인 전극(112b)에 사용할 수 있는 재료는, 예를 들면, 스퍼터링법을 사용하여 형성할 수 있다.

[0090] <도전막>

[0091] 도전막(120)은, 화소 전극으로서의 기능을 가진다. 도전막(120)으로서는, 예를 들면, 가시광에 있어서, 투광성을 갖는 재료를 사용하면 좋다. 구체적으로는, 인듐(In), 아연(Zn), 주석(Sn) 중에서 선택된 1종을 함유하는 재료를 사용하면 좋다. 또한, 도전막(120)으로서는, 예를 들면, 산화텅스텐을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐아연 산화물, 산화티타늄을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐주석 산화물, 인듐주석 산화물(ITO: Indium Tin Oxide), 인듐아연 산화물, 산화규소를 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다. 또한, 도전막(120)으로서는, 예를 들면, 스퍼터링법을 사용하여 형성할 수 있다.

[0092] <보호 절연막>

[0093] 트랜지스터(150)의 보호 절연막으로서 기능하는 절연막(114, 116, 118)으로서는, 플라즈마 CVD법, 스퍼터링법 등에 의해, 산화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 질화실리콘막, 산화알루미늄막, 산화하프늄막, 산화이트륨막, 산화지르코늄막, 산화갈륨막, 산화탄탈럼막, 산화마그네슘막, 산화란타넘막, 산화세륨막 및 산화네오디뮴막을 1종 이상 함유하는 절연막을, 각각 사용할 수 있다.

[0094] 또한, 트랜지스터(150)의 채널 영역으로서 기능하는 제 1 산화물 반도체막(110)과 접하는 절연막(114)은, 산화물 절연막인 것이 바람직하며, 산소를 방출하는 것이 가능한 절연막을 사용한다. 산소를 방출하는 것이 가능한 절연막을 달리 말하면, 화학량론적 조성보다도 과잉으로 산소를 함유하는 영역(산소 과잉 영역)을 갖는 절연막이다. 또한, 절연막(114)에 산소 과잉 영역을 형성하기 위해서는, 예를 들면, 산소 분위기 하에서 절연막(114)을 형성하면 좋다. 또는, 성막후의 절연막(114)에 산소를 도입하여, 산소 과잉 영역을 형성해도 좋다. 산소

의 도입 방법으로서, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

- [0095] 절연막(114)으로서, 산소를 방출하는 것이 가능한 절연막을 사용함으로써, 트랜지스터(150)의 채널 영역으로서 기능하는 제 1 산화물 반도체막(110)으로 산소를 이동시켜, 제 1 산화물 반도체막(110)의 산소 결손량을 저감시키는 것이 가능해진다. 예를 들면, 승온 탈리 가스 분석(이하, TDS 분석이라고 한다.)에 의해 측정되는, 막의 표면 온도가 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하의 범위에 있어서의 산소 분자의 방출량이,  $1.0 \times 10^{18}$  분자/cm<sup>2</sup> 이상 있는 절연막을 사용함으로써, 제 1 산화물 반도체막(110)에 함유되는 산소 결손량을 저감시킬 수 있다.
- [0096] 또한, 절연막(114)은, 결함량이 적은 것이 바람직하며, 대표적으로는, ESR 측정에 의해, 실리콘의 맵글링 본드에 유래하는  $g=2.001$ 에 나타나는 신호의 스핀 밀도가  $3 \times 10^{17}$  spins/cm<sup>2</sup> 이하인 것이 바람직하다. 이것은, 절연막(114)에 포함되는 결함 밀도가 많으면, 상기 결함에 산소가 결합해 버려, 절연막(114)에 있어서의 산소의 투과량이 감소되어 버리기 때문이다. 또한, 절연막(114)과 제 1 산화물 반도체막(110)의 계면에 있어서의 결함량이 적은 것이 바람직하며, 대표적으로는, ESR 측정에 의해, 제 1 산화물 반도체막(110)의 결함에 유래하는  $g$ 값이 1.89 이상 1.96 이하에 나타나는 신호의 스핀 밀도가  $1 \times 10^{17}$  spins/cm<sup>2</sup> 이하, 그위에 검출 하한 이하인 것이 바람직하다.
- [0097] 또한, 절연막(114)에 있어서는, 외부로부터 절연막(114)으로 들어간 산소가 모두 절연막(114)의 외부로 이동하는 경우가 있다. 또는, 외부로부터 절연막(114)으로 들어간 산소의 일부가, 절연막(114)에 머무르는 경우도 있다. 또한, 외부로부터 절연막(114)으로 산소가 들어오는 동시에, 절연막(114)에 함유되는 산소가 절연막(114)의 외부로 이동함으로써, 절연막(114)에 있어서 산소의 이동이 생기는 경우도 있다. 절연막(114)으로서 산소를 투과할 수 있는 산화물 절연막을 형성하면, 절연막(114) 위에 설치되는 절연막(116)으로부터 탈리되는 산소를, 절연막(114)을 개재하여 제 1 산화물 반도체막(110)으로 이동시킬 수 있다.
- [0098] 또한, 절연막(114)은, 질소 산화물에 기인하는 준위 밀도가 낮은 산화물 절연막을 사용하여 형성할 수 있다. 또한, 상기 질소 산화물에 기인하는 준위 밀도는, 산화물 반도체막의 가전자대 상단의 에너지( $E_{v,os}$ )와, 산화물 반도체막의 전도대 하단의 에너지( $E_{c,os}$ ) 사이에 형성될 수 있는 경우가 있다. 상기 산화물 절연막으로서, 질소 산화물의 방출량이 적은 산화질화실리콘막, 또는 질소 산화물의 방출량이 적은 산화질화알루미늄막 등을 사용할 수 있다.
- [0099] 또한, 질소 산화물의 방출량이 적은 산화질화실리콘막은, 승온 탈리 가스분석법에 있어서, 질소 산화물의 방출량보다 암모니아의 방출량이 많은 막이며, 대표적으로는 암모니아 분자의 방출량이  $1 \times 10^{18}$  분자/cm<sup>2</sup> 이상  $5 \times 10^{19}$  분자/cm<sup>2</sup> 이하이다. 또한, 암모니아의 방출량은, 막의 표면 온도가 50℃ 이상 650℃ 이하, 바람직하게는 50℃ 이상 550℃ 이하의 가열 처리에 의한 방출량으로 한다.
- [0100] 질소 산화물( $NO_x$ ,  $x$ 는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하), 대표적으로는  $NO_2$  또는  $NO$ 는, 절연막(114) 등에 준위를 형성한다. 상기 준위는, 제 1 산화물 반도체막(110)의 에너지 갭 내에 위치한다. 이로 인해, 질소 산화물이, 절연막(114) 및 제 1 산화물 반도체막(110)의 계면으로 확산되면, 상기 준위가 절연막(114)측에 있어서 전자를 포획하는 경우가 있다. 이 결과, 포획된 전자가, 절연막(114) 및 제 1 산화물 반도체막(110) 계면 근방에 머물기 때문에, 트랜지스터의 임계값 전압을 플러스 방향으로 시프트시켜 버린다.
- [0101] 또한, 질소 산화물은, 가열 처리에 있어서 암모니아 및 산소와 반응한다. 절연막(114)에 함유되는 질소 산화물은, 가열 처리에 있어서, 절연막(216)에 함유되는 암모니아와 반응하기 때문에, 절연막(114)에 함유되는 질소 산화물이 저감된다. 이로 인해, 절연막(114) 및 제 1 산화물 반도체막(110)의 계면에 있어서, 전자가 포획되기 어렵다.
- [0102] 절연막(114)으로서, 상기 산화물 절연막을 사용함으로써, 트랜지스터의 임계값 전압의 시프트를 저감시키는 것이 가능하여, 트랜지스터의 전기 특성의 변동을 저감시킬 수 있다.
- [0103] 또한, 트랜지스터의 제작 공정의 가열 처리, 대표적으로는 400℃ 미만 또는 375℃ 미만(바람직하게는, 340℃ 이상 360℃ 이하)의 가열 처리에 의해, 절연막(114)은, 100K 이하의 ESR로 측정하여 얻어진 스펙트럼에 있어서  $g$ 값이 2.037 이상 2.039 이하인 제 1 시그널,  $g$ 값이 2.001 이상 2.003 이하인 제 2 시그널, 및  $g$ 값이 1.964 이상 1.966 이하인 제 3 시그널이 관측된다. 또한, 제 1 시그널 및 제 2 시그널의 스플릿 폭, 및 제 2 시그널 및

제 3 시그널의 스플릿 폭은, X 밴드의 ESR 측정에 있어서 약 5mT이다. 또한, g값이 2.037 이상 2.039 이하인 제 1 시그널, g값이 2.001 이상 2.003 이하인 제 2 시그널, 및 g값이 1.964 이상 1.966 이하인 제 3 시그널의 스핀의 밀도 합계가  $1 \times 10^{18}$  spins/cm<sup>2</sup> 미만이며, 대표적으로는  $1 \times 10^{17}$  spins/cm<sup>2</sup> 이상  $1 \times 10^{18}$  spins/cm<sup>2</sup> 미만이다.

[0104] 또한, 100K 이하의 ESR 스펙트럼에 있어서 g값이 2.037 이상 2.039 이하인 제 1 시그널, g값이 2.001 이상 2.003 이하인 제 2 시그널, 및 g값이 1.964 이상 1.966 이하인 제 3 시그널은, 질소 산화물(NO<sub>x</sub>, x는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하)에 기인하는 시그널에 상당한다. 질소 산화물의 대표예로서는, 일산화질소, 이산화질소 등이 있다. 즉, g값이 2.037 이상 2.039 이하인 제 1 시그널, g값이 2.001 이상 2.003 이하인 제 2 시그널, 및 g값이 1.964 이상 1.966 이하인 제 3 시그널의 스핀의 밀도 합계가 적을수록, 산화물 절연막에 함유되는 질소 산화물의 함유량이 적다고 할 수 있다.

[0105] 또한, 상기 산화물 절연막은, SIMS으로 측정되는 질소 농도가  $6 \times 10^{20}$  atoms/cm<sup>3</sup> 이하이다.

[0106] 기판 온도가 220℃ 이상 350℃ 이하이며, 실란 및 일산화이질소를 사용한 PECVD법을 사용하여, 상기 산화물 절연막을 형성함으로써, 치밀하고, 또한 경도가 높은 막을 형성할 수 있다.

[0107] 절연막(114)에 접하도록 형성되는 절연막(116)은, 화학량론적 조성을 충족시키는 산소보다도 많은 산소를 함유하는 산화물 절연막을 사용하여 형성한다. 화학량론적 조성을 충족시키는 산소보다도 많은 산소를 함유하는 산화물 절연막은, 가열에 의해 산소의 일부가 탈리된다. 화학량론적 조성을 충족시키는 산소보다도 많은 산소를 함유하는 산화물 절연막은, 승온 탈리 가스 분광법(TDS: Thermal Desorption Spectroscopy)로, 산소 원자로 환산한 산소의 방출량이  $1.0 \times 10^{19}$  atoms/cm<sup>2</sup> 이상, 바람직하게는  $3.0 \times 10^{20}$  atoms/cm<sup>2</sup> 이상인 산화물 절연막이다. 또한, 상기 TDS에 있어서의 막의 표면 온도로서는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하의 범위가 바람직하다.

[0108] 또한, 절연막(116)은, 결합량이 적은 것이 바람직하며, 대표적으로는, ESR 측정에 의해, 실리콘의 뎅글링 본드에 유래하는  $g=2.001$ 에 나타나는 신호의 스핀 밀도가  $1.5 \times 10^{18}$  spins/cm<sup>2</sup> 미만, 또한  $1 \times 10^{18}$  spins/cm<sup>2</sup> 이하인 것이 바람직하다. 또한, 절연막(116)은, 절연막(114)과 비교하여 제 1 산화물 반도체막(110)으로부터 떨어져 있기 때문에, 절연막(114)보다, 결합 밀도가 많아도 좋다.

[0109] 절연막(114)의 두께는, 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하, 바람직하게는 10nm 이상 30nm 이하로 할 수 있다. 절연막(116)의 두께는, 30nm 이상 500nm 이하, 바람직하게는 150nm 이상 400nm 이하로 할 수 있다.

[0110] 또한, 절연막(114, 116)은, 동종 재료의 절연막을 사용할 수 있기 때문에, 절연막(114)과 절연막(116)의 계면을 명확하게 확인할 수 없는 경우가 있다. 따라서, 본 실시형태에 있어서는, 절연막(114)과 절연막(116)의 계면은, 과선으로 도시하고 있다. 또한, 본 실시형태에 있어서는, 절연막(114)과 절연막(116)의 2층 구조에 관해서 설명했지만, 이것으로 한정되지 않으며, 예를 들면, 절연막(114)의 단층 구조, 절연막(116)의 단층 구조, 또는 3층 이상의 적층 구조로 해도 좋다.

[0111] 용량 소자(160)의 유전체막으로서 기능하는 절연막(118)으로서, 질화물 절연막인 것이 바람직하다. 특히 질화실리콘막은, 산화실리콘막과 비교하여 비유전율이 높고, 산화실리콘막과 동등한 정전 용량을 얻는데 필요한 막 두께가 크기 때문에, 용량 소자(160)의 유전체막으로서 기능하는 절연막(118)으로서, 질화실리콘막을 함유함으로써 절연막을 물리적으로 후막화할 수 있다. 따라서, 용량 소자(160)의 절연 내압의 저하를 억제, 또는 절연 내압을 향상시켜, 용량 소자(160)의 정전 파괴를 억제할 수 있다. 또한, 절연막(118)은, 용량 소자(160)의 전극으로서 기능하는 제 2 산화물 반도체막(111)의 저항율을 저하시키는 기능도 가진다.

[0112] 또한, 절연막(118)은, 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등을 블로킹할 수 있는 기능을 가진다. 절연막(118)을 설치함으로써, 제 1 산화물 반도체막(110)으로부터의 산소의 외부로의 확산과, 절연막(114, 116)에 함유되는 산소의 외부로의 확산과, 외부로부터 제 1 산화물 반도체막(110)으로의 수소, 물 등의 침입을 방지할 수 있다. 또한, 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등의 블로킹 효과를 갖는 질화물 절연막 대신에, 산소, 수소, 물 등의 블로킹 효과를 갖는 산화물 절연막을 설치해도 좋다. 산소, 수소, 물 등의 블로킹 효과를 갖는 산화물 절연막으로서, 산화알루미늄, 산화질화알루미늄, 산화갈륨, 산화질화갈륨, 산화이트륨, 산화질화이트륨, 산화하프늄, 산화질화하프늄 등이 있다.

- [0113] <표시 장치의 제작 방법>
- [0114] 다음에, 도 1의 (A), (B)에 도시하는 반도체 장치의 제작 방법의 일례에 관해서, 도 3 내지 도 6을 사용하여 설명한다.
- [0115] 우선, 기판(102) 위에 게이트 전극(104)을 형성한다. 그 후, 기판(102), 및 게이트 전극(104) 위에 절연막(106, 107)을 포함하는 절연막(108)을 형성한다(도 3의 (A) 참조).
- [0116] 또한, 기판(102), 게이트 전극(104), 및 절연막(106, 107)으로서는, 상기의 열거한 재료 중에서 선택함으로써 형성할 수 있다. 또한, 본 실시형태에 있어서는, 기판(102)으로서는 유리 기판을 사용하고, 게이트 전극(104)으로서는, 도전막으로서 텅스텐막을 사용하고, 절연막(106)으로서는, 수소를 방출하는 것이 가능한 질화실리콘막을 사용하고, 절연막(107)으로서는, 산소를 방출하는 것이 가능한 산화질화실리콘막을 사용한다.
- [0117] 게이트 전극(104)은, 기판(102) 위에 도전막을 성막후, 상기 도전막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0118] 다음에, 절연막(108) 위의 게이트 전극(104)과 중첩되는 위치에 제 1 산화물 반도체막(110)을 형성한다(도 3의 (B) 참조).
- [0119] 제 1 산화물 반도체막(110)으로서는, 상기의 열거한 재료 중에서 선택함으로써, 형성할 수 있다. 또한, 본 실시형태에 있어서는, 제 1 산화물 반도체막(110)으로서는, In-Ga-Zn 산화물막(In:Ga:Zn=1:1:1.2의 금속 산화물 타깃을 사용.)을 사용한다.
- [0120] 또한, 제 1 산화물 반도체막(110)은, 절연막(108) 위에 산화물 반도체막을 성막후, 상기 산화물 반도체막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0121] 제 1 산화물 반도체막(110)을 형성후, 열처리를 행하면 바람직하다. 상기 열처리는, 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 보다 바람직하게는 350℃ 이상 450℃ 이하의 온도에서, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 함유하는 분위기, 또는 감압 분위기에서 행하면 좋다. 또한, 열처리의 분위기는, 불활성 가스 분위기에서 열처리를 행한 후에, 제 1 산화물 반도체막(110)으로부터 탈리된 산소를 보충하기 위해서 산화성 가스를 10ppm 이상 함유하는 분위기에서 행해도 좋다. 여기에서의 열처리에 의해, 절연막(106, 107), 및 제 1 산화물 반도체막(110)의 적어도 1개로부터 수소나 물 등의 불순물을 제거할 수 있다. 또한, 상기 열처리는, 제 1 산화물 반도체막(110)을 섬 형상으로 가공하기 전에 행해도 좋다.
- [0122] 또한, 제 1 산화물 반도체막(110)을 채널 영역으로 하는 트랜지스터(150)에 안정된 전기 특성을 부여하기 위해서는, 제 1 산화물 반도체막(110) 중의 불순물을 저감시켜, 제 1 산화물 반도체막(110)을 진성 또는 실질적으로 진성으로 하는 것이 유효하다.
- [0123] 다음에, 절연막(108), 및 제 1 산화물 반도체막(110) 위에 도전막을 성막하고, 상기 도전막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써, 절연막(108) 및 제 1 산화물 반도체막(110) 위에 소스 전극(112a), 및 드레인 전극(112b)을 형성한다(도 3의 (C) 참조).
- [0124] 소스 전극(112a), 및 드레인 전극(112b)으로서는, 상기의 열거한 재료 중에서 선택함으로써 형성할 수 있다. 또한, 본 실시형태에 있어서는, 소스 전극(112a), 및 드레인 전극(112b)으로서는, 텅스텐막과, 알루미늄막과, 티타늄막의 3층의 적층 구조를 사용한다.
- [0125] 또한, 소스 전극(112a), 및 드레인 전극(112b) 형성후에, 제 1 산화물 반도체막(110)의 표면을 세정해도 좋다. 상기 세정 방법으로서, 예를 들면, 인산 등의 용액을 사용한 세정을 들 수 있다. 인산 등의 용액을 사용하여 세정을 행함으로써, 제 1 산화물 반도체막(110)의 표면에 부착된 불순물(예를 들면, 소스 전극(112a), 및 드레인 전극(112b)에 함유되는 원소 등)을 제거할 수 있다. 또한, 상기 세정을 반드시 행할 필요는 없으며, 경우에 따라서는, 세정을 행하지 않아도 좋다.
- [0126] 또한, 소스 전극(112a), 및 드레인 전극(112b)을 형성하는 공정, 및 상기 세정 공정 중 어느 한쪽 또는 쌍방에 있어서, 제 1 산화물 반도체막(110)의 소스 전극(112a), 및 드레인 전극(112b)으로부터 노출된 영역이, 닳아지는 경우가 있다.
- [0127] 다음에, 절연막(108), 제 1 산화물 반도체막(110), 소스 전극(112a), 및 드레인 전극(112b) 위에 절연막(114, 116)을 형성한다. 그리고, 절연막(114, 116)의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭

함으로써, 개구(141)를 형성한다(도 3의 (D) 참조).

- [0128] 또한, 절연막(114)을 형성한 후, 대기에 노출시키지 않고, 연속적으로 절연막(116)을 형성하는 것이 바람직하다. 절연막(114)을 형성후, 대기 개방하지 않고, 원료 가스의 유량, 압력, 고주파 전력 및 기판 온도의 하나 이상을 조정하여, 절연막(116)을 연속적으로 형성함으로써, 절연막(114)과 절연막(116)의 계면에 있어서 대기 성분 유래의 불순물 농도를 저감시킬 수 있는 동시에, 절연막(114, 116)에 함유되는 산소를 제 1 산화물 반도체막(110)으로 이동시키는 것이 가능해지고, 제 1 산화물 반도체막(110)의 산소 결손량을 저감시키는 것이 가능해진다.
- [0129] 또한, 절연막(116)의 형성 공정에 있어서, 절연막(114)이 제 1 산화물 반도체막(110)의 보호막이 된다. 따라서, 제 1 산화물 반도체막(110)으로의 대미지를 저감시키면서, 파워 밀도가 높은 고주파 전력을 사용하여 절연막(116)을 형성할 수 있다.
- [0130] 절연막(114, 116)으로서는, 상기의 열거한 재료 중에서 선택함으로써 형성할 수 있다. 또한, 본 실시형태에 있어서는, 절연막(114, 116)으로서는, 산소를 방출하는 것이 가능한 산화질화실리콘막을 사용한다.
- [0131] 또한, 절연막(114, 116)을 성막한 후에, 가열 처리(이하, 제 1 가열 처리로 한다)를 행하면 바람직하다. 제 1 가열 처리에 의해, 절연막(114, 116)에 함유되는 질소 산화물을 저감시킬 수 있다. 또는, 제 1 가열 처리에 의해, 절연막(114, 116)에 함유되는 산소의 일부를 제 1 산화물 반도체막(110)으로 이동시켜, 제 1 산화물 반도체막(110)에 함유되는 산소 결손량을 저감시킬 수 있다.
- [0132] 제 1 가열 처리의 온도는, 대표적으로는, 400℃ 미만, 바람직하게는 375℃ 미만, 더욱 바람직하게는, 150℃ 이상 350℃ 이하로 한다. 제 1 가열 처리는, 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더욱 바람직하게는 10ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기 하에서 행하면 좋다. 또한, 상기 질소, 산소, 초건조 공기, 또는 희가스에 수소, 물 등이 함유되지 않는 것이 바람직하다. 상기 가열 처리에는, 전기로, RTA(Rapid Thermal Anneal) 장치 등을 사용할 수 있다.
- [0133] 개구(141)는, 드레인 전극(112b)이 노출되도록 형성한다. 개구(141)의 형성방법으로서는, 예를 들면, 드라이 에칭법을 사용할 수 있다. 단, 개구(141)의 형성 방법으로는, 이것으로 한정되지 않으며, 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 해도 좋다. 또한, 개구(141)를 형성하기 위한 에칭 공정에 의해, 드레인 전극(112b)의 막 두께가 감소되는 경우가 있다.
- [0134] 다음에, 개구(141)를 덮도록, 절연막(116) 위에 제 2 산화물 반도체막(111)이 되는 산화물 반도체막을 형성한다(도 4의 (A), (B) 참조).
- [0135] 또한, 도 4의 (A)는, 절연막(116) 위에 산화물 반도체막을 형성할 때의, 성막 장치 내부의 단면 모식도이다. 도 4의 (A)에서는, 성막 장치로서 스퍼터링 장치를 사용하고, 상기 스퍼터링 장치 내부에 설치된 타깃(193)과, 타깃(193)의 하방에 형성된 플라즈마(194)가, 모식적으로 도시되어 있다.
- [0136] 우선, 산화물 반도체막을 형성할 때에, 산소 가스를 함유하는 분위기에서 플라즈마를 방전시킨다. 그 때, 산화물 반도체막의 피형성면이 되는 절연막(116) 중에, 산소가 첨가된다. 또한, 산화물 반도체막을 형성할 때에, 산소 가스 이외에, 불활성 가스(예를 들면, 헬륨 가스, 아르곤 가스, 크세논 가스 등)를 혼합시켜도 좋다. 예를 들면, 아르곤 가스와, 산소 가스를 사용하고, 아르곤 가스의 유량보다도 산소 가스의 유량을 많게 하는 것이 바람직하다. 산소 가스의 유량을 많게 함으로써, 적합하게 절연막(116)에 산소를 첨가할 수 있다. 일례로서는, 산화물 반도체막의 형성 조건으로서는, 성막 가스 전체에 차지하는 산소 가스의 비율을, 50% 이상 100% 이하, 바람직하게는, 80% 이상 100% 이하로 하면 좋다.
- [0137] 또한, 도 4의 (A)에 있어서, 절연막(116)에 첨가되는 산소 또는 과잉 산소를 모식적으로 파선의 화살표로 나타내고 있다.
- [0138] 또한, 산화물 반도체막을 성막할 때의 기판 온도로서는, 실온 이상 340℃ 미만, 바람직하게는 실온 이상 300℃ 이하, 보다 바람직하게는 100℃ 이상 250℃ 이하, 더욱 바람직하게는 100℃ 이상 200℃ 이하이다. 산화물 반도체막을 가열하여 성막함으로써, 산화물 반도체막의 결정성을 높일 수 있다. 한편, 기판(102)으로서, 대형의 유리 기판(예를 들면, 제 6 세대 내지 제 10 세대)을 사용하는 경우, 산화물 반도체막을 성막할 때의 기판 온도를 150℃ 이상 340℃ 미만으로 한 경우, 기판(102)이 변형(일그러지거나 또는 휘어지는)되는 경우가 있다. 따라서, 대형의 유리 기판을 사용하는 경우에 있어서는, 산화물 반도체막을 성막할 때의 기판 온도를 100℃ 이상 150℃ 미만으로 함으로써, 유리 기판의 변형을 억제할 수 있다.

- [0139] 상기 산화물 반도체막으로서는, 상기의 열거한 재료 중에서 선택함으로써 형성할 수 있다. 본 실시형태에서는, In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=1:3:6[원자수비])을 사용하고, 스퍼터링법에 의해 산화물 반도체막을 형성한다.
- [0140] 다음에, 상기 산화물 반도체막을 원하는 형상으로 가공함으로써, 섬 형상의 제 2 산화물 반도체막(111)을 형성한다(도 4의 (C) 참조).
- [0141] 제 2 산화물 반도체막(111)은, 절연막(116) 위에 산화물 반도체막을 성막후, 상기 산화물 반도체막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0142] 다음에, 절연막(116), 및 제 2 산화물 반도체막(111) 위에 절연막(118)을 형성한다(도 5의 (A) 참조).
- [0143] 절연막(118)은, 수소 및 질소 중 어느 한쪽 또는 쌍방을 가진다. 절연막(118)으로서는, 예를 들면, 질화실리콘막을 사용하면 적합하다. 또한, 절연막(118)으로서는, 예를 들면, 스퍼터링법 또는 PECVD법을 사용하여 형성할 수 있다. 예를 들면, 절연막(118)을 PECVD법으로 성막하는 경우, 기판 온도는 400℃ 미만, 바람직하게는 375℃ 미만, 더욱 바람직하게는 180℃ 이상 350℃ 이하이다. 절연막(118)을 성막하는 경우의 기판 온도를, 상기의 범위로 함으로써, 치밀한 막을 형성할 수 있기 때문에 바람직하다. 또한, 절연막(118)을 성막하는 경우의 기판 온도를, 상기의 범위로 함으로써, 절연막(114, 116) 중의 산소 또는 과잉 산소를, 제 1 산화물 반도체막(110)으로 이동시키는 것이 가능하다.
- [0144] 또한, 절연막(118) 형성후에, 앞에 기재된 제 1 가열 처리와 동등한 가열 처리(이하, 제 2 가열 처리로 한다)를 행해도 된다. 이와 같이, 제 2 산화물 반도체막(111)이 되는 산화물 반도체막의 성막시에, 절연막(116)에 산소를 첨가한 후에, 400℃ 미만, 바람직하게는 375℃ 미만, 더욱 바람직하게는 150℃ 이상 350℃ 이하의 온도로, 가열 처리를 행함으로써, 절연막(116) 중의 산소 또는 과잉 산소를 제 1 산화물 반도체막(110) 중으로 이동시켜, 제 1 산화물 반도체막(110) 중의 산소 결손을 보충할 수 있다.
- [0145] 여기에서, 제 1 산화물 반도체막(110) 중으로 이동하는 산소에 관해서, 도 6을 사용하여 설명을 행한다. 도 6은, 절연막(118) 성막시의 기판 온도(대표적으로는 375℃ 미만), 또는 절연막(118) 형성후의 제 2 가열 처리(대표적으로는 375℃ 미만)에 의해, 제 1 산화물 반도체막(110) 중으로 이동하는 산소를 나타내는 모델도이다. 도 6 중에 있어서, 제 1 산화물 반도체막(110) 중에 나타내는 산소(산소 라디칼, 산소 원자, 또는 산소 분자)를 과선의 화살표로 나타내고 있다. 또한, 도 6의 (A) 및 (B)는 절연막(118) 성막후의, 각각 도 1의 (A)에 나타내는 일점쇄선 A-B 및 일점쇄선 E-F에 대응하는 단면도이다.
- [0146] 도 6에 도시하는 제 1 산화물 반도체막(110)은, 제 1 산화물 반도체막(110)에 접하는 막(여기서는, 절연막(107), 및 절연막(114))으로부터 산소가 이동함으로써, 산소 결손이 보충된다. 특히, 본 발명의 일 형태의 반도체 장치에 있어서, 제 1 산화물 반도체막(110)이 되는 산화물 반도체막의 스퍼터링 성막시에, 산소 가스를 사용하여, 절연막(107) 중에 산소를 첨가하는 경우, 절연막(107)은 과잉 산소 영역을 가진다. 또한, 제 2 산화물 반도체막(111)이 되는 산화물 반도체막의 스퍼터링 성막시에, 산소 가스를 사용하여, 절연막(116) 중에 산소를 첨가하기 때문에, 절연막(116)은 과잉 산소 영역을 가진다. 따라서, 상기 과잉 산소 영역을 갖는 절연막 사이에 개재된 제 1 산화물 반도체막(110)은, 산소 결손이 적합하게 보충된다.
- [0147] 또한, 절연막(107)의 하방에는, 절연막(106)이 설치되어 있고, 절연막(114, 116)의 상방에는, 절연막(118)이 설치되어 있다. 절연막(106, 118)을 산소 투과성이 낮은 재료, 예를 들면, 질화실리콘 등에 의해 형성함으로써, 절연막(107, 114, 116) 중에 함유되는 산소를 제 1 산화물 반도체막(110)측에 가둘 수 있기 때문에, 적절하게 제 1 산화물 반도체막(110)으로 산소를 이동시키는 것이 가능해진다. 또한, 절연막(118)은, 외부로부터의 불순물, 예를 들면, 물, 알칼리 금속, 알칼리 토금속 등이, 트랜지스터(150)에 포함되는 제 1 산화물 반도체막(110)으로 확산되는 것을 방지하는 효과도 나타낸다.
- [0148] 또한, 절연막(118)은, 수소 및 질소 중 어느 한쪽 또는 쌍방을 가진다. 이로 인해, 절연막(118)을 형성함으로써, 절연막(118)에 접하는 제 2 산화물 반도체막(111)은, 수소 및 질소 중 어느 한쪽 또는 쌍방이 첨가됨으로써, 캐리어 밀도가 높아져, 산화물 도전막으로서 기능할 수 있다.
- [0149] 또한, 제 2 산화물 반도체막(111)의 저항율의 저하에 따라, 도 4의 (C)와 도5의 (A)에 도시하는 제 2 산화물 반도체막(111)의 해칭을 바꾸어 도시하고 있다.
- [0150] 제 2 산화물 반도체막(111)의 저항율은, 적어도 제 1 산화물 반도체막(110)보다도 낮고, 바람직하게는,  $1 \times 10^{-1}$

$^3\Omega\text{cm}$  이상  $1\times 10^4\Omega\text{cm}$  미만, 더욱 바람직하게는,  $1\times 10^{-3}\Omega\text{cm}$  이상  $1\times 10^{-1}\Omega\text{cm}$  미만이면 좋다.

- [0151] 다음에, 절연막(118)의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 개구(142)를 형성한다(도 5의 (B) 참조).
- [0152] 개구(142)로서는, 드레인 전극(112b)이 노출되도록 형성한다. 개구(142)의 형성 방법으로서, 예를 들면, 드라이 에칭법을 사용할 수 있다. 단, 개구(142)의 형성 방법으로서, 이것으로 한정되지 않으며, 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 해도 된다. 또한, 개구(142)를 형성하기 위한 에칭 공정에 의해, 드레인 전극(112b)의 막 두께가 감소되는 경우가 있다.
- [0153] 또한, 상기의 개구(141)를 형성하는 공정을 행하지 않고, 개구(142)를 형성하는 공정에 있어서 절연막(114, 116, 118)에 개구를 연속하여 형성해도 좋다. 이러한 공정으로 함으로써, 본 발명의 일 형태의 반도체 장치의 제작 공정을 감소시키는 것이 가능해지기 때문에, 제조 비용을 억제할 수 있다.
- [0154] 다음에, 개구(142)를 덮도록 절연막(118) 위에 도전막을 성막하고, 상기 도전막의 원하는 형상이 남도록 패터닝 및 에칭을 행하여, 도전막(120)을 형성한다(도 5의 (C) 참조).
- [0155] 도전막(120)으로서, 상기의 열거한 재료 중에서 선택함으로써 형성할 수 있다. 또한, 본 실시형태에 있어서는, 도전막(120)으로서, 인듐주석 산화물막을 사용한다.
- [0156] 또한, 도전막(120)의 형성에 따라, 용량 소자(160)가 제작된다. 용량 소자(160)는, 한 쌍의 전극간에 유전체층이 협지된 구조이며, 한 쌍의 전극 중 한쪽이 제 2 산화물 반도체막(111)이며, 한 쌍의 전극 중 다른쪽이 도전막(120)이다. 또한, 절연막(118)이 용량 소자(160)의 유전체층으로서 기능한다.
- [0157] 이상의 공정에 의해, 트랜지스터(150)와, 용량 소자(160)를 동일 기판 위에 형성할 수 있다.
- [0158] 이상, 본 실시형태에서 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0159] (실시형태 2)
- [0160] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치에 관해서, 실시형태 1에 나타내는 반도체 장치의 변형에 관해서, 도 7 내지 도 9를 사용하여 설명한다. 또한, 실시형태 1의 도 1 내지 도 4에서 나타난 부호와 같은 개소 또는 같은 기능을 갖는 개소에 관해서는 같은 부호를 사용하고, 그 반복 설명은 생략한다.
- [0161] <반도체 장치의 구성예(변형예 1)>
- [0162] 도 7의 (A)는, 본 발명의 일 형태의 반도체 장치의 상면도이며, 도 7의 (B)는, 도 7의 (A)의 일점쇄선 G-H 간, 일점쇄선 I-J간, 및 일점쇄선 K-L 간의 각 절단선에 대응하는 단면도에 상당한다. 또한, 도 7의 (A)에 있어서, 번잡해지는 것을 피하기 위해서, 반도체 장치의 구성 요소의 일부(게이트 절연막 등)를 생략하여 도시하고 있다.
- [0163] 도 7의 (A), (B)에 도시하는 반도체 장치는, 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111a)을 포함하는 트랜지스터(151)와, 제 2 산화물 반도체막(111b)을 포함하는 게이트 배선 콘택트부(170)를 가진다. 또한, 게이트 배선 콘택트부(170)는, 게이트 배선(105)과 배선(112)이 전기적으로 접속되는 영역을 말한다.
- [0164] 또한, 도 7의 (A)의 일점쇄선 G-H는 트랜지스터(151)의 채널 길이 방향을 나타내고 있다. 또한 일점쇄선 K-L은 트랜지스터(151)의 채널 폭 방향을 나타내고 있다.
- [0165] 트랜지스터(151)는, 기판(102) 위의 게이트 전극(104)과, 게이트 전극(104) 위의 제 1 게이트 절연막으로서 기능하는 절연막(108)과, 절연막(108) 위의 게이트 전극(104)과 중첩되는 위치의 제 1 산화물 반도체막(110)과, 제 1 산화물 반도체막(110) 위의 소스 전극(112a) 및 드레인 전극(112b)과, 제 1 산화물 반도체막(110), 소스 전극(112a) 및 드레인 전극(112b) 위의 제 2 게이트 절연막으로서 기능하는 절연막(114, 116)과, 절연막(116) 위의 제 1 산화물 반도체막(110)과 중첩되는 위치에 설치되는 제 2 산화물 반도체막(111a)을 가진다. 제 2 산화물 반도체막(111a)은, 트랜지스터(151)에 있어서 제 2 게이트 전극으로서의 기능을 가진다. 즉, 도 7의 (A), (B)에 도시하는 트랜지스터(151)는, 소위 더블 게이트 구조이다.
- [0166] 또한, 트랜지스터(151) 위, 보다 상세하게는, 절연막(116) 및 제 2 산화물 반도체막(111a) 위에 절연막(118)이 형성되어 있다. 절연막(114, 116)은, 트랜지스터(151)의 제 2 게이트 절연막으로서 기능하는 동시에, 트랜지스터(151)의 보호 절연막으로서의 기능을 가진다. 절연막(118)은, 트랜지스터(151)의 보호 절연막으로서의 기능

을 가진다.

- [0167] 게이트 배선 콘택트부(170)에 있어서는, 절연막(108)에 설치된 개구(146) 및 절연막(114,116)에 설치된 개구(144)를 덮도록, 게이트 배선(105) 및 배선(112) 위에 제 2 산화물 반도체막(111b)이 형성되어 있다.
- [0168] 본 실시형태에 나타내는 반도체 장치는, 게이트 배선 콘택트부(170)에 있어서, 게이트 배선(105)과 배선(112)이 제 2 산화물 반도체막(111b)을 개재하여 전기적으로 접속되는 구성으로 하고 있다. 이러한 구성에 의해, 개구(144) 및 개구(146)를 연속적으로 형성할 수 있기 때문에, 반도체 장치의 제작 공정을 단축시킬 수 있다.
- [0169] 또한, 제 2 산화물 반도체막(111b) 위에 산소의 침입을 블록하는 보호막이 없는 경우, 고온 고습 환경에 있어서 제 2 산화물 반도체막(111b)이 변질되어, 저항이 증대되는 경우가 있다. 본 실시형태에 나타내는 반도체 장치는, 제 2 산화물 반도체막(111b)이 절연막(118)으로 덮여 있기 때문에, 새롭게 보호막을 형성하지 않고 반도체 장치의 고온 고습 내성을 향상시킬 수 있다.
- [0170] 또한, 절연막(118)으로서, 적어도 수소를 함유하는 절연막을 사용한다. 또한, 절연막(107, 114, 116)으로서, 적어도 산소를 함유하는 절연막을 사용한다. 이와 같이, 트랜지스터(151) 및 게이트 배선 콘택트부(170)에 사용하는 절연막 또는 트랜지스터(151) 및 게이트 배선 콘택트부(170)에 접하는 절연막을, 상기 구성의 절연막으로 함으로써, 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111a, 111b)의 저항율을 제어할 수 있다.
- [0171] 또한, 제 1 산화물 반도체막(110), 및 제 2 산화물 반도체막(111a, 111b)의 저항율에 관해서는, 실시형태 1의 기재를 참조함으로써, 제어할 수 있다.
- [0172] 실시형태 1의 도 1의 (A), (B)에 기재된 반도체 장치와, 도 7의 (A), (B)에 도시하는 반도체 장치의 주된 차이로서는, 용량 소자(160) 대신에 게이트 배선 콘택트부(170)가 설치되어 있는 점, 트랜지스터(151)에 있어서 제 2 게이트 전극의 기능을 갖는 제 2 산화물 반도체막(111a)이 설치되어 있는 점, 및 도전막(120)을 갖지 않는 점이다.
- [0173] <표시 장치의 제작 방법(변형예 1)>
- [0174] 다음에, 도 7의 (A), (B)에 도시하는 반도체 장치의 제작 방법의 일례에 관해서, 도 8 및 도 9를 사용하여 설명한다.
- [0175] 우선, 기판(102) 위에 게이트 전극(104) 및 게이트 배선(105)을 형성한다. 그 후, 게이트 전극(104) 및 게이트 배선(105) 위에 절연막(106, 107)을 포함하는 절연막(108)을 형성한다(도 8의 (A) 참조). 게이트 배선(105)은, 게이트 전극(104)과 같은 재료를 사용하여 동시에 형성할 수 있다.
- [0176] 다음에, 절연막(108) 위의 게이트 전극(104)과 중첩되는 위치에 제 1 산화물 반도체막(110)을 형성한다(도 8 (B) 참조).
- [0177] 제 1 산화물 반도체막(110)은, 절연막(108) 위에 산화물 반도체막을 성막하고, 상기 산화물 반도체막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0178] 또한, 제 1 산화물 반도체막(110)의 에칭 가공시에, 오버에칭에 의해 절연막(107)의 일부(제 1 산화물 반도체막(110)으로부터 노출된 영역)가 에칭되어 막 두께가 감소되는 경우가 있다.
- [0179] 제 1 산화물 반도체막(110)을 형성후, 열처리를 행하면 바람직하다. 상기 열처리는, 실시형태 1의 제 1 산화물 반도체막(110) 형성후의 열처리를 참조함으로써 행할 수 있다.
- [0180] 다음에, 절연막(108), 및 제 1 산화물 반도체막(110) 위에 도전막을 성막하고, 상기 도전막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 소스 전극(112a), 드레인 전극(112b) 및 배선(112)을 형성한다(도 8의 (C) 참조). 배선(112)은, 소스 전극(112a) 및 드레인 전극(112b)과 같은 재료를 사용하여 동시에 형성할 수 있다.
- [0181] 다음에, 절연막(108), 제 1 산화물 반도체막(110), 소스 전극(112a), 드레인 전극(112b) 및 배선(112) 위에 절연막(114, 116)을 형성한다(도 8의 (D) 참조). 절연막(114, 116) 형성후에, 실시형태 1에서 나타낸 제 1 가열처리를 행하는 것이 바람직하다.
- [0182] 다음에, 절연막(106, 107, 114, 116)의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 개구(144) 및 개구(146)를 형성한다(도 9의 (A) 참조).

- [0183] 개구(144) 및 개구(146)는, 배선(112) 및 게이트 배선(105)이 노출되도록 형성한다. 개구(144) 및 개구(146)의 형성 방법으로서, 예를 들면, 드라이 에칭법을 사용할 수 있다. 단, 개구(144) 및 개구(146)의 형성 방법으로서, 이것으로 한정되지 않으며, 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로도 된다.
- [0184] 개구(144) 및 개구(146)는, 일단의 패터닝후에 에칭함으로써, 동시에 형성할 수 있기 때문에, 제작 공정을 단축시킬 수 있다.
- [0185] 다음에, 절연막(116) 위의 제 1 산화물 반도체막(110)과 중첩되는 위치에 제 2 산화물 반도체막(111a)을 형성하고, 동시에 개구(144) 및 개구(146)를 덮도록, 절연막(116) 위에 제 2 산화물 반도체막(111b)을 형성한다(도 9의 (B) 참조). 제 2 산화물 반도체막(111a) 및 제 2 산화물 반도체막(111b)의 형성 방법은, 실시형태 1에서 설명한 제 2 산화물 반도체막(111)을 참조할 수 있다.
- [0186] 제 2 산화물 반도체막(111a, 111b)은, 절연막(116) 위에 산화물 반도체막을 성막하고, 상기 산화물 반도체막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0187] 또한, 제 2 산화물 반도체막(111a, 111b)의 에칭 가공시에, 오버에칭에 의해 절연막(116)의 일부(제 2 산화물 반도체막(111a, 111b)으로부터 노출된 영역)가 에칭되어 막 두께가 감소되는 경우가 있다.
- [0188] 다음에, 절연막(116), 및 제 2 산화물 반도체막(111a, 111b) 위에 절연막(118)을 형성한다(도 9의 (C) 참조). 절연막(118)에 함유되는 수소가 제 2 산화물 반도체막(111a, 111b)으로 확산되면, 제 2 산화물 반도체막(111a, 111b)의 저항율이 저하된다. 또한, 제 2 산화물 반도체막(111a, 111b)의 저항율의 저하에 따라, 도 9의 (B)와 도 9의 (C)에 도시하는 제 2 산화물 반도체막(111a, 111b)의 해칭을 바꾸어 도시하고 있다. 또한, 절연막(118) 형성후에, 실시형태 1에서 설명한 제 2 가열 처리를 행해도 좋다.
- [0189] 이상의 공정에 의해, 트랜지스터(151)와, 게이트 배선 콘택트부(170)를 동일 기판 위에 형성할 수 있다.
- [0190] 이상, 본 실시형태에서 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0191] (실시형태 3)
- [0192] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치에 관해서, 실시형태 1에 나타내는 반도체 장치의 변형에 관해서, 도 10 내지 도 12를 사용하여 설명한다. 또한, 실시형태 1의 도 1 내지 도 4에서 나타낸 부호와 같은 개소 또는 같은 기능을 갖는 개소에 관해서는 같은 부호를 사용하고, 그 반복 설명은 생략한다.
- [0193] <반도체 장치의 구성예(변형예 2)>
- [0194] 도 10의 (A)는, 본 발명의 일 형태의 반도체 장치의 상면도이며, 도 10의 (B)는, 도 10의 (A)의 일점쇄선 M-N 간, 일점쇄선 O-P 간, 및 일점쇄선 Q-R 간의 각 절단선에 대응하는 단면도에 상당한다. 또한, 도 10의 (A)에 있어서, 번잡해지는 것을 피하기 위해서, 반도체 장치의 구성 요소의 일부(게이트 절연막 등)를 생략하여 도시하고 있다.
- [0195] 도 10의 (A), (B)에 도시하는 반도체 장치는, 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111a)을 포함하는 트랜지스터(151)와, 게이트 배선 콘택트부(171)를 가진다. 또한, 게이트 배선 콘택트부(171)는, 게이트 배선(105)과 배선(112)이 전기적으로 접속되는 영역을 말한다.
- [0196] 또한, 도 10의 (A)의 일점쇄선 M-N은 트랜지스터(151)의 채널 길이 방향을 나타내고 있다. 또한 일점쇄선 Q-R은 트랜지스터(151)의 채널 폭 방향을 나타내고 있다.
- [0197] 트랜지스터(151)는, 기판(102) 위의 게이트 전극(104)과, 게이트 전극(104) 위의 제 1 게이트 절연막으로서 기능하는 절연막(108)과, 절연막(108) 위의 게이트 전극(104)과 중첩되는 위치의 제 1 산화물 반도체막(110)과, 제 1 산화물 반도체막(110) 위의 소스 전극(112a) 및 드레인 전극(112b)과, 제 1 산화물 반도체막(110), 소스 전극(112a) 및 드레인 전극(112b) 위의 제 2 게이트 절연막으로서 기능하는 절연막(114, 116)과, 절연막(116) 위의 제 1 산화물 반도체막(110)과 중첩되는 위치의 제 2 산화물 반도체막(111a)을 가진다. 제 2 산화물 반도체막(111a)은, 트랜지스터(151)에 있어서 제 2 게이트 전극으로서의 기능을 가진다. 즉, 도 10의 (A), (B)에 도시하는 트랜지스터(151)는, 소위 더블 게이트 구조이다.
- [0198] 또한, 트랜지스터(151) 위, 보다 상세하게는, 절연막(116) 및 제 2 산화물 반도체막(111a) 위에 절연막(118) 및

절연막(119)이 형성되어 있다. 절연막(114, 116)은, 트랜지스터(151)의 제 2 게이트 절연막으로서 기능하는 동시에, 트랜지스터(151)의 보호 절연막으로서의 기능을 가진다. 절연막(118)은, 트랜지스터(151)의 보호 절연막으로서의 기능을 가진다. 절연막(119)은, 평탄화막으로서의 기능을 가진다. 또한, 절연막(114, 116, 118, 119)에는, 드레인 전극(112b)에 이르는 개구가 형성되어 있고, 개구를 덮도록 절연막(119) 위에 도전막(120)이 형성되어 있다. 상기 개구 중, 절연막(114,116)에 형성된 개구를 개구(146), 절연막(119)에 형성된 개구를 개구(148)로 한다. 도전막(120)은, 예를 들면, 화소 전극으로서의 기능을 가진다.

- [0199] 게이트 배선 콘택트부(171)에 있어서는, 절연막(108)에 형성된 개구(144)를 피복하도록, 게이트 배선(105) 위에 배선(112)이 형성되어 있다.
- [0200] 본 실시형태에 나타내는 반도체 장치는, 개구(148)에 있어서, 절연막(118)의 단부와 절연막(119)의 단부가 개략 일치하고 있다. 이러한 구성을 갖도록 반도체 장치를 제작함으로써, 패터닝에 사용하는 마스크 매수를 삭감할 수 있고, 나아가서는 제조 비용을 삭감할 수 있다.
- [0201] 또한, 절연막(118)으로서는, 적어도 수소를 함유하는 절연막을 사용한다. 또한, 절연막(107, 114, 116)으로서는, 적어도 산소를 함유하는 절연막을 사용한다. 이와 같이, 트랜지스터(151)에 사용하는 절연막 또는 트랜지스터(151)에 접하는 절연막을, 상기 구성의 절연막으로 함으로써, 트랜지스터(151)가 갖는 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111a)의 저항율을 제어할 수 있다.
- [0202] 또한, 제 1 산화물 반도체막(110), 및 제 2 산화물 반도체막(111a)의 저항율에 관해서는, 실시형태 1의 기재를 참조함으로써, 제어할 수 있다.
- [0203] 실시형태 1의 도 1의 (A), (B)에 기재된 반도체 장치와, 도 10의 (A), (B)에 도시하는 반도체 장치의 주된 차이로서는, 용량 소자(160) 대신에 게이트 배선 콘택트부(171)가 설치되어 있는 점, 트랜지스터(151)에 있어서 제 2 게이트 전극의 기능을 갖는 제 2 산화물 반도체막(111a)이 설치되어 있는 점, 및 절연막(119)이 설치되어 있는 점이다.
- [0204] <표시 장치의 제작 방법(변형예 2)>
- [0205] 다음에, 도 10의 (A), (B)에 도시하는 반도체 장치의 제작 방법의 일례에 관해서, 도 11 및 도 12를 사용하여 설명한다.
- [0206] 우선, 기판(102) 위에 게이트 전극(104) 및 게이트 배선(105)을 형성한다. 그 후, 게이트 전극(104) 및 게이트 배선(105) 위에 절연막(106, 107)을 포함하는 절연막(108)을 형성한다. 게이트 배선(105)은, 게이트 전극(104)과 같은 재료를 사용하여 동시에 형성할 수 있다.
- [0207] 다음에, 절연막(108) 위의 게이트 전극(104)과 중첩되는 위치에 제 1 산화물 반도체막(110)을 형성한다(도 11의 (A) 참조).
- [0208] 제 1 산화물 반도체막(110)은, 절연막(108) 위에 산화물 반도체막을 성막하고, 상기 산화물 반도체막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0209] 또한, 제 1 산화물 반도체막(110)의 에칭 가공시에, 오버에칭에 의해 절연막(108)의 일부(제 1 산화물 반도체막(110)으로부터 노출된 영역)가 에칭되어 막 두께가 감소되는 경우가 있다.
- [0210] 제 1 산화물 반도체막(110)을 형성후, 열처리를 행하면 바람직하다. 상기 열처리는, 실시형태 1의 제 1 산화물 반도체막(110) 형성후의 열처리를 참조함으로써 행할 수 있다.
- [0211] 다음에, 절연막(106, 107)의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 개구(144)를 형성한다(도 11의 (B) 참조).
- [0212] 개구(144)로서는, 게이트 배선(105)이 노출되도록 형성한다. 개구(144)의 형성 방법으로서, 예를 들면, 드라이 에칭법을 사용할 수 있다. 단, 개구(144)의 형성 방법으로서, 이것으로 한정되지 않으며, 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 해도 된다.
- [0213] 다음에, 절연막(108), 게이트 배선(105) 및 제 1 산화물 반도체막(110) 위에 도전막을 성막하고, 상기 도전막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 소스 전극(112a), 드레인 전극(112b) 및 배선(112)을 형성한다(도 11의 (C) 참조). 배선(112)은, 소스 전극(112a) 및 드레인 전극(112b)과 같은 재료를 사용하여 동시에 형성할 수 있다.

- [0214] 다음에, 절연막(108), 제 1 산화물 반도체막(110), 소스 전극(112a), 드레인 전극(112b) 및 배선(112) 위에 절연막(114, 116)을 형성한다. 절연막(114, 116) 형성후에, 실시형태 1에 나타난 제 1 가열 처리를 행하는 것이 바람직하다.
- [0215] 다음에, 절연막(114, 116)의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 개구(146)를 형성한다(도 11의 (D) 참조).
- [0216] 개구(146)로서는, 드레인 전극(112b)이 노출되도록 형성한다. 개구(146)의 형성 방법으로서, 예를 들면, 드라이 에칭법을 사용할 수 있다. 단, 개구(146)의 형성 방법으로서, 이것으로 한정되지 않으며, 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 해도 된다.
- [0217] 다음에, 절연막(116) 위의 제 1 산화물 반도체막(110)과 중첩되는 위치에 제 2 산화물 반도체막(111a)을 형성한다. 제 2 산화물 반도체막(111a)의 형성 방법은, 실시형태 1에서 설명한 제 2 산화물 반도체막(111)을 참조할 수 있다.
- [0218] 제 2 산화물 반도체막(111a)은, 절연막(116) 위에 산화물 반도체막을 성막하고, 상기 산화물 반도체막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0219] 또한, 제 2 산화물 반도체막(111a)의 에칭 가공시에, 오버에칭에 의해 절연막(116)의 일부(제 2 산화물 반도체막(111a)으로부터 노출된 영역)가 에칭되어 막 두께가 감소되는 경우가 있다.
- [0220] 다음에, 절연막(116), 제 2 산화물 반도체막(111a), 및 드레인 전극(112b) 위에 절연막(118)을 형성한다. 절연막(118)에 함유되는 수소가 제 2 산화물 반도체막(111a)으로 확산되면, 제 2 산화물 반도체막(111a)의 저항율이 저하된다.
- [0221] 다음에, 절연막(118) 위에 절연막(119)을 형성한다(도 12의 (A) 참조). 절연막(119)으로서, 예를 들면 폴리이미드 수지, 아크릴 수지, 폴리이미드아미드 수지, 벤조사이클로부텐 수지, 폴리아미드 수지, 에폭시 수지 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 절연막 위에 유기 수지막을 형성하고, 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써, 개구(146)와 중첩되는 위치에 개구를 형성한다.
- [0222] 다음에, 개구를 갖는 절연막(119)을 마스크로 하여 절연막(118)을 에칭함으로써, 개구(148)를 형성한다(도 12의 (B) 참조). 절연막(119)을 마스크로 사용할 수 있기 때문에, 개구(148)를 형성하기 위한 새로운 마스크가 불필요하고, 또 패터닝을 생략할 수 있다. 따라서, 반도체 장치의 제조 비용을 삭감할 수 있다.
- [0223] 다음에, 개구(148)를 덮도록 절연막(119) 위에 도전막을 성막하고, 상기 도전막의 원하는 형상이 남도록 패터닝 및 에칭을 행하여, 도전막(120)을 형성한다(도 12의 (C) 참조).
- [0224] 이상의 공정에 의해, 트랜지스터(151)와, 게이트 배선 콘택트부(171)를 동일 기판 위에 형성할 수 있다.
- [0225] 이상, 본 실시형태에서 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0226] (실시형태 4)
- [0227] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치의 트랜지스터, 용량 소자, 및 게이트 배선 콘택트부에 적용 가능한 산화물 반도체의 일례에 관해서 설명한다.
- [0228] 이하에서는, 산화물 반도체의 구조에 관해서 설명한다.
- [0229] 본 명세서에 있어서, 「평행」이란, 두개의 직선이  $-10^\circ$  이상  $10^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서,  $-5^\circ$  이상  $5^\circ$  이하의 경우도 포함된다. 또한, 「대략 평행」이란, 두개의 직선이  $-30^\circ$  이상  $30^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 또한, 「수직」이란, 두개의 직선이  $80^\circ$  이상  $100^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서,  $85^\circ$  이상  $95^\circ$  이하의 경우도 포함된다. 또한, 「대략 수직」이란, 두개의 직선이  $60^\circ$  이상  $120^\circ$  이하의 각도로 배치되어 있는 상태를 말한다.
- [0230] 또한, 본 명세서에 있어서, 결정이 삼방정 또는 능면체정인 경우, 육방정계로서 나타낸다.
- [0231] 산화물 반도체는, 단결정 산화물 반도체와, 그 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline Oxide Semiconductor), 유사 비정질 산화물 반도체(a-like OS: amorphous like Oxide

Semiconductor), 비정질 산화물 반도체 등이 있다.

- [0232] 또한 다른 관점에서는, 산화물 반도체는, 비정질 산화물 반도체와, 그 이외의 결정성 산화물 반도체로 나뉘어진 다. 결정성 산화물 반도체로서는, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, nc-OS 등이 있다.
- [0233] 비정질 구조의 정의로서는, 일반적으로, 준안정 상태로 고정화되어 있지 않은 것, 등방적이며 불균질 구조를 갖 지 않는 것 등이 알려져 있다. 또한, 결합 각도가 유연하고, 단거리 질서성은 갖지만, 장거리 질서성을 갖지 않는 구조라고 바꿔 말할 수도 있다.
- [0234] 반대의 견해로는, 본질적으로 안정된 산화물 반도체의 경우, 완전한 비정질(completely amorphous) 산화물 반도 체라고 부를 수는 없다. 또한, 등방적이 아닌(예를 들면, 미소한 영역에 있어서 주기 구조를 가진다) 산화물 반도체를, 완전한 비정질 산화물 반도체라고 부를 수는 없다. 단, a-like OS는, 미소한 영역에 있어서 주기 구 조를 갖지만, 공동(보이드라고도 한다.)을 가지며, 불안정한 구조이다. 이로 인해, 물성적으로는 비정질 산화 물 반도체에 가깝다고 할 수 있다.
- [0235] <CAAC-OS>
- [0236] 우선은, CAAC-OS에 관해서 설명한다.
- [0237] CAAC-OS는, c축 배향한 복수의 결정부(펠렛이라고도 한다.)를 갖는 산화물 반도체의 하나이다.
- [0238] 투과형 전자현미경(TEM: Transmission Electron Microscope)에 의해, CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM상이라고도 한다.)을 관찰하면, 복수의 펠렛을 확인할 수 있다. 한편, 고분해능 TEM상에서 는 펠렛끼리의 경계, 즉 결정립계(그레인 바운더리라고도 한다.)를 명확하게 확인할 수 없다. 이로 인해, CAAC-OS는, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0239] 이하에서는, TEM에 의해 관찰한 CAAC-OS에 관해서 설명한다. 도 13의 (A)에, 시료면과 대략 평행한 방향에서 관찰한 CAAC-OS 단면의 고분해능 TEM상을 도시한다. 고분해능 TEM상의 관찰에는, 구면 수차 보정(Spherical Aberration Corrector) 기능을 사용하였다. 구면 수차 보정 기능을 사용한 고분해능 TEM상을, 특히 Cs 보정 고 분해능 TEM상이라고 부른다. Cs 보정 고분해능 TEM상의 취득은, 예를 들면, 니혼덴시 가부시키키가이샤 제조 원 자 분해능 분석 전자 현미경 JEM-ARM200F 등에 의해 행할 수 있다.
- [0240] 도 13의 (A)의 영역(1)을 확대한 Cs 보정 고분해능 TEM상을 도 13의 (B)에 도시한다. 도 13의 (B)로부터, 펠 렛에 있어서, 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층의 배열은, CAAC- OS의 막을 형성하는 면(피형성면이라고도 한다.) 또는 상면의 요철을 반영하고 있으며, CAAC-OS의 피형성면 또 는 상면과 평행이 된다.
- [0241] 도 13의 (B)에 도시하는 바와 같이, CAAC-OS는 특징적인 원자 배열을 가진다. 도 13의 (C)는, 특징적인 원자 배열을, 보조선으로 나타낸 것이다. 도 13의 (B) 및 도 13의 (C)로부터, 펠렛 하나의 크기는 1nm 이상의 것이 나, 3nm 이상의 것이 있고, 펠렛과 펠렛의 기울기에 의해 발생하는 틈의 크기는 0.8nm 정도인 것을 알 수 있다. 따라서, 펠렛을, 나노 결정(nc: nanocrystal)이라고 부를 수도 있다. 또한, CAAC-OS를, CANC(C-Axis Aligned nanocrystals)을 갖는 산화물 반도체라고 부를 수도 있다.
- [0242] 여기에서, Cs 보정 고분해능 TEM상을 바탕으로, 기관(5120) 위의 CAAC-OS의 펠렛(5100)의 배치를 모식적으로 나 타내면, 벽돌 또는 블록이 쌓인 구조가 된다(도 13의 (D) 참조.). 도 13의 (C)에서 관찰된 펠렛과 펠렛 사이에 서 기울기가 발생하고 있는 개소는, 도 13의 (D)에 도시하는 영역(5161)에 상당한다.
- [0243] 또한, 도 14의 (A)에, 시료면과 대략 수직인 방향에서 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM상을 도시 한다. 도 14의 (A)의 영역(1), 영역(2) 및 영역(3)을 확대한 Cs 보정 고분해능 TEM상을, 각각 도 14의 (B), 도 14의 (C) 및 도 14의 (D)에 도시한다. 도 14의 (B), 도 14의 (C) 및 도 14의 (D)로부터, 펠렛은, 금속 원 자가 삼각 형상, 사각 형상 또는 육각 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 펠렛 간 에, 금속 원자의 배열에 규칙성은 나타나지 않는다.
- [0244] 다음에, X선 회절(XRD: X-Ray Diffraction)에 의해 해석한 CAAC-OS에 관해서 설명한다. 예를 들면, InGaZnO<sub>4</sub>의 결정을 갖는 CAAC-OS에 대해, out-of-plane법에 의한 구조 해석을 행하면, 도 15의 (A)에 도시하는 바와 같이, 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO<sub>4</sub>의 결정의 (009)면에 귀속되기 때문에, CAAC-OS의 결정이 c축 배향성을 가지고, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는

것을 확인할 수 있다.

- [0245] 또한, CAAC-OS의 out-of-plane법에 의한 구조 해석에서는,  $2\theta$ 가  $31^\circ$  근방인 피크 이외에,  $2\theta$ 가  $36^\circ$  근방에도 피크가 나타나는 경우가 있다.  $2\theta$ 가  $36^\circ$  근방인 피크는, CAAC-OS 중의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 나타내고 있다. 보다 바람직한 CAAC-OS는, out-of-plane법에 의한 구조 해석에서는,  $2\theta$ 가  $31^\circ$  근방에 피크를 나타내고,  $2\theta$ 가  $36^\circ$  근방에 피크를 나타내지 않는다.
- [0246] 한편, CAAC-OS에 대해, c축에 대략 수직인 방향에서 X선을 입사시키는 in-plane법에 의한 구조 해석을 행하면,  $2\theta$ 가  $56^\circ$  근방에 피크가 나타난다. 이 피크는, InGaZnO<sub>4</sub>의 결정의 (110)면에 귀속된다. CAAC-OS의 경우에는,  $2\theta$ 를  $56^\circ$  근방에 고정시키고, 시료면의 법선 벡터를 축( $\phi$ 축)으로 하여 시료를 회전시키면서 분석( $\phi$  스캔)을 행해도, 도 15의 (B)에 도시하는 바와 같이 명료한 피크는 나타나지 않는다. 이것에 대해, InGaZnO<sub>4</sub>의 단결정 산화물 반도체이면,  $2\theta$ 를  $56^\circ$  근방에 고정시키고  $\phi$  스캔한 경우, 도 15의 (C)에 도시하는 바와 같이, (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 따라서, XRD를 사용한 구조 해석으로부터, CAAC-OS는, a축 및 b축의 배향이 불규칙한 것을 확인할 수 있다.
- [0247] 다음에, 전자 회절에 의해 해석한 CAAC-OS에 관해서 설명한다. 예를 들면, InGaZnO<sub>4</sub>의 결정을 갖는 CAAC-OS에 대해, 시료면에 평행하게 프로브 직경이 300nm인 전자선을 입사시키면, 도 16의 (A)에 도시하는 바와 같은 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 한다)이 나타나는 경우가 있다. 이 회절 패턴에는, InGaZnO<sub>4</sub>의 결정의 (009)면에 기인하는 스폿이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠렛이 c축 배향성을 가지며, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 알 수 있다. 한편, 동일한 시료에 대해, 시료면에 수직으로 프로브 직경이 300nm인 전자선을 입사했을 때의 회절 패턴을 도 16의 (B)에 도시한다. 도 16의 (B)로부터, 링상의 회절 패턴이 확인된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠렛의 a축 및 b축은 배향성을 갖지 않는 것을 알 수 있다. 또한, 도 16의 (B)에 있어서의 제 1 링은, InGaZnO<sub>4</sub>의 결정의 (010)면 및 (100)면 등에 기인하는 것으로 생각된다. 또한, 도 16의 (B)에 있어서의 제 2 링은 (110)면 등에 기인하는 것으로 생각된다.
- [0248] 상기한 바와 같이, CAAC-OS는 결정성이 높은 산화물 반도체이다. 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등에 의해 저하되는 경우가 있기 때문에, 반대의 견해를 보자면 CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다.
- [0249] 또한, 불순물은, 산화물 반도체의 주성분 이외의 원소이며, 수소, 탄소, 실리콘, 전이 금속 원소 등이 있다. 예를 들면, 실리콘 등의, 산화물 반도체를 구성하는 금속 원소보다도 산소와의 결합력이 강한 원소는, 산화물 반도체로부터 산소를 빼앗음으로써 산화물 반도체의 원자 배열을 흐뜨려, 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐뜨려, 결정성을 저하시키는 요인이 된다.
- [0250] 산화물 반도체가 불순물이나 결함을 갖는 경우, 광이나 열 등에 의해 특성이 변동되는 경우가 있다. 예를 들면, 산화물 반도체에 함유되는 불순물은, 캐리어 포획이 되는 경우나, 캐리어 발생원이 되는 경우가 있다. 또한, 산화물 반도체 중의 산소 결손은, 캐리어 포획이 되는 경우나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0251] 불순물 및 산소 결손이 적은 CAAC-OS는, 캐리어 밀도가 낮은 산화물 반도체이다. 구체적으로는,  $8 \times 10^{11}$ 개/cm<sup>2</sup> 미만, 바람직하게는  $1 \times 10^{11}$ /cm<sup>2</sup> 미만, 더욱 바람직하게는  $1 \times 10^{10}$ 개/cm<sup>2</sup> 미만이며,  $1 \times 10^{-9}$ 개/cm<sup>2</sup> 이상의 캐리어 밀도의 산화물 반도체로 할 수 있다. CAAC-OS는, 불순물 농도가 낮고, 결함 준위 밀도가 낮다. 즉, 안정된 특성을 갖는 산화물 반도체라고 할 수 있다.
- [0252] <nc-OS>
- [0253] 다음에, nc-OS에 관해서 설명한다.
- [0254] nc-OS는, 고분해능 TEM상에 있어서, 결정부를 확인할 수 있는 영역과, 명확한 결정부를 확인할 수 없는 영역을 가진다. nc-OS에 포함되는 결정부는, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 크기인 경우가 많다. 또한, 결정부의 크기가 10nm보다 크고 100nm 이하인 산화물 반도체를 미결정 산화물 반도체라고 부르는 경우가 있다. nc-OS는, 예를 들면, 고분해능 TEM상에서는, 결정립계를 명확하게 확인할 수 없는 경우가 있다. 또한, 나노 결정은, CAAC-OS에 있어서의 펠렛과 기원을 동일하게 할 가능성이 있다. 이로 인해, 이하에서는 nc-OS의 결

정부를 펠렛이라고 부르는 경우가 있다.

- [0255] nc-OS는, 미소한 영역(예를 들면, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에 있어서 원자 배열에 주기성을 가진다. 또한, nc-OS는, 상이한 펠렛 간에 결정 방위에 규칙성이 나타나지 않는다. 이로 인해, 막 전체에서 배향성이 나타나지 않는다. 따라서, nc-OS는, 분석 방법에 따라서는, a-like OS나 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다. 예를 들면, nc-OS에 대해, 펠렛보다도 큰 직경의 X선을 사용한 경우, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크는 검출되지 않는다. 또한, nc-OS에 대해, 펠렛보다도 큰 프로브 직경(예를 들면 50nm 이상)의 전자선을 사용하는 전자 회절을 행하면, 할로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS에 대해, 펠렛의 크기와 가깝거나 펠렛보다 작은 프로브 직경의 전자선을 사용하는 나노 빔 전자 회절을 행하면, 스폿이 관측된다. 또한, nc-OS에 대해 나노 빔 전자 회절을 행하면, 원을 그리듯이(링상으로) 휘도가 높은 영역이 관측되는 경우가 있다. 또한, 링상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.
- [0256] 이와 같이, 펠렛(나노 결정) 간에는 결정 방위가 규칙성을 갖지 않는 점에서, nc-OS를, RANC(Random Aligned nanocrystals)을 갖는 산화물 반도체, 또는 NANC(Non-Aligned nanocrystals)를 갖는 산화물 반도체라고 부를 수도 있다.
- [0257] nc-OS는, 비정질 산화물 반도체보다도 규칙성이 높은 산화물 반도체이다. 이로 인해, nc-OS는, a-like OS나 비정질 산화물 반도체보다도 결함 준위 밀도가 낮아진다. 단, nc-OS는, 상이한 펠렛 간에 결정 방위에 규칙성이 나타나지 않는다. 이로 인해, nc-OS는, CAAC-OS와 비교하여 결함 준위 밀도가 높아진다.
- [0258] <a-like OS>
- [0259] a-like OS는, nc-OS와 비정질 산화물 반도체 사이의 구조를 갖는 산화물 반도체이다.
- [0260] a-like OS는, 고분해능 TEM상에 있어서 공동이 관찰되는 경우가 있다. 또한, 고분해능 TEM상에 있어서, 명확하게 결정부를 확인할 수 있는 영역과, 결정부를 확인할 수 없는 영역을 가진다.
- [0261] 공동을 갖기 때문에, a-like OS는, 불안정한 구조이다. 이하에서는, a-like OS가, CAAC-OS 및 nc-OS와 비교하여 불안정한 구조인 것을 나타내기 때문에, 전자 조사에 의한 구조의 변화를 나타낸다.
- [0262] 전자 조사를 행하는 시료로서, a-like OS(시료 A라고 표기한다.), nc-OS(시료 B라고 표기한다.) 및 CAAC-OS(시료 C라고 표기한다.)를 준비한다. 어느 시료도 In-Ga-Zn 산화물이다.
- [0263] 우선, 각 시료의 고분해능 단면 TEM상을 취득한다. 고분해능 단면 TEM상에 의해, 각 시료는, 모두 결정부를 갖는 것을 알 수 있다.
- [0264] 또한, 어느 부분을 하나의 결정부라고 간주할지의 판정은, 이하와 같이 행하면 좋다. 예를 들면, InGaZnO<sub>4</sub> 결정의 단위 격자는, In-O층을 3층 가지고, 또한 Ga-Zn-O층을 6층을 갖는, 계 9층이 c축 방향으로 층상으로 겹쳐진 구조를 갖는 것이 알려져 있다. 이들 근접하는 층끼리의 간격은, (009)면의 격자면 간격(d값이라고도 한다.)과 동등도이며, 결정 구조 해석으로부터 그 값은 0.29nm로 구해지고 있다. 따라서, 격자 줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 개소를, InGaZnO<sub>4</sub>의 결정부라고 간주할 수 있다. 또한, 격자 줄무늬는, InGaZnO<sub>4</sub>의 결정의 a-b면에 대응한다.
- [0265] 도 17은, 각 시료의 결정부(22개소에서 45개소)의 평균의 크기를 조사한 예이다. 단, 상기한 격자 줄무늬의 길이를 결정부의 크기로 하고 있다. 도 17로부터, a-like OS는, 전자의 누적 조사량에 따라 결정부가 커져 가는 것을 알 수 있다. 구체적으로는, 도 17 중 (1)에서 나타내는 바와 같이, TEM에 의한 관찰 초기에 있어서는 1.2nm 정도의 크기였던 결정부(초기 핵이라고도 한다.)가, 누적 조사량이  $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 에 있어서는 2.6nm 정도의 크기까지 성장하고 있는 것을 알 수 있다. 한편, nc-OS 및 CAAC-OS는, 전자 조사 개시 시로부터 전자의 누적 조사량이  $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 까지의 범위에서, 결정부의 크기에 변화가 나타나지 않는 것을 알 수 있다. 구체적으로는, 도 17 중의 (2) 및 (3)에서 도시하는 바와 같이, 전자의 누적 조사량에 의하지 않고, nc-OS 및 CAAC-OS의 결정부의 크기는, 각각 1.4nm 정도 및 2.1nm 정도인 것을 알 수 있다.
- [0266] 이와 같이, a-like OS는, 전자 조사에 의해 결정부의 성장이 나타나는 경우가 있다. 한편, nc-OS 및 CAAC-OS는, 전자 조사에 의한 결정부의 성장이 거의 나타나지 않는 것을 알 수 있다. 즉, a-like OS는, nc-OS 및 CAAC-OS와 비교하여, 불안정한 구조인 것을 알 수 있다.

- [0267] 또한, 공동을 갖기 때문에, a-like OS는, nc-OS 및 CAAC-OS와 비교하여 밀도가 낮은 구조이다. 구체적으로는, a-like OS의 밀도는, 동일한 조성의 단결정 밀도의 78.6% 이상 92.3% 미만인 된다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는, 동일한 조성의 단결정의 밀도의 92.3% 이상 100% 미만인 된다. 단결정의 밀도의 78% 미만인 되는 산화물 반도체는, 성막하는 것 자체가 곤란하다.
- [0268] 예를 들면, In:Ga:Zn=1:1:1[원자수비]을 충족시키는 산화물 반도체에 있어서, 능면체정 구조를 갖는 단결정 InGaZnO<sub>4</sub>의 밀도는 6.357g/cm<sup>3</sup>이 된다. 따라서, 예를 들면, In:Ga:Zn=1:1:1[원자수비]을 충족시키는 산화물 반도체에 있어서, a-like OS의 밀도는 5.0g/cm<sup>3</sup> 이상 5.9g/cm<sup>3</sup> 미만인 된다. 또한, 예를 들면, In:Ga:Zn=1:1:1[원자수비]을 충족시키는 산화물 반도체에 있어서, nc-OS의 밀도 및 CAAC-OS의 밀도는 5.9g/cm<sup>3</sup> 이상 6.3g/cm<sup>3</sup> 미만인 된다.
- [0269] 또한, 동일한 조성의 단결정이 존재하지 않는 경우가 있다. 그 경우, 임의의 비율로 조성이 상이한 단결정을 조합함으로써, 원하는 조성에 있어서의 단결정에 상당하는 밀도를 어림잡을 수 있다. 원하는 조성의 단결정에 상당하는 밀도는, 조성이 상이한 단결정을 조합하는 비율에 대해, 가중 평균을 사용하여 어림잡으면 좋다. 단, 밀도는, 가능한 한 적은 종류의 단결정을 조합하여 어림잡는 것이 바람직하다.
- [0270] 이상과 같이, 산화물 반도체는, 여러 가지 구조를 취하고, 각각이 여러 가지 특성을 가진다. 또한, 산화물 반도체는, 예를 들면, 비정질 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중, 2종 이상을 갖는 적층막이라도 좋다.
- [0271] <CAAC-OS의 성막 방법>
- [0272] 이하에서는, CAAC-OS의 성막 방법의 일례에 관해서 설명한다. 도 18은, 성막실 내의 모식도이다. CAAC-OS는, 스퍼터링법에 의해 성막할 수 있다.
- [0273] 도 18에 도시하는 바와 같이, 기판(5220)과 타깃(5230)은 마주 보도록 배치하고 있다. 기판(5220)과 타깃(5230) 사이에는 플라즈마(5240)가 있다. 또한, 기판(5220)의 하부에는 가열 기구(5260)가 설치되어 있다. 도시하지 않지만, 타깃(5230)은, 베킹 플레이트에 접촉되어 있다. 베킹 플레이트를 개재하여 타깃(5230)과 마주 보는 위치에는, 복수의 마그넷이 배치된다. 마그넷의 자장을 이용하여 성막 속도를 높이는 스퍼터링법은, 마그네트론 스퍼터링법이라고 불린다.
- [0274] 기판(5220)과 타깃(5230)의 거리(d)(타깃-기판간 거리(T-S간 거리)라고도 한다.)는 0.01m 이상 1m 이하, 바람직하게는 0.02m 이상 0.5m 이하로 한다. 성막실 내는, 대부분이 성막 가스(예를 들면, 산소, 아르곤, 또는 산소를 5체적% 이상의 비율로 함유하는 혼합 가스)로 채워지고, 0.01Pa 이상 100Pa 이하, 바람직하게는 0.1Pa 이상 10Pa 이하로 제어된다. 여기에서, 타깃(5230)에 일정 이상의 전압을 인가함으로써, 방전이 시작되어, 플라즈마(5240)가 확인된다. 또한, 타깃(5230)의 근방에는 자장에 의해, 고밀도 플라즈마 영역이 형성된다. 고밀도 플라즈마 영역에서는, 성막 가스가 이온화됨으로써, 이온(5201)이 생성된다. 이온(5201)은, 예를 들면, 산소의 양이온(O<sup>+</sup>)이나 아르곤의 양이온(Ar<sup>+</sup>) 등이다.
- [0275] 타깃(5230)은, 복수의 결정립을 갖는 다결정 구조를 가지며, 어느 결정립에는 벽개면이 포함된다. 일례로서, 도 19에, 타깃(5230)에 포함되는 InMZnO<sub>4</sub>(원소 M은, 예를 들면 Al, Ga, Y 또는 Sn)의 결정 구조를 도시한다. 또한, 도 19의 (A)는, b축에 평행한 방향에서 관찰한 경우의 InMZnO<sub>4</sub>의 결정 구조이다. InMZnO<sub>4</sub>의 결정에서는, 산소 원자가 음의 전하를 가짐으로써, 근접하는 두개의 M-Zn-O층 사이에 척력이 생기고 있다. 이로 인해, InMZnO<sub>4</sub>의 결정은, 근접하는 두개의 M-Zn-O층의 사이에 벽개면을 가진다.
- [0276] 고밀도 플라즈마 영역에서 발생한 이온(5201)은, 전계에 의해 타깃(5230)측으로 가속되고, 곧 타깃(5230)과 충돌한다. 이 때, 벽개면으로부터 평판상 또는 펠렛상의 스퍼터 입자인 펠렛(5200)이 박리된다(도 18 참조). 펠렛(5200)은, 도 19의 (A)에 도시하는 두개의 벽개면 사이에 개재된 부분이다. 따라서, 펠렛(5200)만 뽑아 내면, 그 단면은 도 19의 (B)와 같이 되고, 상면은 도 19의 (C)와 같이 되는 것을 알 수 있다. 또한, 펠렛(5200)은, 이온(5201)의 충돌 충격에 의해, 구조에 변형이 생기는 경우가 있다.
- [0277] 펠렛(5200)은, 삼각형, 예를 들면 정삼각형의 평면을 갖는 평판상 또는 펠렛 상의 스퍼터 입자이다. 또는, 펠렛(5200)은, 육각형, 예를 들면 정육각형의 평면을 갖는 평판상 또는 펠렛상의 스퍼터 입자이다. 단, 펠렛(5200)의 형상은, 삼각형, 육각형으로 한정되지 않는다, 예를 들면, 삼각형이 여러개 합쳐진 형상이 되는 경우가 있다. 예를 들면, 삼각형(예를 들면, 정삼각형)이 2개 합쳐진 사각형(예를 들면, 마름모꼴)이 되는 경우도

있다.

- [0278] 펠렛(5200)은, 성막 가스의 종류 등에 따라 두께가 결정된다. 예를 들면, 펠렛(5200)은, 두께를 0.4nm 이상 1nm 이하, 바람직하게는 0.6nm 이상 0.8nm 이하로 한다. 또한, 예를 들면, 펠렛(5200)은, 폭을 1nm 이상 100nm 이하, 바람직하게는 2nm 이상 50nm 이하, 더욱 바람직하게는 3nm 이상 30nm 이하로 한다. 예를 들면, In-M-Zn 산화물을 갖는 타깃(5230)에 이온(5201)을 충돌시킨다. 그렇게 하면, M-Zn-O층, In-O층 및 M-Zn-O층의 3층을 갖는 펠렛(5200)이 박리된다. 또한, 펠렛(5200)의 박리에 따라, 타깃(5230)으로부터 입자(5203)도 튀겨내어진다. 입자(5203)는, 원자 1개 또는 원자 몇개의 집합체를 가진다. 이로 인해, 입자(5203)를 원자상 입자(atomic particles)라고 부를 수도 있다.
- [0279] 펠렛(5200)은, 플라즈마(5240)를 통과할 때에, 표면이 음 또는 양으로 대전되는 경우가 있다. 예를 들면, 펠렛(5200)이 플라즈마(5240) 중에 있는  $O^{2-}$ 로부터 음의 전하를 받는 경우가 있다. 그 결과, 펠렛(5200) 표면의 산소 원자가 음으로 대전하는 경우가 있다. 또한, 펠렛(5200)은, 플라즈마(5240)를 통과할 때에, 플라즈마(5240) 중의 인듐, 원소 M, 아연 또는 산소 등과 결합함으로써 성장하는 경우가 있다.
- [0280] 플라즈마(5240)를 통과한 펠렛(5200) 및 입자(5203)는, 기관(5220)의 표면에 도달한다. 또한, 입자(5203)의 일부는, 질량이 작기 때문에 진공 펌프 등에 의해 외부로 배출되는 경우가 있다.
- [0281] 다음에, 기관(5220)의 표면에 있어서의 펠렛(5200) 및 입자(5203)의 퇴적에 관해서 도 20을 사용하여 설명한다.
- [0282] 우선, 첫번째의 펠렛(5200)이 기관(5220)에 퇴적된다. 펠렛(5200)은 평판상이기 때문에, 평면측을 기관(5220)의 표면을 향하여 퇴적된다. 이 때, 펠렛(5200)의 기관(5220)측 표면의 전하가, 기관(5220)을 개재하여 뽑아진다.
- [0283] 다음에, 두번째의 펠렛(5200)이, 기관(5220)에 도달한다. 이 때, 이미 퇴적되어 있는 펠렛(5200)의 표면, 및 두번째 펠렛(5200)의 표면이 전하를 띠고 있기 때문에, 서로 반발하는 힘이 생긴다. 그 결과, 두번째 펠렛(5200)은, 이미 퇴적되어 있는 펠렛(5200) 위를 피하여, 기관(5220) 표면의 조금 떨어진 장소에 평면측을 향하여 퇴적된다. 이것을 반복함으로써, 기관(5220)의 표면에는, 무수한 펠렛(5200)이 1층분의 두께만큼 퇴적된다. 또한, 펠렛(5200) 사이에는, 펠렛(5200)이 퇴적되어 있지 않은 영역이 생긴다(도 20의 (A) 참조).
- [0284] 다음에, 플라즈마로부터 에너지를 받은 입자(5203)가 기관(5220)의 표면에 도달한다. 입자(5203)는, 펠렛(5200) 표면 등의 활성 영역에는 퇴적될 수 없다. 이로 인해, 입자(5203)는, 펠렛(5200)이 퇴적되어 있지 않은 영역으로 움직여, 펠렛(5200)의 측면에 부착된다. 입자(5203)는, 플라즈마로부터 받은 에너지에 의해 결합수가 활성 상태가 됨으로써, 펠렛(5200)과 화학적으로 연결하여 가로 성장부(5202)를 형성한다(도 20의 (B) 참조).
- [0285] 또한, 가로 성장부(5202)가 가로 방향으로 성장(래터럴 성장이라고도 한다.)함으로써, 펠렛(5200) 사이를 연결시킨다(도 20의 (C) 참조). 이와 같이, 펠렛(5200)이 퇴적되어 있지 않은 영역을 메울 때까지 가로 성장부(5202)가 형성된다. 이 메커니즘은, 원자층 퇴적(ALD: Atomic Layer Deposition)법의 퇴적 메커니즘과 유사하다.
- [0286] 따라서, 펠렛(5200)이 각각 상이한 방향을 향하여 퇴적되는 경우에도, 펠렛(5200) 사이를 입자(5203)가 래터럴 성장하면서 메우기 때문에, 명확한 결정립계가 형성되는 경우가 없다. 또한, 펠렛(5200) 사이를, 입자(5203)가 매끄럽게 연결하기 때문에, 단결정과도 다결정과도 상이한 결정 구조가 형성된다. 바꿔 말하면, 미소한 결정 영역(펠렛(5200)) 사이에 변형을 갖는 결정 구조가 형성된다. 이와 같이, 결정 영역 사이를 메우는 영역은, 뺄어진 결정 영역이기 때문에, 상기 영역을 가리켜 비정질 구조라고 부르는 것은 적절하지 않다고 생각된다.
- [0287] 다음에, 새로운 펠렛(5200)이, 평면측을 표면을 향하여 퇴적한다(도 20의 (D) 참조). 그리고, 입자(5203)가, 펠렛(5200)이 퇴적되어 있지 않은 영역을 매우도록 퇴적됨으로써 가로 성장부(5202)를 형성한다(도 20의 (E) 참조). 이와 같이 하여, 입자(5203)가 펠렛(5200)의 측면에 부착되고, 가로 성장부(5202)가 래터럴 성장함으로써, 2층째의 펠렛(5200) 사이를 연결시킨다(도 20의 (F) 참조). m층째(m은 2 이상의 정수.)가 형성될 때까지 성막은 계속되고, 적층체를 갖는 박막 구조가 된다.
- [0288] 또한, 펠렛(5200)의 퇴적 방법은, 기관(5220)의 표면 온도 등에 의해서도 변화된다. 예를 들면, 기관(5220)의 표면 온도가 높으면, 펠렛(5200)이 기관(5220)의 표면에서 이동을 일으킨다. 그 결과, 펠렛(5200) 사이가, 입자(5203)를 개재하지 않고 연결되는 비율이 증가하기 때문에, 보다 배향성이 높은 CAAC-OS가 된다. CAAC-OS를

성막할 때의 기판(5220)의 표면 온도는, 실온 이상 340℃ 미만, 바람직하게는 실온 이상 300℃ 이하, 보다 바람직하게는 100℃ 이상 250℃ 이하, 더욱 바람직하게는 100℃ 이상 200℃ 이하이다. 따라서, 기판(5220)으로서 제 8 세대 이상의 대면적 기판을 사용한 경우에도, CAAC-OS의 성막에 기인한 휘어짐 등은 거의 발생하지 않는 것을 알 수 있다.

- [0289] 한편, 기판(5220)의 표면 온도가 낮으면, 펠렛(5200)이 기판(5220)의 표면에서 이동을 일으키기 어려워진다. 그 결과, 펠렛(5200)끼리가 중첩됨으로써 배향성이 낮은 nc-OS 등이 된다. nc-OS에서는, 펠렛(5200)이 음으로 대전하고 있는 것에 의해, 펠렛(5200)은 일정한 간격을 두고 퇴적될 가능성이 있다. 따라서, 배향성은 낮지만, 약간 규칙성을 가짐으로써, 비정질 산화물 반도체와 비교하여 치밀한 구조가 된다.
- [0290] 또한, CAAC-OS에 있어서, 펠렛끼리의 틈이 지극히 작아짐으로써, 하나의 큰 펠렛이 형성되는 경우가 있다. 하나의 큰 펠렛의 내부는 단결정 구조를 가진다. 예를 들면, 펠렛의 크기가, 상면에서 볼 때 10nm 이상 200nm 이하, 15nm 이상 100nm 이하, 또는 20nm 이상 50nm 이하가 되는 경우가 있다.
- [0291] 이상과 같은 성막 모델에 의해, 펠렛이 기판의 표면에 퇴적되어 가는 것으로 생각된다. 피형성면이 결정 구조를 갖지 않는 경우에 있어서도, CAAC-OS의 성막이 가능하기 때문에, 예외적으로 성장과는 상이한 성장 기구인 상기한 성막 모델의 타당성이 높은 것을 알 수 있다. 또한, 상기한 성막 모델이기 때문에, CAAC-OS 및 nc-OS는, 대면적의 유리 기판 등이라도 균일한 성막이 가능한 것을 알 수 있다. 예를 들면, 기판의 표면(피형성면)의 구조가 비정질 구조(예를 들면 비정질 산화실리콘)라도, CAAC-OS를 성막하는 것은 가능하다.
- [0292] 또한, 피형성면인 기판의 표면에 요철이 있는 경우에도, 그 형상에 따라 펠렛이 배열되는 것을 알 수 있다.
- [0293] 또한, 상기한 성막 모델로부터, 결정성이 높은 CAAC-OS를 성막하기 위해서는 이하와 같이 하면 되는 것을 알 수 있다. 우선, 평균 자유 행정을 길게 하기 위해서, 보다 고진공 상태로 성막한다. 다음에, 기판 근방에 있어서의 손상을 저감시키기 위해서, 플라즈마의 에너지를 약하게 한다. 다음에, 피형성면에 열 에너지를 가하여, 플라즈마에 의한 손상을 성막할 때마다 치유한다.
- [0294] 또한, 상기한 성막 모델은, 타깃이 복수의 결정립을 갖는 In-M-Zn 산화물과 같은 복합 산화물의 다결정 구조를 가지고, 어느 하나의 결정립에는 벽개면이 포함되는 경우로 한정되지 않는다. 예를 들면, 산화인듐, 원소 M의 산화물 및 산화아연을 갖는 혼합물의 타깃을 사용한 경우에도 적용할 수 있다.
- [0295] 혼합물의 타깃은 벽개면을 갖지 않기 때문에, 스퍼터되면 타깃으로부터는 원자상 입자가 박리된다. 성막시에는, 타깃 근방에 플라즈마의 강전계 영역이 형성되어 있다. 이로 인해, 타깃으로부터 박리된 원자상 입자는, 플라즈마의 강전계 영역의 작용으로 연결되어 가로 성장한다. 예를 들면, 우선 원자상 입자인 인듐이 연결되어 가로 성장하여 In-O층으로 이루어지는 나노 결정이 된다. 다음에, 그것을 보완하도록 상하에 M-Zn-O층이 결합된다. 이와 같이, 혼합물의 타깃을 사용한 경우에도, 펠렛이 형성될 가능성이 있다. 이로 인해, 혼합물의 타깃을 사용한 경우에도, 상기한 성막 모델을 적용할 수 있다. 단, 타깃 근방에 플라즈마의 강전계 영역이 형성되고 있지 않은 경우, 타깃으로부터 박리된 원자상 입자만이 기판 표면에 퇴적되게 된다. 그 경우에도, 기판 표면에 있어서 원자상 입자가 가로 성장하는 경우가 있다. 단, 원자상 입자의 방향이 똑같지 않기 때문에, 얻어지는 박막에 있어서의 결정의 배향성도 일정하게는 되지 않는다. 즉, nc-OS 등이 된다.
- [0296] (실시형태 5)
- [0297] 본 실시형태에서는, 실시형태 1에 나타내는 트랜지스터와는 상이한 구성의 트랜지스터의 구성에 관해서, 도 21 내지 도 24를 참조하여 설명한다.
- [0298] <트랜지스터의 구성에 1>
- [0299] 도 21의 (A)는, 트랜지스터(270)의 상면도이며, 도 21의 (B)는, 도 21의 (A)에 도시하는 일점쇄선 X1-X2 사이의 절단선에 대응하는 단면도에 상당하고, 도 21의 (C)는, 도 21의 (A)에 도시하는 일점쇄선 Y1-Y2 사이의 절단선에 대응하는 단면도에 상당한다. 또한, 일점쇄선 X1-X2 방향을 채널 길이 방향, 일점쇄선 Y1-Y2 방향을 채널 폭 방향이라고 칭하는 경우가 있다.
- [0300] 트랜지스터(270)는, 기판(202) 위의 제 1 게이트 전극으로서 기능하는 도전막(204)과, 기판(202) 및 도전막(204) 위의 절연막(206)과, 절연막(206) 위의 절연막(207)과, 절연막(207) 위의 산화물 반도체막(208)과, 산화물 반도체막(208)에 전기적으로 접속되는 소스 전극으로서 기능하는 도전막(212a)과, 산화물 반도체막(208)에 전기적으로 접속되는 드레인 전극으로서 기능하는 도전막(212b)과, 산화물 반도체막(208), 도전막(212a) 및 도전막(212b) 위의 절연막(214, 216)과, 절연막(216) 위의 산화물 반도체막(211b)을 가진다. 또한, 산화물 반도체

체막(211b) 위에 절연막(218)이 설치된다.

- [0301] 또한, 트랜지스터(270)에 있어서, 절연막(214) 및 절연막(216)은, 트랜지스터(270)의 제 2 게이트 절연막으로서의 기능을 가진다. 또한, 산화물 반도체막(211a)은, 절연막(214) 및 절연막(216)에 설치되는 개구부(252c)를 개재하여, 도전막(212b)과 접촉된다. 산화물 반도체막(211a)은, 예를 들면, 표시 장치에 사용하는 화소 전극으로서의 기능을 가진다. 또한, 트랜지스터(270)에 있어서, 산화물 반도체막(211b)은, 제 2 게이트 전극(백 게이트 전극이라고도 한다)으로서 기능한다.
- [0302] 또한, 도 21의 (C)에 도시하는 바와 같이 산화물 반도체막(211b)은, 절연막(206, 207), 절연막(214) 및 절연막(216)에 설치되는 개구부(252a, 252b)에 있어서, 제 1 게이트 전극으로서 기능하는 도전막(204)에 접촉된다. 따라서, 도전막(220b)과 산화물 반도체막(211b)은, 동일한 전위가 주어진다.
- [0303] 또한, 본 실시형태에 있어서는, 개구부(252a, 252b)를 형성하고, 산화물 반도체막(211b)과 도전막(204)을 접촉하는 구성에 관해서 예시했지만, 이것으로 한정되지 않는다. 예를 들면, 개구부(252a) 또는 개구부(252b)의 어느 한쪽의 개구부만을 형성하고, 산화물 반도체막(211b)과 도전막(204)을 접촉하는 구성, 또는 개구부(252a) 및 개구부(252b)를 형성하지 않고, 산화물 반도체막(211b)과 도전막(204)을 접촉하지 않는 구성으로 해도 좋다. 또한, 산화물 반도체막(211b)과 도전막(204)을 접촉하지 않는 구성의 경우, 산화물 반도체막(211b)과 도전막(204)에는, 각각 상이한 전위를 줄 수 있다.
- [0304] 또한, 도 21의 (B)에 도시하는 바와 같이, 산화물 반도체막(208)은, 제 1 게이트 전극으로서 기능하는 도전막(204)과, 제 2 게이트 전극으로서 기능하는 산화물 반도체막(211b)의 각각과 대향하도록 위치하고, 2개의 게이트 전극으로서 기능하는 도전막 사이에 개재되어 있다. 제 2 게이트 전극으로서 기능하는 산화물 반도체막(211b)의 채널 길이 방향의 길이 및 채널 폭 방향의 길이는, 산화물 반도체막(208)의 채널 길이 방향의 길이 및 채널 폭 방향의 길이보다도 각각 길고, 산화물 반도체막(208) 전체는, 절연막(214) 및 절연막(216)을 개재하여 산화물 반도체막(211b)으로 덮여 있다. 또한, 제 2 게이트 전극으로서 기능하는 산화물 반도체막(211b)과 제 1 게이트 전극으로서 기능하는 도전막(204)은, 절연막(206, 207), 절연막(214) 및 절연막(216)에 형성되는 개구부(252a, 252b)에 있어서 접촉되기 때문에, 산화물 반도체막(208)의 채널 폭 방향의 측면은, 절연막(214) 및 절연막(216)을 개재하여 제 2 게이트 전극으로서 기능하는 산화물 반도체막(211b)과 대향하고 있다.
- [0305] 달리 말하자면, 트랜지스터(270)의 채널 폭 방향에 있어서, 제 1 게이트 전극으로서 기능하는 도전막(204) 및 제 2 게이트 전극으로서 기능하는 산화물 반도체막(211b)은, 제 1 게이트 절연막으로서 기능하는 절연막(206, 207) 및 제 2 게이트 절연막으로서 기능하는 절연막(214) 및 절연막(216)에 형성되는 개구부에 있어서 접촉하는 동시에, 제 1 게이트 절연막으로서 기능하는 절연막(206, 207) 및 제 2 게이트 절연막으로서 기능하는 절연막(214) 및 절연막(216)을 개재하여 산화물 반도체막(208)을 둘러싸는 구성이다.
- [0306] 이러한 구성을 가짐으로써, 트랜지스터(270)에 포함되는 산화물 반도체막(208)을, 제 1 게이트 전극으로서 기능하는 도전막(204) 및 제 2 게이트 전극으로서 기능하는 산화물 반도체막(211b)의 전계에 의해 전기적으로 둘러쌀 수 있다. 트랜지스터(270)와 같이, 제 1 게이트 전극 및 제 2 게이트 전극의 전계에 의해, 채널 영역이 형성되는 산화물 반도체막을 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 surrounded channel(s-channel) 구조라고 부를 수 있다.
- [0307] 트랜지스터(270)는, s-channel 구조를 갖기 때문에, 제 1 게이트 전극으로서 기능하는 도전막(204)에 의해 채널을 유기시키기 위한 전계를 효과적으로 산화물 반도체막(208)에 인가할 수 있기 때문에, 트랜지스터(270)의 전류 구동 능력이 향상되고, 높은 온 전류 특성을 얻는 것이 가능해진다. 또한, 온 전류를 높게 하는 것이 가능하기 때문에, 트랜지스터(270)를 미세화하는 것이 가능해진다. 또한, 트랜지스터(270)는, 제 1 게이트 전극으로서 기능하는 도전막(204) 및 제 2 게이트 전극으로서 기능하는 산화물 반도체막(211b)에 의해 둘러싸인 구조를 갖기 때문에, 트랜지스터(270)의 기계적 강도를 높일 수 있다.
- [0308] <트랜지스터의 구성예 2>
- [0309] 다음에, 도 21의 (A) (B) (C)에 도시하는 트랜지스터(270)와 상이한 구성예에 관해서, 도 22의 (A) (B) (C) (D)를 사용하여 설명한다.
- [0310] 도 22의 (A) (B)는, 도 21의 (B) (C)에 도시하는 트랜지스터(270)의 변형예의 단면도이다. 또한, 도 22의 (C) (D)는, 도 21의 (B) (C)에 도시하는 트랜지스터(270)의 변형예의 단면도이다.
- [0311] 도 22의 (A) (B)에 도시하는 트랜지스터(270A)는, 도 21의 (B) (C)에 도시하는 트랜지스터(270)가 갖는 산화물

반도체막(208)을 3층의 적층 구조로 하고 있다. 보다 구체적으로는, 트랜지스터(270A)가 갖는 산화물 반도체막(208)은, 산화물 반도체막(208a)과, 산화물 반도체막(208b)과, 산화물 반도체막(208c)을 가진다.

- [0312] 도 22의 (C) (D)에 도시하는 트랜지스터(270B)는, 도 21의 (B) (C)에 도시하는 트랜지스터(270)가 갖는 산화물 반도체막(208)을 2층의 적층 구조로 하고 있다. 보다 구체적으로는, 트랜지스터(270B)가 갖는 산화물 반도체막(208)은, 산화물 반도체막(208b)과, 산화물 반도체막(208c)을 가진다.
- [0313] 본 실시형태에 나타내는 트랜지스터(270, 270A 및 270B)의 구성은, 실시형태 1에서 설명한 반도체 장치의 구성을 참조할 수 있다. 즉, 기판(202)의 재료 및 제작 방법은, 기판(102)을 참조할 수 있다. 도전막(204)의 재료 및 제작 방법은, 게이트 전극(104)을 참조할 수 있다. 절연막(206) 및 절연막(207)의 재료 및 제작 방법은, 각각 절연막(106) 및 절연막(107)을 참조할 수 있다. 산화물 반도체막(208)의 재료 및 제작 방법은, 제 1 산화물 반도체막(110)을 참조할 수 있다. 산화물 반도체막(211a) 및 산화물 반도체막(211b)의 재료 및 제작 방법은, 제 2 산화물 반도체막(111)을 참조할 수 있다. 도전막(21a) 및 도전막(21b)의 재료 및 제작 방법은, 각각 소스 전극(112a) 및 드레인 전극(112b)을 참조할 수 있다. 절연막(214), 절연막(216) 및 절연막(218)의 재료 및 제작 방법은, 각각 절연막(114), 절연막(116) 및 절연막(118)을 참조할 수 있다.
- [0314] 여기에서, 산화물 반도체막(208a, 208b, 208c), 및 산화물 반도체막(208b, 208c)에 접하는 절연막의 밴드 구조에 관해서, 도 23을 사용하여 설명한다.
- [0315] 도 23의 (A)는, 절연막(207), 산화물 반도체막(208a, 208b, 208c), 및 절연막(214)을 갖는 적층 구조의 막 두께 방향의 밴드 구조의 일례이다. 또한, 도 23의 (B)는, 절연막(207), 산화물 반도체막(208b, 208c), 및 절연막(214)을 갖는 적층 구조의 막 두께 방향의 밴드 구조의 일례이다. 또한, 밴드 구조는, 이해를 쉽게 하기 위해서 절연막(207), 산화물 반도체막(208a, 208b, 208c), 및 절연막(214)의 전도대 하단의 에너지 준위( $E_c$ )를 나타낸다.
- [0316] 또한, 도 23의 (A)는, 절연막(207, 214)으로서 산화실리콘막을 사용하고, 산화물 반도체막(208a)으로서 금속 원소의 원자수비를 In:Ga:Zn=1:1:1.2의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(208b)으로서 금속 원소의 원자수비를 In:Ga:Zn=4:2:4.1의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(208c)으로서 금속 원소의 원자수비를 In:Ga:Zn=1:1:1.2의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성의 밴드도이다.
- [0317] 또한, 도 23의 (B)는, 절연막(207, 214)으로서 산화실리콘막을 사용하고, 산화물 반도체막(208b)으로서 금속 원소의 원자수비를 In:Ga:Zn=4:2:4.1의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(208c)으로서 금속 원소의 원자수비를 In:Ga:Zn=1:1:1.2의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성의 밴드도이다.
- [0318] 도 23의 (A) (B)에 도시하는 바와 같이, 산화물 반도체막(208a, 208b, 208c)에 있어서, 전도대 하단의 에너지 준위는 완만하게 변화된다. 환언하면, 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이러한 밴드 구조를 갖기 위해서는, 산화물 반도체막(208a)과 산화물 반도체막(208b)의 계면, 또는 산화물 반도체막(208b)과 산화물 반도체막(208c)의 계면에 있어서, 포획 중심이나 재결합 중심과 같은 결함 준위를 형성하는 불순물이 존재하지 않는 것으로 한다.
- [0319] 산화물 반도체막(208a, 208b, 208c)에 연속 접합을 형성하기 위해서는, 로드록실을 구비한 멀티 챔버 방식의 성장 장치(스퍼터링 장치)를 사용하여 각 막을 대기에 접촉시키지 않고 연속하여 적층하는 것이 필요해진다.
- [0320] 도 23의 (A) (B)에 도시하는 구성으로 함으로써 산화물 반도체막(208b)이 웰(우물)이 되어, 상기 적층 구조를 사용한 트랜지스터에 있어서, 채널 영역이 산화물 반도체막(208b)에 형성되는 것을 알 수 있다.
- [0321] 또한, 산화물 반도체막(208a, 208c)을 설치함으로써, 산화물 반도체막(208b)에 형성될 수 있는 포획 준위를 산화물 반도체막(208b)으로부터 멀리 떼어 놓을 수 있다.
- [0322] 또한, 포획 준위가 채널 영역으로서 기능하는 산화물 반도체막(208b)의 전도 대 하단의 에너지 준위( $E_c$ )보다 진공 준위로부터 멀어져, 포획 준위에 전자가 축적되기 쉬워져 버리는 경우가 있다. 포획 준위에 전자가 축적됨으로써, 마이너스의 고정 전하가 되고, 트랜지스터의 임계값 전압은 플러스 방향으로 시프트해 버린다. 따라서, 포획 준위가 산화물 반도체막(208b)의 전도대 하단의 에너지 준위( $E_c$ )보다 진공 준위에 가까워지는 구성으로 하면 바람직하다. 이와 같이 함으로써, 포획 준위에 전자가 축적되기 어려워져, 트랜지스터의 온 전류를 증대시키는 것이 가능한 동시에, 전계 효과 이동도를 높일 수 있다.

- [0323] 또한, 산화물 반도체막(208a, 208c)은, 산화물 반도체막(208b)보다도 전도 대 하단의 에너지 준위가 진공 준위에 가깝게, 대표적으로는, 산화물 반도체막(208b)의 전도대 하단의 에너지 준위와, 산화물 반도체막(208a, 208c)의 전도대 하단의 에너지 준위의 차가, 0.15eV 이상, 또는 0.5eV 이상, 또는 2eV 이하, 또는 1eV 이하이다. 즉, 산화물 반도체막(208a, 208c)의 전자 친화력과, 산화물 반도체막(208b)의 전자 친화력의 차이가, 0.15eV 이상, 또는 0.5eV 이상, 또는 2eV 이하, 또는 1eV 이하이다.
- [0324] 이러한 구성을 가짐으로써, 산화물 반도체막(208b)이 주된 전류 경로가 된다. 즉, 산화물 반도체막(208b)은, 채널 영역으로서의 기능을 가지고, 산화물 반도체막(208a, 208c)은, 산화물 절연막으로서의 기능을 가진다. 또한, 산화물 반도체막(208a, 208c)은, 채널 영역이 형성되는 산화물 반도체막(208b)을 구성하는 금속 원소의 1종 이상으로 구성되는 산화물 반도체막이기 때문에, 산화물 반도체막(208a)과 산화물 반도체막(208b)의 계면, 또는 산화물 반도체막(208b)과 산화물 반도체막(208c)의 계면에 있어서, 계면 산란이 일어나기 어렵다. 따라서, 상기 계면에 있어서는 캐리어의 움직임이 저해되지 않기 때문에, 트랜지스터의 전계 효과 이동도가 높아진다.
- [0325] 또한, 산화물 반도체막(208a, 208c)은, 채널 영역의 일부로서 기능하는 것을 방지하기 위해서, 도전율이 충분히 낮은 재료를 사용하는 것으로 한다. 이로 인해, 산화물 반도체막(208a, 208c)을, 그 물성 및/또는 기능으로부터, 각각 산화물 절연막이라고도 부를 수 있다. 또한, 산화물 반도체막(208a, 208c)에는, 전자 친화력(진공 준위와 전도대 하단의 에너지 준위의 차)이 산화물 반도체막(208b)보다도 작고, 전도대 하단의 에너지 준위가 산화물 반도체막(208b)의 전도대 하단의 에너지 준위와 차분(밴드 오프셋)을 갖는 재료를 사용하는 것으로 한다. 또한, 드레인 전압의 크기에 의존한 임계값 전압의 차가 생기는 것을 억제하기 위해서는, 산화물 반도체막(208a, 208c)의 전도대 하단의 에너지 준위가, 산화물 반도체막(208b)의 전도대 하단의 에너지 준위보다도 진공 준위에 가까운 재료를 사용하면 바람직하다. 예를 들면, 산화물 반도체막(208b)의 전도대 하단의 에너지 준위와, 산화물 반도체막(208a, 208c)의 전도대 하단의 에너지 준위의 차가, 0.2eV 이상, 바람직하게는 0.5eV 이상으로 하는 것이 바람직하다.
- [0326] 또한, 산화물 반도체막(208a, 208c)은, 막 중에 스피넬형의 결정 구조가 포함되지 않는 것이 바람직하다. 산화물 반도체막(208a, 208c)의 막 중에 스피넬형의 결정 구조를 포함하는 경우, 상기 스피넬형의 결정 구조와 다른 영역의 계면에 있어서, 도전막(212a, 212b)의 구성 원소가 산화물 반도체막(208b)으로 확산되어 버리는 경우가 있다. 또한, 산화물 반도체막(208a, 208c)이 CAAC-OS인 경우, 도전막(212a, 212b)의 구성 원소, 예를 들면, 구리 원소의 블로킹성이 높아져 바람직하다.
- [0327] 산화물 반도체막(208a, 208c)의 막 두께는, 도전막(212a, 212b)의 구성 원소가 산화물 반도체막(208b)으로 확산되는 것을 억제할 수 있는 막 두께 이상이며, 절연막(214)으로부터 산화물 반도체막(208b)으로의 산소의 공급을 억제하는 막 두께 미만으로 한다. 예를 들면, 산화물 반도체막(208a, 208c)의 막 두께가 10nm 이상이면, 도전막(212a, 212b)의 구성 원소가 산화물 반도체막(208b)으로 확산되는 것을 억제할 수 있다. 또한, 산화물 반도체막(208a, 208c)의 막 두께를 100nm 이하로 하면, 절연막(214)으로부터 산화물 반도체막(208b)으로 효과적으로 산소를 공급할 수 있다.
- [0328] 또한, 본 실시형태에 있어서는, 산화물 반도체막(208a, 208c)으로서, 금속 원소의 원자수비를 In:Ga:Zn=1:1:1.2의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성에 관해서 예시했지만, 이것으로 한정되지 않는다. 예를 들면, 산화물 반도체막(208a, 208c)으로서, In:Ga:Zn=1:1:1[원자수비], In:Ga:Zn=1:3:2[원자수비], In:Ga:Zn=1:3:4[원자수비], 또는 In:Ga:Zn=1:3:6[원자수비]의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용해도 좋다.
- [0329] 또한, 산화물 반도체막(208a, 208c)으로서, In:Ga:Zn=1:1:1[원자수비]의 금속 산화물 타깃을 사용하는 경우, 산화물 반도체막(208a, 208c)은, In:Ga:Zn=1:β1 (0 < β1 ≤ 2):β2 (0 < β2 ≤ 3)이 되는 경우가 있다. 또한, 산화물 반도체막(208a, 208c)으로서, In:Ga:Zn=1:3:4[원자수비]의 금속 산화물 타깃을 사용하는 경우, 산화물 반도체막(208a, 208c)은, In:Ga:Zn=1:β3 (1 ≤ β3 ≤ 5):β4 (2 ≤ β4 ≤ 6)이 되는 경우가 있다. 또한, 산화물 반도체막(208a, 208c)으로서, In:Ga:Zn=1:3:6[원자수비]의 금속 산화물 타깃을 사용하는 경우, 산화물 반도체막(208a, 208c)은, In:Ga:Zn=1:β5 (1 ≤ β5 ≤ 5):β6 (4 ≤ β6 ≤ 8)이 되는 경우가 있다.
- [0330] 또한, 트랜지스터(270)가 갖는 산화물 반도체막(208)과, 트랜지스터(270A, 270B)가 갖는 산화물 반도체막(208c)은, 도면에 있어서, 도전막(212a, 212b)과 중첩되지 않는 영역의 산화물 반도체막이 얇아지는, 달리 말하자면 산화물 반도체막의 일부가 오목부를 갖는 형상에 관해서 예시하고 있다. 단, 본 발명의 일 형태는 이것으로 한정되지 않으며, 도전막(212a, 212b)과 중첩되지 않는 영역의 산화물 반도체막이 오목부를 갖지 않아도 좋다. 이 경우의 일례를 도 24의 (A) (B)에 도시한다. 도 24의 (A) (B)는, 트랜지스터의 일례를 도시하는

단면도이다. 또한, 도 24의 (A) (B)는, 먼저 나타내는 트랜지스터(270B)의 산화물 반도체막(208)이 오목부를 갖지 않는 구조이다.

- [0331] 또한, 본 실시형태에 따르는 트랜지스터는, 상기의 구조 각각을 자유롭게 조합하는 것이 가능하다.
- [0332] 이상, 본 실시형태에서 나타내는 구성, 방법은, 다른 실시형태에서 나타내는 구성, 방법과 적절히 조합하여 사용할 수 있다.
- [0333] (실시형태 6)
- [0334] 본 실시형태에서는, 본 발명의 일 형태인 표시 장치(80)에 관해서, 도 25 내지 도 42를 사용하여 설명한다.
- [0335] 도 25의 (A)에 도시하는 표시 장치(80)는, 화소부(71)와, 주사선 구동 회로(74)와, 신호선 구동 회로(76)와, 각각이 평행 또는 대략 평행하게 설치되고, 또한 주사선 구동 회로(74)에 의해 전위가 제어되는 m개의 주사선(77)과, 각각이 평행 또는 대략 평행하게 설치되고, 또한 신호선 구동 회로(76)에 의해 전위가 제어되는 n개의 신호선(79)을 가진다. 또한, 화소부(71)는 매트릭스상으로 배치된 복수의 화소(70)를 가진다. 또한, 신호선(79)에 따라, 각각이 평행 또는 대략 평행하게 설치된 코몬선(75)을 가진다. 또한, 주사선 구동 회로(74) 및 신호선 구동 회로(76)를 통합하여 구동 회로부라고 하는 경우가 있다.
- [0336] 각각의 주사선(77)은, 화소부(71)에 있어서 m행 n열에 배치된 화소(70) 중, 어느 하나의 행에 배치된 n개의 화소(70)와 전기적으로 접속된다. 또한, 각각의 신호선(79)은, m행 n열에 배치된 화소(70) 중, 어느 하나의 열에 배치된 m개의 화소(70)에 전기적으로 접속된다. m, n은, 모두 1 이상의 정수이다. 또한, 각 코몬선(75)은, m행 n열에 배치된 화소(70) 중, 어느 하나의 행에 배치된 m개의 화소(70)와 전기적으로 접속된다.
- [0337] 도 25의 (B)는, 도 25의 (A)에 도시하는 표시 장치(80)의 화소(70)에 사용할 수 있는 회로 구성의 일례를 도시하고 있다.
- [0338] 도 25의 (B)에 도시하는 화소(70)는, 액정 소자(51)와, 트랜지스터(52)와, 용량 소자(55)를 가진다.
- [0339] 액정 소자(51)의 한 쌍의 전극 중 한쪽은, 트랜지스터(52)와 접속되고, 전위는, 화소(70)의 사양에 따라 적절히 설정된다. 액정 소자(51)의 한 쌍의 전극 중 다른쪽은, 코몬선(75)과 접속되고, 전위는 공통인 전위(코몬 전위)가 주어진다. 액정 소자(51)가 갖는 액정은, 트랜지스터(52)에 기록되는 데이터에 의해 배향 상태가 제어된다.
- [0340] 또한, 액정 소자(51)는, 액정의 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자이다. 또한, 액정의 광학적 변조 작용은, 액정에 가해지는 전계(가로 방향의 전계, 세로 방향의 전계 또는 사선 방향의 전계를 포함한다)에 의해 제어된다. 또한, 액정 소자(51)에 사용하는 액정으로서, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이러한 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 키랄네마틱상, 등방상 등을 나타낸다.
- [0341] 또한, 횡전계 방식을 채용하는 경우, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온시켜 나가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 온도 범위를 개선하기 위해서 수 중량% 이상의 키랄제를 혼합시킨 액정 조성품을 사용하여 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 함유하는 액정 조성물은, 응답 속도가 짧고, 광학적 등방성이다. 또한, 블루상을 나타내는 액정과 키랄제를 함유하는 액정 조성물은, 배향 처리가 불필요하며, 시야각 의존성이 작다. 또한 배향막을 설치하지 않아도 되기 때문에 러빙 처리도 불필요하기 때문에, 러빙 처리에 의해 야기되는 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감시킬 수 있다.
- [0342] 액정 소자(51)를 갖는 표시 장치(80)의 구동 방법으로서, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드 등을 사용할 수 있다.
- [0343] 또한, 표시 장치(80)를 노멀리 블랙형의 액정 표시 장치, 예를 들면 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치로 해도 된다. 수직 배향 모드로서는, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV 모드 등을 사용할 수 있다.

- [0344] 본 실시형태에서는, 주로 횡전계 방식, 대표적으로는 FFS모드 및 나중에 설명하는 DPS 모드에 관해서 설명한다.
- [0345] 도 25의 (B)에 도시하는 화소(70)의 구성에 있어서, 트랜지스터(52)의 소스 전극 및 드레인 전극 중 한쪽은, 신호선(79)에 전기적으로 접속되고, 다른쪽은 액정 소자(51)의 한 쌍의 전극 중 한쪽에 전기적으로 접속된다. 또한, 트랜지스터(52)의 게이트 전극은, 주사선(77)에 전기적으로 접속된다. 트랜지스터(52)는, 데이터 신호의 데이터의 기록을 제어하는 기능을 가진다.
- [0346] 도 25의 (B)에 도시하는 화소(70)의 구성에 있어서, 용량 소자(55)의 한 쌍의 전극 중 한쪽은, 트랜지스터(52)의 소스 전극 및 드레인 전극 중 다른쪽에 접속된다. 용량 소자(55)의 한 쌍의 전극 중 다른쪽은, 코몬선(75)에 전기적으로 접속된다. 코몬선(75)의 전위의 값은, 화소(70)의 사양에 따라 적절히 설정된다. 용량 소자(55)는, 기록된 데이터를 유지하는 유지 용량으로서의 기능을 가진다. 또한, FFS 모드에 의해 구동하는 표시 장치(80)에 있어서는, 용량 소자(55)의 한 쌍의 전극 중 한쪽은, 액정 소자(51)의 한 쌍의 전극 중 한쪽의 일부 또는 전부이며, 용량 소자(55)의 한 쌍의 전극 중 다른쪽은, 액정 소자(51)의 한 쌍의 전극 중 다른쪽의 일부 또는 전부이다.
- [0347] <소자 기관의 구성예>
- [0348] 다음에, 표시 장치(80)에 포함되는 소자 기관의 구체적인 구성에 관해서 설명한다. 우선, FFS 모드에 의해 구동하는 표시 장치(80)가 갖는 복수의 화소(70a, 70b, 70c)의 상면도를 도 26에 도시한다.
- [0349] 도 26에 있어서, 주사선으로서 기능하는 도전막(13)은, 신호선에 대략 직교하는 방향(도면 중 좌우 방향)으로 연신되어 설치되어 있다. 신호선으로서 기능하는 도전막(21a)은, 주사선에 대략 직교하는 방향(도면 중 상하 방향)으로 연신되어 설치되어 있다. 또한, 주사선으로서 기능하는 도전막(13)은, 주사선 구동 회로(74)와 전기적으로 접속되어 있고, 신호선으로서 기능하는 도전막(21a)은, 신호선 구동 회로(76)에 전기적으로 접속되어 있다(도 25의 (A) 참조).
- [0350] 트랜지스터(52)는, 주사선 및 신호선의 교차부 근방에 설치되어 있다. 트랜지스터(52)는, 게이트 전극으로서 기능하는 도전막(13), 게이트 절연막(도 26에 도시 생략), 게이트 절연막 위에 형성된 채널 영역이 형성되는 산화물 반도체막(19a), 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)에 의해 구성된다. 또한, 도전막(13)은, 주사선으로서도 기능하고, 산화물 반도체막(19a)과 중첩되는 영역이 트랜지스터(52)의 게이트 전극으로서 기능한다. 또한, 도전막(21a)은, 신호선으로서도 기능하고, 산화물 반도체막(19a)과 중첩되는 영역이 트랜지스터(52)의 소스 전극 또는 드레인 전극으로서 기능한다. 또한, 도 26에 있어서, 주사선은, 상면 형상에 있어서 단부가 산화물 반도체막(19a)의 단부보다 외측에 위치한다. 이로 인해, 주사선은 백 라이트 등의 광원으로부터의 광을 가리는 차광막으로서 기능한다. 이 결과, 트랜지스터에 포함되는 산화물 반도체막(19a)에 광이 조사되지 않아, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.
- [0351] 또한, 도전막(21b)은, 화소 전극의 기능을 갖는 산화물 반도체막(19b)과 전기적으로 접속된다. 또한, 산화물 반도체막(19b) 위에 있어서, 절연막(도 26에 도시 생략)을 개재하여 코몬 전극(29)이 설치되어 있다.
- [0352] 코몬 전극(29)은, 신호선과 교차하는 방향으로 연신되는 줄무늬상의 영역을 가진다. 또한, 상기 줄무늬상의 영역은, 신호선과 평행 또는 대략 평행한 방향으로 연신되는 영역과 접속된다. 이로 인해, 표시 장치(80)가 갖는 복수의 화소에 있어서, 줄무늬상의 영역을 갖는 코몬 전극(29)은 각 영역이 동전위이다.
- [0353] 용량 소자(55)는, 산화물 반도체막(19b), 및 코몬 전극(29)이 겹치는 영역 에 형성된다. 산화물 반도체막(19b) 및 코몬 전극(29)은 투광성을 가진다. 즉, 용량 소자(55)는 투광성을 가진다.
- [0354] 또한, 용량 소자(55)는 투광성을 갖기 때문에, 화소(70) 내에 용량 소자(55)를 크게(대면적으로) 형성할 수 있다. 따라서, 개구율을 높이면서, 대표적으로는 50% 이상, 바람직하게는 60% 이상으로 하는 것이 가능한 동시에, 용량값을 증대시킨 표시 장치를 얻을 수 있다. 예를 들면, 해상도가 높은 표시 장치, 예를 들면 액정 표시 장치에 있어서는, 화소의 면적이 작아지고, 용량 소자의 면적도 작아진다. 이로 인해, 해상도가 높은 표시 장치에 있어서, 용량 소자에 축적되는 용량값이 작아진다. 그러나, 본 실시형태에 나타내는 용량 소자(55)는 투광성을 갖기 때문에, 상기 용량 소자를 화소에 형성함으로써, 각 화소에 있어서 충분한 용량값을 얻으면서, 개구율을 높일 수 있다. 대표적으로는, 화소 밀도가 200ppi 이상, 또는 300ppi 이상, 또는 500ppi 이상인 고해상도의 표시 장치에 적합하게 사용할 수 있다.
- [0355] 또한, 액정 표시 장치에 있어서, 용량 소자의 용량값을 크게 할수록, 전계를 가한 상황에 있어서, 액정 소자의

액정 분자의 배향을 일정하게 유지할 수 있는 기간을 길게 할 수 있다. 정지 화상을 표시시키는 경우, 상기 기간을 길게 할 수 있기 때문에, 화상 데이터를 재기록하는 횟수를 저감시키는 것이 가능하며, 소비 전력을 저감시킬 수 있다. 또한, 본 실시형태에 나타내는 구조에 의해, 고해상도의 표시 장치에 있어서도, 개구율을 높일 수 있기 때문에, 백 라이트 등의 광원의 광을 효율적으로 이용할 할 수 있어, 표시 장치의 소비 전력을 저감시킬 수 있다.

- [0356] 이어서, 도 26의 일점쇄선 Q1-R1, 및 일점쇄선 S1-T1에 있어서의 단면도를 도 27에 도시한다. 도 27에 도시하는 트랜지스터(52)는, 채널 에치형의 트랜지스터이다. 또한, 일점쇄선 Q1-R1은, 트랜지스터(52)의 채널 길이 방향, 및 용량 소자(55)의 단면도이며, S1-T1에 있어서의 단면도는, 트랜지스터(52)의 채널 폭 방향의 단면도이다.
- [0357] 도 27에 도시하는 트랜지스터(52)는, 싱글 게이트 구조의 트랜지스터이며, 기관(11) 위에 설치되는 게이트 전극으로서 기능하는 도전막(13)을 가진다. 또한, 기관(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성되는 절연막(15)과, 절연막(15) 위에 형성되는 절연막(17)과, 절연막(15) 및 절연막(17)을 개재하여, 게이트 전극으로서 기능하는 도전막(13)과 겹치는 산화물 반도체막(19a)과, 산화물 반도체막(19a)에 접하는, 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)을 가진다. 또한, 절연막(17), 산화물 반도체막(19a), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b) 위에는, 절연막(23)이 형성되고, 절연막(23) 위에는 절연막(25)이 형성된다. 또한, 산화물 반도체막(19b)이, 절연막(25) 위에 형성된다. 산화물 반도체막(19b)은, 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)의 한쪽, 여기에서는 도전막(21b)과, 절연막(23) 및 절연막(25)에 설치된 개구를 개재하여 전기적으로 접속된다. 절연막(25) 및 산화물 반도체막(19b) 위에는 절연막(27)이 형성된다. 또한, 코몬 전극(29)이, 절연막(27) 위에 형성된다.
- [0358] 또한, 절연막(25) 위의 산화물 반도체막(19a)과 중첩되는 위치에 산화물 반도체막(19b)을 설치함으로써, 트랜지스터(52)를, 산화물 반도체막(19b)을 제 2 게이트 전극으로 하는 더블 게이트 구조의 트랜지스터로 해도 좋다.
- [0359] 또한, 산화물 반도체막(19b)과, 절연막(27)과, 코몬 전극(29)이 겹치는 영역이 용량 소자(55)로서 기능한다.
- [0360] 또한, 본 발명의 실시형태의 일 형태의 단면도는, 이것으로 한정되지 않는다. 여러가지 구성을 취할 수 있다. 예를 들면, 산화물 반도체막(19b)은, 슬릿을 가져도 좋다. 또는, 산화물 반도체막(19b)은 밧살 형상이라도 좋다.
- [0361] 본 발명의 일 형태의 표시 장치(80)의 구성은, 실시형태 1에서 설명한 반도체 장치의 구성을 참조할 수 있다. 즉, 기관(11)의 재료 및 제작 방법은, 기관(102)을 참조할 수 있다. 도전막(13)의 재료 및 제작 방법은, 게이트 전극(104)을 참조할 수 있다. 절연막(15) 및 절연막(17)의 재료 및 제작 방법은, 각각 절연막(106) 및 절연막(107)을 참조할 수 있다. 산화물 반도체막(19a) 및 산화물 반도체막(19b)의 재료 및 제작 방법은, 각각 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111)을 참조할 수 있다. 도전막(21a) 및 도전막(21b)의 재료 및 제작 방법은, 각각 소스 전극(112a) 및 드레인 전극(112b)을 참조할 수 있다. 절연막(23), 절연막(25) 및 절연막(27)의 재료 및 제작 방법은, 각각 절연막(114), 절연막(116) 및 절연막(118)을 참조할 수 있다. 코몬 전극(29)의 재료 및 제작 방법은, 도전막(120)을 참조할 수 있다.
- [0362] 또한, 도 28에 도시하는 바와 같이, 코몬 전극(29)이, 절연막(27) 위에 설치된 절연막(28) 위에 설치되어 있어도 좋다. 절연막(28)은 평탄화막으로서의 기능을 가진다. 절연막(28)의 재료 및 제작 방법은, 실시형태 3에서 설명한 절연막(119)을 참조할 수 있다.
- [0363] <소자 기관의 구성예(변형예 1)>
- [0364] 다음에, 표시 장치(80)가 갖는, 도 26에 도시하는 화소와는 상이한 구성의 복수의 화소(70d, 70e, 70f)의 상면도를 도 29에 도시한다.
- [0365] 도 29에 있어서, 주사선으로서 기능하는 도전막(13)은, 도면 중 좌우 방향으로 연신되어 설치되어 있다. 신호선으로서 기능하는 도전막(21a)은, 일부가 굴곡진 <자(dogleg)(V자) 형상을 갖도록, 주사선에 대략 직교하는 방향(도면 중 상하 방향)으로 연신되어 설치되어 있다. 또한, 주사선으로서 기능하는 도전막(13)은, 주사선 구동 회로(74)와 전기적으로 접속되어 있고, 신호선으로서 기능하는 도전막(21a)은, 신호선 구동 회로(76)에 전기적으로 접속되어 있다(도 25의 (A) 참조).
- [0366] 트랜지스터(52)는, 주사선 및 신호선의 교차부 근방에 설치되어 있다. 트랜지스터(52)는, 게이트 전극으로서

기능하는 도전막(13), 게이트 절연막(도 29에 도시 생략), 게이트 절연막 위에 형성된 채널 영역이 형성되는 산화물 반도체막(19a), 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)에 의해 구성된다. 또한, 도전막(13)은, 주사선으로서도 기능하고, 산화물 반도체막(19a)과 중첩되는 영역이 트랜지스터(52)의 게이트 전극으로서 기능한다. 또한, 도전막(21a)은, 신호선으로서도 기능하고, 산화물 반도체막(19a)과 중첩되는 영역이 트랜지스터(52)의 소스 전극 또는 드레인 전극으로서 기능한다. 또한, 도 29에 있어서, 주사선은, 상면 형상에 있어서 단부가 산화물 반도체막(19a)의 단부보다 외측에 위치한다. 이로 인해, 주사선은 백 라이트 등의 광원으로부터의 광을 가리는 차광막으로서 기능한다. 이 결과, 트랜지스터에 포함되는 산화물 반도체막(19a)에 광이 조사되지 않아, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.

[0367] 또한, 도전막(21b)은, 화소 전극의 기능을 갖는 산화물 반도체막(19b)과 전기적으로 접속된다. 산화물 반도체막(19b)은 빗살 모양으로 형성되어 있다. 또한, 산화물 반도체막(19b) 위에 절연막(도 29에 도시 생략)이 설치되고, 상기 절연막 위에 코몬 전극(29)이 설치된다. 코몬 전극(29)은, 산화물 반도체막(19b)과 일부가 중첩되도록, 상면도에 있어서 산화물 반도체막(19b)과 맞물리도록 빗살 모양으로 형성되어 있다. 또한 코몬 전극(29)은, 주사선과 평행 또는 대략 평행한 방향으로 연신되는 영역과 접속된다. 이로 인해, 표시 장치(80)가 갖는 복수의 화소에 있어서, 코몬 전극(29)은 각 영역이 동전위이다. 또한, 산화물 반도체막(19b) 및 코몬 전극(29)은, 신호선(도전막(21a))을 따르도록 굴곡진 <자(V자) 형상을 가지고 있다.

[0368] 용량 소자(55)는, 산화물 반도체막(19b), 및 코몬 전극(29)이 겹치는 영역에서 형성된다. 산화물 반도체막(19b) 및 코몬 전극(29)은 투광성을 가진다. 즉, 용량 소자(55)는 투광성을 가진다.

[0369] 이어서, 도 29의 일점쇄선 Q2-R2, 및 일점쇄선 S2-T2에 있어서의 단면도를 도 30에 도시하는 트랜지스터(52)는, 채널 에치형의 트랜지스터이다. 또한, 일점쇄선 Q2-R2는, 트랜지스터(52)의 채널 길이 방향, 및 용량 소자(55)의 단면도이며, S2-T2에 있어서의 단면도는, 트랜지스터(52)의 채널 폭 방향의 단면도이다.

[0370] 도 30에 도시하는 트랜지스터(52)는, 싱글 게이트 구조의 트랜지스터이며, 기관(11) 위에 설치되는 게이트 전극으로서 기능하는 도전막(13)을 가진다. 또한, 기관(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성되는 절연막(15)과, 절연막(15) 위에 형성되는 절연막(17)과, 절연막(15) 및 절연막(17)을 개재하여, 게이트 전극으로서 기능하는 도전막(13)과 겹치는 산화물 반도체막(19a)과, 산화물 반도체막(19a)에 접하는, 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)을 가진다. 또한, 절연막(17), 산화물 반도체막(19a), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b) 위에는, 절연막(23)이 형성되고, 절연막(23) 위에는 절연막(25)이 형성된다. 또한, 산화물 반도체막(19b)이, 절연막(25) 위에 형성된다. 산화물 반도체막(19b)은, 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)의 한쪽, 여기에서는 도전막(21b)과, 절연막(23) 및 절연막(25)에 형성된 개구를 개재하여 전기적으로 접속된다. 절연막(25) 및 산화물 반도체막(19b) 위에는 절연막(27)이 형성된다. 또한, 코몬 전극(29)이, 절연막(27) 위에 형성된다.

[0371] 도 30에 도시하는 화소에서는, 절연막(27) 및 코몬 전극(29) 위에 설치되는 액정의 배향이 제어되는 영역에 있어서, 화소 전극의 기능을 갖는 산화물 반도체막(19b)은 절연막(25) 위에 설치되고, 코몬 전극(29)은 절연막(27) 위에 설치되어 있다. 이와 같이, 상이한 평면 위에 배치된 한 쌍의 전극간에 전계를 발생시킴으로써 액정의 배향을 제어하는 표시 장치의 구동 방법을 DPS(Differential-Plane-Switching) 모드라고 부를 수 있다.

[0372] 또한, 절연막(25) 위의 산화물 반도체막(19a)과 중첩되는 위치에 산화물 반도체막(19b)을 설치함으로써, 트랜지스터(52)를, 산화물 반도체막(19b)을 제 2 게이트 전극으로 하는 더블 게이트 구조의 트랜지스터로 해도 좋다.

[0373] 또한, 산화물 반도체막(19b)과, 절연막(27)과, 코몬 전극(29)이 겹치는 영역이 용량 소자(55)로서 기능한다.

[0374] 도 29 및 도 30에 도시하는 액정 표시 장치는, 산화물 반도체막(19b) 및 코몬 전극(29)의 각각의 단부 근방이 중첩되는 구성에 의해, 화소가 갖는 용량 소자를 형성한다. 이러한 구성에 의해, 대형의 액정 표시 장치에 있어서, 용량 소자를 지나치게 크게 하지 않고, 적절한 크기로 형성할 수 있다.

[0375] 또한, 도 31에 도시되는 바와 같이, 코몬 전극(29)을, 절연막(27) 위에 설치된 절연막(28) 위에 형성해도 된다.

[0376] 또한, 도 32 및 도 33에 도시하는 바와 같이, 산화물 반도체막(19b)과 코몬 전극(29)이 중첩되지 않는 구성으로 해도 된다. 표시 장치의 해상도나 구동 방법에 따른 용량 소자의 크기에 따라, 산화물 반도체막(19b)과 코몬 전극(29)의 위치 관계를 적절히 결정할 수 있다. 또한, 도 33에 도시하는 표시 장치가 갖는 코몬 전극(29)이,

평탄화막의 기능을 갖는 절연막(28) 위에 설치되어 있어도 좋다(도 34 참조).

- [0377] 또한, 도 29 및 도 30에 도시하는 액정 표시 장치는, 산화물 반도체막(19b)의 신호선(도전막(21a))과 평행 또는 대략 평행한 방향으로 연신되는 영역의 폭(d1)이, 코몬 전극(29)의 신호선과 평행 또는 대략 평행한 방향으로 연신되는 영역의 폭(d2)보다도 작은 구성으로 하고 있지만(도 30 참조), 이것으로 한정되지 않는다. 도 35 및 도 36에 도시하는 바와 같이, 폭(d1)이 폭(d2)보다 커도 좋다. 또한, 폭(d1)과 폭(d2)이 동일해도 좋다. 또한, 하나의 화소(예를 들면 화소(70d))에 있어서, 산화물 반도체막(19b) 및/또는 코몬 전극(29)의, 신호선과 평행 또는 대략 평행한 방향으로 연신되는 복수 영역의 폭이, 각각 상이해도 좋다.
- [0378] 또한, 도 37에 도시하는 바와 같이, 절연막(27) 위에 설치된 절연막(28)이, 절연막(28) 위의 코몬 전극(29)과 중첩되는 영역만을 남기고 제거되는 구성으로 해도 좋다. 이 경우, 코몬 전극(29)을 마스크로 하여 절연막(28)의 에칭을 행할 수 있다. 평탄화막으로서의 기능을 갖는 절연막(28) 위의 코몬 전극(29)의 요철을 억제할 수 있어, 코몬 전극(29)의 단부로부터 절연막(27)에 걸쳐서 절연막(28)의 측면이 완만하게 형성된다. 또한, 도 38에 도시하는 바와 같이, 절연막(28)의 표면 중 기관(11)에 평행한 영역의 일부가 코몬 전극(29)으로 덮이지 않는 구성으로 해도 된다.
- [0379] 또한, 도 39 및 도 40에 도시하는 바와 같이, 코몬 전극이 산화물 반도체막(19b)과 동일한 층 위, 즉 절연막(25) 위에 설치되어 있어도 좋다. 도 39 및 도 40에 도시하는 코몬 전극(19c)은, 산화물 반도체막(19b)과 동일한 재료로 동시에 형성할 수 있다.
- [0380] 본 발명의 일 형태의 표시 장치(80)의 구성은, 실시형태 1에서 설명한 반도체 장치의 구성을 참조할 수 있다. 즉, 기관(11)의 재료 및 제작 방법은, 기관(102)을 참조할 수 있다. 도전막(13)의 재료 및 제작 방법은, 게이트 전극(104)을 참조할 수 있다. 절연막(15) 및 절연막(17)의 재료 및 제작 방법은, 각각 절연막(106) 및 절연막(107)을 참조할 수 있다. 산화물 반도체막(19a) 및 산화물 반도체막(19b)의 재료 및 제작 방법은, 각각 제 1 산화물 반도체막(110) 및 제 2 산화물 반도체막(111)을 참조할 수 있다. 도전막(21a) 및 도전막(21b)의 재료 및 제작 방법은, 각각 소스 전극(112a) 및 드레인 전극(112b)을 참조할 수 있다. 절연막(23), 절연막(25) 및 절연막(27)의 재료 및 제작 방법은, 각각 절연막(114), 절연막(116) 및 절연막(118)을 참조할 수 있다. 코몬 전극(29)의 재료 및 제작 방법은, 도전막(120)을 참조할 수 있다.
- [0381] 또한, 절연막(28)의 재료 및 제작 방법은, 실시형태 3에서 설명한 절연막(119)을 참조할 수 있다.
- [0382] 또한, 본 실시형태에 나타내는 구성 및 방법 등은, 다른 실시형태에 나타내는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.
- [0383] <소자 기관의 구성예(변형예 2)>
- [0384] 다음에, 도 25의 (A)에 도시하는 표시 장치(80)가 갖는, 상기와는 상이한 구성의 복수의 화소(370)의 구성에 관해서 설명한다. 도 41의 (A)에 화소(370)의 회로 구성의 일례를 도시한다. 또한 도 41의 (B)는 표시 장치(80)가 갖는 복수의 화소(370g, 370h, 370i)의 상면도이고, 도 42는 도 41의 (B)의 일점쇄선 Q3-R3, 및 S3-T3에 있어서의 단면도이다.
- [0385] 화소(370)는, 액정 소자(51) 대신에, 병렬로 접속된 액정 소자(351a) 및 액정 소자(351b)를 구비하는 점이, 도 25의 (B)를 참조하면서 설명하는 화소(70)와 상이하다. 여기에서는 상이한 구성에 관해서 상세하게 설명하고, 같은 구성을 사용할 수 있는 부분은, 상기의 설명을 원용한다. 또한, 도 42에 도시하는 단면도에 있어서, 액정 소자(351b)는 생략하고 있다.
- [0386] 액정 소자(351a)에 있어서, 산화물 반도체막(319b)은 트랜지스터(352)의 드레인 전극과 전기적으로 접속되어, 화소 전극의 기능을 가진다. 또한, 도전막(329)은, 주사선(도전막(13))과 평행 또는 대략 평행하게 연신되어 설치되는 배선(VCOM)과 전기적으로 접속되어, 코몬 전극의 기능을 가진다.
- [0387] 액정 소자(351b)에 있어서, 도전막(329)은 트랜지스터(352)의 드레인 전극과 전기적으로 접속되어, 화소 전극의 기능을 가진다. 또한, 산화물 반도체막(319b)은, 주사선(도전막(13))과 평행 또는 대략 평행하게 연신되어 설치되는 배선(VCOM)과 전기적으로 접속되어, 코몬 전극의 기능을 가진다.
- [0388] 도전막(329)과 전기적으로 접속되는 배선(VCOM) 및 산화물 반도체막(319b)과 전기적으로 접속되는 배선(VCOM)은, 도 41의 (A)에 있어서 하나의 배선으로 나타내고 있지만, 이것으로 한정되지 않는다. 도전막(329)과 전기적으로 접속되는 배선(VCOM)과, 산화물 반도체막(319b)과 전기적으로 접속되는 배선(VCOM)이, 동전 위라도 좋고, 또한 상이한 전위라도 좋다. 도전막(329)과 전기적으로 접속되는 배선(VCOM) 및 산화물 반도체막

(319b)과 전기적으로 접속되는 배선(VCOM)은, 예를 들면 주사선 구동 회로(74)에 있어서 서로 전기적으로 접속됨으로써, 동전위로 할 수 있다(도 25의 (A) 참조).

- [0389] 또한, 화소(370)가 구비하는 용량 소자(355)는, 용량 소자(355a) 및 용량 소자(355b)를 가진다. 용량 소자(355a)의 한 쌍의 전극 중 한쪽은 산화물 반도체막(319b)을 포함하고, 트랜지스터(352)의 드레인 전극과 전기적으로 접속된다. 용량 소자(355a)의 한 쌍의 전극 중 다른쪽은 도전막(329)을 포함한다. 또한 용량 소자(355b)의 한 쌍의 전극 중 한쪽은 도전막(329)을 포함하고, 트랜지스터(352)의 드레인 전극과 전기적으로 접속된다. 용량 소자(355b)의 한 쌍의 전극 중 다른쪽은 산화물 반도체막(319b)을 포함한다.
- [0390] 산화물 반도체막(319b)의 재료 및 제작 방법은, 상기의 산화물 반도체막(19b)을 참조할 수 있다. 또한 도전막(329)의 재료 및 제작 방법은, 상기의 코몬 전극(29)을 참조할 수 있다.
- [0391] 액정 소자(351a) 및 액정 소자(351b)를 병렬로 접속하는 구성에 의해, 인가하는 전압을 반전하여 액정 소자를 구동할 때에 확인되는, 산화물 반도체막(319b)에 대한 도전막(329)의 배치에 유래하는 액정 소자의 특성의 비대칭성을, 상쇄할 수 있다.
- [0392] 또한, 본 실시형태는, 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0393] (실시형태 7)
- [0394] 본 실시형태에서는, 본 발명의 일 형태의 액정 표시 장치에 적용 가능한 수직 배향(VA: Vertical Alignment) 모드로 동작하는 액정 소자를 구비하는 화소의 구성에 관해서, 도 43 내지 도 45를 참조하여 설명한다. 도 43은 액정 표시 장치가 구비하는 화소의 상면도이며, 도 44는 도 43의 절단선 Z1-Z2에 있어서의 단면을 포함하는 측면도이다. 또한, 도 45는, 액정 표시 장치가 구비하는 화소의 등가 회로도이다.
- [0395] VA형이란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형의 액정 표시 장치는, 전압이 인가되지 않고 있을 때에 패널면에 대해 액정 분자가 수직 방향을 향하는 방식이다.
- [0396] 본 실시형태에서는, 특히 화소(픽셀)를 몇개의 영역(서브 픽셀)으로 나누고, 각각 다른 방향으로 분자를 쓰러뜨리도록 연구되어 있다. 이것을 멀티 도메인화 또는 멀티 도메인 설계라고 한다. 이하의 설명에서는, 멀티 도메인 설계가 고려된 액정 표시 장치에 관해서 설명한다.
- [0397] 도 43의 Z1은 화소 전극(624)이 형성된 기관(600)의 상면도이며, Z3은 코몬 전극(640)이 형성된 기관(601)의 상면도이며, Z2는 화소 전극(624)이 형성된 기관(600)과 코몬 전극(640)이 형성된 기관(601)이 포개진 상태의 상면도이다.
- [0398] 기관(600) 위에는, 트랜지스터(628)와 그것에 접속하는 화소 전극(624), 및 용량 소자(630)가 형성된다. 트랜지스터(628)의 드레인 전극(618)은, 절연막(623) 및 절연막(625)에 형성된 개구(633)를 개재하여 화소 전극(624)과 전기적으로 접속된다. 화소 전극(624) 위에는, 절연막(627)이 설치된다.
- [0399] 트랜지스터(628)로서는, 실시형태 1 내지 3, 또는 실시형태 5에서 설명하는 트랜지스터를 적용할 수 있다.
- [0400] 용량 소자(630)는, 제 1 용량 배선인 용량 배선(604) 위의 배선(613)과, 절연막(623) 및 절연막(625)과, 화소 전극(624)으로 구성된다. 용량 배선(604)은, 트랜지스터(628)의 게이트 배선(615)과 동일한 재료로 동시에 형성할 수 있다. 또한, 배선(613)은, 드레인 전극(618) 및 배선(616)과 동일한 재료와 동시에 형성할 수 있다.
- [0401] 화소 전극(624)으로서, 실시형태 1에서 설명하는 저항율이 낮은 산화물 반도체막을 적용할 수 있다. 즉, 화소 전극(624)의 재료 및 제작 방법은, 실시형태 1에서 나타내는 제 2 산화물 반도체막(111)을 참조할 수 있다.
- [0402] 화소 전극(624)에는 슬릿(646)을 설치한다. 슬릿(646)은 액정의 배향을 제어하기 위한 것이다.
- [0403] 트랜지스터(629)와 그것에 접속하는 화소 전극(626) 및 용량 소자(631)는, 각각 트랜지스터(628), 화소 전극(624) 및 용량 소자(630)와 같이 형성할 수 있다. 트랜지스터(628)와 트랜지스터(629)는 모두 배선(616)과 접속하고 있다. 배선(616)은, 트랜지스터(628) 및 트랜지스터(629)에 있어서, 소스 전극으로서의 기능을 가진다. 본 실시형태에서 나타내는 액정 표시 패널의 화소는, 화소 전극(624)과 화소 전극(626)에 의해 구성되어 있다. 화소 전극(624)과 화소 전극(626)은 서브 픽셀이다.
- [0404] 기관(601)에는, 착색막(636), 코몬 전극(640)이 형성되고, 코몬 전극(640) 위에 돌기(644)가 형성되어 있다.

또한, 코몬 전극(640)에는 슬릿(647)이 형성되어 있다. 화소 전극(624) 위에는 배향막(648)이 형성되고, 마찬가지로 코몬 전극(640) 및 돌기(644) 위에는 배향막(645)이 형성되어 있다. 기관(600)과 기관(601) 사이에 액정층(650)이 형성되어 있다.

- [0405] 코몬 전극(640)은, 실시형태 1에서 설명하는 도전막(120)과 같은 재료를 사용하여 형성하는 것이 바람직하다. 코몬 전극(640)에 형성되는 슬릿(647)과, 돌기(644)는, 액정의 배향을 제어하는 기능을 가진다.
- [0406] 슬릿(646)을 형성한 화소 전극(624)에 전압을 인가하면, 슬릿(646)의 근방에는 전계의 변형(경사 전계)이 발생한다. 이 슬릿(646)과, 기관(601)측의 돌기(644) 및 슬릿(647)을 교대로 맞물리도록 배치함으로써, 경사 전계를 효과적으로 발생시켜 액정의 배향을 제어함으로써, 액정이 배향하는 방향을 경우에 따라 상이하게 하고 있다. 즉, 멀티 도메인화하여 액정 표시 패널의 시야각을 넓히고 있다. 또한, 기관(601)측에 돌기(644) 또는 슬릿(647) 중 어느 한쪽이 형성되는 구성이라도 좋다.
- [0407] 도 44는, 기관(600)과 기관(601)이 겹쳐져, 액정이 주입된 상태를 도시하고 있다. 화소 전극(624)과 액정층(650)과 코몬 전극(640)이 겹쳐짐으로써, 액정 소자가 형성되어 있다.
- [0408] 이 화소 구조의 등가 회로를 도 45에 도시한다. 트랜지스터(628)와 트랜지스터(629)는, 모두 게이트 배선(602), 배선(616)과 접속하고 있다. 이 경우, 용량 배선(604)과 용량 배선(605)의 전위를 다르게 함으로써, 액정 소자(651)와 액정 소자(652)의 동작을 다르게 할 수 있다. 즉, 용량 배선(604)과 용량 배선(605)의 전위를 개별적으로 제어함으로써 액정의 배향을 정밀하게 제어하여 시야각을 넓히고 있다.
- [0409] 또한, 본 실시형태는, 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0410] (실시형태 8)
- [0411] 본 실시형태에 있어서는, 상기의 실시형태에서 예시한 트랜지스터를 갖는 표시 장치의 일례에 관해서, 도 46 및 도 47을 사용하여 이하 설명을 행한다.
- [0412] 도 46은, 표시 장치의 일례를 도시하는 상면도이다. 도 46에 도시하는 표시 장치(700)는, 제 1 기관(701) 위에 설치된 화소부(702)와, 제 1 기관(701)에 설치된 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706)와, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)를 둘러싸도록 배치되는 쉴재(712)와, 제 1 기관(701)에 대향하도록 설치되는 제 2 기관(705)을 가진다. 또한, 제 1 기관(701)과 제 2 기관(705)은, 쉴재(712)에 의해 밀봉되어 있다. 즉, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는, 제 1 기관(701)과 쉴재(712)와 제 2 기관(705)에 의해 밀봉되어 있다. 또한, 도 46에는 도시하지 않지만, 제 1 기관(701)과 제 2 기관(705) 사이에는 표시 소자가 설치된다.
- [0413] 또한, 표시 장치(700)는, 제 1 기관(701) 위의 쉴재(712)에 의해 둘러싸여 있는 영역과는 상이한 영역에, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)와 각각 전기적으로 접속되는 FPC 단자부(708)(FPC: Flexible Printed Circuit)가 설치된다. 또한, FPC 단자부(708)에는, FPC(716)가 접속되고, FPC(716)에 의해 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)에 각종 신호 등이 공급된다. 또한, 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에는, 배선(710)이 각각 접속되어 있다. FPC(716)에 의해 공급되는 각종 신호 등은, 배선(710)을 개재하여, 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에 주어진다.
- [0414] 또한, 표시 장치(700)에 게이트 드라이버 회로부(706)를 복수 설치해도 좋다. 또한, 표시 장치(700)로서는, 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)를 화소부(702)와 동일한 제 1 기관(701)에 형성하고 있는 예를 나타내고 있지만, 이 구성으로 한정되지 않는다. 예를 들면, 게이트 드라이버 회로부(706)만을 제 1 기관(701)에 형성해도 좋고, 또는 소스 드라이버 회로부(704)만을 제 1 기관(701)에 형성해도 좋다. 이 경우, 소스 드라이버 회로 또는 게이트 드라이버 회로 등이 형성된 기관(예를 들면, 단결정 반도체막, 다결정 반도체막으로 형성된 구동 회로 기관)을, 제 1 기관(701)에 실장하는 구성으로 해도 좋다. 또한, 별도 형성한 구동 회로 기관의 접속 방법은, 특별히 한정되지 않으며, COG(Chip On Glass) 방법, 와이어 본딩 방법 등을 사용할 수 있다.
- [0415] 표시 장치(700)가 갖는 화소부(702)는 복수의 트랜지스터 및 용량 소자를 가지고 있으며, 실시형태 1에서 설명한 반도체 장치를 적용할 수 있다. 또한, 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706)는, 복수의 트랜지스터 및 배선 콘택트부를 가지고 있으며, 실시형태 2에서 설명한 반도체 장치를 적용할 수 있다.
- [0416] 또한, 표시 장치(700)는, 여러 가지 형태를 사용하는 것, 또는 여러 가지 표시 소자를 가질 수 있다. 표시 소

자는, 예를 들면, 액정 소자, LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등) 등을 포함하는 EL(일렉트로루미네이션) 소자(유기물 및 무기물을 함유하는 EL 소자, 유기 EL 소자, 무기 EL 소자), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 전기 영동 소자, 그레이팅 라이트밸브(GLV)나 디지털마이크로미러디바이스(DMD), DMS(디지털·마이크로·셔터) 소자, MIRASOL(등록상표) 디스플레이, IMOD(인터페어런스·모듈레이션) 소자, 압전 세라믹 디스플레이 등의 MEMS(마이크로·일렉트로·메카니컬·시스템)을 사용한 표시 소자, 일렉트로젯팅 소자 등을 들 수 있다. 이들 외에도, 전기적 또는 자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화되는 표시 매체를 가지고 있어도 좋다. 또한, 표시 소자로서 양자 도트를 사용해도 된다. 액정 소자를 사용한 표시 장치의 일례로서는, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. EL 소자를 사용한 표시 장치의 일례로서는, EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일례로서는, 필드 에미션 디스플레이(FED) 또는 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 양자 도트를 사용한 표시 장치의 일례로서는, 양자 도트 디스플레이 등이 있다. 전자 잉크 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는, 전자 페이퍼 등이 있다. 또한, 반투과형 액정 디스플레이나 반사형 액정 디스플레이를 실현하는 경우에는, 화소 전극의 일부, 또는, 전부가, 반사 전극으로서의 기능을 갖도록 하면 좋다. 예를 들면, 화소 전극의 일부, 또는, 전부가, 알루미늄, 은, 등을 갖도록 하면 좋다. 또한, 그 경우, 반사 전극 하에, SRAM 등의 기억 회로를 설치하는 것도 가능하다. 이것에 의해, 더욱, 소비 전력을 저감할 수 있다.

[0417] 또한, 표시 장치(700)에 있어서의 표시 방식은, 프로그레시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시할 때에 화소로 제어하는 색 요소로서는, RGB(R은 적색, G는 녹색, B는 청색을 나타낸다)의 삼색으로 한정되지 않는다. 예를 들면, R의 화소와 G의 화소와 B의 화소와 W(백)의 화소의 4화소로 구성되어도 좋다. 또는, 펜타일 배열과 같이, RGB 중 2색분으로 하나의 색 요소를 구성하고, 색 요소에 따라, 상이한 2색을 선택하여 구성해도 좋다. 또는 RGB에, 옐로우, 시안, 마젠타 등을 1색 이상 추가해도 좋다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상이해도 좋다. 단, 개시하는 발명은 컬러 표시의 표시 장치로 한정되는 것은 아니며, 흑백 표시의 표시 장치에 적용할 수도 있다.

[0418] 또한, 백 라이트(유기 EL 소자, 무기 EL 소자, LED, 형광등 등)에 백색광(W)을 사용하여 표시 장치를 풀컬러 표시시키기 위해서, 착색막(컬러 필터라고도 한다.)을 사용해도 된다. 착색막은, 예를 들면, 레드(R), 그린(G), 블루(B), 옐로우(Y) 등을 적절히 조합하여 사용할 수 있다. 착색막을 사용함으로써, 착색막을 사용하지 않는 경우와 비교하여 색의 재현성을 높게 할 수 있다. 이 때, 착색막을 갖는 영역과, 착색막을 갖지 않는 영역을 배치함으로써, 착색막을 갖지 않는 영역에 있어서의 백색광을 직접 표시에 이용해도 상관없다. 일부에 착색막을 갖지 않는 영역을 배치함으로써, 밝은 표시시에, 착색막에 의한 휘도의 저하를 적게 할 수 있어, 소비 전력을 20%에서 30% 정도 저감시킬 수 있는 경우가 있다. 단, 유기 EL 소자나 무기 EL 소자 등의 자발광 소자를 사용하여 풀컬러 표시하는 경우, R, G, B, Y, 화이트(W)를, 각각의 발광색을 갖는 소자로부터 발광시켜도 상관없다. 자발광 소자를 사용함으로써, 착색막을 사용한 경우보다도, 더욱 소비 전력을 저감시킬 수 있는 경우가 있다.

[0419] 본 실시형태에 있어서는, 표시 소자로서 액정 소자를 사용하는 표시 장치의 구성에 관해서, 도 47을 사용하여 설명한다.

[0420] 도 47은, 도 46에 도시하는 일점쇄선 U-V에 있어서의 단면도이다. 도 47에 도시하는 표시 장치(700)는, 리드 배선부(711)와, 화소부(702)와, 소스 드라이버 회로부(704)와, FPC 단자부(708)를 가진다. 또한, 리드 배선부(711)는, 배선(710)을 가진다. 또한, 화소부(702)는, 트랜지스터(750) 및 용량 소자(790)를 가진다. 또한, 소스 드라이버 회로부(704)는, 트랜지스터(752)를 가진다.

[0421] 예를 들면, 트랜지스터(750)로서, 실시형태 1에서 나타내는 트랜지스터(150)를 사용할 수 있다. 트랜지스터(752)로서, 실시형태 2에서 나타내는 트랜지스터(151)를 사용할 수 있다.

[0422] 본 실시형태에서 사용하는 트랜지스터는, 고순도화하여, 산소 결손의 형성을 억제한 산화물 반도체막을 가진다. 상기 트랜지스터는, 오프 상태에 있어서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있어, 전원 온 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 적게 할 수 있기 때문에, 소비 전력을 억제하는 효과를 나타낸다.

[0423] 또한, 본 실시형태에서 사용하는 트랜지스터는, 비교적 높은 전계 효과 이동도가 얻어지기 때문에, 고속 구동이 가능하다. 예를 들면, 이러한 고속 구동이 가능한 트랜지스터를 액정 표시 장치에 사용함으로써, 화소부의 스

위칭 트랜지스터와, 구동 회로부에 사용하는 드라이버 트랜지스터를 동일 기판 위에 형성할 수 있다. 즉, 별도 구동 회로로서, 실리콘 웨이퍼 등에 의해 형성된 반도체 장치를 사용할 필요가 없기 때문에, 반도체 장치의 부품수를 삭감할 수 있다. 또한, 화소부에 있어서도, 고속 구동이 가능한 트랜지스터를 사용함으로써, 고화질의 화상을 제공할 수 있다.

- [0424] 용량 소자(790)로서는, 실시형태 1에서 나타내는 용량 소자(160)를 사용할 수 있다. 용량 소자(790)는 투광성을 갖기 때문에, 화소부(702)가 갖는 하나의 화소에 있어서 용량 소자(790)를 크게(대면적으로) 형성할 수 있다. 따라서, 개구율을 높이면서, 용량값을 증대시킨 표시 장치로 할 수 있다.
- [0425] 또한, 도 47에 있어서, 트랜지스터(750) 위에, 절연막(764, 766, 768)이 설치되어 있다.
- [0426] 절연막(764, 766, 768)으로서, 각각 실시형태 1에 나타내는 절연막(114, 116, 118)과, 같은 재료 및 제작 방법에 의해 형성할 수 있다. 또한, 절연막(768) 위에 평탄화막을 설치하는 구성으로 해도 된다. 평탄화막으로서, 실시형태 3에 나타내는 절연막(119)과 같은 재료 및 제작 방법에 의해 형성할 수 있다.
- [0427] 또한, 배선(710)은, 트랜지스터(750, 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 동일한 공정으로 형성된다. 또한, 배선(710)은, 트랜지스터(750, 752)의 소스 전극 및 드레인 전극과 상이한 공정으로 형성된 도전막, 예를 들면 게이트 전극으로서 기능하는 도전막으로 해도 된다. 배선(710)으로서, 예를 들면, 구리 원소를 함유하는 재료를 사용한 경우, 배선 저항에 기인하는 신호 지연 등이 적어, 대화면으로의 표시가 가능해진다.
- [0428] 또한, FPC 단자부(708)는, 접속 전극(760), 이방성 도전막(780), 및 FPC(716)을 가진다. 또한, 접속 전극(760)은, 트랜지스터(750, 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 동일한 공정으로 형성된다. 또한, 접속 전극(760)은, FPC(716)가 갖는 단자와 이방성 도전막(780)을 개재하여, 전기적으로 접속된다.
- [0429] 또한, 제 1 기판(701) 및 제 2 기판(705)으로서, 예를 들면 유리 기판을 사용할 수 있다. 또한, 제 1 기판(701) 및 제 2 기판(705)으로서, 실시형태 1에서 나타내는 기판(102)과 같은 재료를 사용할 수 있다.
- [0430] 제 2 기판(705)측에는, 블랙 매트릭스로서 기능하는 차광막(738)과, 컬러 필터로서 기능하는 착색막(736)과, 차광막(738) 및 착색막(736)에 접하는 절연막(734)이 설치된다.
- [0431] 또한, 제 1 기판(701)과 제 2 기판(705) 사이에는, 구조체(778)가 설치된다. 구조체(778)는, 절연막을 선택적으로 에칭함으로써 얻어지는 기둥상의 스페이서이며, 제 1 기판(701)과 제 2 기판(705) 사이의 거리(셀 갭)를 제어하기 위해서 설치된다. 또한, 구조체(778)로서, 구상의 스페이서를 사용하고 있어도 좋다.
- [0432] 또한, 본 실시형태에 있어서는, 구조체(778)를 제 1 기판(701)측에 설치하는 구성에 관해서 예시했지만, 이것으로 한정되지 않는다. 예를 들면, 제 2 기판(705)측에 구조체(778)를 설치하는 구성, 또는 제 1 기판(701) 및 제 2 기판(705) 쌍방에 구조체(778)를 설치하는 구성으로 해도 좋다.
- [0433] 표시 장치(700)는, 액정 소자(775)를 가진다. 액정 소자(775)는, 도전막(772), 도전막(774), 및 액정층(776)을 가진다. 도전막(774)은, 제 2 기판(705)측에 설치되고, 대향 전극으로서의 기능을 가진다. 표시 장치(700)는, 도전막(772)과 도전막(774)에 인가되는 전압에 의해, 액정층(776)의 배향 상태가 바뀔으로써 광의 투과, 비투과가 제어되어 화상을 표시할 수 있다.
- [0434] 또한, 도전막(772)은, 트랜지스터(750)가 갖는 소스 전극 또는 드레인 전극으로서 기능하는 도전막에 접속된다. 도전막(772)은, 절연막(768) 위에 형성되어 화소 전극, 즉 표시 소자의 한쪽의 전극으로서 기능한다. 표시 장치(700)는, 기판(701)측에 백라이트나 사이드라이트 등을 설치하고, 액정 소자(775) 및 착색막(736)을 개재하여 표시하는, 소위 투과형의 컬러 액정 표시 장치이다.
- [0435] 도전막(772) 및 도전막(774)으로서, 가시광에 있어서 투광성이 있는 도전막, 또는 가시광에 있어서 반사성이 있는 도전막을 사용할 수 있다. 가시광에 있어서 투광성이 있는 도전막으로서, 예를 들면, 인듐(In), 아연(Zn), 주석(Sn) 중에서 선택된 1종을 함유하는 재료를 사용하면 좋다. 또한, 도전막(772) 및 도전막(774)으로서, 실시형태 1에서 나타내는 도전막(120)과 같은 재료를 사용할 수 있다.
- [0436] 또한, 도 46 및 도 47에 도시하는 표시 장치(700)는, 투과형의 컬러 액정 표시 장치에 관해서 예시했지만, 이것으로 한정되지 않는다. 예를 들면, 도전막(772)을 가시광에 있어서, 반사성이 있는 도전막을 사용함으로써 반사형의 컬러 액정 표시 장치로 해도 된다.

- [0437] 또한, 도 47에 있어서 도시하지 않지만, 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등은 적절히 설치해도 된다. 예를 들면, 편광 기관 및 위상차 기관에 의한 원편광을 사용해도 된다.
- [0438] 액정층(776)에 사용하는 액정으로서, 실시형태 6에 나타내는 액정 소자(51)에 사용하는 액정을 참조할 수 있다. 또한, 액정 소자를 갖는 표시 장치의 구동 방법으로서, 실시형태 6에 나타내는 각종 구동 방법을 적용할 수 있다.
- [0439] 본 실시형태에 나타내는 구성은, 다른 실시형태에 나타내는 구성과 적절히 조합하여 사용할 수 있다.
- [0440] (실시형태 9)
- [0441] 본 실시형태에 있어서는, 본 발명의 일 형태의 표시 장치, 및 상기 표시 장치의 구동 방법에 관해서, 도 48 내지 도 51을 사용하여 설명을 행한다.
- [0442] 또한, 본 발명의 일 형태의 표시 장치는, 정보 처리부, 연산부, 기억부, 표시부, 및 입력부 등을 가지고 있어도 된다.
- [0443] 또한, 본 발명의 일 형태의 표시 장치에 있어서, 동일 화상(정지 화상)을 연속해서 표시하는 경우, 동일 화상의 신호를 기록(리프레쉬라고도 한다)하는 횟수를 저감시킴으로써, 소비 전력의 저감을 도모할 수 있다. 또한, 리프레쉬를 행하는 빈도를 리프레쉬 레이트(주사 주파수, 수직 동기 주파수라고도 한다)라고 한다. 이하에서는, 리프레쉬 레이트를 저감시켜, 눈의 피로가 적은 표시 장치에 관해서 설명한다.
- [0444] 눈의 피로에는, 신경계의 피로와, 근육계의 피로의 2종류가 있다. 신경계의 피로는, 표시 장치의 발광, 점멸 화면을, 장시간 계속해서 봄으로써, 그 밝기가 눈의 망막이나 신경, 뇌를 자극하여 피로하게 하는 것이다. 근육계의 피로는, 핀트 조절시에 사용하는 모양체의 근육을 혹사시킴으로써 피로하게 하는 것이다.
- [0445] 도 48의 (A)에, 종래의 표시 장치의 표시를 나타내는 모식도를 도시한다. 도 48의 (A)에 도시하는 바와 같이, 종래의 표시 장치에서는, 1초간에 60회의 화상의 재기록이 행해지고 있다. 이러한 화면을 장시간 계속해서 봄으로써, 사용자의 눈의 망막이나 신경, 뇌를 자극하여 눈의 피로가 야기될 우려가 있었다.
- [0446] 본 발명의 일 형태의 표시 장치에 있어서는, 표시 장치의 화소부에, 산화물 반도체를 사용한 트랜지스터, 예를 들면, CAAC-OS를 사용한 트랜지스터를 적용한다. 상기 트랜지스터의 오프 전류는, 매우 작다. 따라서, 표시 장치의 리프레쉬 레이트를 낮추어도, 표시 장치의 휘도의 유지가 가능해진다.
- [0447] 즉, 도 48의 (B)에 도시하는 바와 같이, 예를 들면, 5초간 1회의 화상의 재기록이 가능해지기 때문에, 최대한 긴 시간 동일한 영상을 보는 것이 가능해져, 사용자에게 시인되는 화면의 어긋거림이 저감된다. 이것에 의해, 사용자의 눈의 망막이나 신경, 뇌의 자극이 저감되어, 신경계의 피로가 경감된다.
- [0448] 또한, 도 49의 (A)에 도시하는 바와 같이, 1화소의 사이즈가 큰 경우(예를 들면 정세도가 150ppi 미만인 경우), 표시 장치에 표시된 문자는 희미해져 버린다. 표시 장치에 표시된 희미해진 문자를 장시간 계속해서 보면, 모양체의 근육이, 끊임없이 핀트를 맞추고자 움직이고 있음에도 불구하고, 핀트를 맞추기 어려운 상태가 계속되게 되어, 눈에 부담을 가하게 될 우려가 있다.
- [0449] 이것에 대해, 도 49의 (B)에 도시하는 바와 같이, 본 발명의 일 형태에 따르는 표시 장치에서는, 1화소의 사이즈가 작고 고정세의 표시가 가능해지기 때문에, 치밀하고 매끄러운 표시로 할 수 있다. 이것에 의해, 모양체의 근육이, 핀트를 맞추기 쉬워지기 때문에, 사용자의 근육계의 피로가 경감된다. 표시 장치의 해상도를 150ppi 이상, 바람직하게는 200ppi 이상, 더욱 바람직하게는 300ppi 이상으로 함으로써, 사용자의 근육계의 피로를 효과적으로 저감시킬 수 있다.
- [0450] 또한, 눈의 피로를 정량적으로 측정하는 방법이 검토되고 있다. 예를 들면, 신경계의 피로의 평가 지표로서는, 임계 융합 주파수(CFF: Critical Flicker(Fusion) Frequency) 등이 알려져 있다. 또한, 근육계의 피로의 평가 지표로서는, 조절 시간이나 조절 근점 거리 등이 알려져 있다.
- [0451] 그 밖에, 눈의 피로를 평가하는 방법으로서, 뇌파 측정, 서모그래피법, 깜박임 횟수의 측정, 누액량의 평가, 동공의 수축 반응 속도의 평가나, 자각 증상을 조사하기 위한 양케이트 등이 있다.
- [0452] 예를 들면, 상기의 여러가지 방법에 의해, 본 발명의 일 형태의 표시 장치의 구동 방법에 의한 눈의 피로 경감의 효과를 평가할 수 있다.
- [0453] <표시 장치의 구동 방법>

- [0454] 여기에서, 본 발명의 일 형태의 표시 장치의 구동 방법에 관해서, 도 50을 사용하여 설명한다.
- [0455] [이미지 정보의 표시예]
- [0456] 이하에서는, 2개의 상이한 이미지 정보를 포함하는 화상을 이동시켜 표시하는 예에 관해서 나타낸다.
- [0457] 도 50의 (A)에는, 표시부(450)에 윈도우(451)와, 윈도우(451)에 표시된 정지화상인 제 1 화상(452a)이 표시되어 있는 예를 도시하고 있다.
- [0458] 이 때, 제 1 리프레쉬 레이트로 표시를 행하고 있는 것이 바람직하다. 또한, 제 1 리프레쉬 레이트로서는,  $1.16 \times 10^{-5}$  Hz(1일에 약 1회의 빈도) 이상 1Hz 이하, 또는  $2.78 \times 10^{-4}$  Hz(1시간에 약 1회의 빈도) 이상 0.5Hz 이하, 또는  $1.67 \times 10^{-2}$  Hz(1분간 약 1회의 빈도) 이상 0.1Hz 이하로 할 수 있다.
- [0459] 이와 같이, 제 1 리프레쉬 레이트를 매우 작은 값으로 설정하고, 화면의 재기록의 빈도를 저감시킴으로써, 실질적으로 어른거림을 일으키지 않는 표시를 실현할 수 있어, 보다 효과적으로 사용자의 눈의 피로를 저감시킬 수 있다.
- [0460] 또한, 윈도우(451)는, 예를 들면 화상 표시 어플리케이션 소프트웨어를 실행함으로써 표시되고, 화상을 표시하는 표시 영역을 포함한다.
- [0461] 또한, 윈도우(451)의 하부에는, 상이한 이미지 정보로 표시를 전환하기 위한버튼(453)을 가진다. 사용자가 버튼(453)을 선택하는 조작을 행함으로써, 화상을 이동시키는 명령을 표시 장치의 정보 처리부에 줄 수 있다.
- [0462] 또한, 사용자의 조작 방법은 입력 수단에 따라 설정하면 좋다. 예를 들면 입력 수단으로서 표시부(450)에 포개어 설치된 터치 패널을 사용하는 경우에는, 손가락이나 스타일러스 등에 의해 버튼(453)을 터치하는 조작이나, 화상을 슬라이드시키는 제스처 입력을 행함으로써 조작할 수 있다. 제스처 입력이나 음성 입력을 사용하는 경우에는, 반드시 버튼(453)을 표시하지 않아도 좋다.
- [0463] 화상을 이동시키는 명령을 표시 장치의 정보 처리부가 받으면, 윈도우(451) 내에 표시된 화상의 이동이 개시된다(도 50의 (B)).
- [0464] 또한, 도 50의 (A)의 시점에서 제 1 리프레쉬 레이트로 표시를 행하고 있는 경우에는, 화상의 이동 전에, 리프레쉬 레이트를 제 2 리프레쉬 레이트로 변경하면 바람직하다. 제 2 리프레쉬 레이트는, 동영상의 표시를 행하기 위해서 필요한 값이다. 예를 들면, 제 2 리프레쉬 레이트는, 30Hz 이상 960Hz 이하, 바람직하게는 60Hz 이상 960Hz 이하, 보다 바람직하게는 75Hz 이상 960Hz 이하, 보다 바람직하게는 120Hz 이상 960Hz 이하, 보다 바람직하게는 240Hz 이상 960Hz 이하로 할 수 있다.
- [0465] 제 2 리프레쉬 레이트를, 제 1 리프레쉬 레이트보다도 높은 값으로 설정함으로써, 동영상을 보다 매끄럽게 자연스럽게 표시할 수 있다. 또한 재기록에 수반되는 어른거림(플리커라고도 한다)이 사용자에게 시인되는 것이 억제되기 때문에, 사용자의 눈의 피로를 저감시킬 수 있다.
- [0466] 이 때, 윈도우(451) 내에 표시되는 화상은, 제 1 화상(452a)과, 다음에 표시해야 할 제 2 화상(452b)이 결합된 화상이다. 윈도우(451) 내에는, 이 결합된 화상이 일방향(여기에서는 좌측 방향)으로 이동하도록, 제 1 화상(452a)의 일부와, 제 2 화상(452b)의 일부의 영역이 표시된다.
- [0467] 또한, 결합된 화상의 이동과 함께, 윈도우(451) 내에 표시된 화상의 휘도가 초기(도 50의 (A)의 시점)의 휘도와 비교하여 단계적으로 저하된다.
- [0468] 도 50의 (C)는, 윈도우(451) 내에 표시된 화상이, 소정 좌표에 도달한 시점을 도시하고 있다. 따라서, 이 시점에서 윈도우(451) 내에 표시된 화상의 휘도가 가장 낮다.
- [0469] 또한, 도 50의 (C)에서는, 소정 좌표로서, 제 1 화상(452a)과 제 2 화상(452b)의 각각이, 절반씩 표시되어 있는 좌표로 했지만, 이것으로 한정되지 않으며, 사용자가 자유롭게 설정 가능하게 하는 것이 바람직하다.
- [0470] 예를 들면, 화상의 초기 좌표로부터 최종 좌표까지의 거리에 대한, 초기 좌표로부터의 거리의 비가 0보다 크고, 1 미만인 좌표를 소정 좌표로 설정하면 좋다.
- [0471] 또한, 화상이 소정 좌표에 도달했을 때의 휘도에 관해서도, 사용자가 자유롭게 설정 가능하게 하는 것이 바람직하다. 예를 들면, 화상이 소정 좌표에 도달했을 때의 휘도의, 초기의 휘도에 대한 비가 0 이상 1 미만, 바람직

하계는 0 이상 0.8 이하, 보다 바람직하게는 0 이상 0.5 이하 등으로 설정하면 좋다.

- [0472] 계속해서, 윈도우(451) 내에는, 결합된 화상이 이동하면서 휘도가 단계적으로 상승하도록 표시된다(도 50의 (D)).
- [0473] 도 50의 (E)는, 결합된 화상의 좌표가 최종 좌표에 도달한 시점을 도시하고 있다. 윈도우(451) 내에는, 제 2 화상(452b)만이, 초기의 휘도와 동등한 휘도로 표시되어 있다.
- [0474] 또한, 화상의 이동이 완료된 후에, 리프레쉬 레이트를 제 2 리프레쉬 레이트로부터, 제 1 리프레쉬 레이트로 변경하는 것이 바람직하다.
- [0475] 이러한 표시를 행함으로써, 화상의 이동을 사용자가 눈으로 쫓는다고 해도, 상기 화상의 휘도가 저감되어 있기 때문에, 사용자의 눈의 피로를 저감시킬 수 있다. 따라서, 이러한 구동 방법을 사용함으로써, 눈에 부드러운 표시를 실현할 수 있다.
- [0476] [문서 정보의 표시예]
- [0477] 다음에, 표시 윈도우의 크기보다도 큰 문서 정보를 스크롤시켜서 표시하는 예에 관해서 설명한다.
- [0478] 도 51의 (A)에는, 표시부(450)에 윈도우(455)와, 윈도우(455)에 표시된 정지 화상인 문서 정보(456)의 일부가 표시되어 있는 예를 도시하고 있다.
- [0479] 이 때, 상기의 제 1 리프레쉬 레이트로 표시를 행하고 있는 것이 바람직하다.
- [0480] 윈도우(455)는, 예를 들면 문서 표시 어플리케이션 소프트웨어, 문서 작성 어플리케이션 소프트웨어 등을 실행함으로써 표시되고, 문서 정보를 표시하는 표시 영역을 포함한다.
- [0481] 문서 정보(456)는, 그 화상의 크기가 윈도우(455)의 표시 영역보다도 세로 방향으로 크다. 따라서 윈도우(455)에는, 그 일부의 영역만이 표시되어 있다. 또한, 도 51의 (A)에 도시하는 바와 같이, 윈도우(455)는, 문서 정보(456)의 어느 영역이 표시되어 있는지를 나타내는 스크롤 바(457)를 구비하고 있어도 된다.
- [0482] 입력부에 의해 화상을 이동시키는 명령(여기에서는, 스크롤 명령이라고도 한다)이 표시 장치에 주어지면, 문서 정보(456)의 이동이 개시된다(도 51의 (B)). 또한, 표시되는 화상의 휘도가 단계적으로 저하된다.
- [0483] 또한, 도 51의 (A)의 시점에서 제 1 리프레쉬 레이트로 표시를 행하고 있던 경우에는, 문서 정보(456)의 이동 전에, 리프레쉬 레이트를 제 2 리프레쉬 레이트로 변경하면 바람직하다.
- [0484] 여기에서는, 윈도우(455) 내에 표시되는 화상의 휘도뿐만 아니라, 표시부(450)에 표시되는 화상 전체의 휘도가 저하되는 모양을 나타내고 있다.
- [0485] 도 51의 (C)는, 문서 정보(456)의 좌표가 소정 좌표에 도달한 시점을 나타내고 있다. 이 때, 표시부(450)에 표시되는 화상 전체의 휘도는 가장 낮아진다.
- [0486] 계속해서, 윈도우(455) 내에는, 문서 정보(456)가 이동하면서 표시된다(도 51의 (D)). 이 때, 표시부(450)에 표시되는 화상 전체의 휘도는 단계적으로 상승한다.
- [0487] 도 51의 (E)는, 문서 정보(456)의 좌표가 최종 좌표에 도달한 시점을 도시하고 있다. 윈도우(455) 내에는, 문서 정보(456)의 초기에 표시된 영역과는 상이한 영역이, 초기의 휘도와 동등한 휘도로 표시된다.
- [0488] 또한, 문서 정보(456)의 이동이 완료된 후에, 리프레쉬 레이트를 제 1 리프레쉬 레이트로 변경하는 것이 바람직하다.
- [0489] 이러한 표시를 행함으로써, 화상의 이동을 사용자가 눈으로 쫓는다고 해도, 상기 화상의 휘도가 저감되어 있기 때문에, 사용자의 눈의 피로를 저감시킬 수 있다. 따라서, 이러한 구동 방법을 사용함으로써, 눈에 부드러운 표시를 실현할 수 있다.
- [0490] 특히, 문서 정보 등의 콘트라스트가 높은 표시는, 사용자의 눈의 피로가 보다 현저해지기 때문에, 문서 정보의 표시에 이러한 구동 방법을 적용하는 것은 보다 바람직하다.
- [0491] 본 실시형태는, 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0492] (실시형태10)
- [0493] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치를 갖는 표시 모듈 및 전자 기기에 관해서, 도 52 및 도

53을 사용하여 설명을 행한다.

- [0494] 도 52에 도시하는 표시 모듈(8000)은, 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백 라이트(8007), 프레임(8009), 프린트 기관(8010), 배터리(8011)를 가진다.
- [0495] 본 발명의 일 형태의 표시 장치는, 예를 들면, 표시 패널(8006)에 사용할 수 있다.
- [0496] 상부 커버(8001) 및 하부 커버(8002)는, 터치 패널(8004) 및 표시 패널(8006)의 사이즈에 맞추어, 형상이나 치수를 적절히 변경할 수 있다.
- [0497] 터치 패널(8004)은, 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(8006)에 중첩하여 사용할 수 있다. 또한, 표시 패널(8006)의 대향 기관(밀봉 기관)에, 터치 패널 기능을 갖게 하도록 하는 것도 가능하다. 또한, 표시 패널(8006)의 각 화소 내에 광 센서를 설치하고, 광학식의 터치 패널로 하는 것도 가능하다.
- [0498] 백 라이트(8007)는, 광원(8008)을 가진다. 또한, 도 52에 있어서, 백 라이트(8007) 위에 광원(8008)을 배치하는 구성에 관해서 예시했지만, 이것으로 한정되지 않는다. 예를 들면, 백 라이트(8007)의 단부에 광원(8008)을 배치하고, 추가로 광확산판을 사용하는 구성으로 해도 좋다. 또한, 유기 EL 소자 등의 자발광형의 발광 소자를 사용하는 경우, 또는 반사형 패널 등의 경우에 있어서는, 백 라이트(8007)를 설치하지 않는 구성으로 해도 된다.
- [0499] 프레임(8009)은, 표시 패널(8006)의 보호 기능 외에, 프린트 기관(8010)의 동작에 의해 발생하는 전자파를 차단하기 위한 전자 쉴드로서의 기능을 가진다. 또한 프레임(8009)은, 방열판으로서의 기능을 가지고 있어도 좋다.
- [0500] 프린트 기관(8010)은, 전원 회로, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로를 가진다. 전원 회로에 전력을 공급하는 전원으로서, 외부의 상용 전원이라도 좋고, 별도 설치한 배터리(8011)에 의한 전원이라도 좋다. 배터리(8011)는 상용 전원을 사용하는 경우에는, 생략 가능하다.
- [0501] 또한, 표시 모듈(8000)은, 편광판, 위상차판, 프리즘 시트 등의 부재를 추가로 설치해도 좋다.
- [0502] 도 53의 (A) 내지 도 53의 (G)는, 전자 기기를 도시하는 도면이다. 이들 전자 기기는, 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함한다), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각 속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 소리, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008), 등을 가질 수 있다.
- [0503] 도 53의 (A)는 모바일 컴퓨터이며, 상기한 것 이외에, 스위치(5009), 적외선 포트(5010), 등을 가질 수 있다. 도 53의 (B)는 기록 매체를 구비한 휴대형의 화상 재생 장치(예를 들면, DVD 재생 장치)이며, 상기한 것 이외에, 제 2 표시부(5002), 기록 매체 관독부(5011), 등을 가질 수 있다. 도 53의 (C)는 고글형 디스플레이이며, 상기한 것 이외에, 제 2 표시부(5002), 지지부(5012), 이어폰(5013), 등을 가질 수 있다. 도 53의 (D)는 휴대형 게임기이며, 상기한 것 이외에, 기록 매체 관독부(5011), 등을 가질 수 있다. 도 53의 (E)는 텔레비전 수상 기능 부착 디지털 카메라이며, 상기한 것 이외에, 안테나(5014), 셔터 버튼(5015), 수상부(5016), 등을 가질 수 있다. 도 53의 (F)는 휴대형 게임기이며, 상기한 것 이외에, 제 2 표시부(5002), 기록 매체 관독부(5011), 등을 가질 수 있다. 도 53의 (G)는 휴대형 텔레비전 수상기이며, 상기한 것 이외에, 신호의 송수신이 가능한 충전기(5017), 등을 가질 수 있다.
- [0504] 도 53의 (A) 내지 도 53의 (G)에 도시하는 전자 기기는, 여러 가지 기능을 가질 수 있다. 예를 들면, 여러 가지 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 날짜 또는 시각 등을 표시하는 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 여러가지 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용하여 여러가지 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 관독 표시부에 표시하는 기능, 등을 가질 수 있다. 또한, 복수의 표시부를 갖는 전자 기기에 있어서는, 하나의 표시부를 주로 하여 화상 정보를 표시하고, 별도의 하나의 표시부를 주로 하여 문자 정보를 표시하는 기능, 또는, 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능, 등을 가질 수 있다. 또한, 수상부를 갖는 전자 기기에 있어서는, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표

시부에 표시하는 기능, 등을 가질 수 있다. 또한, 도 53의 (A) 내지 도 53의 (G)에 도시하는 전자 기기를 가질 수 있는 기능은 이들로 한정되지 않으며, 여러가지 기능을 가질 수 있다.

[0505] 본 실시형태에 있어서 서술한 전자 기기는, 어떠한 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다. 상기 표시부에, 실시형태 4에서 나타낸 표시 장치를 적용할 수 있다.

[0506] 본 실시형태에 나타내는 구성은, 다른 실시형태에 나타내는 구성과 적절히 조합하여 사용할 수 있다.

[0507] [실시예]

[0508] 본 실시예에 있어서는, 실시형태 9에서 나타낸 표시 장치의 구동 방법에 관한 실험 결과에 관해서, 도 54 내지 도 56을 참조하면서 설명한다.

[0509] 도 54의 (A) 내지 (C)는, 휘도의 변화를 표시 장치의 직경 100 $\mu$ m의 영역에 관해서 측정된 결과를 설명하는 도면이다. 또한, 표시 장치에는 스크롤하면서 텍스트 화상을 표시시켰다. 텍스트 화상은, 크기 20포인트의 문자를 1행당 49문자, 1페이지당 25행 포함한다.

[0510] 도 54의 (A)는, 텍스트 화상을 2.5페이지/sec의 속도로 스크롤하면서 표시한 경우에 관측되는 휘도의 변화를 설명하는 도면이다.

[0511] 도 54의 (B)는, 도 54의 (A)를 사용하여 설명하는 텍스트 화상의 문자보다 밝은 계조(구체적으로는, 텍스트 화상의 문자의 휘도가 텍스트 화상의 배경의 휘도의 약 50%가 되는 계조)의 문자를 사용한 텍스트 화상을, 5페이지/sec의 속도로 스크롤하면서 표시한 경우에 관측되는 휘도의 변화를 설명하는 도면이다.

[0512] 도 54의 (C)는, 도 54의 (A)를 사용하여 설명하는 텍스트 화상의 문자와 동일한 계조의 문자를 사용한 텍스트 화상을, 5페이지/sec의 속도로 스크롤하면서 표시한 경우에 관측되는 휘도의 변화를 설명하는 도면이다.

[0513] 도 55의 (A) 내지 (C)는, 도 54의 (A) 내지 (C)에 도시하는 휘도의 변화에 기초하는 시각 자극의 변화를, 과거의 감성 평가 결과에 잘 일치하는 모델이 되는 바텐의 식을 사용하여 산출한 결과를 설명하는 도면이다. 바텐의 식은 이하에 나타내는 수학적 식 1로 표시된다.

**수학적 식 1**

$$S(u, w) = \frac{M_{opt}(u)}{k} \sqrt{\frac{2}{T} \left( \frac{1}{X_0^2} + \frac{1}{X_{max}^2} + \frac{u^2}{N_{max}^2} \right) \left( \frac{1}{\eta p E} + \frac{\Phi_0}{[H_1(w)\{1 - H_2(w)F(u)\}]^2} \right)}$$

[0515] 또한, 식 중의 u는 공간 변조의 주파수 파라미터, w는 시간 변조의 주파수 파라미터이다. 또한, k는 신호 잡음 비, T는 시각의 적분 시간, X<sub>0</sub>은 대상물의 크기, X<sub>max</sub>는 최대 적분 영역, N<sub>max</sub>는 명암 사이클의 최대 적분 주기수, η는 양자 효율, p는 양자 변환 계수, E는 망막 조도, Φ<sub>0</sub>은 신경 잡음의 스펙트럼 밀도이다.

[0516] 또한, 수학적 식 1 중의 M<sub>opt</sub>(u)은 공간 변조가 있는 명암에 관한 시각 전달 함수이며, 이하에 나타내는 수학적 식 2로 표시된다. 식 중의 σ는 동공의 직경을 파라미터로 갖는, 투광체나 망막 등의 시각 기관의 구성을 고려한 라인 확산 함수의 표준 편차이다.

**수학적 식 2**

$$M_{opt}(u) = e^{-2\pi^2\sigma^2u^2}$$

[0518] 또한, 수학적 식 1 중의 H<sub>1</sub>(w) 및 H<sub>2</sub>(w)은 시간 변조에 관한 전달 함수이며, 이하에 나타내는 수학적 식 3으로 표시된다. 식중의 τ은 시상수이다. 또한 n은 수학적 식 1의 H<sub>1</sub>(w) 중에서 7, H<sub>2</sub>(w) 중에서 4인 경우에 감성 평가의 결과와 일치하는 것이 밝혀져 있다.

수학식 3

$$H(w) = \frac{1}{\{1 + (2\pi w \tau)^2\}^{n/2}}$$

[0519]

[0520] 또한, 수학식 1 중의 F(u)은 측면 억제를 나타내는 함수이며, 이하에 나타내는 수식 4로 표시된다. 식중의 u<sub>0</sub>은 측면 억제 공간 주파수이다.

수학식 4

$$F(u) = 1 - \sqrt{1 - e^{-(u/u_0)^2}}$$

[0521]

[0522] 도 55의 (A)는, 도 54의 (A)에 도시하는 휘도의 변화에 기초하는 시각 자극의 변화를, 바텐의 식을 사용하여 산출한 결과를 설명하는 도면이다.

[0523] 도 55의 (B)는, 도 54의 (B)에 도시하는 휘도의 변화에 기초하는 시각 자극의 변화를, 바텐의 식을 사용하여 산출한 결과를 설명하는 도면이다.

[0524] 도 55의 (C)는, 도 54의 (C)에 도시하는 휘도의 변화에 기초하는 시각 자극의 변화를, 바텐의 식을 사용하여 산출한 결과를 설명하는 도면이다.

[0525] 도 56은, 도 54를 사용하여 설명하는 텍스트 화상을 관찰한 6명의 피험자의 임계 융합 주파수(CFF)를 측정된 결과를 설명하는 도면이다. 구체적으로는, 스크롤하면서 표시된 텍스트 화상을 1분간 관찰한 후에, 임계 융합 주파수(CFF)를 10회 측정하고, 평균하여 결과를 얻었다. 또한, 이것을 5회 반복하여, 가산한 시간을 부하 시간으로 하였다.

[0526] 도 56의 (A)는, 도 54의 (B)를 사용하여 설명하는 텍스트 화상을 관찰한 6명의 피험자의 임계 융합 주파수(CFF)를 측정된 결과를 설명하는 도면이다.

[0527] 도 56의 (B)는, 도 54의 (C)를 사용하여 설명하는 텍스트 화상을 관찰한 6명의 피험자의 임계 융합 주파수(CFF)를 측정된 결과를 설명하는 도면이다.

[0528] 또한, 샤프 가부시키가이샤 제조, 형식: AQUOS PAD SH-06F를 사용하여 텍스트 화상을 스크롤하면서 표시하였다. 표시 패널의 대각의 크기는 7.0인치, 정세도는 323ppi, VA 모드로 동작하는 액정 소자와, 산화물 반도체를 구비하는 트랜지스터를 화소에 가진다.

[0529] 시바타가가쿠사 제조, 로켄식 디지털 플리커값 측정기, 형식: RDF-1을 사용하여, 임계 융합 주파수를 측정하였다.

[0530] <결과>

[0531] 스크롤의 속도가 느린 경우, 스크롤의 속도가 빠른 경우와 비교하여, 동일한 기간에 발생하는 휘도의 변화가 적어, 시각 자극이 억제되는 것을 알 수 있었다(도 54의 (A), 도 54의 (C), 도 55의 (A) 및 도 55의 (C) 참조).

[0532] 스크롤의 속도가 빠른 경우, 텍스트 화상의 문자를 밝은 계조로 표시하여 콘트라스트를 저감시키면, 동일한 기간에 발생하는 휘도의 변화가 적어, 시각 자극이 억제되는 것을 알 수 있었다(도 54의 (B), 도 55의 (B), 도 54의 (C) 및 도 55의 (C) 참조).

[0533] 또한, 빠른 속도로 스크롤하여 표시되는 텍스트 화상을 반복 관찰하는 피험자의 임계 융합 주파수(CFF)의 저하가, 콘트라스트가 저감되도록 밝은 계조로 표시된 문자를 포함하는 경우에 있어서 억제되는 것을 알 수 있었다(도 56의 (A) 및 도 56의 (B) 참조).

[0534] 이것에 의해, 빠른 속도로 스크롤할 때에 피험자에게 축적되는 피로를, 콘트라스트가 저감되도록 밝은 계조로

문자를 표시함으로써 경감시킬 수 있는 것을 알 수 있었다.

[0535] 구체적으로는, 콘트라스트가 저감되도록 텍스트 화상의 문자를 밝은 계조로 표시한 경우, 어느 피험자에게도 임계 융합 주파수의 저하가 확인되지 않았다(도 56의 (A) 참조).

[0536] 한편, 콘트라스트를 바꾸지 않도록 텍스트 화상의 문자를 표시한 경우, 피험자 A, 피험자 C, 피험자 D, 피험자 F의 임계 융합 주파수에 임계 융합 주파수의 저하가 확인되었다(도 56의 (B) 참조).

**부호의 설명**

- [0537] 11 기관
- 13 도전막
- 15 절연막
- 17 절연막
- 19a 산화물 반도체막
- 19b 산화물 반도체막
- 19c 코몬 전극
- 21a 도전막
- 21b 도전막
- 23 절연막
- 25 절연막
- 27 절연막
- 28 절연막
- 29 코몬 전극
- 51 액정 소자
- 52 트랜지스터
- 55 용량 소자
- 70 화소
- 70a 화소
- 70b 화소
- 70c 화소
- 70d 화소
- 70e 화소
- 70f 화소
- 71 화소부
- 74 주사선 구동 회로
- 75 코몬선
- 76 신호선 구동 회로
- 77 주사선
- 79 신호선

- 80 표시 장치
- 100 직경
- 102 기관
- 104 게이트 전극
- 105 게이트 배선
- 106 절연막
- 107 절연막
- 108 절연막
- 110 산화물 반도체막
- 111 산화물 반도체막
- 111a 산화물 반도체막
- 111b 산화물 반도체막
- 112 배선
- 112a 소스 전극
- 112b 드레인 전극
- 114 절연막
- 116 절연막
- 118 절연막
- 119 절연막
- 120 도전막
- 120a 도전막
- 141 개구
- 142 개구
- 144 개구
- 146 개구
- 148 개구
- 150 트랜지스터
- 151 트랜지스터
- 160 용량 소자
- 170 게이트 배선 콘택트부
- 171 게이트 배선 콘택트부
- 193 타깃
- 194 플라즈마
- 202 기관
- 204 도전막
- 206 절연막

207 절연막  
208 산화물 반도체막  
208a 산화물 반도체막  
208b 산화물 반도체막  
208c 산화물 반도체막  
211a 산화물 반도체막  
211b 산화물 반도체막  
212a 도전막  
212b 도전막  
214 절연막  
216 절연막  
218 절연막  
220b 도전막  
252a 개구부  
252b 개구부  
252c 개구부  
270 트랜지스터  
270A 트랜지스터  
270B 트랜지스터  
319b 산화물 반도체막  
329 도전막  
351a 액정 소자  
351b 액정 소자  
352 트랜지스터  
355 용량 소자  
355a 용량 소자  
355b 용량 소자  
370 화소  
370a 화소  
370b 화소  
370c 화소  
450 표시부  
451 윈도우  
452a 화상  
452b 화상  
453 버튼

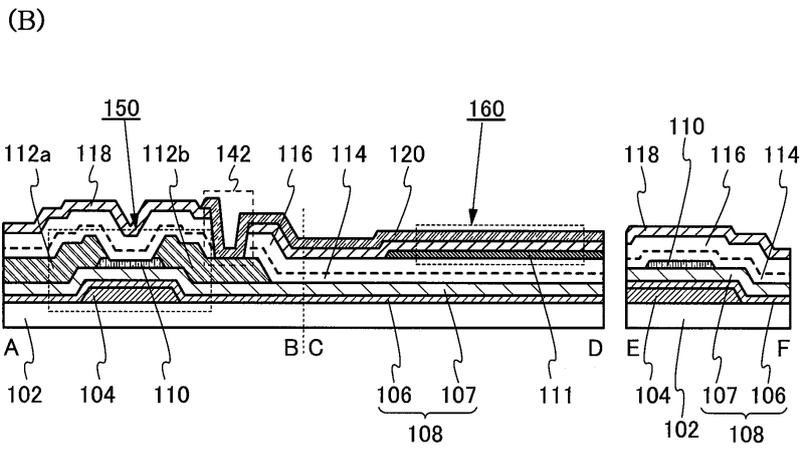
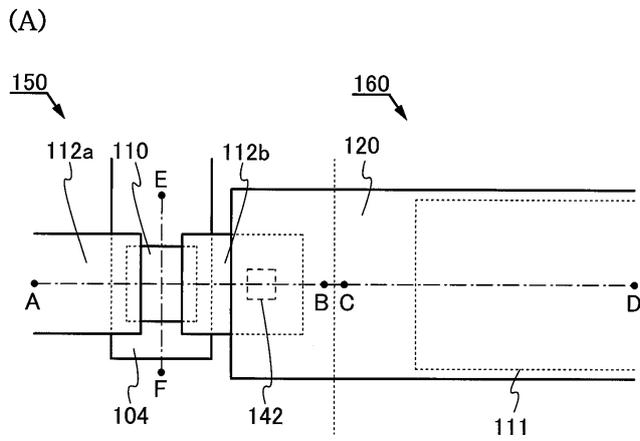
- 455 윈도우
- 456 문서 정보
- 457 스크롤 바
- 600 기관
- 601 기관
- 602 게이트 배선
- 604 용량 배선
- 605 용량 배선
- 613 배선
- 615 게이트 배선
- 616 배선
- 618 드레인 전극
- 623 절연막
- 624 화소 전극
- 625 절연막
- 626 화소 전극
- 627 절연막
- 628 트랜지스터
- 629 트랜지스터
- 630 용량 소자
- 631 용량 소자
- 633 개구
- 636 착색막
- 640 코몬 전극
- 644 돌기
- 645 배향막
- 646 슬릿
- 647 슬릿
- 648 배향막
- 650 액정층
- 651 액정 소자
- 652 액정 소자
- 700 표시 장치
- 701 기관
- 702 화소부
- 704 소스 드라이버 회로부

- 705 기관
- 706 게이트 드라이버 회로부
- 708 FPC 단자부
- 710 배선
- 711 배선부
- 712 절재
- 716 FPC
- 734 절연막
- 736 착색막
- 738 차광막
- 750 트랜지스터
- 752 트랜지스터
- 760 접속 전극
- 764 절연막
- 766 절연막
- 768 절연막
- 772 도전막
- 774 도전막
- 775 액정 소자
- 776 액정층
- 778 구조체
- 780 이방성 도전막
- 790 용량 소자
- 5000 하우징
- 5001 표시부
- 5002 표시부
- 5003 스피커
- 5004 LED 램프
- 5005 조작 키
- 5006 접속 단자
- 5007 센서
- 5008 마이크로폰
- 5009 스위치
- 5010 적외선 포트
- 5011 기록 매체 판독부
- 5012 지지부

- 5013 이어폰
- 5014 안테나
- 5015 셔터 버튼
- 5016 수상부
- 5017 충전기
- 5100 펠렛
- 5120 기관
- 5161 영역
- 5200 펠렛
- 5201 이온
- 5202 가로 성장부
- 5203 입자
- 5220 기관
- 5230 타깃
- 5240 플라즈마
- 5260 가열 기구
- 8000 표시 모듈
- 8001 상부 커버
- 8002 하부 커버
- 8003 FPC
- 8004 터치 패널
- 8005 FPC
- 8006 표시 패널
- 8007 백 라이트
- 8008 광원
- 8009 프레임
- 8010 프린트 기관
- 8011 배터리

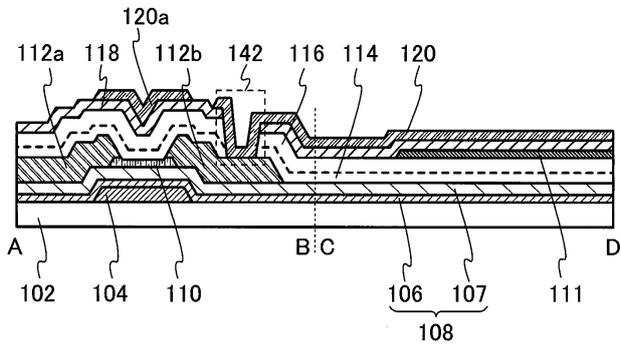
도면

도면1

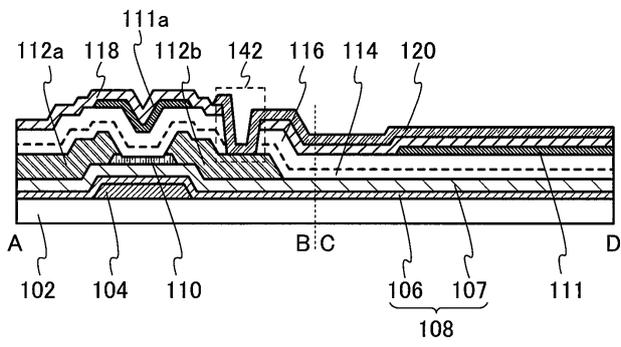


도면2

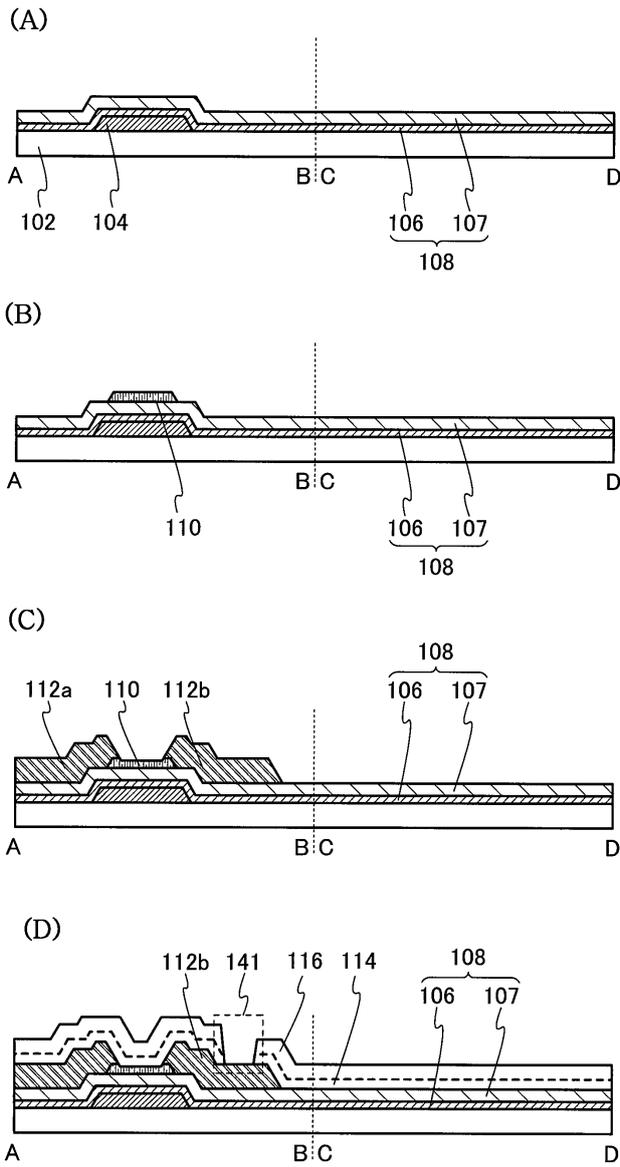
(A)



(B)

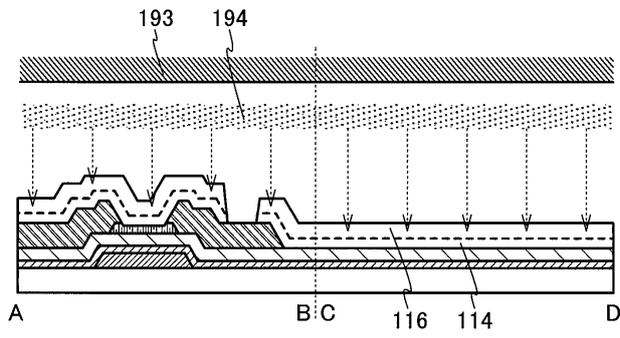


도면3

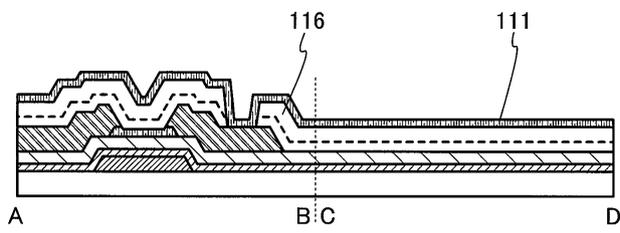


도면4

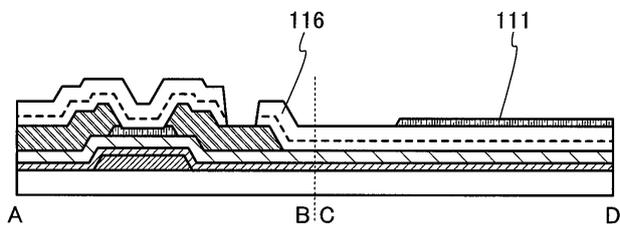
(A)



(B)

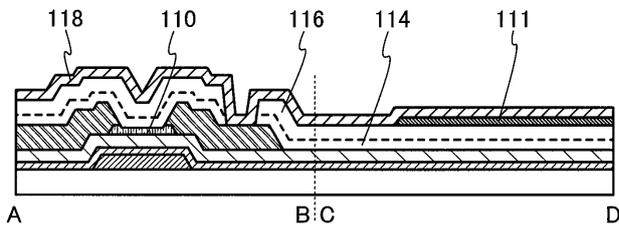


(C)

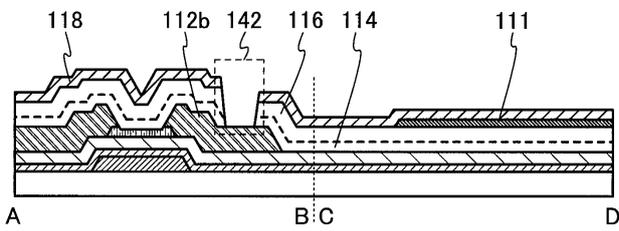


도면5

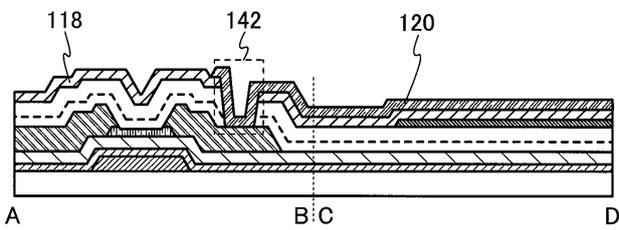
(A)



(B)

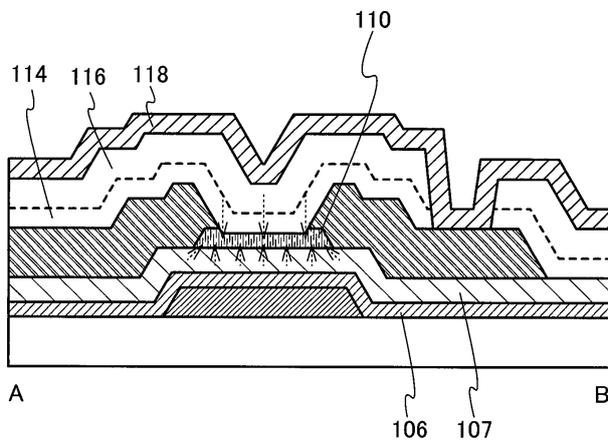


(C)

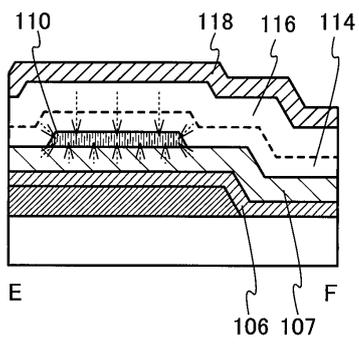


도면6

(A)

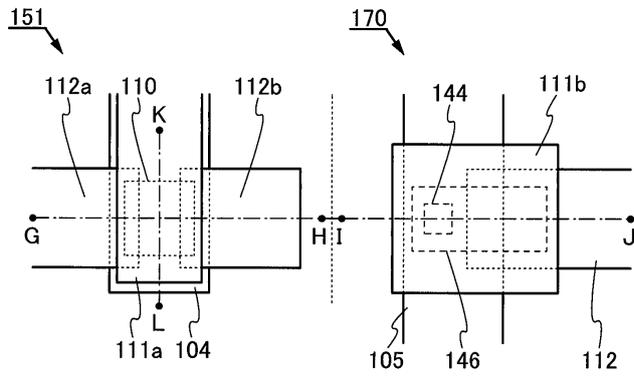


(B)

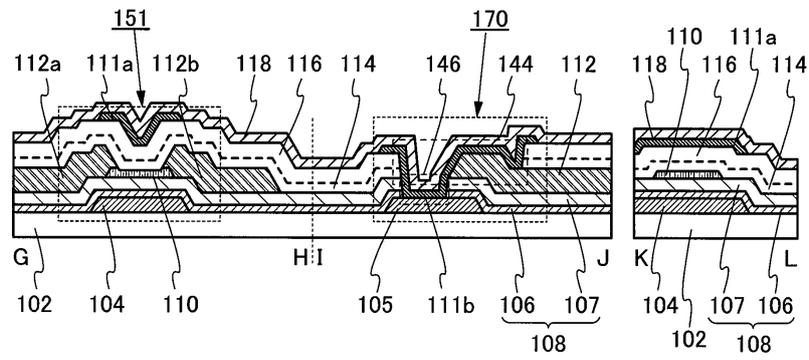


도면7

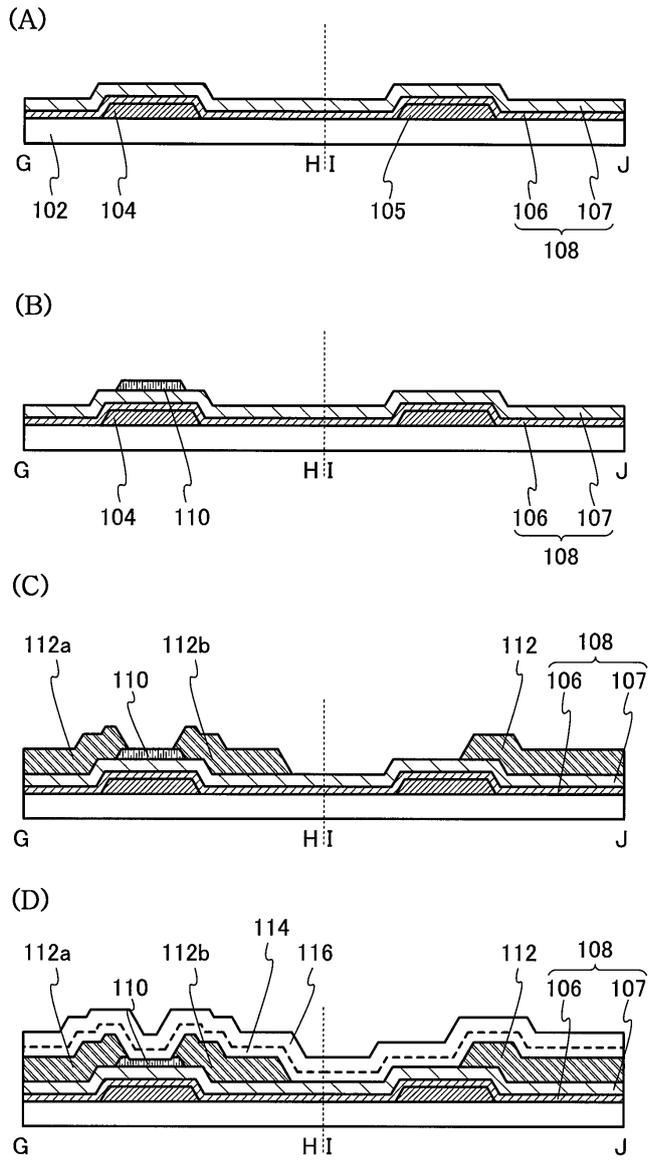
(A)



(B)

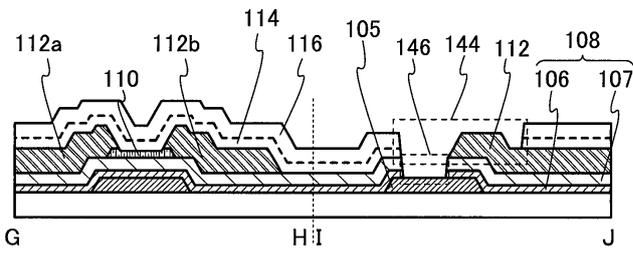


도면8

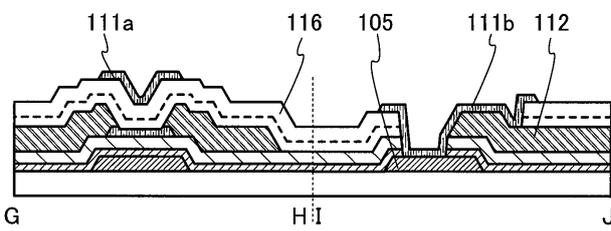


도면9

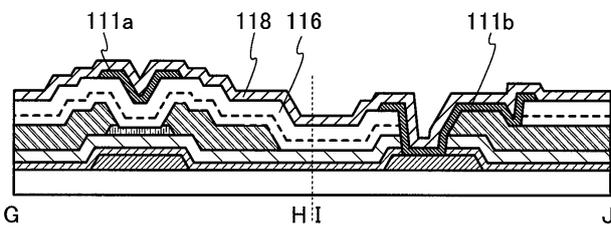
(A)



(B)

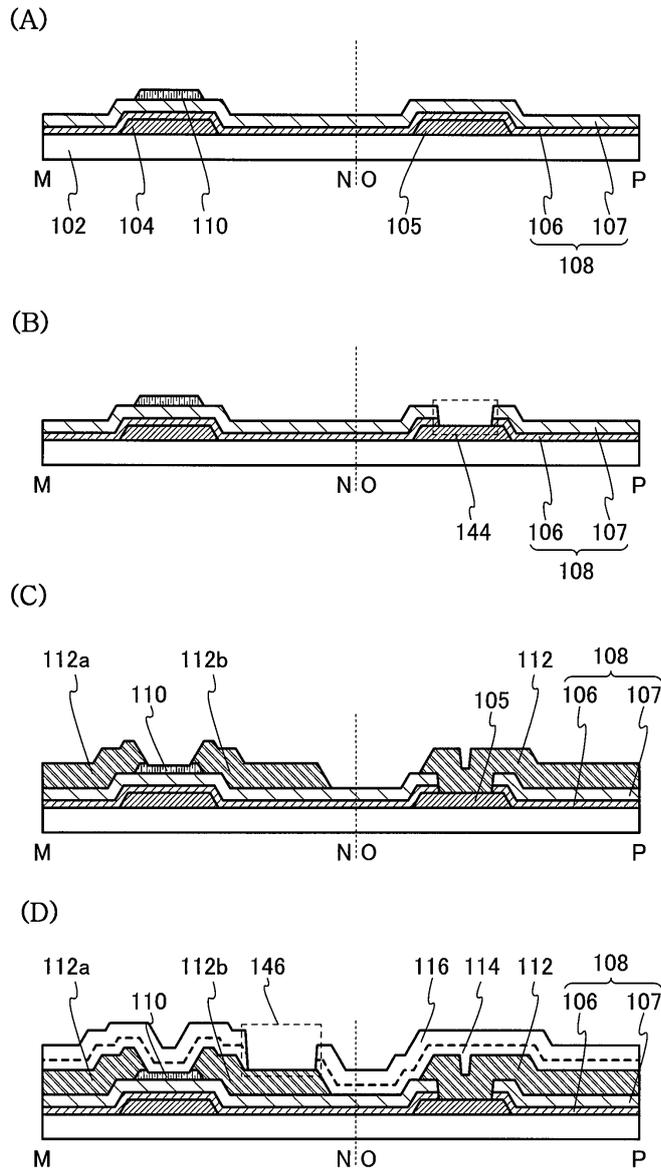


(C)



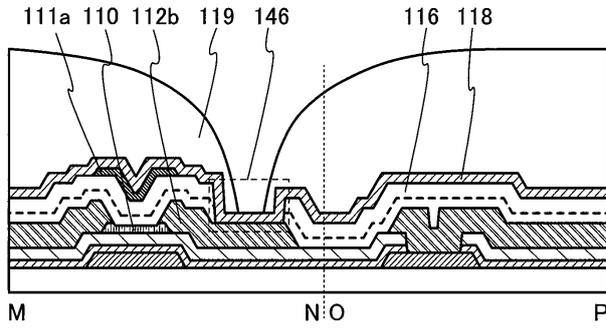


도면11

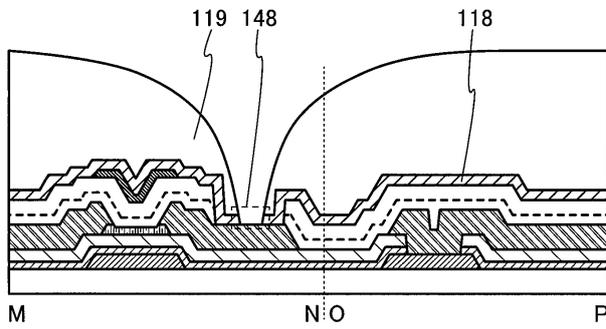


도면12

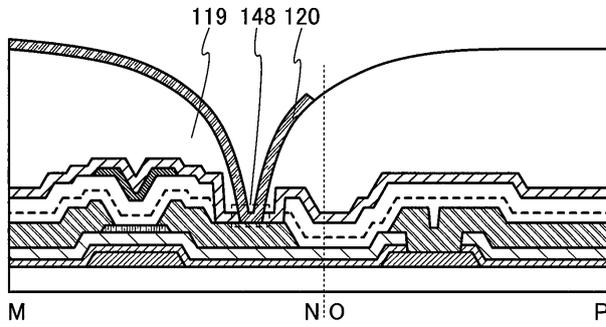
(A)



(B)

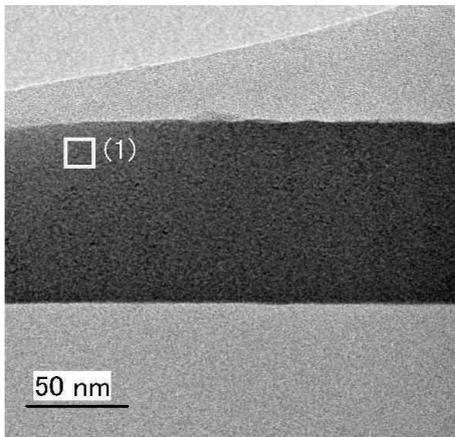


(C)

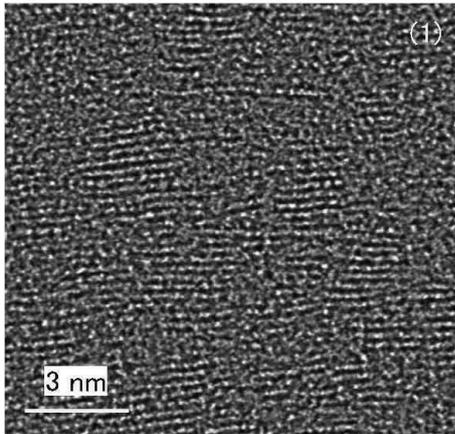


도면13

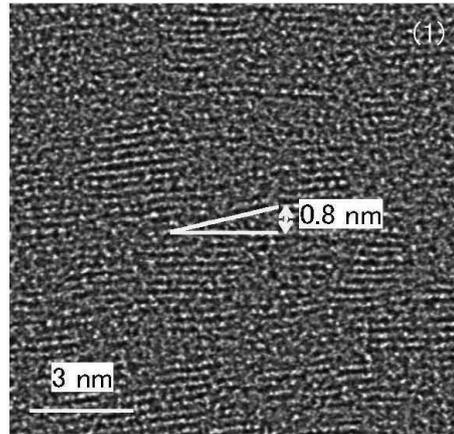
(A)



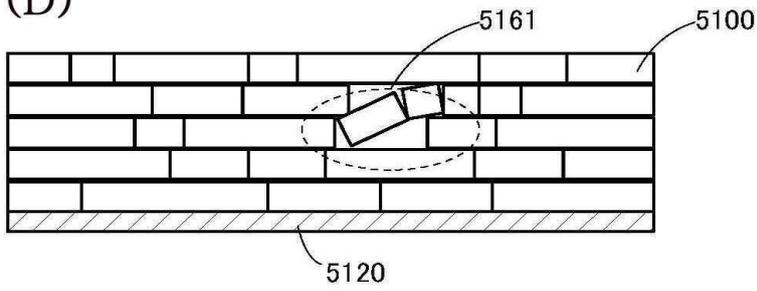
(B)



(C)

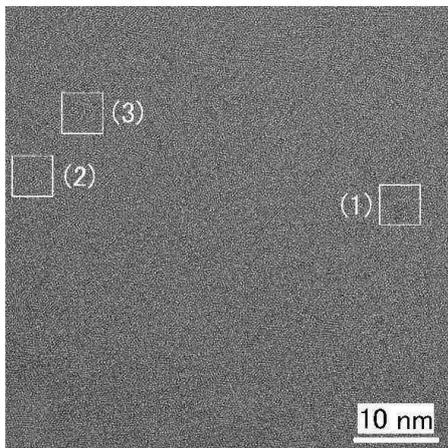


(D)

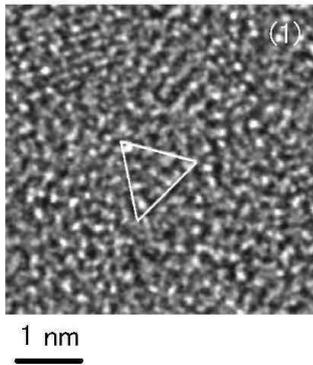


도면14

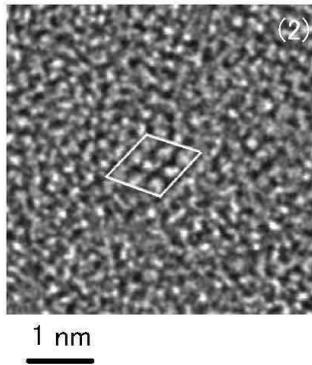
(A)



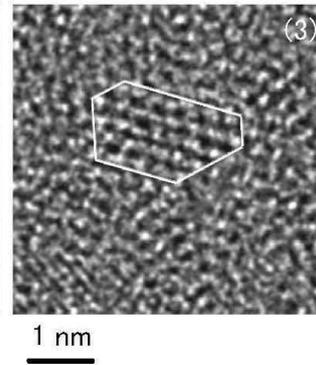
(B)



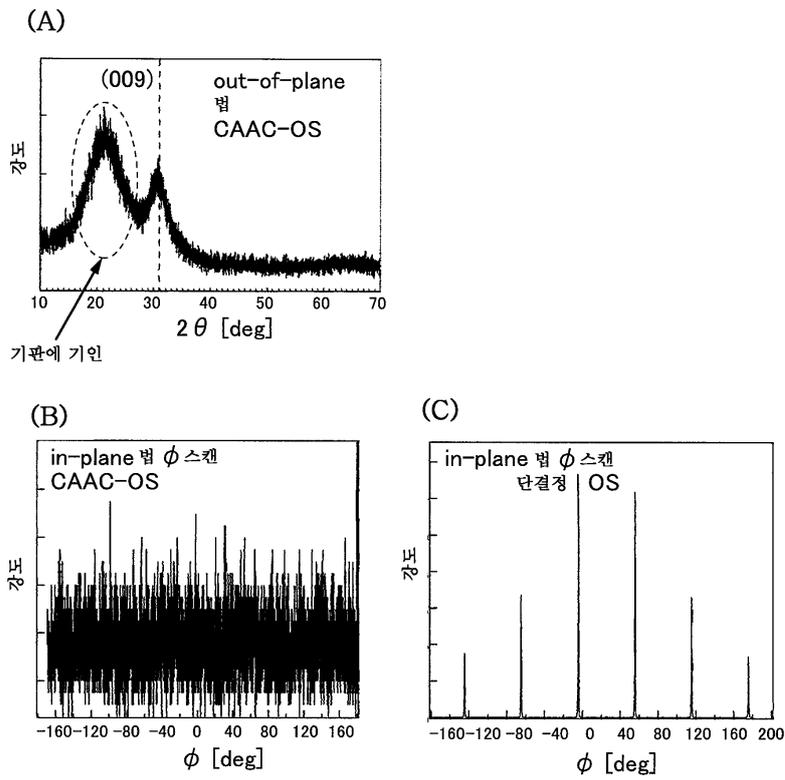
(C)



(D)

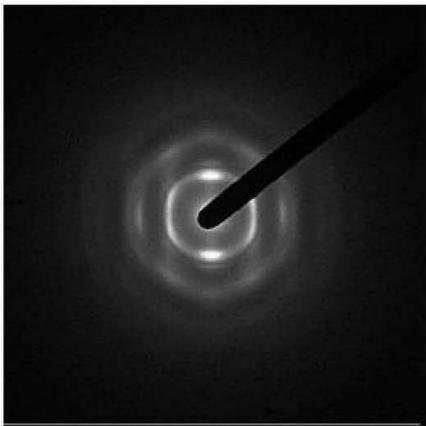


도면15



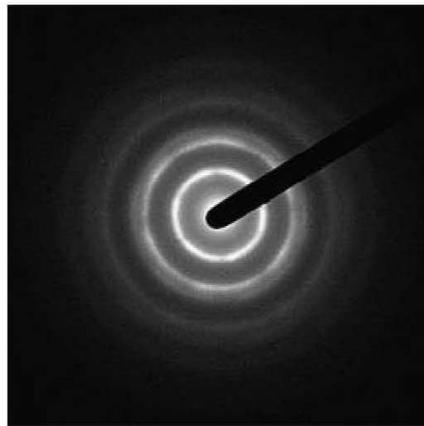
도면16

(A)



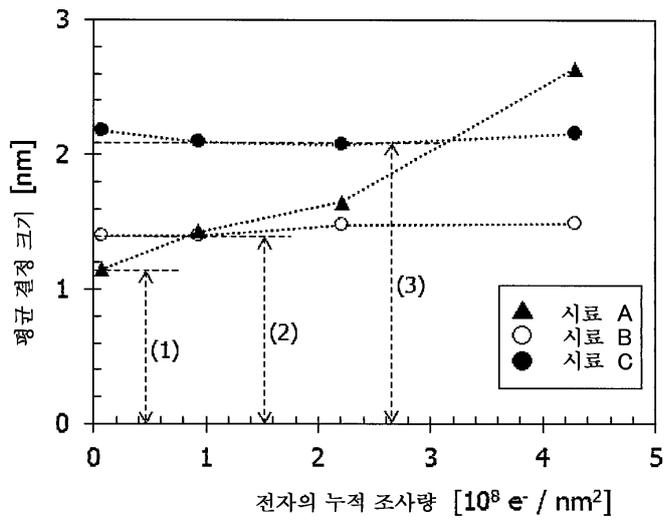
전자빔이 시료면에 평행하게  
입사

(B)

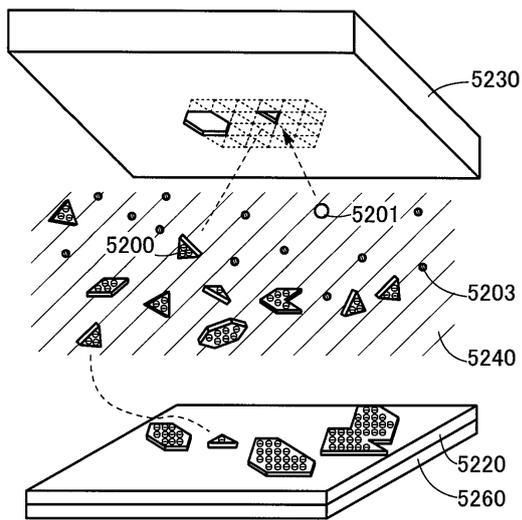


전자빔이 시료면에 수직으로  
입사

도면17



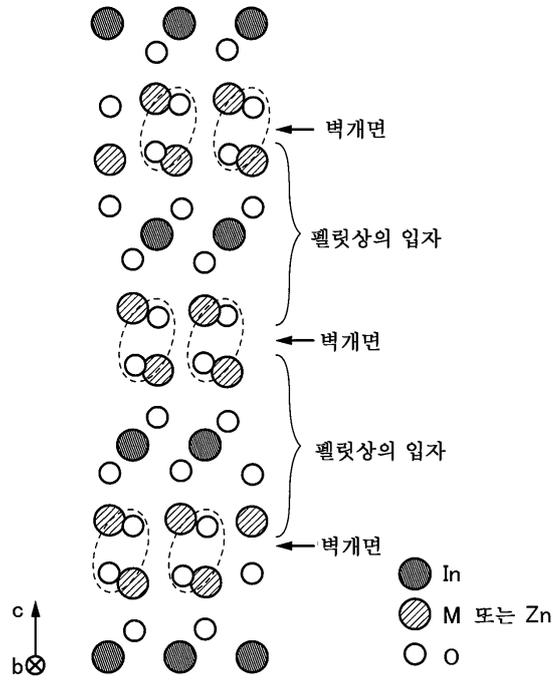
도면18



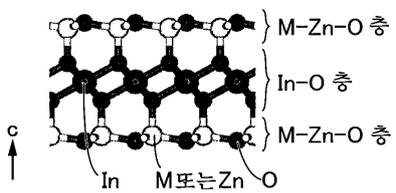
도면19

(A)

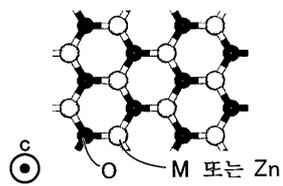
InMZnO<sub>4</sub>의 결정 구조



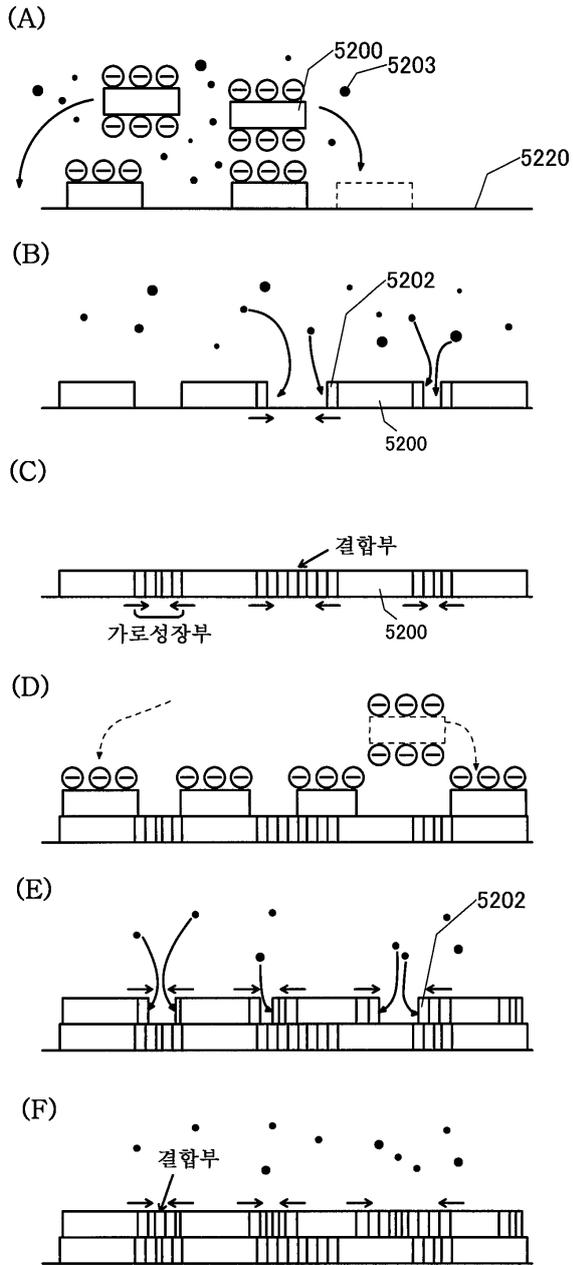
(B)



(C)

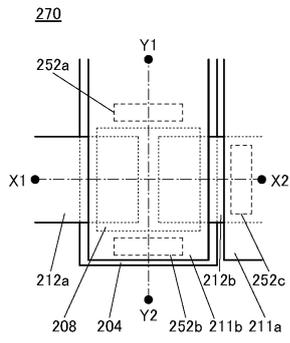


도면20

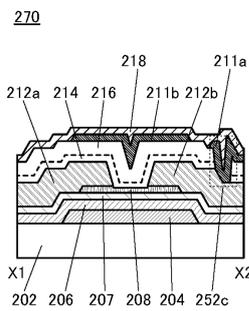


도면21

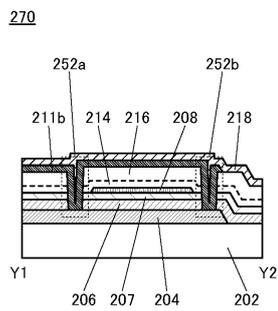
(A)



(B)



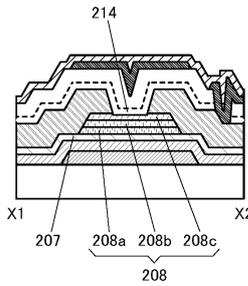
(C)



도면22

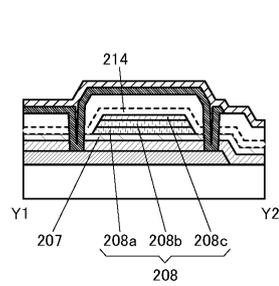
(A)

270A



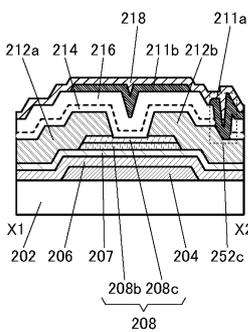
(B)

270A



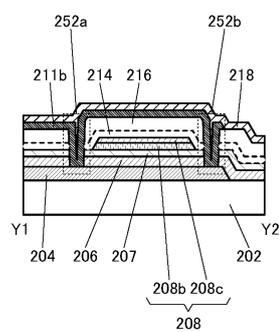
(C)

270B



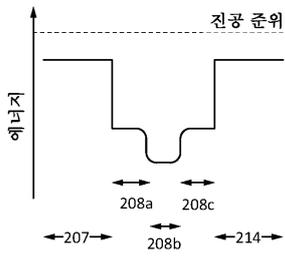
(D)

270B

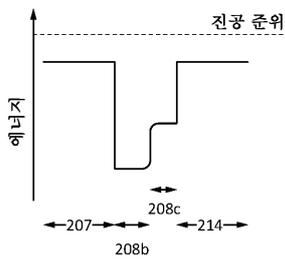


도면23

(A)



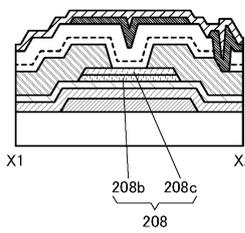
(B)



도면24

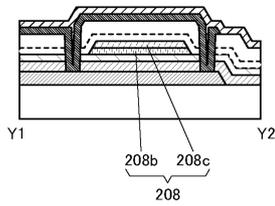
(A)

270B



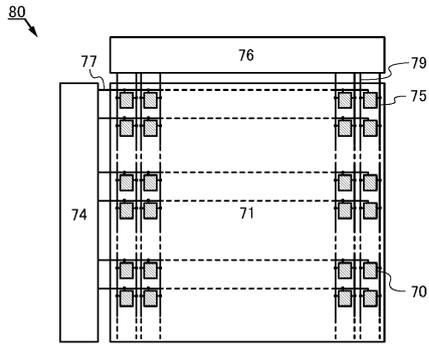
(B)

270E

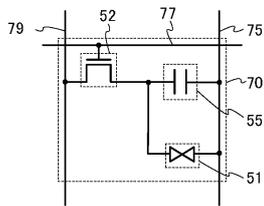


도면25

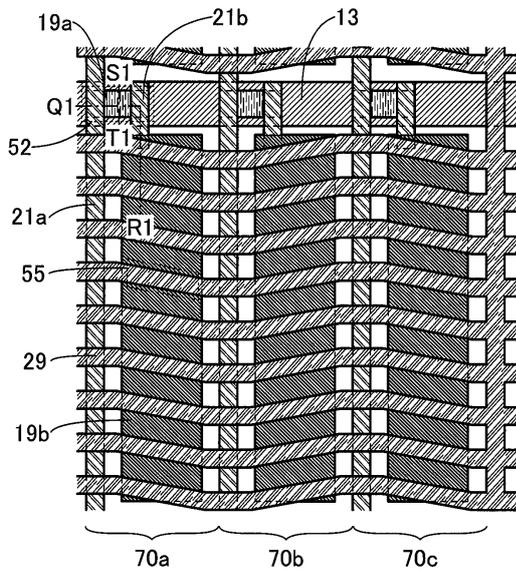
(A)



(B)

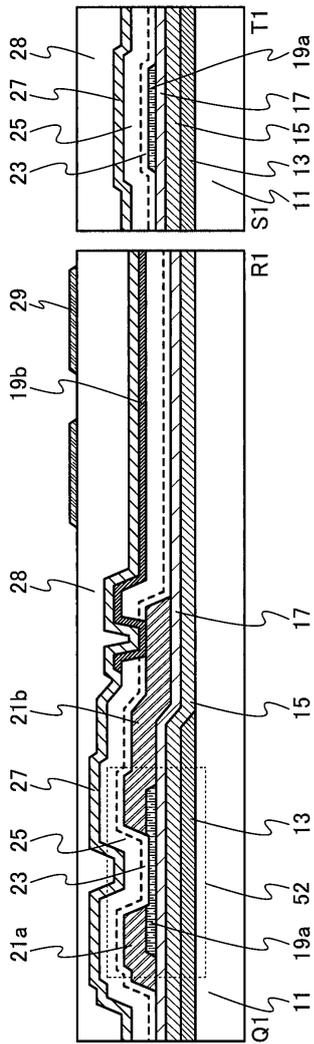


도면26

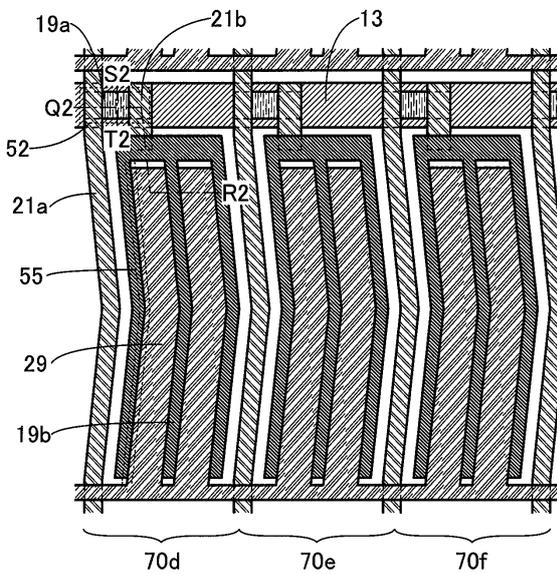




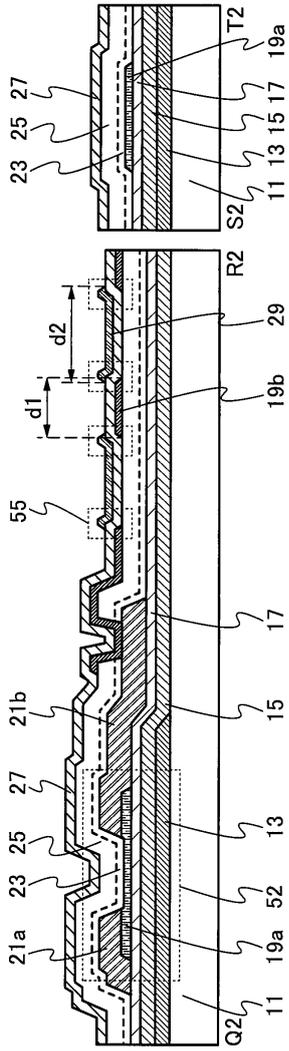
도면28



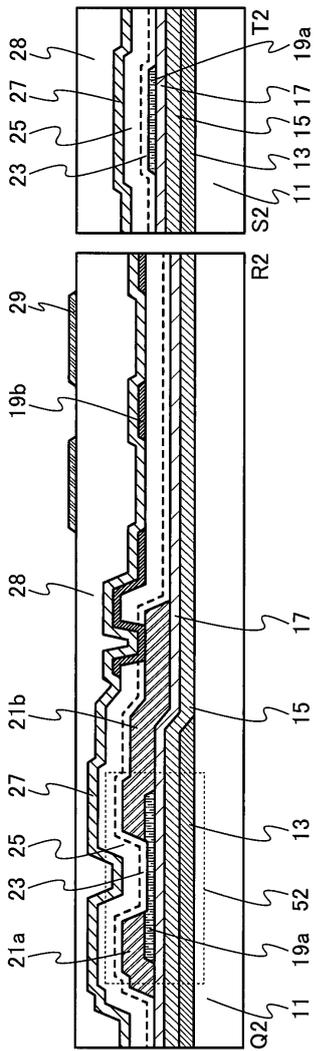
도면29



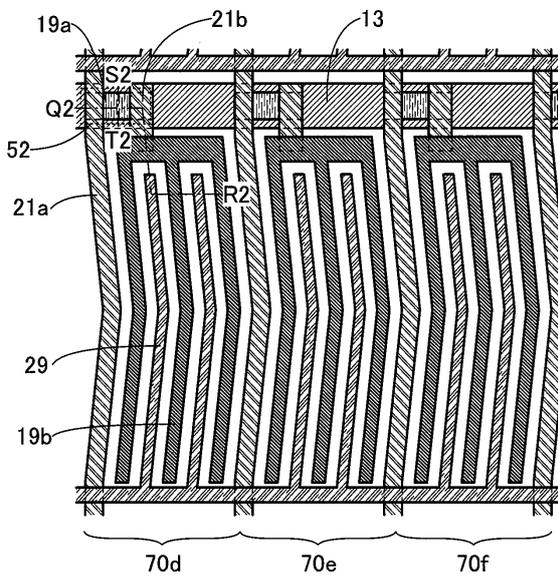
도면30



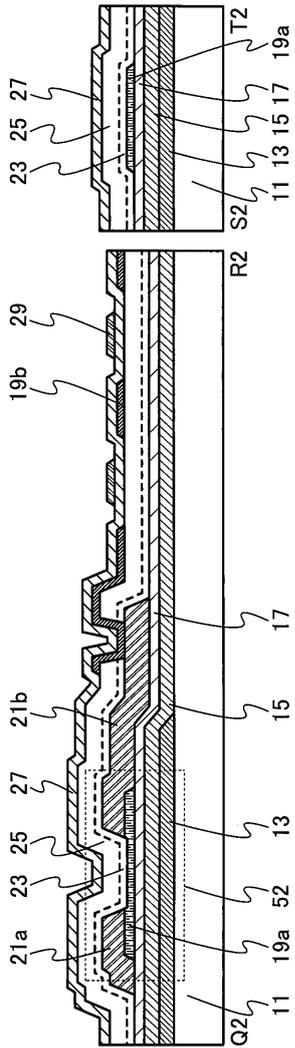
도면31



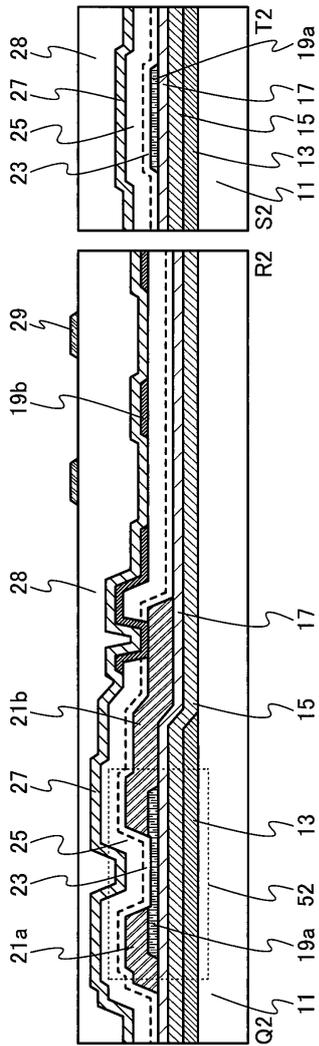
도면32



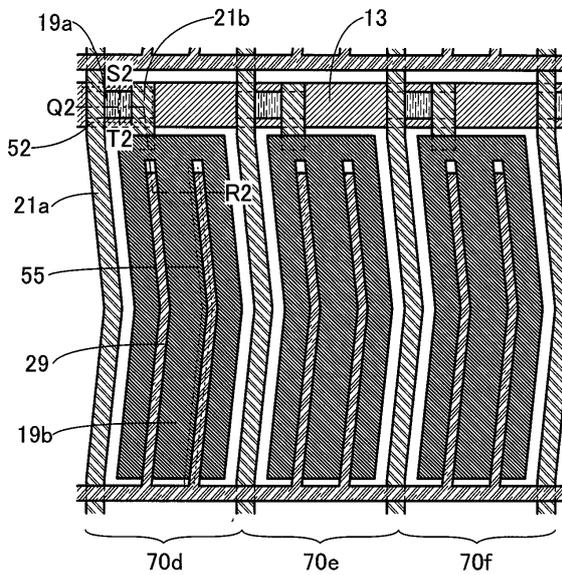
도면33



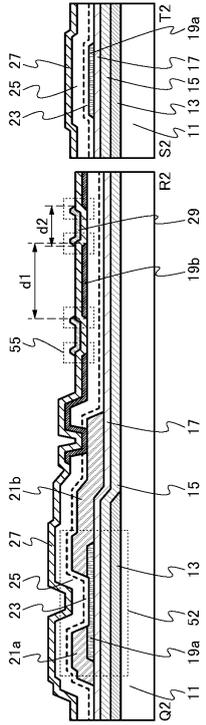
도면34



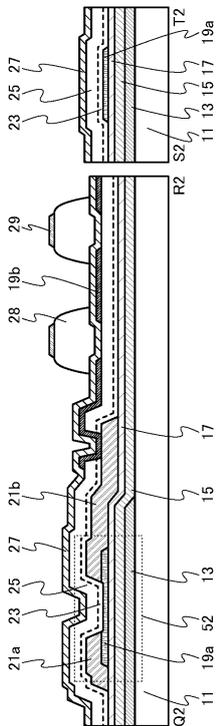
도면35



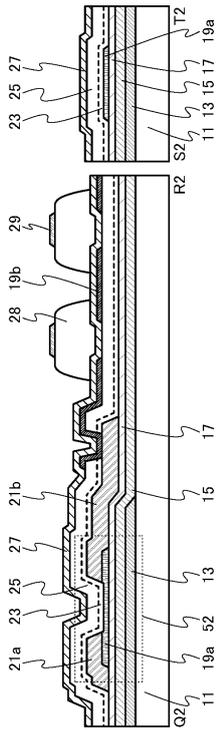
도면36



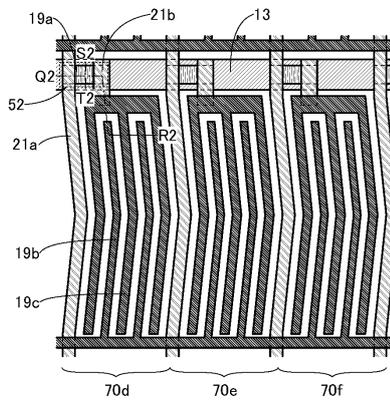
도면37



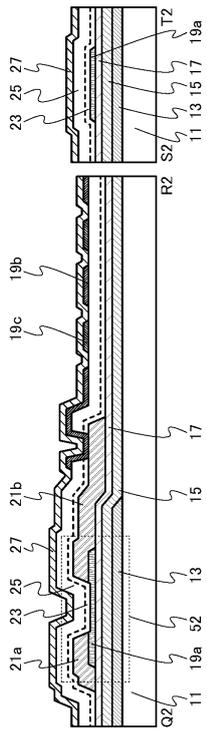
도면38



도면39

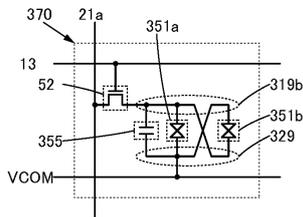


도면40

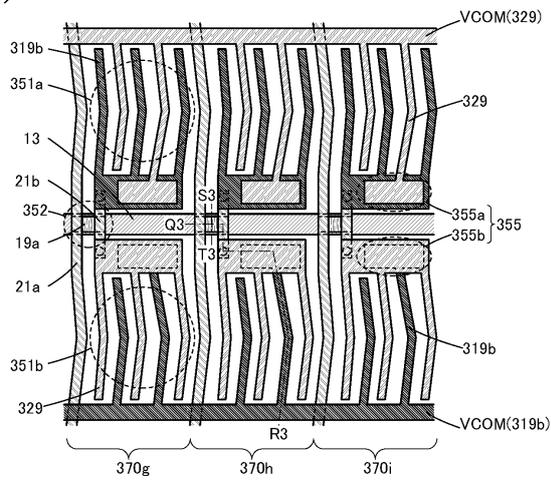


도면41

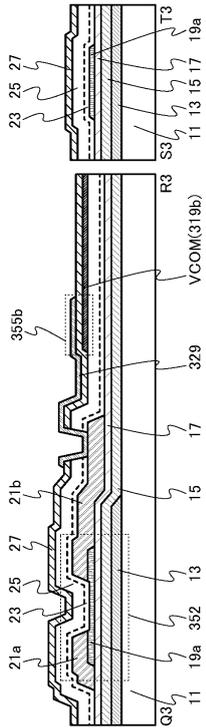
(A)



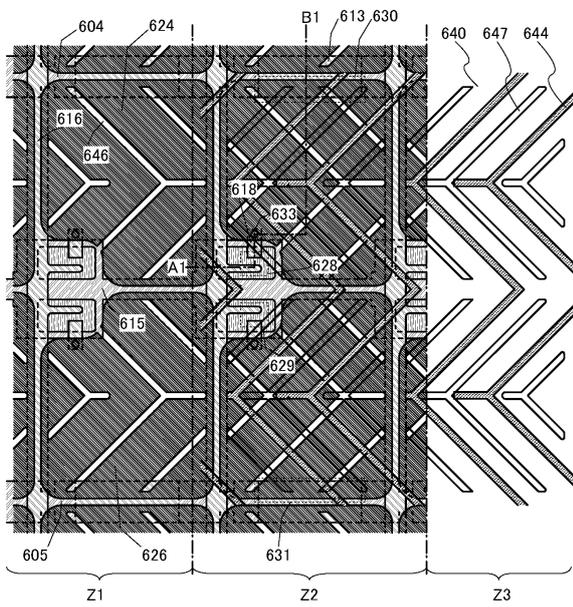
(B)



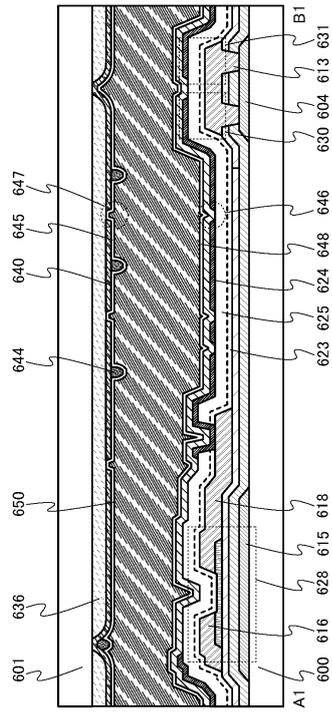
도면42



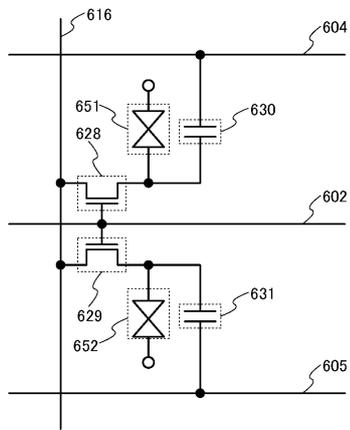
도면43



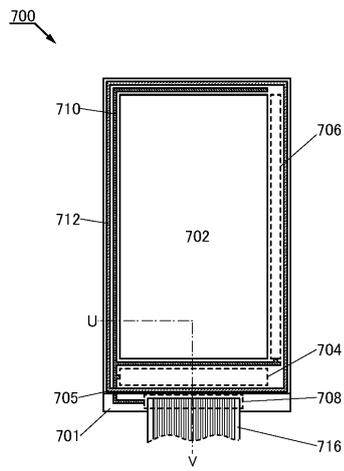
도면44



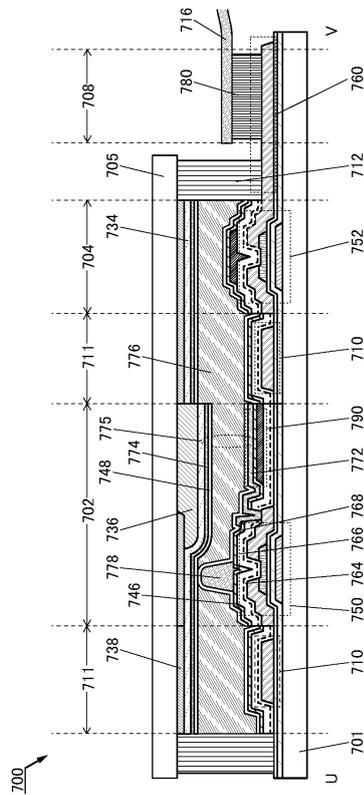
도면45



도면46

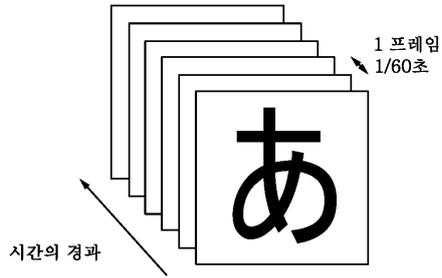


도면47

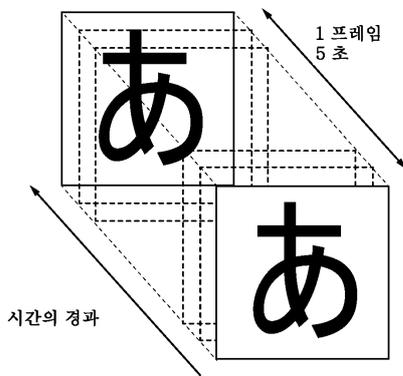


도면48

(A)



(B)

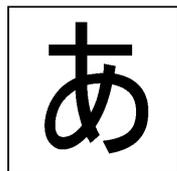


도면49

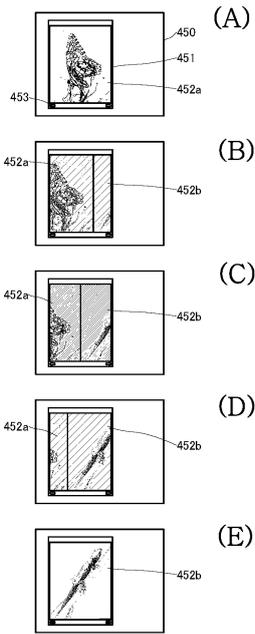
(A)



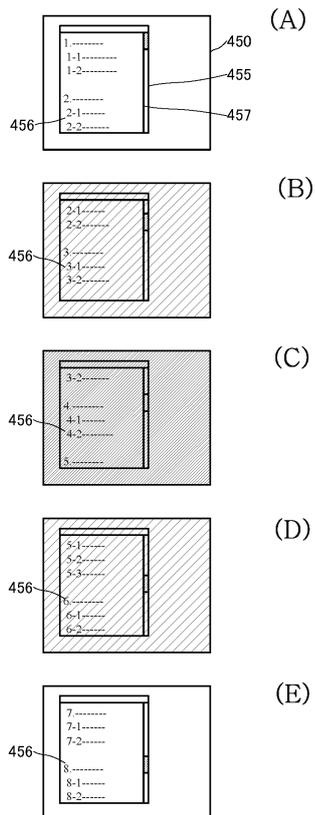
(B)



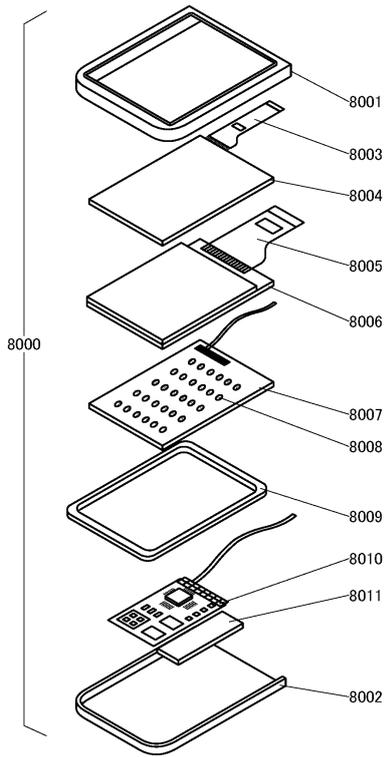
도면50



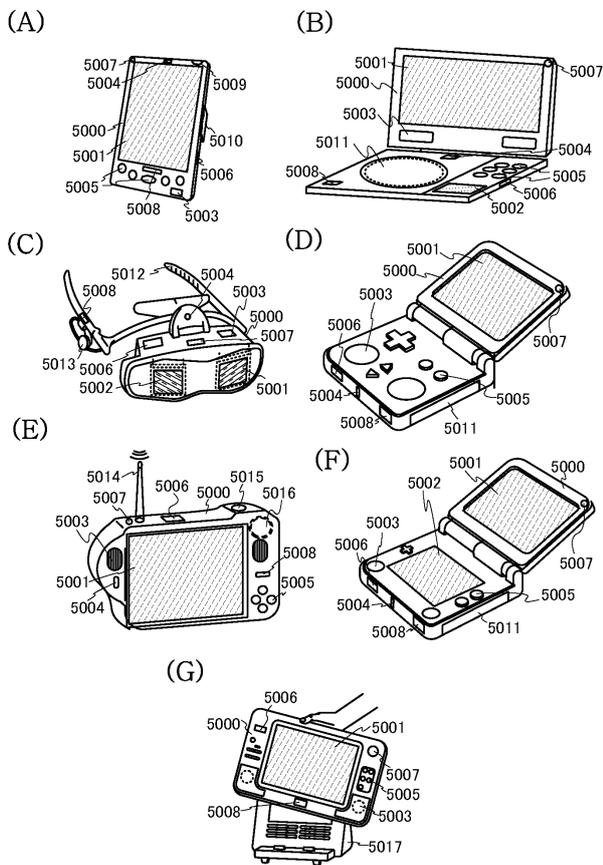
도면51



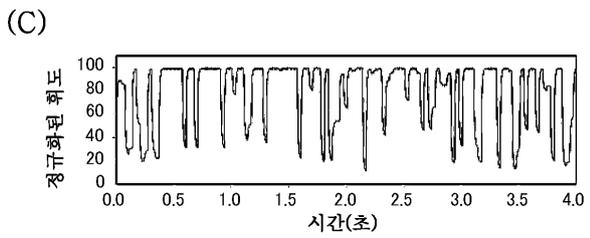
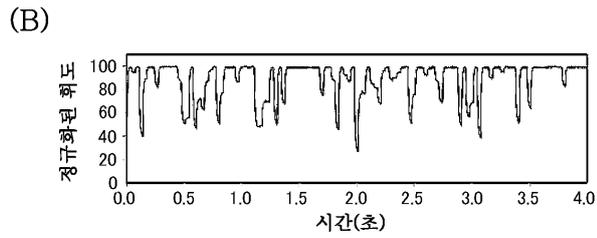
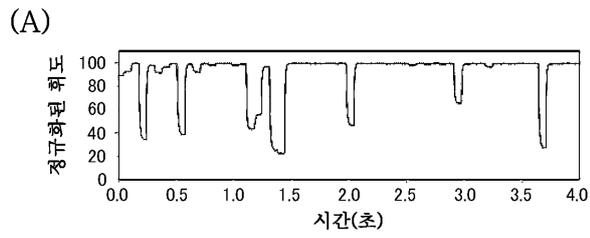
도면52



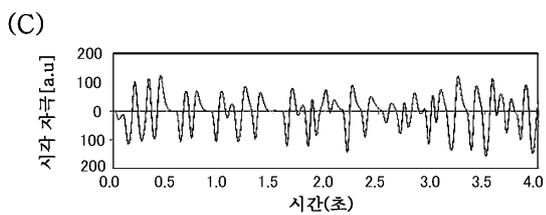
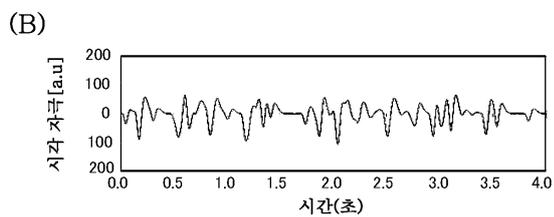
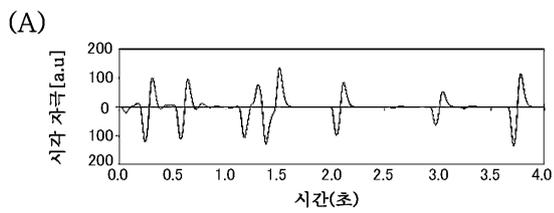
도면53



도면54

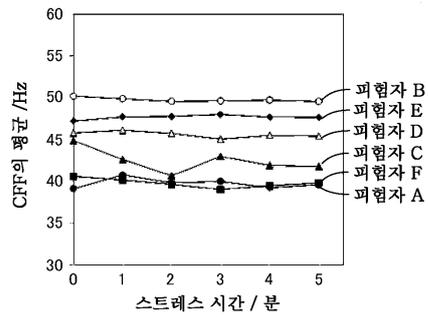


도면55



도면56

(A)



(B)

