

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5755372号
(P5755372)

(45) 発行日 平成27年7月29日(2015.7.29)

(24) 登録日 平成27年6月5日(2015.6.5)

(51) Int.Cl.	F I
HO 1 L 31/0747 (2012.01)	HO 1 L 31/06 4 5 5
HO 1 L 31/0224 (2006.01)	HO 1 L 31/04 2 6 2

請求項の数 9 (全 17 頁)

(21) 出願番号	特願2014-527413 (P2014-527413)	(73) 特許権者	591097632
(86) (22) 出願日	平成26年3月14日 (2014.3.14)		長州産業株式会社
(86) 国際出願番号	PCT/JP2014/056939		山口県山陽小野田市大字山野井字新山野井
(87) 国際公開番号	W02014/148392		3 7 4 〇番地
(87) 国際公開日	平成26年9月25日 (2014.9.25)	(74) 代理人	100090697
審査請求日	平成26年7月17日 (2014.7.17)		弁理士 中前 富士男
(31) 優先権主張番号	特願2013-56713 (P2013-56713)	(74) 代理人	100159581
(32) 優先日	平成25年3月19日 (2013.3.19)		弁理士 藤本 勝誠
(33) 優先権主張国	日本国(JP)	(72) 発明者	小林 英治
早期審査対象出願			山口県山陽小野田市新山野井3740番地 長州産業株式会社内
		審査官	堀部 修平

最終頁に続く

(54) 【発明の名称】 光発電装置

(57) 【特許請求の範囲】

【請求項1】

多層状の光発電素子と、該光発電素子の一方の面上に積層される第1の集電部材及び他方の面上に積層される第2の集電部材とを備え、

前記光発電素子が、n型結晶半導体基板と、該n型結晶半導体基板の前記第1の集電部材側にこの順で積層される第1の真性非晶質系シリコン薄膜、p型非晶質系シリコン薄膜及び第1の透明導電膜と、前記n型結晶半導体基板の前記第2の集電部材側にこの順で積層されるn型非晶質系シリコン薄膜及び第2の透明導電膜とを有し、

前記第1の透明導電膜表面における前記第1の集電部材が、互いに平行に形成される複数のバスバー電極(I)、及び該バスバー電極(I)に接続され、互いに平行に形成される複数のフィンガー電極(I)を有し、

前記第2の透明導電膜の表面に設けられた前記第2の集電部材が、互いに平行に形成される複数のバスバー電極(II)、及び該バスバー電極(II)に接続され、互いに平行に形成される複数のフィンガー電極(II)を有する光発電装置において、

前記p型非晶質系シリコン薄膜の膜厚を1nm以上5nm以下(但し5nmを除く)にすると共に、隣り合う前記フィンガー電極(I)の間隔を0.1mm以上2mm未満とし、更に、前記n型非晶質系シリコン薄膜の膜厚を3nm以上10nm以下にして、隣り合う前記フィンガー電極(II)の間隔を2mmより大きく4mm以下とすることを特徴とする光発電装置。

【請求項2】

請求項 1 記載の光発電装置において、前記第 1 の透明導電膜がイオンプレーティング法により形成されていることを特徴とする光発電装置。

【請求項 3】

請求項 1 又は 2 記載の光発電装置において、前記第 2 の集電部材側が光入射面として用いられることを特徴とする光発電装置。

【請求項 4】

請求項 1 又は 2 記載の光発電装置において、前記第 1 の集電部材側が光入射面として用いられることを特徴とする光発電装置。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の光発電装置において、前記 n 型結晶半導体基板と前記 n 型非晶質系シリコン薄膜との間に積層される第 2 の真性非晶質系シリコン薄膜を有することを特徴とする光発電装置。

10

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の光発電装置において、前記 n 型結晶半導体基板がエピタキシャル成長法によって作製されていることを特徴とする光発電装置。

【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載の光発電装置において、前記 n 型結晶半導体基板の比抵抗が 0.5 cm 以上 5 cm 以下であることを特徴とする光発電装置。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の光発電装置において、前記 n 型結晶半導体基板の厚さが $50 \mu\text{m}$ 以上 $200 \mu\text{m}$ 以下であることを特徴とする光発電装置。

20

【請求項 9】

請求項 8 記載の光発電装置において、前記 n 型結晶半導体基板の厚さが $80 \mu\text{m}$ 以上 $150 \mu\text{m}$ 以下であることを特徴とする光発電装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は光発電装置に関し、詳細には、ヘテロ接合を有する光発電装置（太陽電池）に関する。

【背景技術】

30

【0002】

CO_2 等の温室効果ガスを発生しないクリーンな発電手段として、また、原子力発電に代わる操業安全性の高い発電手段として、光発電装置が注目されている。光発電装置の一つとして、発電効率の高いヘテロ接合を有する光発電装置がある。

【0003】

図 6 (A)、(B) に示すように、ヘテロ接合を有するこの光発電装置 60 は、光照射により電力を発生させる光発電素子 61 と、光発電素子 61 の両面上に設けられ、発生した電力を集める集電部材 62、63 とを備える。光発電素子 61 は、n 型結晶半導体基板 64 の一側に第 1 の真性非晶質系シリコン薄膜 65、p 型非晶質系シリコン薄膜 66 及び第 1 の透明導電膜 67 がこの順に積層され、n 型結晶半導体基板 64 の他側に第 2 の真性非晶質系シリコン薄膜 68、n 型非晶質系シリコン薄膜 69 及び第 2 の透明導電膜 70 がこの順に積層されてなる多層構造体である。このように、n 型結晶半導体基板 64 と p 型非晶質系シリコン薄膜 66 との間に第 1 の真性非晶質系シリコン薄膜 65 を設けることで、n 型結晶半導体基板 64 と p 型非晶質系シリコン薄膜 66 との間で生じるキャリア再結合を抑制することができ、n 型結晶半導体基板 64 と n 型非晶質系シリコン薄膜 69 との間に第 2 の真性非晶質系シリコン薄膜 68 を設けることで、同様にこの間で生じうるキャリアの再結合を抑制することができる。また、集電部材 62 (63) は、互いに平行に形成される複数のバスバー電極 71 と、バスバー電極 71 に接続され、互いに平行に形成される複数のフィンガー電極 72 とを有する。集電部材 62 (63) をこのような形状とすることで、集電部材自体による光の遮蔽を抑えつつ、効率的な集電を行っている。

40

50

【 0 0 0 4 】

このような構造を有する光発電装置 60 においては、p 型非晶質系シリコン薄膜 66 の膜厚を大きく、具体的には例えば 6 nm 以上とすることが好ましいとされている（特許文献 1 参照）。p 型非晶質系シリコン薄膜 66 上に積層される第 1 の透明導電膜 67 は、通常スパッタリングにより成膜される。そこで、ある程度の膜厚を有する p 型非晶質系シリコン薄膜 66 を用いることで、スパッタリングによる表面劣化を防ぎ、光発電装置 60 の性能低下を抑えることができるとされている。しかし、光発電装置に対して、より低コストかつ効率的な発電が求められる今日においては、フィルファクターを高めるべく、更なる改良が求められている。

【 先行技術文献 】

10

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特許第 5 0 3 1 0 0 7 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明はかかる事情に鑑みてなされたもので、フィルファクター（曲線因子）の高い光発電装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

20

本発明者は、（ 1 ） p 型非晶質系シリコン薄膜の膜厚を大きくすると、直列抵抗の増大因子となり逆にフィルファクターが低下すること、（ 2 ） フィルファクターを高めるためには、p 型非晶質系シリコン薄膜の膜厚を小さくすると共に、この p 型非晶質系シリコン薄膜側に設けたフィンガー電極の間隔等を小さくすることが効果的であること、及び（ 3 ） 逆に n 型非晶質系シリコン薄膜側に設けたフィンガー電極の間隔を小さくしても、フィルファクターを向上させないことを見出し、これらの知見に基づき本発明に至った。

【 0 0 0 8 】

すなわち前記目的に沿う本発明に係る光発電装置は、
多層状の光発電素子と、該光発電素子の一方の面上に積層される第 1 の集電部材及び他方の面上に積層される第 2 の集電部材とを備え、

30

前記光発電素子が、n 型結晶半導体基板と、該 n 型結晶半導体基板の前記第 1 の集電部材側にこの順で積層される第 1 の真性非晶質系シリコン薄膜、p 型非晶質系シリコン薄膜及び第 1 の透明導電膜と、前記 n 型結晶半導体基板の前記第 2 の集電部材側にこの順で積層される n 型非晶質系シリコン薄膜及び第 2 の透明導電膜とを有し、

前記第 1 の透明導電膜表面における前記第 1 の集電部材が、互いに平行に形成される複数のバスバー電極（ I ）、及び該バスバー電極（ I ）に接続され、互いに平行に形成される複数のフィンガー電極（ I ）を有し、

前記第 2 の透明導電膜の表面に設けられた前記第 2 の集電部材が、互いに平行に形成される複数のバスバー電極（ II ）、及び該バスバー電極（ II ）に接続され、互いに平行に形成される複数のフィンガー電極（ II ）を有する光発電装置において、

40

前記 p 型非晶質系シリコン薄膜の膜厚を 1 nm 以上 5 nm 以下（但し 5 nm を除く）にすると共に、隣り合う前記フィンガー電極（ I ）の間隔を 0 . 1 mm 以上 2 mm 未満とし、更に、前記 n 型非晶質系シリコン薄膜の膜厚を 3 nm 以上 1 0 nm 以下にして、隣り合う前記フィンガー電極（ II ）の間隔を 2 mm より大きく 4 mm 以下とする。

【 0 0 0 9 】

本発明に係る光発電装置によれば、p 型非晶質系シリコン薄膜の膜厚を 5 nm 未満と薄くし、かつ光発電素子の第 1 の透明導電膜表面における第 1 の集電部材のフィンガー電極の間隔を 2 mm 未満と狭めることで、フィルファクターが高まり、発電効率を高めることができる。また、第 2 の集電部材のフィンガー電極の間隔を広げて遮光性を低くし、第 2 の集電部材（ n 型非晶質系シリコン薄膜 ）側を光入射面とすることで発電効率を高めること

50

ができるなど、使用形態の幅を広げることができる。

【0010】

本発明に係る光発電装置において、前記第1の透明導電膜がイオンプレーティング法により形成されていることが好ましい。p型非晶質系シリコン薄膜上に積層される第1の透明導電膜をイオンプレーティング法により形成することにより、p型非晶質系シリコン薄膜表面の劣化を抑制することができる。従って、このようにすることで、良好な品質を維持したp型非晶質系シリコン薄膜を用いることができ、フィルファクターをより高めることができる。

【0011】

本発明に係る光発電装置は、前記p型非晶質系シリコン薄膜の膜厚が1nm以上であるので、例えば欠陥の発生が抑えられ、よりフィルファクターを高めることができる。

10

【0012】

本発明に係る光発電装置は、前記第2の集電部材が、互いに平行に形成される複数のバスバー電極(II)、及び該バスバー電極(II)に接続され、互いに平行に形成される複数のフィンガー電極(II)を有し、前記フィンガー電極(II)の間隔が2mmより大きい。このようにフィンガー電極(II)の間隔を広げて遮光性を低くすることで、第2の集電部材側を光入射面とした場合の発電効率を高めることができる。

【0013】

本発明に係る光発電装置は、前記第1の集電部材が、互いに平行に形成される複数のバスバー電極(I)、及び該バスバー電極(I)に接続され、互いに平行に形成される複数のフィンガー電極(I)を有し、第1の集電部材をバスバー電極とフィンガー電極とで形成することで、生産効率を高めることなどができる。

20

【0014】

【0015】

【0016】

本発明に係る光発電装置において、前記第2の集電部材側が光入射面として用いられることが好ましい。本発明に係る光発電装置においては、前述のように第2の集電部材は任意の形状とすることができる。このため、第2の集電部材のフィンガー電極の間隔を広げて遮光性を低くすることができ、前記第2の集電部材側を光入射面として用いることで、発電効率を高めることができる。

30

【0017】

また、本発明に係る光発電装置においては、前記第1の集電部材側が光入射面として用いられることもできる。本発明に係る光発電装置は、p型非晶質系シリコン薄膜の膜厚を薄くしているため、第1の集電部材側を光入射面として用いる場合、p型非晶質系シリコン薄膜を透過する光の割合を高めることができる。

【0018】

本発明に係る光発電装置において、前記n型結晶半導体基板と前記n型非晶質系シリコン薄膜との間に積層される第2の真性非晶質系シリコン薄膜を有していてもよい。n型結晶半導体基板とn型非晶質系シリコン薄膜との間に第2の真性非晶質系シリコン薄膜を積層させることで、キャリアの再結合を抑制することなどができる。

40

【0019】

本発明に係る光発電装置において、前記n型結晶半導体基板がエピタキシャル成長法によって作製されていることが好ましい。エピタキシャル成長法により作製されたn型結晶半導体基板を用いることで、光発電装置の最大出力等の出力特性及びその均一性を高めることができる。

【0020】

本発明に係る光発電装置において、前記n型結晶半導体基板の比抵抗が0.5cm以上5cm以下であることが好ましい。比抵抗が前記範囲のn型結晶半導体基板を用いることで、最大出力等を高めることができる。

【0021】

50

本発明に係る光発電装置において、前記n型結晶半導体基板の厚さが50 μ m以上200 μ m以下であることが好ましく、80 μ m以上150 μ m以下であることがより好ましい。このように、比較的薄型の基板とすることで、十分な出力特性を発揮しつつ、素子自体のコンパクト化、低コスト化を図ることができる。

【0022】

ここで、真性非晶質系シリコン薄膜における「真性」とは、不純物が意図的にドーブされていないことをいい、原料に本来含まれる不純物や製造過程において非意図的に混入した不純物が存在するものも含む意味である。「非晶質系」とは、非晶質体のみならず、微結晶体を含む意味である。「光入射面」とは、使用の際に太陽光等の光源と対向する側（一般的に外側）に配置され、実質的に光を入射させる側の面をいい、このとき、この光入射面とは逆の面からも光が入射するように構成されていてもよい。

10

【発明の効果】

【0023】

本発明に係る光発電装置はフィルファクターが高く、発電効率を高めることができる。

【図面の簡単な説明】

【0024】

【図1】(A)は本発明の第1の実施の形態に係る光発電装置を示す平面図であり、(B)は図1(A)のA-A矢視断面図である。

【図2】実施例1~3及び比較例1、2の測定結果を示すグラフである。

【図3】実施例4、5の測定結果を示すグラフである。

20

【図4】本発明の第2の実施の形態に係る光発電装置を示す断面図である。

【図5】実施例における非晶質系シリコン薄膜の膜厚測定方法を示す模式図である。

【図6】(A)は従来例に係る光発電装置を示す平面図であり、(B)は図6(A)のB-B矢視断面図である。

【図7】(A)は実施例7の各光発電装置のFF(曲線因子)の測定結果を示すグラフであり、(B)は実施例7の各光発電装置のPmax(最大出力)の測定結果を示すグラフである。

【発明を実施するための形態】

【0025】

続いて、添付した図面を参照しながら本発明を具体化した実施の形態について説明する。(第1の実施の形態)

30

図1(A)、(B)に示すように、本発明の第1の実施の形態に係る光発電装置10は、光発電素子11と第1の集電部材12及び第2の集電部材13とを備えている。第1の集電部材12は光発電素子11の一方の面上(図1における上側)に積層されている。第2の集電部材13は光発電素子11の他方の面上(図1における下側)に積層されている。

【0026】

光発電素子11は多層状かつ板状の構造を有する。光発電素子11は、n型結晶半導体基板14と、n型結晶半導体基板14の第1の集電部材12側(図1における上側)にこの順で積層される第1の真性非晶質系シリコン薄膜15、p型非晶質系シリコン薄膜16及び第1の透明導電膜17と、n型結晶半導体基板14の第2の集電部材13側(図1における下側)にこの順で積層される第2の真性非晶質系シリコン薄膜18、n型非晶質系シリコン薄膜19及び第2の透明導電膜20とを有する。

40

【0027】

n型結晶半導体基板14としては、n型の半導体特性を有する結晶体であれば特に限定されず公知のものを用いることができる。n型結晶半導体基板14を構成するn型の結晶半導体としては、シリコン(Si)の他、SiC、SiGe、SiN等を挙げることができるが、生産性等の点からシリコンが好ましい。n型結晶半導体基板14は、単結晶体であってもよいし、多結晶体であってもよい。n型結晶半導体基板14の上下(一側及び他側)の表面は、光の乱反射による光閉じ込めをより有効にするために、凹凸加工が行われているのが好ましい(図示しない)。なお、例えば、約1~5質量%の水酸化ナトリウム、

50

又は水酸化カリウムを含むエッチング液に基板材料を浸漬することによって、多数のピラミッド状の凹凸部を形成できる。

【0028】

n型結晶半導体基板14は、エピタキシャル成長法によって作製されていることが好ましい。エピタキシャル成長法とは、例えば結晶基板上に原料ガスの供給によりエピタキシャル層を形成させる方法である。この形成されたエピタキシャル層を結晶基板から分離し、n型結晶半導体基板14として好適に用いることができる。エピタキシャル成長法により作製されたn型結晶半導体基板14は、一般的なCz法等により作製されたものとは比べ、酸素に誘起された欠陥が少ない、不純物が少ない、ドーパントを再現性よく含有させることができるといった利点がある。従って、エピタキシャル成長法により作製されたn型結晶半導体基板14を用いることで、光発電装置10の最大出力等が高まると共にその均一性が高まる。すなわち、基板間の比抵抗の差が小さいため、所望する出力特性を備える光発電装置10の大量生産が容易になる。この効果は、特に第2の集電部材13側を光入射面(リアエミッタ型)としたときに顕著になる。また、Cz法による作成の場合は、シリコン結晶を所望する厚さへ切り出して基板を得るため、この切り出しの際のシリコンのロスが生じる。このシリコンのロスは、基板の厚さが薄くなるほど顕著になる。しかし、エピタキシャル成長法の場合は、所望の厚さに直接作製することができ、切り出す必要が無いため、シリコンのロスが生じず、低コスト化が図られる。

10

【0029】

n型結晶半導体基板14の比抵抗は、0.5 cm以上5 cm以下が好ましく、1 cm以上3 cm以下がより好ましい。比抵抗が前記範囲のn型結晶半導体基板14を用いることで、最大出力等を高めることができる。この効果は、リアエミッタ型のときに顕著である。比抵抗が小さくなりすぎるとバルクライフタイムの減少により最大出力が低下する。比抵抗が大きくなりすぎるとn型非晶質系シリコン薄膜19形成側の横方向の抵抗が増大し、曲線因子(フィルファクター)が低下する。なお、エピタキシャル成長法により作製されたn型結晶半導体基板14を用いることで、この比抵抗の制御が容易になる。

20

【0030】

n型結晶半導体基板14の厚さ(平均厚さ)としては、50 μm以上200 μm以下であることが好ましく、80 μm以上150 μm以下であることがより好ましい。このように、比較的薄型の基板とすることで、十分な出力特性を発揮しつつ、出力特性の向上とともに、低コスト化を図ることができる。

30

【0031】

第1の真性非晶質系シリコン薄膜15は、n型結晶半導体基板14の上面に積層されている。なお、上面及び下面は使用の際の上下を限定するものではない(以下、同様)。第1の真性非晶質系シリコン薄膜15の膜厚としては特に限定されないが、例えば1 nm以上10 nm以下とすることができる。この膜厚が1 nm未満の場合は、欠陥が発生しやすくなることなどにより、キャリアの再結合が生じやすくなる。また、この膜厚が10 nmを超える場合は、フィルファクターの低下が生じやすくなる。

【0032】

第1の真性非晶質系シリコン薄膜15は、例えば、化学気相成長法(例えば、プラズマCVD法等)などの公知の方法により成膜することができる。プラズマCVD法による場合、原料ガスとしては例えばSiH₄とH₂との混合ガスを用いることができる。

40

【0033】

プラズマCVD法による場合、周波数は例えば約13.56 MHz又は約40.68 MHzであって、約40.68 MHzがより好ましい。形成温度は例えば100 °C以上300 °C未満であって、180 °C以上220 °C未満がより好ましい。反応圧力は5 Pa以上300 Pa未満であって、50 Pa以上200 Pa未満がより好ましい。RF又はVHFパワーは例えば約1 mW/cm²以上500 mW/cm²未満であって、約5 mW/cm²以上100 mW/cm²未満がより好ましい。

【0034】

50

p型非晶質系シリコン薄膜16は、第1の真性非晶質系シリコン薄膜15の上面に積層されている。p型非晶質系シリコン薄膜16の膜厚は、6nm未満であり、5nm以下がより好ましく4nm以下がさらに好ましい。光発電装置10においては、このようにp型非晶質系シリコン薄膜16の膜厚を薄くし、かつ後述するようにp型非晶質系シリコン薄膜16側の第1の集電部材12の形状(具体的にはフィンガー電極の間隔)を特定することで、フィルファクターや発電効率を高めることができる。なお、p型非晶質系シリコン薄膜16の膜厚の下限は、例えば1nmとすることができ、2nm、さらには3nmが好ましい。透明導電膜とp型非晶質系シリコン薄膜との接合により生じるバンドベンディングの影響を緩和するために、この膜厚を1nm以上とすることで、Voc(開放電圧)をさらに高めることができ、フィルファクターをさらに高めることができる。

10

【0035】

p型非晶質系シリコン薄膜16も、化学気相成長法(例えば、プラズマCVD法等)などの公知の方法により成膜することができる。プラズマCVD法による場合、原料ガスとしては例えばSiH₄とH₂とB₂H₆との混合ガスを用いることができる。

【0036】

プラズマCVD法による場合、周波数は例えば約13.56MHz又は約40.68MHzであって、約40.68MHzがより好ましい。形成温度は例えば100℃以上300℃未満であって、130℃以上200℃未満がより好ましい。反応圧力は5Pa以上300Pa未満であって、50Pa以上200Pa未満がより好ましい。RF又はVHFパワーは例えば約1mW/cm²以上500mW/cm²未満であって、約5mW/cm²以上1000mW/cm²未満がより好ましい。

20

【0037】

第1の透明導電膜17は、p型非晶質系シリコン薄膜16の上面に積層されている。第1の透明導電膜17を構成する透明電極材料としては、例えば、インジウム錫酸化物(Indium Tin Oxide:ITO)、タングステンドープインジウム酸化物(Indium Tungsten Oxide:IWO)、セリウムドープインジウム酸化物(Indium Cerium Oxide:ICO)、IZO(Indium Zinc Oxide)、AZO(アルミドープZnO)、GZO(ガリウムドープZnO)等の公知の材料を挙げることができる。

【0038】

第1の透明導電膜17の成膜方法としては、特に制限されず、例えばスパッタリング法、真空蒸着法、イオンプレーティング法(反応性プラズマ蒸着法)等、公知の方法を用いることができるが、イオンプレーティング法を用いることが好ましい。高エネルギー粒子が生じないイオンプレーティング法により形成することにより、p型非晶質系シリコン薄膜16表面の劣化を抑制することができる。従って、このようにすることで、良好な品質を維持したp型非晶質系シリコン薄膜16を用いることができ、フィルファクターをより高めることができる。また、イオンプレーティング法を用いることで、密着性の高い第1の透明導電膜17を形成でき、このこともフィルファクターを高める原因になっていると考えられる。

30

【0039】

第2の真性非晶質系シリコン薄膜18は、n型結晶半導体基板14の下面に積層されている。第2の真性非晶質系シリコン薄膜18の好ましい膜厚や成膜方法は、第1の真性非晶質系シリコン薄膜15と同様である。

40

【0040】

n型非晶質系シリコン薄膜19は、第2の真性非晶質系シリコン薄膜18の下面に積層されている。n型非晶質系シリコン薄膜19の膜厚としては特に限定されないが、例えば1nm以上20nm以下が好ましく、3nm以上10nm以下がより好ましい。このような範囲の膜厚とすることで、短絡電流の低下とキャリアの再結合の発生とをバランスよく低減することができる。n型非晶質系シリコン薄膜19も、化学気相成長法(例えば、プラズマCVD法等)などの公知の方法により成膜することができる。プラズマCVD法によ

50

る場合、原料ガスとしては例えば SiH_4 と H_2 と PH_3 との混合ガスを用いることができる。

【0041】

プラズマCVD法による場合、周波数は例えば約13.56MHz又は約40.68MHzであって、約40.68MHzがより好ましい。形成温度は例えば100以上300未満であって、180以上220未満がより好ましい。反応圧力は5Pa以上300Pa未満であって、50Pa以上200Pa未満がより好ましい。RF又はVHFパワーは例えば約1mW/cm²以上500mW/cm²未満であって、約5mW/cm²以上100mW/cm²未満がより好ましい。

【0042】

第2の透明導電膜20は、n型非晶質系シリコン薄膜19の下面に積層されている。第2の透明導電膜20の材料や成膜方法は、第1の透明導電膜17と同様である。

【0043】

なお、光発電装置10においては、光発電素子11の両面に透明導電膜17、20がそれぞれ設けられている。すなわち、光が入射しない側にも透明な導電膜を積層している。このように、p型非晶質系シリコン薄膜16又はn型非晶質系シリコン薄膜19と集電部材12、13との間に透明電極膜17、20を設けることにより、界面準位の増加を抑えることなどができ、フィルファクターを高めることができる。

【0044】

第1の集電部材12は、光発電素子11の上面、すなわち第1の透明導電膜17の上面に積層されている。第1の集電部材12は、互いに平行に形成される複数のバスバー電極(I)21、及びバスバー電極(I)21に接続され、互いに平行に形成される複数のフィンガー電極(I)22を有する。

【0045】

複数のバスバー電極(I)21は等間隔に配設されている。また、バスバー電極(I)21は、線状又は帯状であり、導電性材料から形成されている。この導電性材料としては、銀ペースト等の導電性接着剤や、銅線等の金属導線あるいは導電性接着剤と金属銅線の組み合わせを用いることができる。この金属導線は、導電性あるいは非導電性の固定用接着剤や低融点金属(半田等)を用いて、第1の透明導電膜17上に固定することができる。また、導電性接着剤が用いられている場合、スクリーン印刷やグラビアオフセット印刷等の印刷法によりバスバー電極(I)21を形成することができる。各バスバー電極(I)21の幅としては、その本数が3~5本の場合、例えば0.5mm以上2mm以下程度である。また、各バスバー電極(I)21の本数が10本以上の場合、0.1mm程度の直径のワイヤーを用いることもできる。

【0046】

フィンガー電極(I)22は、線状であり、導電性材料から形成される。フィンガー電極(I)22は、バスバー電極(I)21に直交して設けられている。また、複数のフィンガー電極(I)22は等間隔に配設されている。このフィンガー電極(I)22を形成する導電性材料はバスバー電極(I)21を構成するものと同様である。バスバー電極(I)21とフィンガー電極(I)22とが共に導電性接着剤から形成されている場合、印刷により同時に第1の透明導電膜17の一の面上に積層させることができる。各フィンガー電極(I)22の幅としては、例えば10μm以上300μm以下程度であり、30μm以上200μm以下が好ましい。

【0047】

隣り合うフィンガー電極(I)22の間隔(S1)は、2mm未満であり、1.5mm以下が好ましい。なお、第1の実施の形態において、第1の集電部材12(バスバー電極(I)21及びフィンガー電極(I)22)で区画された各領域が、第1の透明導電膜17(光発電素子11)の表面における第1の集電部材12の非積層領域25となる。第1の透明導電膜17(光発電素子11)の表面とは、第1の集電部材12が積層された側の面をいう。また、各非積層領域25は、フィンガー電極(I)22の長さ方向を長さ方向と

10

20

30

40

50

する長形状（帯状）を有する。すなわち、フィンガー電極（I）22の間隔（S1）が第1の透明導電膜17の表面における第1の集電部材12の非積層領域25の最大幅となる。光発電装置10によれば、このように、pn接合部分に対してp型非晶質系シリコン薄膜16側のフィンガー電極（I）22の間隔（S1）を2mm未満と狭めることで、フィルファクターが高まり、発電効率を高めることができる。このフィンガー電極（I）22の間隔（S1）の下限としては、特に制限されないが、例えば、0.1mmが好ましく、0.5mmがより好ましい。p型非晶質系シリコン薄膜16側のフィンガー電極（I）22の間隔（S1）を0.1mm以上とすることで、例えば第1の集電部材12側も十分に光入射面として用いることや、フィンガー電極（I）22を形成する導電性材料の使用量を削減することなどができる。

10

【0048】

第2の集電部材13は、光発電素子11の下面、すなわち第2の透明導電膜20の表面に設けられている。第2の集電部材13は、互いに平行に形成される複数のバスバー電極（II）（図示しない）、及びこのバスバー電極（II）に直角に接続され、互いに平行に形成される複数のフィンガー電極（II）24を有する。

【0049】

第2の集電部材13のバスバー電極（II）の形状、材料、サイズ、形成方法等は第1の集電部材12のバスバー電極（I）21と同様である。

【0050】

フィンガー電極（II）24の形状、材料、サイズ、形成方法等も第1の集電部材12のフィンガー電極（I）22と同様である。但し、隣り合うフィンガー電極（II）24の間隔（S2）は、特に限定されない。この間隔（S2）としては、例えば0.5mm以上4mm以下とすることができ、1mm以上、さらには2mm以上、特に2mmより大きくすることが好ましい。また、3mm以下、さらには3mm未満、特に2.5mm以下が好ましい。このように、n型非晶質系シリコン薄膜19側のフィンガー電極（II）24の間隔（S2）を広げることで、例えば第2の集電部材13側を光入射面として好適に用いることや、フィンガー電極（II）24を形成する導電性材料の使用量を削減することなどができる。

20

【0051】

このような構造を有する光発電装置10は、通常、複数を直列に接続して使用される。複数の光発電装置10を直列接続して使用することで、発電電圧を高めることができる。

30

【0052】

光発電装置10によれば、以上説明したようにp型非晶質系シリコン薄膜16の膜厚を6nm未満と薄くし、かつフィンガー電極（I）22の間隔（S1）、すなわち、第1の透明導電膜17の表面における第1の集電部材12の非積層領域25の最大幅を2mm未満と狭めることで、フィルファクターが高まり、発電効率を高めることができる。光発電装置10においては、光入射面をどちらにしてもよいが、第2の集電部材13側を光入射面として用いることができる。前述のように、フィンガー電極（II）24については、間隔（S2）を十分に広げ、遮光性を下げることができる。従って、このようにすることで、光発電装置10の発電効率をより高めることができる。また、光発電装置10においては、p型非晶質系シリコン薄膜16の膜厚を薄くしており、第1の集電部材12側を光入射面として用いることもできる。

40

【0053】

（第2の実施の形態）

図4に示すように、本発明の第2の実施の形態に係る光発電装置30は、光発電素子31と光発電素子31の上面及び下面にそれぞれ積層される第1の集電部材32及び第2の集電部材33を有している。光発電素子31は、n型結晶半導体基板34と、n型結晶半導体基板34の第1の集電部材32側にこの順に積層される第1の真性非晶質系シリコン薄膜35、p型非晶質系シリコン薄膜36及び第1の透明導電膜37と、n型結晶半導体基板34の第2の集電部材33側にこの順に積層されるn型非晶質系シリコン薄膜39及び

50

第2の透明導電膜40とを備える層構造体である。光発電素子31は、第2の真性非晶質系シリコン薄膜を有さないこと以外は、図1の光発電素子11と同様である。すなわち、n型結晶半導体基板34、第1の真性非晶質系シリコン薄膜35、p型非晶質系シリコン薄膜36、第1の透明導電膜37、n型非晶質系シリコン薄膜39及び第2の透明導電膜40の形状、材質、成膜方法等は、それぞれ図1のn型結晶半導体基板14、第1の真性非晶質系シリコン薄膜15、p型非晶質系シリコン薄膜16、第1の透明導電膜17、n型非晶質系シリコン薄膜19及び第2の透明導電膜20と同様であるので詳しい説明を省略する。

【0054】

光発電装置30は、n型結晶半導体基板34とn型非晶質系シリコン薄膜39とが直接接合してなる構造となっている。このように、n型結晶半導体基板34とn型非晶質系シリコン薄膜39との間に第2の真性非晶質系シリコン薄膜を積層しなくとも十分なフィルファクターを有することができる。

10

【0055】

光発電素子31の上面(第1の透明導電膜37の表面)に積層される第1の集電部材32は金属膜となっている。この金属膜(第1の集電部材32)は、略全面(実質的に全面)に積層されている。すなわち、第1の透明導電膜37の表面(第1の集電部材32が積層されている側の面)における第1の集電部材32の非積層領域の最大幅は0mm(非積層領域が存在しない)である。このようにすることで第1の集電部材32の導電性、ひいては集電効率をさらに高めることができる。また、この場合、金属膜をPVDやCVDなどの薄膜成膜法によって形成することができる。薄膜形成法によって得られる金属膜の導電率は、印刷法によるそれと比較して、一般的に大きくなるため、結果として金属膜(第1の集電部材32)を形成する金属材料の使用量を減らすことも可能となる。この金属膜は、Ag、Al、Cu、Ni、Cr等の公知の金属等から形成することができ、これらの金属の一種以上を含む合金により形成することもできる。更に多種の金属を積層した構造とすることもできる。この金属膜は、Agを用いることが好ましい。この金属膜の膜厚は、例えば100nm以上1000nm以下とすることができ、コスト低減のためには500nm未満とすることがさらに好ましい。この金属膜は、真空蒸着法、スパッタ法等により成膜することが好ましい。

20

【0056】

光発電素子31の下面(第2の透明導電膜40の表面)に積層される第2の集電部材33は、バスバー電極とフィンガー電極とからなる形状となっている。第2の集電部材33の形状、材料、サイズ、形成方法等は図1の第2の集電部材13と同様であるので説明を省略する。光発電素子31においては、第2の集電部材33側が光入射面とされる。

30

【0057】

(その他の実施の形態)

本発明は前記した実施の形態に限定されるものではなく、本発明の要旨を変更しない範囲でその構成を変更することもできる。例えば、図1の形状の光発電装置において、第2の集電部材は、バスバー電極とフィンガー電極とからなる構造ではなく、略全面(実質的に全面)に導電性材料が積層された金属膜からなる構造とすることもできる。この金属膜を形成する導電性材料としては、Ag、Al、Cu、Ni、Cr等の公知の金属やこれらの合金を挙げることができるが、赤外領域の波長において反射率が高いAgを用いることが好ましい。この金属膜の膜厚は、例えば100nm以上1000nm以下とすることができ、コスト低減のためには500nm未満とすることがさらに好ましい。前記金属膜は、真空蒸着法、スパッタ法等により成膜することができる。このようにすることで、第2の集電部材側の集電効率を高めることができる。この場合、第1の集電部材側が光入射面として用いられる。

40

【0058】

また、第1の集電部材の形状としては、非積層領域の最大幅が2mm未満となるような形状であれば特に限定されない。例えば、第1の集電部材としては、直径が2mm未満の孔

50

部を有する金属膜であってもよいし、2 mm未満の間隔で配置されたバスバー電極のみからなる形状であってもよい。

【実施例】

【0059】

以下、実施例及び比較例を挙げて、本発明の内容をより具体的に説明する。なお、本発明は以下の実施例に限定されるものではない。

【0060】

<実施例1～3及び比較例1、2>

Cz法で作製されたn型単結晶シリコン基板の一侧に、第1の真性非晶質系シリコン薄膜、p型非晶質系シリコン薄膜及び第1の透明導電膜をこの順に積層した。第1の真性非晶質系シリコン薄膜は化学気相成長法により膜厚7 nmに、p型非晶質系シリコン薄膜は化学気相成長法により膜厚5 nmに、第1の透明導電膜はイオンプレーティング法により成膜した。

10

また、n型単結晶シリコン基板の他側に、第2の真性非晶質系シリコン薄膜、n型非晶質系シリコン薄膜及び第2の透明導電膜をこの順に積層した。第2の真性非晶質系シリコン薄膜は化学気相成長法により膜厚7 nmに、n型非晶質系シリコン薄膜は化学気相成長法により膜厚5 nmに、第2の透明導電膜はイオンプレーティング法により成膜した。第1及び第2の透明導電膜を構成する透明電極材料としては、IWOを用いた。

このようにして得られた光発電素子の両面にそれぞれ、集電部材として、平行な複数のバスバー電極と、このバスバー電極にそれぞれ直交する複数のフィンガー電極を形成した。この集電部材は、銀ペーストを用いて印刷により形成した。なお、p型非晶質系シリコン薄膜側のフィンガー電極(I)及びn型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔は、それぞれ以下の通りとした。このようにして、実施例1～3及び比較例1、2の光発電装置を得た。フィンガー電極の幅は、50 μm以上100 μm未満とした。

20

【0061】

比較例1：p型非晶質系シリコン薄膜側のフィンガー電極(I)の間隔：2 mm

n型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔：2 mm

比較例2：p型非晶質系シリコン薄膜側のフィンガー電極(I)の間隔：2 mm

n型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔：1.5 mm

実施例1：p型非晶質系シリコン薄膜側のフィンガー電極(I)の間隔：1.5 mm

n型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔：2 mm

実施例2：p型非晶質系シリコン薄膜側のフィンガー電極(I)の間隔：1.5 mm

n型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔：2.5 mm

実施例3：p型非晶質系シリコン薄膜側のフィンガー電極(I)の間隔：1.5 mm

n型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔：3.0 mm

30

【0062】

得られた各光発電装置のフィルファクター(FF)及び最大出力(Pmax)を測定した。なお、p型非晶質系シリコン薄膜側(第1の集電部材側)を光入射面とした。また、光入射面側の第1の集電部材が積層されていない部分(光が入射する部分)の面積は等しくなるようにした。すなわち、印刷に使用したスクリーンにおいて、フィンガー電極の間隔と共にフィンガー電極の幅を調節して、光入射面積が等しくなるようにした。測定結果を図2に示す。n型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔を狭めてもフィルファクター等は向上しないこと、p型非晶質系シリコン薄膜側のフィンガー電極(I)を2 mm未満とすることでフィルファクター等が向上すること、n型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔を広げてもフィルファクター等は大きく減少しないことがわかる。

40

【0063】

<実施例4>

p型非晶質系シリコン薄膜側のフィンガー電極(I)及びn型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔並びにp型非晶質系シリコン薄膜の膜厚を以下の通りとした

50

こと以外は、実施例 1 等と同様にして実施例 4 の光発電装置を得た。

p 型非晶質系シリコン薄膜側のフィンガー電極 (I) の間隔 : 1 mm

n 型非晶質系シリコン薄膜側のフィンガー電極 (II) の間隔 : 2 mm

p 型非晶質系シリコン薄膜の膜厚 (p layer thickness) : 1 nm ~ 8 nm の間で変化させた。なお、6 nm 以上は比較例である。

【 0 0 6 4 】

< 実施例 5 >

p 型非晶質系シリコン薄膜側の第 1 の集電部材を、真空蒸着法により成膜して、100 nm の厚みを有し、かつ表面の略全面を覆うようにして設けられた Ag の金属膜とし、n 型非晶質系シリコン薄膜側のフィンガー電極 (II) の間隔並びに p 型非晶質系シリコン薄膜の膜厚を以下の通りとし、n 型非晶質系シリコン薄膜側に真性非晶質系シリコン薄膜は積層していないこと以外は、実施例 1 等と同様にして実施例 5 の光発電装置 (図 4 に示す形状の光発電装置) を得た。

n 型非晶質系シリコン薄膜側のフィンガー電極 (II) の間隔 : 2 mm

p 型非晶質系シリコン薄膜の膜厚 (p layer thickness) : 1 nm ~ 8 nm の間で変化させた。なお、6 nm 以上は比較例である。

【 0 0 6 5 】

得られた実施例 4 及び実施例 5 の光発電装置の開放電圧 (V_{oc})、フィルファクター (FF) 及び最大出力 (P_{max}) を測定した。なお、n 型非晶質系シリコン薄膜側 (第 2 の集電部材側) を光入射面とした。測定結果を図 3 に示す。なお、図 3 中、実線が実施例 4、破線が実施例 5 である。p 型非晶質系シリコン薄膜の膜厚を 6 nm 未満とすることで高いフィルファクター及び最大出力を発揮すること、p 型非晶質系シリコン薄膜側の第 1 の集電部材を真空蒸着法により成膜した 100 nm の厚みを有する Ag の金属層とすることでさらに高いフィルファクター及び最大出力を発揮することがわかる。

【 0 0 6 6 】

本発明の効果を詳細に調べるため、以下の各試験膜を作製し、四端子抵抗測定法によりシート抵抗を測定した。

比較例 3 : 光閉じ込めのための凹凸加工が行われていない平滑なガラス基板の上にイオンプレーティング法を用いて IWO 膜 : 100 nm を形成した。

比較例 4 : 光閉じ込めのための凹凸加工が行われていない平滑なガラス基板の上に、順に CVD 法を用いて i 型非晶質系シリコン薄膜 : 7 nm と p 型非晶質系シリコン薄膜 : 5 nm とイオンプレーティング法を用いて IWO 膜 : 100 nm を形成した。

比較例 5 : 光閉じ込めのための凹凸加工が行われていない平滑なガラス基板の上に、順に CVD 法を用いて i 型非晶質系シリコン薄膜 : 7 nm と n 型非晶質系シリコン薄膜 : 5 nm とイオンプレーティング法を用いて IWO 膜 : 100 nm を形成した。

比較例 6 : 光閉じ込めのための凹凸加工が行われていない平滑な n 型単結晶シリコン基板 (200 μm 、1 ~ 2 cm) 上にイオンプレーティング法を用いて IWO 膜 : 100 nm を形成した。

比較例 7 : 光閉じ込めのための凹凸加工が行われていない平滑な n 型単結晶シリコン基板 (200 μm 、1 ~ 2 cm) 上に、順に CVD 法を用いて i 型非晶質系シリコン薄膜 : 7 nm と p 型非晶質系シリコン薄膜 : 5 nm とイオンプレーティング法を用いて IWO 膜 : 100 nm を形成した。

参考例 1 : 光閉じ込めのための凹凸加工が行われていない平滑な n 型単結晶シリコン基板 (200 μm 、1 ~ 2 cm) 上に、順に CVD 法を用いて i 型非晶質系シリコン薄膜 : 7 nm と n 型非晶質系シリコン薄膜 : 5 nm とイオンプレーティング法を用いて IWO 膜 : 100 nm を形成した。

各試験膜におけるシート抵抗の測定結果を表 1 に示す。

【 0 0 6 7 】

【表 1】

試験膜	シート抵抗(Ω/\square)
比較例 3	27.5
比較例 4	28.0
比較例 5	27.4
比較例 6	27.3
比較例 7	27.1
参考例 1	15.0

10

【0068】

表 1 に示すように、参考例 1 のシート抵抗は比較例 3 ~ 7 に比べて半分程度低くなることが確認された。参考例 1 の場合においてのみ低抵抗となっていることから、n 型単結晶シリコン基板と n 型非晶質系シリコン薄膜との間の異種接合部との間に n チャネルが形成されていることが示唆される。

【0069】

また、表 1 の結果は、p 型非晶質系シリコン薄膜形成面側の横方向抵抗は、透明導電膜により決定されることを示唆している。ここで、例えば、p 型非晶質系シリコン薄膜形成面側の透明導電膜の体積抵抗が 1.5×10^{-4} cm 未満であれば、本発明における p 型非晶質系シリコン薄膜形成面側のフィンガー電極の間隔が 2 mm 未満とすることによるフィルファクターの向上と同等の効果が得られることが期待される。しかしながら、キャリア密度の向上は透明導電膜中での光の吸収損失を増大させてしまう。従って、キャリア密度を抑制しつつ、移動度のみを向上させなければ電流特性の悪化により最大出力を發揮することはできないものの、このように移動度のみを劇的に向上させるのは難しい。また、p 型非晶質系シリコン薄膜形成面側の透明導電膜を厚くすることでも横方向抵抗は低減される。しかし、光入射面の透明導電膜は太陽光のスペクトル強度が強い 400 ~ 600 nm の反射率が低くなる膜厚を選択することが電流特性の向上に効果的であるため、例えば透明導電膜の厚さは 10 nm 程度の増加のみしか許容されない。このため、劇的に横方向抵抗を低減させることは難しい。また、光入射面とは反対側の透明導電膜においても、単結晶シリコン基板中で吸収されずに反対側に到達した例えば 900 ~ 1200 nm の光子は、他側の集電部材に反射し、再度他側から入射して発電に寄与することができるものの、反対側の透明導電膜の膜が厚くなるのに比例して透明導電膜中での吸収損失は増大する。さらには、透明導電膜の膜を厚くすることは生産性とコスト低減との観点からも好ましくない。従って、p 型非晶質系シリコン薄膜側に設けたフィンガー電極の間隔を小さくすることによりフィルファクターを高くすることが、透明導電膜の抵抗を低減することによりフィルファクターを高くするよりも、性能、生産性、コスト低減の何れの観点からも好ましい。

20

30

【0070】

<実施例 6>

エピタキシャル成長法によって作製された n 型単結晶シリコン基板（厚さ 150 μm ）を使用し、この基板に対するサーマルドナーキラーアニーリング工程を省いたこと以外は、実施例 5 と同様にして、実施例 6 の光発電素子を得た。なお、p 型非晶質系シリコン薄膜の膜厚は 5 nm とした。サーマルドナーキラーアニーリング工程とは、n 型単結晶シリコン基板中のサーマルドナーを除去する手法であり、低温プロセスのヘテロ接合素子では特に重要である。Cz 法で作製された n 型単結晶シリコン基板を用いた他の実施例及び比較例においては、このサーマルドナーキラーアニーリング工程を行っている。この工程を省くことで更に製造コストの低減が図られる。得られた実施例 6 の光発電素子の最大出力（ P_{max} ）は 5.27 W、フィルファクター（FF）は 81% であった。

40

50

【0071】

<実施例7>

0.3~6 cmの比抵抗を有するn型単結晶シリコン基板(Cz法)を用いて、実施例5と同様の方法で、光発電素子を得た。なお、p型非晶質系シリコン薄膜の膜厚は5nmとした。得られた各光発電素子のFF(曲線因子)とPmax(最大出力)の測定結果を図7(A)、(B)に示す。図7(A)に示されるように、比抵抗の増大とともにn層非晶質系シリコン薄膜形成面側の実効的な横方向の抵抗が増大し、FF(曲線因子)が減少する。図7(B)に示されるように、Pmax(最大出力)は、比抵抗の減少に伴うFF向上のメリットとバルクライフタイム減少のデメリットが競合するため、0.5~5 cmの範囲が良好で、1~3 cmの範囲が特に良好である。エピタキシャル基板は酸素欠陥が極めて少なく、ドーピングレベルでのみ比抵抗をコントロールできるため、この良好な範囲を精度よく狙うことができる。

10

【0072】

ここで、本実施例における各非晶質系シリコン薄膜の膜厚について説明する。平滑部51と凹凸部52を両方有する仮想的な基板50を図5に示す。例えば透過型電子顕微鏡(TEM)を用いることで、基板50に垂直な厚さt、平面に垂直な厚さt'、凹凸部52の角度θをそれぞれ測定することができる。本明細書において、平滑部51に積層された非晶質系シリコン薄膜53の膜厚はtを指し、凹凸部52に積層された非晶質系シリコン薄膜53の膜厚はt'を指す。実際の作業では、測定時間の短縮が可能であり、かつ簡便である触針段差計等を用いた膜厚評価方法を用いるのが好ましい。例えば、KOH又はNaOHを40~50℃に加熱した液で非晶質系シリコン薄膜53をウェットエッチングすることにより段差54を形成させ、触針段差計を用いた膜厚評価方法によりtが測定される。三角関数から $t' = t \times \cos \theta$ が成り立つので、測定されたtにより、t'が算出される。TEM測定で得られたt'と、触針段差計を用いた膜厚評価方法により算出されたt'とは一致することが確認されたので、本実施例では触針段差計を用いた膜厚評価方法を採用した。なお、触針段差計は、あらかじめ段差をつけておいたサンプルの上を、針でサンプルに触れて水平に表面をなぞることによって、サンプルの段差に応じて針を上下させる測定を行う装置である。

20

【符号の説明】

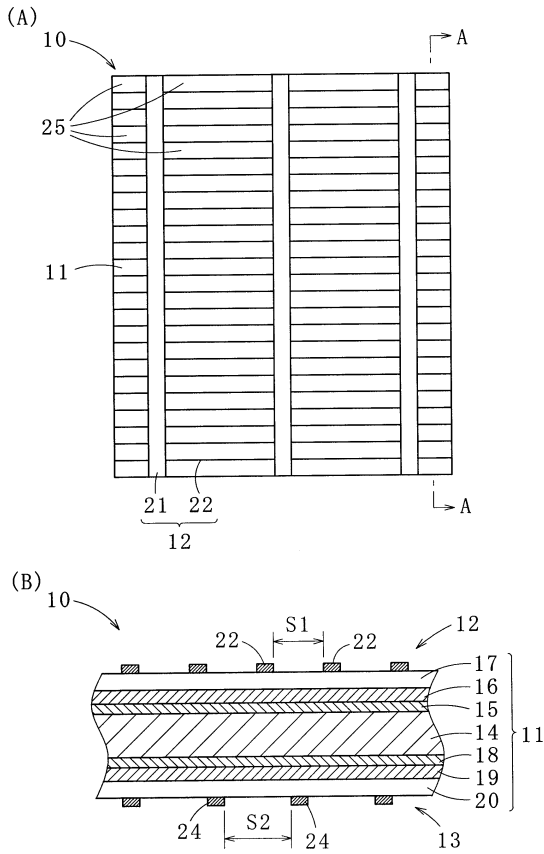
【0073】

10：光発電装置、11：光発電素子、12：第1の集電部材、13：第2の集電部材、14：n型結晶半導体基板、15：第1の真性非晶質系シリコン薄膜、16：p型非晶質系シリコン薄膜、17：第1の透明導電膜、18：第2の真性非晶質系シリコン薄膜、19：n型非晶質系シリコン薄膜、20：第2の透明導電膜、21：バスバー電極(I)、22：フィンガー電極(I)、24：フィンガー電極(II)、25：非積層領域、30：光発電装置、31：光発電素子、32：第1の集電部材、33：第2の集電部材、34：n型結晶半導体基板、35：第1の真性非晶質系シリコン薄膜、36：p型非晶質系シリコン薄膜、37：第1の透明導電膜、39：n型非晶質系シリコン薄膜、40：第2の透明導電膜、50：基板、51：平滑部、52：凹凸部、53：非晶質系シリコン薄膜、54：段差

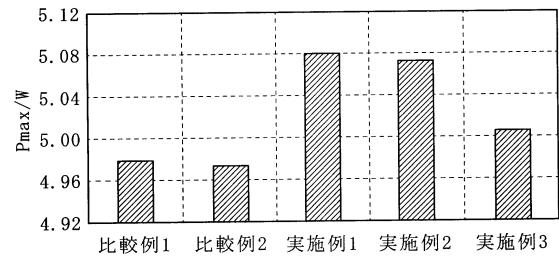
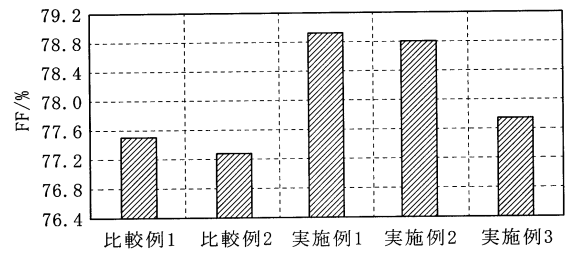
30

40

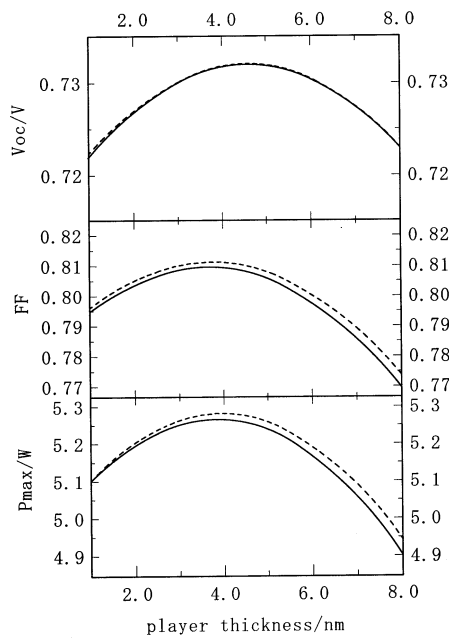
【 図 1 】



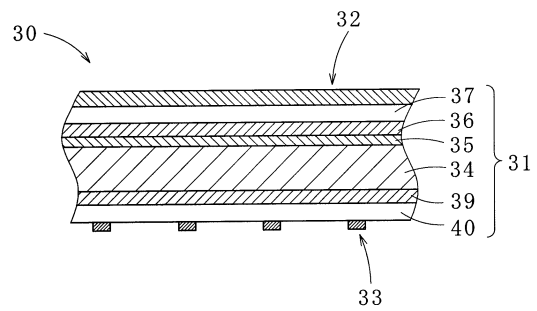
【 図 2 】



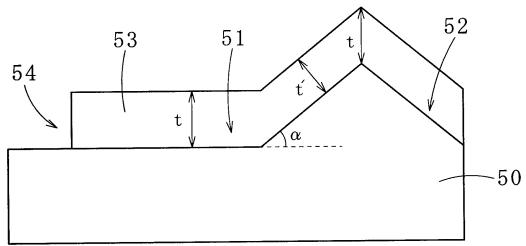
【 図 3 】



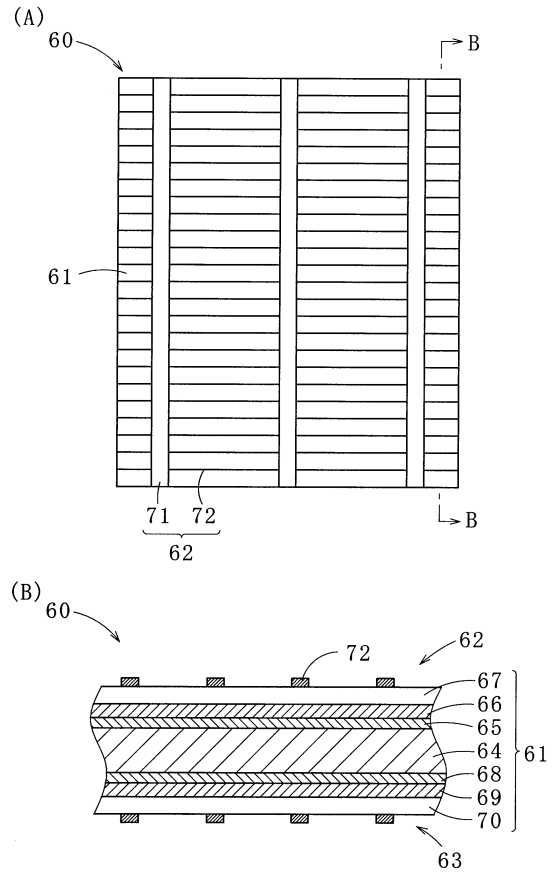
【 図 4 】



【 図 5 】

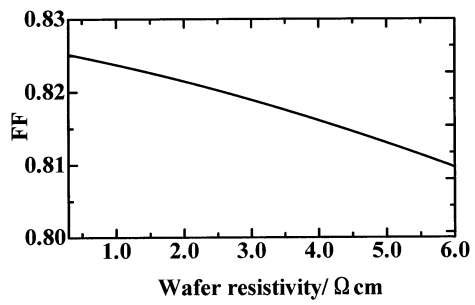


【 図 6 】

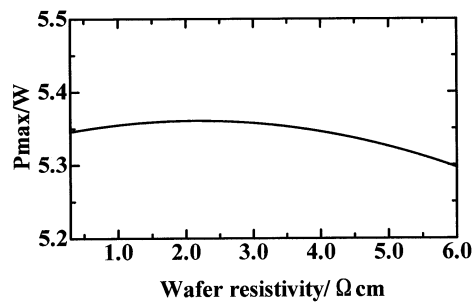


【 図 7 】

(A)



(B)



フロントページの続き

- (56)参考文献 特開2010-272897(JP,A)
特開2007-250927(JP,A)
特開2010-103514(JP,A)
特開2004-304160(JP,A)
特開2008-235400(JP,A)
特開2009-290234(JP,A)
特開2006-237363(JP,A)
特開2001-274427(JP,A)
特開2012-158273(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 31/0224

H01L 31/06 - 31/078