

五、發明說明 (1)

茲依下列的項目詳細說明本發明之多層配線基板及其製造方法。

A 產業上的利用範圍

B 習用的技術〔第4圖，第5圖〕

C 本發明要解決的課題〔第4圖，第5圖〕

D 解決課題之方法

E 實施例〔第1圖至第3圖〕

E - 1 第1實施例〔第1圖，第2圖〕

E - 2 第2實施例〔第3圖〕

F 發明的效果

(A 產業上的利用範圍)

本發明係有關新式之多層配線基板及其製造方法。其詳細情形係將兩面及／或單面上形成有電路樣式之絕緣性基板多片積層起來以形成積層基板，各層之電路樣式及各絕緣性基板作選擇性的貫通以在積層基板上形成有底孔及／或貫通孔，該有底孔及／或貫通孔的內周面及底部鍍著導電膜俾形成一種在被貫通之電路樣式和露出於有底孔底部之電路樣式之間及／或被貫通之電路樣式間作電氣連接之多層配線基板及其製造方法，本發明的首要目的為對深度不同之有底孔及／或貫通孔的孔徑大小潛心研究，決定以便各層之電路樣式間能確實作電氣的連接，本發明之次要及第3目的是提供一種更能確實且迅速地製造前述發明之第1目的之新式多層配線基板及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (2)

其製造方法。

(B 習用的技術) [第 4 圖, 第 5 圖]

晚近, 隨著電子機器的小型化, 多功能化, 使用於這些裝置上之配線基板也趨高密度化。因此, 配線基板已發展到不只在表裡面甚至內層上也形成電路樣式, 各層之電路樣式間需作電氣連接之所謂多層配線基板。

多層配線基板上不同層之電路樣式間的電氣連接是藉將兩個電路樣式及介於該兩電路樣式間之絕緣性基板形成小孔徑之貫通孔或將其中一個電路樣式及其絕緣性基板貫通或形成一個於其底部露出另一個電路樣式之有底孔, 之後再於該貫通孔或有底孔之內周面及底部鍍著導電膜。另外, 貫通孔及有底孔之直徑愈小對配線基板之高密度化愈有助益, 但是孔徑愈小製作愈困難, 用鑽頭作穿孔加工, 直徑在 0.3mm 以下之有底孔即無法作成。

因此, 本件申請人曾研究將研磨粉噴射於積層基板上以行穿孔加工之方法, 該方法本件專利申請人曾在日本特願平 2-135665 號公報上介紹過。

第 4 圖及第 5 圖示出那種形式之多層配線基板及其製造方法。

圖中 a 係多層配線基板, b, b, ---- 係絕緣性基板, c, c, ---- 係藉銅箔形成於絕緣性基板 b, b, ---- 上之電路樣式。

d, d, ---- 係為作不同層之電路樣式間之電氣連接而於

五、發明說明 (3)

貫通絕緣性基板 $b, b, \text{----}$ 及電路樣式 $c, c, \text{----}$ 所形成之有底孔 $e, e, \text{----}$ 及貫通孔 f 的內周面和各電路樣式 $c, c, \text{----}$ 的連接部上鍍著之導電膜。

其次，上述那樣之多層配線基板 a 是以下述方法製造。

首先，對兩面疊置 (laminated) 有銅箔 $g, g, \text{----}$ 之絕緣性基板 b 於其兩面施予蝕刻 (etching) 以形成既定之電路樣式 $c, c, \text{----}$ ，其次，再用別的絕緣性基板 b, b ，分別疊置於該電路樣式 $c, c, \text{----}$ 之兩面上，再於新疊置之絕緣性基板之兩面上各別以銅箔 g, g 疊置以形成積層基板 h 。

再來就是於上述的積層基板 h 之所定的部位上形成有底孔 e, e 及貫通孔 f 。

另外，有底孔 e, e 其深度被作成不同，一邊的有底孔 e_1 是貫通第 1 層的銅箔 g 和第 1 層的絕緣性基板 b_1 而使第 2 層的銅箔 g (電路樣式 c) 露出於其底部上，至於另一邊之有底孔 e_2 是比前述有底孔 e_1 深，係貫通第 1 層之銅箔 g 及第 1 層之絕緣性基板 b_1 及第 2 層之絕緣性基板 b_2 以使第 3 層的銅箔 g (電路樣式 c) 露出於其底部上。在此所使用之基板材料以玻璃環氧樹脂 (即在玻璃布含浸於環氧樹脂內者) 等較適合。

欲於積層基板 h 上形成有底孔 e_1, e_2 及貫通孔 f ，需於積層基板 h 的單面上預定形成有底孔 e_1, e_2 及貫通孔 f 之部位的對應位置上形成具有小孔 i, i, i 之遮罩

五、發明說明(4)

。其次將研磨粉噴射於積層基板 h 形成遮罩 j 之面以將對應上述小孔 i, i, i 之部位挖削穿孔。而所使用之研磨粉則以氧化鋁粉 (Al_2O_3) 等為最合適。

這裡所用之遮罩 j 必需不會被研磨粉的噴射所挖削才可，譬如使用感光性尿烷橡膠 (urethane rubber)。

另外，前述之遮罩 j 經塗佈於積層基板 h 之整個單面後，透過光遮罩用紫外線照射而將欲形成小孔 i, i, i 的部位選擇性的除去。

於是，用研磨粉向積層基板 h 形成遮罩之那一面噴射，露出於遮罩 j 形成小孔 i, i, i 的部位上的銅箔 (電路樣式 c) 及絕緣性基板 b 即被挖削而形成有底孔 e_1, e_2 及貫通孔 f。

然後，於積層基板 h 的兩面，有底孔 e_1, e_2 的內周面及貫通孔 f 的內周面施予鍍銅而使各層之銅箔 g 及電路樣式 c 作電氣的連接。

最後，對此積層基板 h 的兩面施予光蝕刻 (photo-etching) 以將既定的電路樣式 c, c, ---- 形成於銅箔 g, g 上而製成多層配線基板 a。

(c 本發明要解決的課題) [第 4 圖，第 5 圖]

但是，上述之習用多層配線基板及其製造方法具有下列幾個問題。

即，在上述之多層配線基板 a 上因有底孔 e_1, e_2 及貫通孔 f 的深度各不相同，有底孔 e_1, e_2 及貫通孔 f 形成於積層基板 h 後，欲將鍍液浸透到有底孔 e_1, e_2

五、發明說明 (5)

及貫通孔 f 時深度之有底孔 e_2 及貫通孔 f 鍍液較難浸透，縱然在完全沒浸透鍍液之狀態下實施鍍銅，有底孔 e_2 及貫通孔 f 的內周面也無法被鍍上銅因而產生該電路樣式 c, c 間不能作電氣連接的問題。

另外，上述多層配線基板的製造方法，因有底孔 e_1 ， e_2 及貫通孔 f 的深度各異，需用研磨粉對各孔 e_1, e_2, f 則作定點 (spot) 的噴射挖削或每形成一個小孔 e_1, e_2, f 則需形成一個遮罩 j 再行穿孔，故需作多次穿孔工作才能完成所要的孔，因此，需要花較多時間來完成穿孔的工作，這是習用技術的另一問題。

再者，因絕緣性基板和銅箔之挖削速度不同，若係有底孔的深度相差不大的情形，則可考慮對多數有底孔同時進行挖削。譬如，同時對上述有底孔 e_1 及有底孔 e_2 施予挖削到使有底孔 e_1 的底部露出第 1 層絕緣性基板 b_1 及第 2 層絕緣性基板 b_2 間的電路樣式 c ，之後再繼續研磨粉的噴射以進行有底孔 e_2 的第 2 層的絕緣性基板的挖削。這時，有底孔 e_1 會再被挖削，但因已經露出之電路樣式 (銅箔 g) 的挖削速度緩慢 (和絕緣性基板比較)，僅表面稍微被削去而不會有被穿孔之虞，如此研磨粉的噴射持續到有底孔 e_2 的底部露出電路樣式 c 才停止，藉這樣的作業可形成底部露出電路樣式 c, c (銅箔 g, g) 之不同深度之多數個有底孔。

但是，利用這樣的方法同時挖削深度不同之有底孔

五、發明說明 (6)

e_1, e_2 時，深度淺的有底孔的底部與露出之電路樣式 c 會被剝削到超過容許的程度，有時該電路樣式 c 甚至被穿孔，導致無法藉後續之鍍著導電膜行電氣的連接，此為習用技術之又另一個問題。

〔D 解決課題之方法〕

因此，本發明之多層配線基板及其製造方法是為解決上述課題而研究出來的。

首先，本發明之多層配線基板是將兩面及／或單面上形成有電路樣式之絕緣性基板多片積層起來以形成積層基板，各層之電路樣式及各絕緣性基板作選擇性的貫通以在積層基板上形成有底孔及／或貫通孔，該有底孔的內周面及底部鍍著導電膜俾形成一種在被貫通之電路樣式和露出於有底孔底部之電路樣式之間及／或被貫通之電路樣式間作電氣連接之多層配線基板，對應形成於積層基板上之有底孔及／或貫通孔的深度，其各自的孔徑不同，即愈淺者孔徑愈小，愈深者孔徑愈大。

因此，藉本發明之多層配線基板可將形成有底孔及／或貫通孔之導電膜所需之物質如鍍液等確實地浸透到深度極深之處，藉此，位於相隔較遠之層上的電路樣式間也可作確實的電氣連接。

另外，本發明之多層配線基板之製造方法是將兩面及／或單面上形成有電路樣式之絕緣性基板多片積層起來以形成積層基板，各層之電路樣式及各絕緣性基板作選

五、發明說明 (7)

擇性的貫通以積層基板上形成有底孔及／或貫通孔，該有底孔及／或貫通孔的內周面及底部鍍著導電膜俾形成一種在被貫通之電路樣式和露出於有底孔底部之電路樣式之間及／或被貫通之電路樣式間作電氣連接之多層配線基板之製造方法，於上述積層基板之單一面形成有一遮罩，該遮罩具有依形成於積層基板之有底孔及／或貫通孔的深度，對應深度淺之有底孔或深度深之有底孔及／或貫通孔在各有底孔及／或貫通孔預定是形成之部位上形成各該所需孔徑之小孔，即深度淺者孔徑小，深度深者孔徑大，只用由最小粒徑之粒子所作成之研磨粉對遮罩之最小孔徑之小孔之對應部位施予挖削，其次再用由粒徑小於遮罩之次一較大小孔孔徑之粒子所作成之研磨粉對該遮罩之次一較大孔徑之小孔之對應部份施予階段性的挖削以形成具有各所要深度之有底孔及／或貫通孔。

因此，依本發明之多層配線基板的製造方法，藉一層遮罩就可形成深淺不一之有底孔及／或貫通孔，且不會過份挖削深度淺的有底孔，可形成各所要深度之有底孔及／或貫通孔，最後再鍍著導電膜以使各層之電路樣式之間能作確實之導電。

(E 實施例) [第 1 圖至第 3 圖]

以下茲依圖示之各實施例詳細說明本發明之多層配線基板及其製造方法。

五、發明說明 (8)

(E-1, 第1實施例) [第1圖, 第2圖]

第1圖是依本發明之多層配線基板的製造方法所製造之多層配線基板。

圖中1係多層配線基板, $2_1, 2_2, 2_3$ 是絕緣性基板, $3, 3, \dots$ 是藉形成於各絕緣性基板 $2_1, 2_2, 2_3$ 上之銅箔所作成之電路樣式。

$4, 4, \dots$ 係為作各不同層之電路樣式 $3, 3, \dots$ 間之電氣連接而鍍著於貫通絕緣性基板 $2_1, 2_2, 2_3$ 及電路樣式 $3, 3, \dots$ 之有底孔 $5, 5$ 及貫通孔6的內周面及各電路樣式 $3, 3, \dots$ 的連接部之導電膜。

另外, 有底孔 $5, 5$, 深度淺的有底孔 5_1 的直徑是比深度深之有底孔 5_2 之直徑小, 而貫通孔6的直徑是比深度深之有底孔 5_2 之直徑還大。

其次, 這樣子的多層配線基板1係依下述方法製造。

首先, 對兩面疊置有銅箔7,7之一片絕緣性基板 2_2 (參照第2圖(A))的兩面施予光蝕刻以形成既定的電路樣式 $3, 3, \dots$ (參照第2圖(B))。其次將另外之絕緣基 $2_1, 2_3$ 分別積層於該絕緣性基板 2_2 之兩面, 之後再於該積層體之兩面疊置銅箔7,7以形成積層基板8 (參照第2圖(C))。

接著是於此積層基板8之所定的部位上形成有底孔 $5, 5$ 及貫通孔6。

欲於積層基板8形成有底孔 $5, 5$ 及貫通孔6, 需先於

五、發明說明(7)

要形成有底孔 5,5 之積層基板 8 的那一面形成具有對應於要形成有底孔 5,5 及貫通孔 6 之部位之既定孔徑的小孔 9,9,9 之遮罩 10(參照第 2 圖(D))。該遮罩 10 之小孔 9,9,9 對應於深度淺之有底孔 5₁ 之第 1 個小孔 9₁ 其直徑係最小,對應於深度深之有底孔 5₂ 之第 2 個小孔 9₂ 的直徑是比第 1 小孔 9₁ 的直徑大,另外,對應於貫通孔 6 之第 3 個小孔 9₃ 的直徑是比第 2 個小孔 9₂ 的直徑大。具體的說,譬如,第 1 個小孔 9₁ 的直徑是 50 μm ,第 2 個小孔 9₂ 的直徑是 100 μm ,第 3 個小孔 9₃ 的直徑是 150 μm 。

上述那樣之遮罩 10 是使用如感光性尿烷橡膠等塗著於積層基板 8 形成有底孔 5,5 那面之整個後再以紫外線經一層光遮罩照射以選擇性地除去預定形成小孔 9₁,9₂,9₃ 之部份。

另外,遮罩 10 是作為當對積層基板 8 噴射研磨粉 11 之際,防止積層基板 8 之小孔 9₁,9₂,9₃ 對應的部位以外的部份被剝削之用,所以具有能將噴射到其上之研磨粉 11 藉其噴射之彈性力反彈回去之物質即可,這種材料並不限定為上述之感光性尿烷橡膠。另外,遮罩 10 的材料並不限定藉光蝕刻而形成,只是 50 μm ,100 μm 等之小孔若用光蝕刻,其形成的速度快且價廉而已。

接著,首先對積層基板 8 形成遮罩 10 之那面用由具有比第 1 個小孔 9₁ 之直徑(50 μm)小的粒徑(20~30 μm)

五、發明說明 (10)

之粒子所作成之研磨粉 11_1 ，行噴射以形成使挾置於第1層絕緣性基板 2_1 及第2層之絕緣性基板 2_2 間之電路樣式3露出於其底部之有底孔 5_1 （參照第2圖(E)）。

這時，研磨粉 11_1 ，也會侵入各小孔 $9_2, 9_3$ 之故，對應於第2個小孔 9_2 及第3個小孔 9_3 之部位，即對應於有底孔 5_2 和貫通孔6的形成預定部之位置各分別形成和有底孔 5_1 相同深度之半完成孔 $12_1, 12_2$ 。

其次，用由具有比第1個小孔 9_1 直徑（ $50\mu m$ ）大但比第2個小孔 9_2 的直徑（ $100\mu m$ ）小之粒徑（ $60\sim 80\mu m$ ）的粒子所作成之研磨粉 11_2 施予噴射以挖削前述之半完成孔 $12_1, 12_2$ 。藉挖削半完成孔 12_1 以形成使挾置於第2層之絕緣性基板 2_2 及第3層絕緣性基板 2_3 之間的電路樣式3露出於其底部之有底孔 5_2 （參照第2圖(F)）。

這時，對應之經形成之有底孔 5_1 之第1個小孔 9_1 因上述之研磨粉 11_2 無法侵入，故不會再被挖削。另外，對應於第3個小孔 9_3 的部位，即半完成孔 12_2 再度被挖削到和有底孔 5_2 相同的深度。

接者，用由具有比第2個小孔 9_2 的直徑（ $100\mu m$ ）大但比第3個小孔 9_3 的直徑（ $150\mu m$ ）小之粒徑（ $110\sim 130\mu m$ ）的粒子所作成之研磨粉 11_3 施予噴射將第3層絕緣性基板 2_3 及其下面之銅箔7挖削以形成貫通孔6（參照第2圖(G)）。

這時，對對應已經形成之兩個有底孔 5_1 和 5_2 之第1

五、發明說明 (11)

個小孔 9_1 及第 2 個小孔 9_2 來讓上述之研磨粉 11_3 是無法進入，故不會再被挖削，而分別露出於有底板 5_1 及 5_2 之底部之電路樣式 3,3，也就不會被削掉。

如此，順次噴射三種不同大小之研磨粉 11_1 ， 11_2 ， 11_3 可形成三種深度之有底孔 5_1 ， 5_2 及貫通孔 6。這些孔所形成之孔徑為，於大孔徑時，直徑為 0.6mm 以上，小孔徑時的直徑為 0.3mm 以下。

其次，將此積層基板 8 浸於鍍液裡使鍍液浸透到有底孔 5_1 ， 5_2 及貫通孔 6，照道理說，深度深之孔鍍液較難浸透，但因有底 5_2 及貫通孔 6 的孔徑作得較大，故可充分使鍍液浸透到孔內。而使用之鍍液係硫酸銅液等。

然後，將上述浸過鍍液之積層基板 8 施予鍍銅以使銅箔 13 鍍著於基板之兩面及有底孔 5_1 ， 5_2 和貫通孔 6 的內周面和底部（參照第 2 圖 (H)）。藉此，鍍著於有底孔 5_1 的內周面及其底部之銅箔 13 作為導電膜 4 而將鍍著於積層基板 8 上面之銅箔 7 和露出在有底孔 5_1 底部上之電路樣式 3 作電氣的連接。另外，鍍著於有底板 5_2 之內周面及其底部之銅箔 13 作為導電膜 4 而將鍍著於積層基板 8 上面之銅箔 7 和露出於有底孔 5_2 底部之電路樣式 3 作電氣的連接。再者，鍍著於貫通孔 6 之內周面之銅箔 13 作為導電膜 4 而將鍍著積層基板 8 的上面及下面之銅箔 7,7 之間作電氣的連接。

最後，將此積層基板 8 之兩面施予蝕刻而使銅箔 7,7 及 13,13 形成既定的電路樣式 3,3,----，積層基板 8 之兩面所形成之電路樣式 3,3,----和絕緣性基板 2_1 ， 2_2 ，

五、發明說明 (12)

2₃ 間所挾置之電路樣式 3, 3, ---- 之既定電路樣式是藉鍍著於有底孔 5₁, 5₂ 及貫通孔 6 之內周面等之導電膜 4, 4, ---- 作電氣的連接而完成多層配線基板 1 (參照第 1 圖)。

(E - 2 第 2 實施例) [第 3 圖]

第 3 圖示出本發明之第 2 實施例。這第 2 個實施例所用之多層配線基板之製造方法是別於第 1 實施例所用者，茲以相同的多層配線基板來說明本實施例。

另外，此第 2 實施例和前述第 1 實施例不同的地方只是在穿孔的程序上噴射所用之研磨粉，粒子之粒徑大小之使用順序剛好和第 1 實施例者倒反而已。所以這第 2 實施例主要是針對和第 1 實施例不同點加予說明，至於有關其他與第 1 實施例同一或同樣的部份則沿用相同的符號，其說明則省略。

與第 1 實施例一樣於積層基板 8 的一個單面上形成遮罩 10，該遮罩 10 對應要形成有底孔 5₁, 5₂ 及貫通孔 6 之各個預定部位上各形成小孔 9₁, 9₂ 及 9₃。

另外，遮罩 10 的小孔 9₁, 9₂, 9₃ 形成之直徑分別設為 50 μ m, 100 μ m, 150 μ m。

其次於積層基板 8 形成遮罩 10 那一面，首先用由具有比第 2 小孔 9₂ 之直徑 (100 μ m) 大但比第 3 小孔 9₃ 之直徑 (150 μ m) 小之粒徑 (110 ~ 130 μ m) 的粒子所作成之研磨粉 11₃ 施予噴射一既定的時間以使在對應第 3 小孔 9₃

五、發明說明 (13)

之部位形成適當深度之半完成孔 14_1 (參照第3圖(A))。

這時，因上述研磨粉無法進入第1小孔 9_1 及第2小孔 9_2 ，所以該兩小孔之對應部位未被挖削。

另外，上述半完成孔 14_1 的深度是根據挖削有底孔 5_1 ，有底孔 5_2 及貫通孔6各所需之時間而定。

例如，設銅箔7的厚度為 $20\mu\text{m}$ ，絕緣性基板2之厚度為 $60\mu\text{m}$ ，另設銅箔7的挖削速度為 $5\mu\text{m}/\text{分}$ ，絕緣性基板2之挖削速度為 $30\mu\text{m}/\text{分}$ 時，則有底孔 5_1 的挖削所需時間 t_1 係包括要挖削積層基板8上面之銅箔7及第1層絕緣性基板 2_1 所需時間，其值合計為 $t_1 = 6$ 分鐘，有底孔 5_2 的挖削所需的時間 t_2 係包括要挖削積層基板8上面之銅箔7及第1層，第2層之絕緣性基板 2_1 ， 2_2 所需時間，其值合計為 $t_2 = 8$ 分鐘，貫通孔6的挖削所需時間 t_3 是包括挖削積層基板8的兩面的銅箔7，7及第1層，第2層，第3層絕緣性基板 2_1 ， 2_2 ， 2_3 所需之時間，其值合計為 $t_3 = 14$ 分鐘。

因此，要挖削上述半完成孔 14_1 所需的研磨粉 11_3 噴射的時間是 $t_3 - t_2 = 6$ 分鐘，具體的說，半完成孔 14_1 的深度是等於積層基板8上面的銅箔7和第1層絕緣性基板 2_1 加起來的厚度。

其次，對積層基板8的同側的面用由具有比第1小孔 9_1 的直徑 ($50\mu\text{m}$) 大但比第2小孔 9_2 的直徑 ($100\mu\text{m}$) 小的粒徑 ($60 \sim 80\mu\text{m}$) 之粒子所作成之研磨粉 11_2 施予

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

噴射一既定時間 ($t_2 - t_1 = 2$ 分鐘)，以在積層基板 8 的上面對應第 2 小孔 9_2 的部位完成深度為銅箔 7 的厚度的一半的半完成孔 14_2 (參照第 3 圖 (B))。

這時，因上述研磨粉 11_2 不能浸入第 1 小孔 9_1 內，所以對應該第 1 小孔 9_1 的部位不會被挖削，另外，因上述研磨粉 11_2 可以進入第 3 小孔 9_3 ，故已經形成之半完成孔 14_1 再度被挖削，這裡係與挖削的時間 $t_3 - t_1 = 8$ 分鐘相當的厚度，具體的說，形成深度等於積層基板 8 上面的銅箔 7 和第 1 層，第 2 層絕緣性基板 2_1 ， 2_2 加起來的厚度之半完成孔 14_1 。

另外，對積層基板 8 同側的面用由具有比第 1 小孔 9_1 的直徑 ($50 \mu m$) 小之粒徑 ($10 \sim 30 \mu m$) 的粒子所作成之研磨粉 11_1 噴射一既定時間 $t_1 = 6$ 分鐘，以對對應第 1 小孔 9_1 的部位挖削而形成其底部露出電路樣式 3 之有底孔 5_1 ，其深度係約略等於形成於積層基板 8 上面之銅箔 7 和第 1 層之絕緣性基板 2_1 加起來之厚度 (參照第 3 圖 (C))。

這時，因上述研磨粉 11_1 也同時侵入第 2 小孔 9_2 及第 3 小孔 9_3 ，所以對應兩小孔 9_2 ， 9_3 之部位已經形成半完成孔 14_1 ， 14_2 再度被挖削，於對應第 2 小孔 9_2 之部位形成其底部露出電路樣式 3 之有底孔 5_2 ，其深度為相當於用挖削時間 t_2 所形成之深度，另外對應於第 3 小孔 9_3 的部位形成貫通積層基板 8 之貫通孔 6，其深

五、發明說明 (15)

度相當於用挖削時間 t_3 所形成之深度。

如此，藉適當控制大小不同的研磨粉 $11_3, 11_2, 11_1$ 之各個噴射時間，可在積層基板 8 形成深度各異之有底孔 $5_1, 5_2$ 及貫通孔 6。

之後，再與上述第 1 實施例一樣將形成有有底孔 $5_1, 5_2$ 及貫通孔 6 之積層基板 8 之兩面及各 $5_1, 5_2, 6$ 之內周面及底部施予鍍液浸透，最後再對積層基板 8 的兩面施予蝕刻以形成所要之電路樣式 3, 3, ---- 而完成多層配線基板 1。

〔 F 發明的效果 〕

本發明之多層配線基板，其特徵為將兩面及／或單面上形成有電路樣式 (pattern) 之絕緣性基板多片積層起來以形成積層基板，各層之電路樣式及各絕緣性基板作選擇性的貫通以在積層基板上形成有底孔及／或貫通孔，該有底孔及／或貫通孔的內周面及底部鍍著導電膜俾形成一種在被貫通之電路樣式和露出於有底孔底部之電路樣式之間及／或被貫通之電路樣式間作電氣連接之多層配線基板，形成於積層基板上之有底孔及／或貫通孔，依其形成的深度，其孔徑不同，即愈淺者孔徑愈小，愈深者孔徑愈大。

因此，藉本發明之多層配線基板可將形成有底孔及／或貫通孔之導電膜所需之物質如鍍液等確實地浸透深度極深之處，藉此，位於相隔較遠之層上的電路樣式間也

五、發明說明 (16)

可作確實的電氣連接。

另外，本發明多層配線基板之製造方法之1，其特徵為將兩面及／或單面上形成有電路樣式之絕緣性基板多片積層起來以形成積層基板，各層之電路樣式及各絕緣性基板作選擇性的貫通以在積層基板上形成有底孔及／或貫通孔，該有底孔及／或貫通孔的內周面及底部鍍著導電膜俾形成一種在被貫通之電路樣式和露出於有底孔底部之電路樣式之間及／或被貫通之電路樣式間作電氣連接之多層配線基板之製造方法，於上述積層基板之單一面上形成有一遮罩，該遮罩具有依形成於積層基板之有底孔及／或貫通孔的深度，對應深度淺之有底孔或深度深之有底孔及／或貫通孔在各有底孔及／或貫通孔預定形成之部位形成各該所需孔徑之小孔，即深度淺者孔徑小，深度深者孔徑大，用由小於上述遮罩之最小小孔之粒徑的粒子所作成之研磨粉向積層基板形成遮罩那一面噴射，以對積層基板對應各小孔的部位行挖削而在對應最小小孔之部位上形成所要深度之有底孔，另外，於積層基板上對應其他小孔的部位形成未達各所要深度之半完成孔，其次用由大於最小小孔之孔徑但小於次小小孔孔徑之粒徑的粒子所作成之研磨粉向積層基板形成遮罩那一面噴射，以對除了最小小孔以外之其他小孔之對應部位再作進一步的挖削而在次小小孔之對應部位形成所要深度之有底孔及／或貫通孔，同時進一步挖削前述

五、發明說明 (17)

之半完成孔，如此，依形成於遮罩之最小小孔開始，順序於積層基板對應於各該小孔之部位上形成有底孔及／或貫通孔。

另外，本發明多層配線基板之製造方法之2，其特徵為將兩面及／或單面上形成有電路樣式之絕緣性基板多片積層起來以形成積層基板，各層之電路樣式及各絕緣性基板作選擇性的貫通以在積層基板上形成有底孔及／或貫通孔，該有底孔及／或貫通孔的內周面及底部鍍著導電膜俾形成一種在被貫通之電路樣式和露出於有底孔底部之電路樣式之間及／或被貫通之電路樣式間作電氣連接之多層配線基板之製造方法，於上述積層基板之單一面上形成有一遮罩，該遮罩具有依形成於積層基板之有底孔及／或貫通孔的深度，對應深度淺之有底孔或深度深之有底孔及／或貫通孔在各有底孔及／或貫通孔預定形成部位上形成各該所需孔徑之小孔，即深度淺者孔徑小，深度深者孔徑大。用由小於上述遮罩之小孔中最大孔徑但大於次大小孔孔徑之粒徑的粒子所作成之研磨粉對積層基板形成遮層那一面噴射以挖削積層基板上對應於最大小孔的部份以形成比所要深度稍淺之半完成孔，其次，用由小於次大小孔孔徑但大於再次大小孔孔徑之粒徑的粒子所作成之研磨粉對積層基板形成遮罩之那一面噴射以對應最大小孔及次大小孔之各別部份施予挖削而分別形成比各別所要深度稍淺之半完成孔，如此，

五、發明說明 (18)

形成遮罩之小孔的大小是依對應最大小孔之部位順序挖削以分別形成比各所要深度稍淺之半完成孔，用由直徑比這些半完成孔小之粒子所作成之研磨粉順次挖削下去；最後當再噴射由直徑比最小小孔還小之粒子所作成之研磨粉以挖削積層基板上對應於最小小孔的部份而形成所需深度之有底孔之際，迄目前為止一點一點挖削過來之各半完成孔也同時完成了具有各所要深度之有底孔及／或貫通孔。

因此，依本發明之多層配線基板之製造方法之1及之2，可藉一個遮罩形成深度各異之有底孔及／或貫通孔，且不會過份挖削深度淺之有底孔而可形成具有各所要深度之有底孔及／或貫通孔，再藉爾後鍍著之導電膜可使各層之電路樣式間作確實的導電。

另外，銅箔及絕緣性基板之各別的挖削速度是依研磨粉的大小，研磨粉的噴射速度等而有不同，上面的說明裡並無考慮因研磨粉的大小所產生之挖削速度之不同，嚴格來說，研磨粉愈大或研磨粉的噴射速度愈快，挖削的速度則愈快，特此附記。

另外，本說明書內所記載之各實施例，取對三種深度之有底孔及／或貫通孔行穿孔的情形來說明本發明，但是本發明並不僅限於此，本發明也可適用於對多種深度之有底孔及／或貫通孔行穿孔。

更甚者，本說明書裡提及之各實施例上揭示之具體的

五、發明說明 (19)

尺寸，時間只不過是說明實施本發明時之具體化的一例而已，本發明的技術範圍並不限定於本文內之各實施例。

(圖面的簡單說明)

第 1 圖及第 2 圖示出本發明多層配線基板及其製造方法之第 1 實施例，第 1 圖係多層配線基板的重要部份的擴大斷面圖，第 2 圖 (A) 至 (H) 是說明本發明多層配線基板之製造方法的順序之重要部份的擴大斷面圖，第 3 圖 (A) 至 (C) 係本發明多層配線基板的製造方法的第 2 實施例，依其製造順序所繪之重要部份之擴大斷面圖，第 4 圖及第 5 圖示出習用之多層配線基板及其製造方法，第 4 圖是多層配線基板之重量部份擴大斷面圖，第 5 圖 (A) 至 (F) 係說明該製造方法順序之重要部份的擴大斷面圖。

符號的說明

1---多層配線基板， $2_1, 2_2, 2_3$ ---絕緣性基板，
3---電路樣式，4---導電膜， $5_1, 5_2$ ---有底孔，
6---貫通孔，8---積層基板， $9_1, 9_2, 9_3$ ---小孔，
10---遮層， $11_1, 11_2, 11_3$ ---研磨粉， $12_1, 12_2$ ---半完成孔， $14_1, 14_2$ ---半完成孔。

四、中文發明摘要(發明之名稱：多層配線基板及其製造方法)

本發明之多層配線基板為使各層之電路樣式(circuit pattern)間作電氣的連接，將各層形成之電路樣式及各絕緣性基板作選擇性的貫通以在積層基板上形成貫通孔及/或有底孔，深度淺之有底孔，其孔徑作得小，而深度深之有底孔及/或貫通孔，其孔徑則作得大，如此，可確實地將鍍液等導電物浸透至深度深之有底孔及/或貫通孔內以形成導電膜，藉此，積層基板與隔層之兩個仍至多數個電路樣式間可獲得確實的電氣連接。

另外，本發明之多層配線基板的製造方法，係於上述積層基板之單一面上形成有一遮罩(mask)，該遮罩具有依形成於積層基板之有底孔及/或貫通孔的深度，對應深度淺之有底孔或深度深之有底孔及/或貫通孔在各有底孔及/或貫通孔預定形成部位上形成各該所需孔徑之小孔，即深度淺者孔徑小，深度深者孔徑大，只用由最小粒徑之^{粒徑}所作成之研磨粉挖削對應最小小孔之部位，而對應於比這最小小孔大之小孔的部位則用由比該小孔本身的孔徑小的粒徑之粒子所作成之研磨粉作階段的挖削以形成各所需深度之有底孔及/或貫通孔，因此，可藉一個遮罩形成深度各異之有底孔及/或貫通孔，而且對深度淺之有底孔的底部不會多作挖削而可形成所需深度之有底孔，之後再藉鍍著之導電膜可使各層之電路樣式間作確實之電氣連接。

附註：本案已向 日本 國(地區) 申請專利，申請日期：

案號：

1990年10月1日特願平2-263299號 -2-

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、英文發明摘要(發明之名稱: MULTILAYER INTERCONNECTION SUBSTRATE AND
PROCESS OF MANUFACTURING THEREOF)

The present invention relates to a multilayer interconnection substrate which can realize the electrical connection among two to a plurality of circuit patterns of separate layers on the laminated substrate by reducing the bore diameter of the shallow hole or expanding the bore diameter of the through hole which selectively penetrates each circuit pattern and each insulating substrate formed to keep the electrical connection between each layer of the circuit pattern, with substances such as plating liquid etc. for forming conductive film in the deep hole and/or through hole.

The present invention also relates to a process of manufacturing a multilayer interconnection substrate which forms on one surface of said laminated substrate a mask having a small hole having a diameter about the shallow hole at the location or a small hole having a diameter about the deep hole and/or the through hole corresponding to the proposed formation portion or each of the firm bottom hole and/or through hole in accordance with the depth of the firm bottom hole and/or through hole formed on the laminated substrate, at the position corresponding to the smallest hole it is dug only with an abrasive powder formed of particles of the smallest particle diameter, and at the position corresponding to the small holes with diameter larger than this, it is dug gradually with an abrasive powder formed of particles of a diameter smaller than the hole diameter of the small hole per se to form firm bottom hole and/or through hole of desired depth, so it is possible to form firm bottom and/or through holes of different depths with a mask, and it is impossible to over-dig the bottom portion of the shallow firm bottom hole in order to form firm bottom hole of desired depth, and as a result the electrical connection between the circuit patterns of each layer through conductive film to be laminated later can be assured.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

附註: 本案已向

國(地區) 申請專利, 申請日期:

案號:

六、申請專利範圍

1. 一種多層配線基板，是將兩面及／或單面上形成有電路樣式之絕緣性基板多片積層起來以形成積層基板，各層之電路樣式及各絕緣性基板作選擇性的貫通以在積層基板上形成有底孔及／或貫通孔，該有底孔及／或貫通孔的內周面及底部鍍著導電膜俾形成一種在被貫通之電路樣式和露出於有底孔底部之電路樣式之間及／或貫通之電路樣式間作電氣連接，其特徵為：

對應形成於積層基板上之有底孔及／或貫通孔的深度，其各自的孔徑不同，愈淺者孔徑愈小，愈深者孔徑愈大。

2. 一種多層配線基板的製造方法，是將兩面及／或單面上形成有電路樣式之絕緣性基板多片積起來以形成積層基板，各層之電路樣式及各絕緣性基板作選擇性的貫通以在積層基板上形成有底孔及／或貫通孔，該有底孔及／或貫通孔的內周面及底部鍍著導電膜俾形成一種在被貫通之電路樣式和露出於有底孔底部之電路樣式之間及／或被貫通之電路樣式間作電氣連接，其特徵為：

於上述積層基板之單一面上形成有一遮罩，該遮罩具有依形成於積層基板之有底孔及／或貫通孔的深度，對應深度淺之有底孔或深度深之有底孔及／或貫通孔在各有底孔及／或貫通孔預定形成之部位上形成各該所需孔徑之小孔，

六、申請專利範圍

用由具有小於上述小孔中最小孔徑之粒徑的粒子所作成之研磨粉對積層基板形成遮罩之那一面施予噴射，以挖削積層基板對應小孔的部位而於最小小孔的對應部位上形成所需深度之有底孔，另外，於積層基板對應其他小孔的部位上形成深度未達所要深度之半完成孔，

其次用由粒徑小於遮罩之次一較大小孔孔徑之粒子所作成之研磨粉對積層基板形成遮罩那一面施予噴射以對積層基板對應最小小孔以外之小孔的部位作更進一步挖削而於對應次一較大孔徑之小孔的部位形成所需深度之有底孔或貫通孔，同時也對上述各半完成孔作更進步的挖削，

像這樣，依形成於遮罩上小孔自最小孔徑開始順序於積層基板對應於這些小孔的部位形成有底孔及／或貫通孔以製造多層配線基板。

3. 一種多層配線基板的製造方法，是將兩面及／或單面上形成有電路樣式之絕緣性基板多片積層起來以形成積層基板，各層之電路樣式及各絕緣性基板作選擇性的貫通以在積層基板上形成有底孔及／或貫通孔，該有底孔及／或貫通孔的內周面及底部鍍著導電膜俾形成一種在被貫通之電路樣式和露出於有底孔底部之電路樣式之間及／或被貫通之電路樣式間作電氣連接，其特徵為：

204435

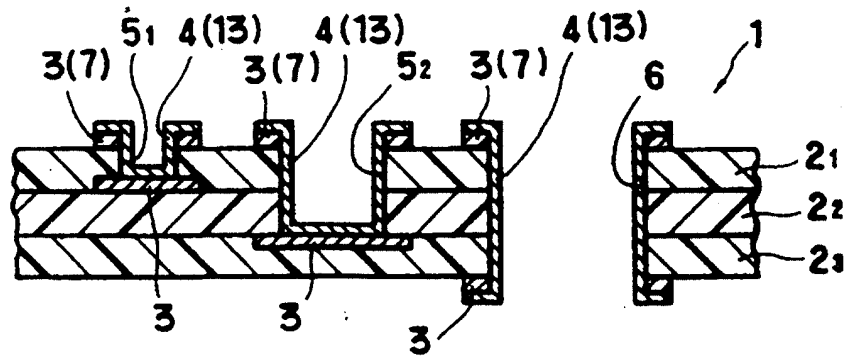
六、申請專利範圍

於上述積層基板之單一面上形成有一遮罩，該遮罩具有依形成於積層基板之有底孔及／或貫通孔的深度，對應深度淺之有底孔或深度深之有底孔及／或貫通孔在各有底孔及／或貫通孔預定形成之部位上形成各該所需孔徑之小孔，

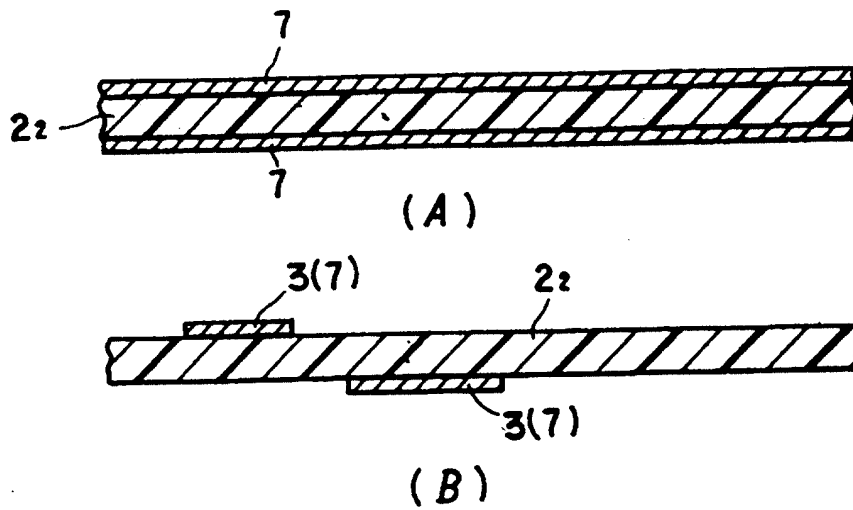
用由具有小於上述小孔中最大孔徑但大於次一較大小孔孔徑之粒徑的粒子所作成之研磨粉對積層基板形成遮罩之那一面施予噴射，以挖削積層基板對應最大小孔的部位而形成比所需深度淺之半完成孔，

其次，用具有小於次一較大小孔孔徑但大於再次一較大小孔孔徑之粒徑的粒子所作成之研磨粉對積層基板形成遮罩那一面施予噴射以對積層基板對應最大小孔及次大小孔的部位各別作挖削而分別形成比各所需深度稍淺之半完成孔，

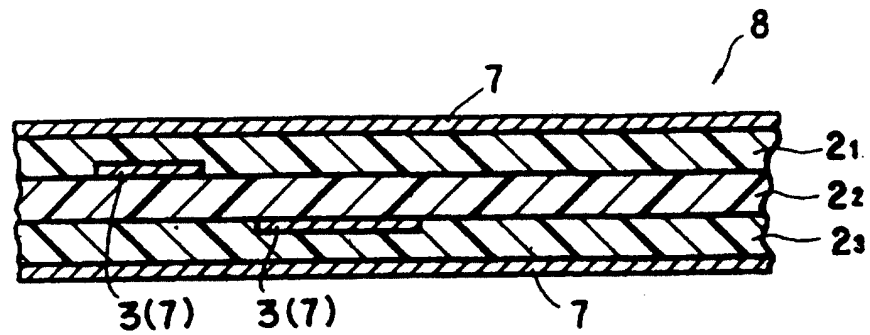
如此，依形成於遮罩上小孔自最大孔徑開始順序於積層基板對於這些小孔的部位施予挖削以分別形成較各所需深度淺之半完成孔，再順序用逐次減小粒徑之粒子所作成之研磨粉挖削，直到最後用具有由小於最小小孔孔徑之粒徑的粒子所作成之研磨粉施予噴射以挖削積層基板對應最小小孔的部位而形成所需深度之有底孔，而這時，迄目前為止藉每次噴射研磨粉而一點一點地被挖削之各半完成孔也同時形成具有各所需深度之有底孔及／或貫通孔。



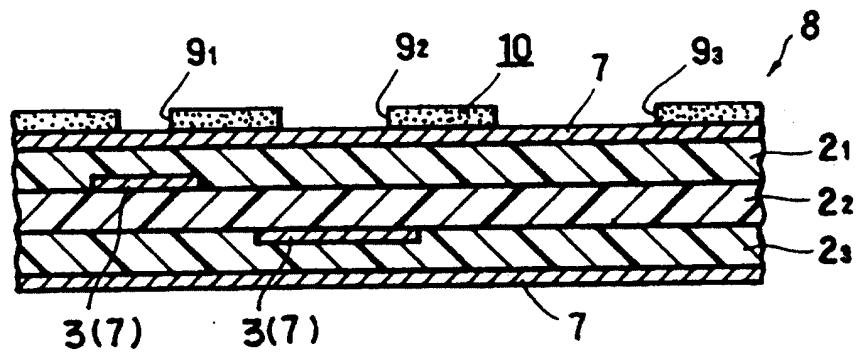
第1圖



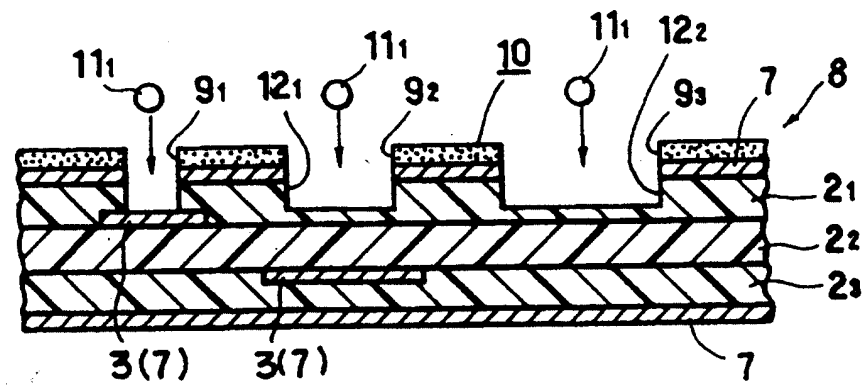
第2圖



(C)

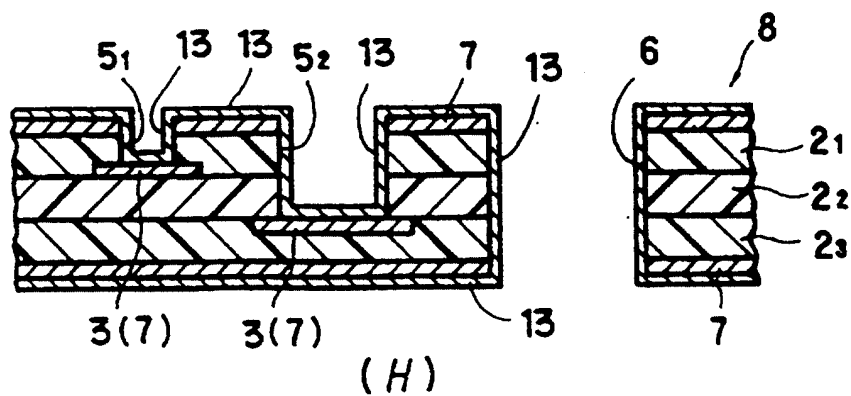
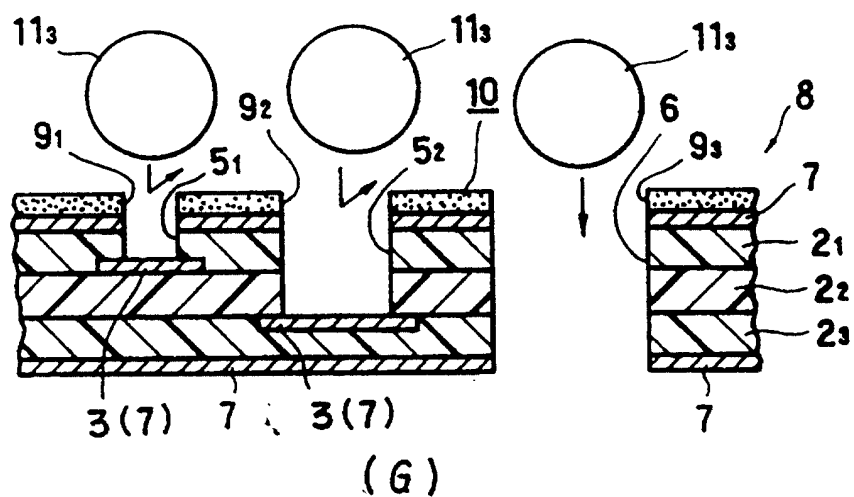
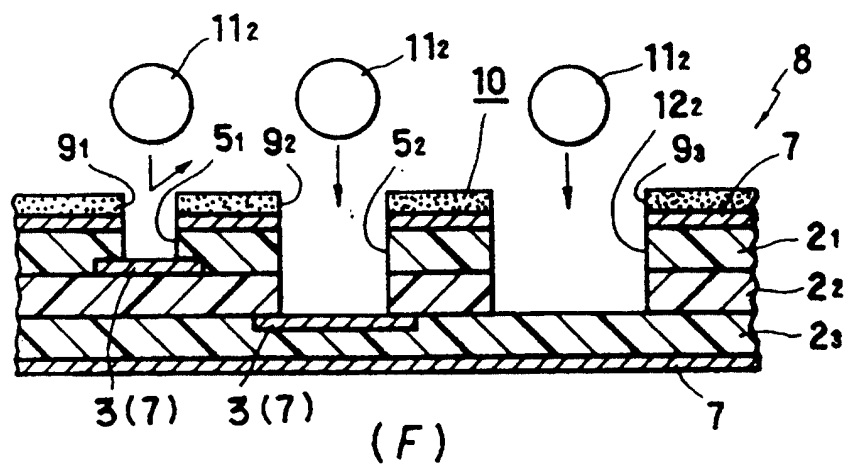


(D)

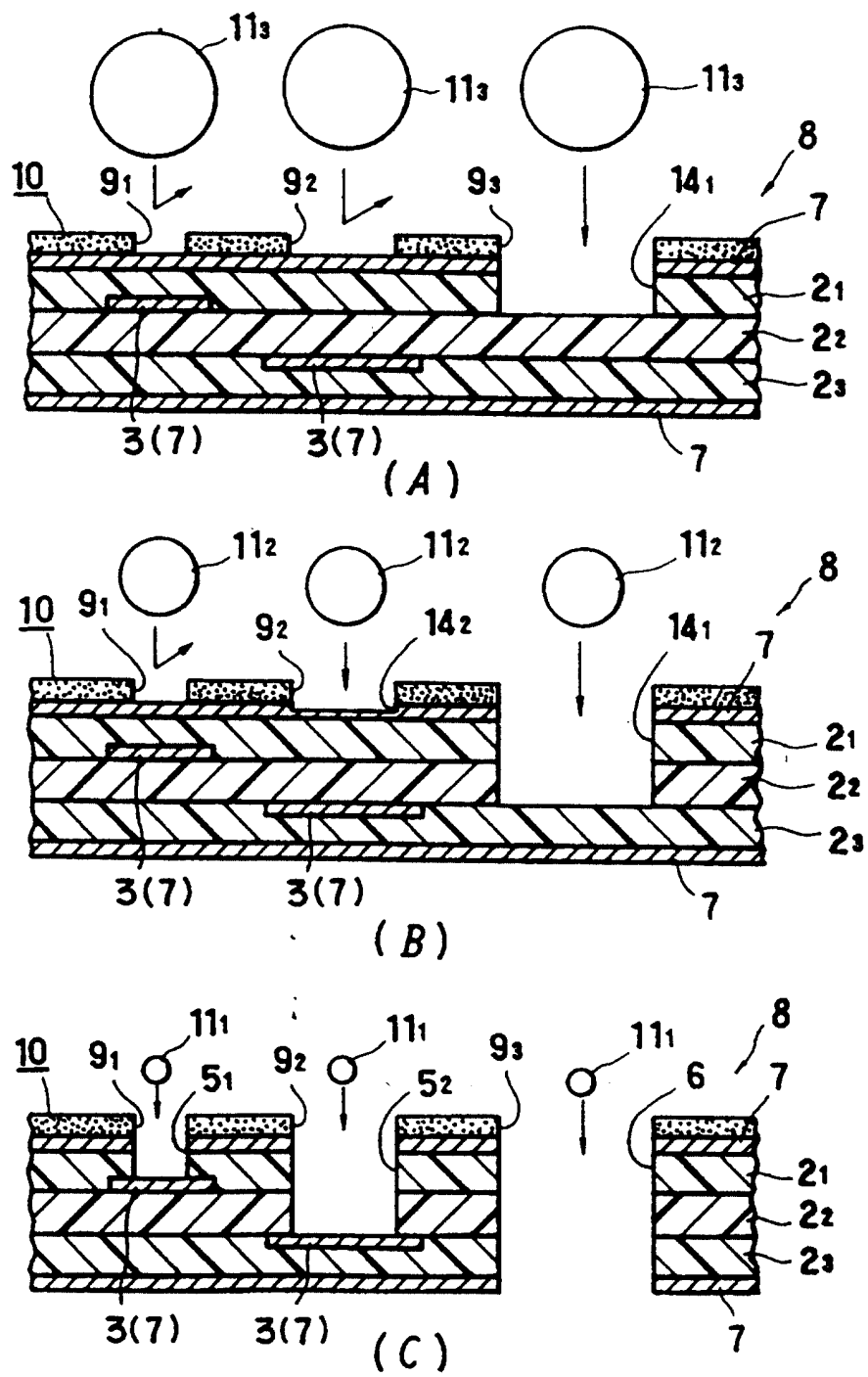


(E)

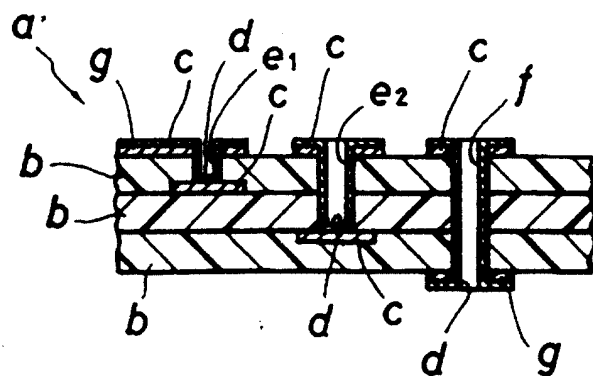
第2圖



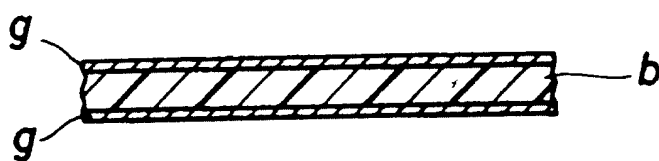
第2圖



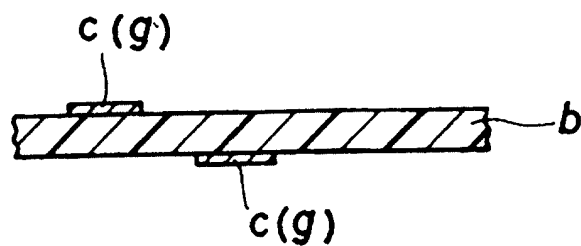
第3圖



第4圖

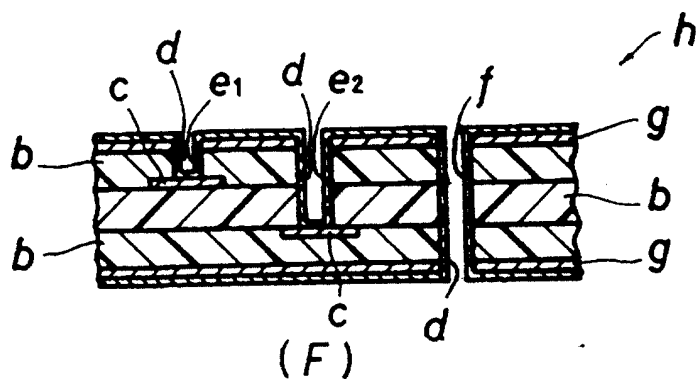
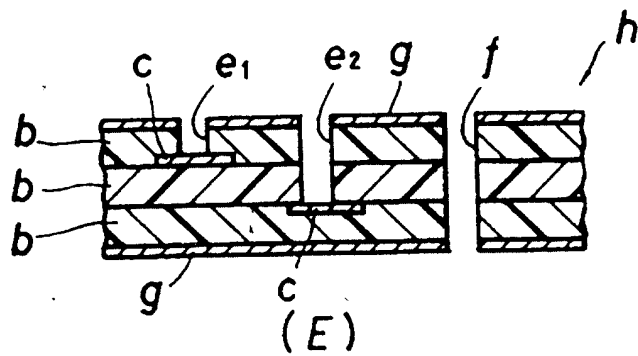
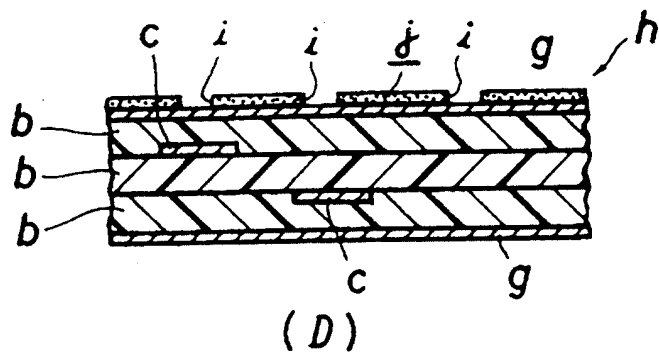
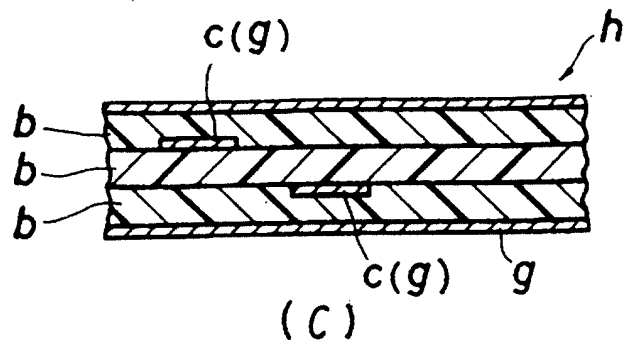


(A)



(B)

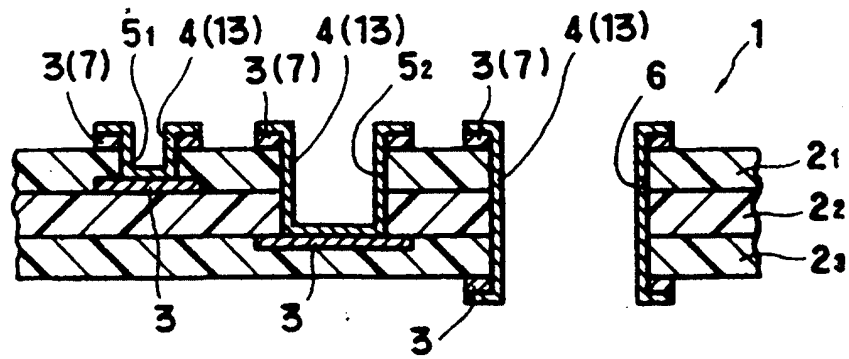
第5圖



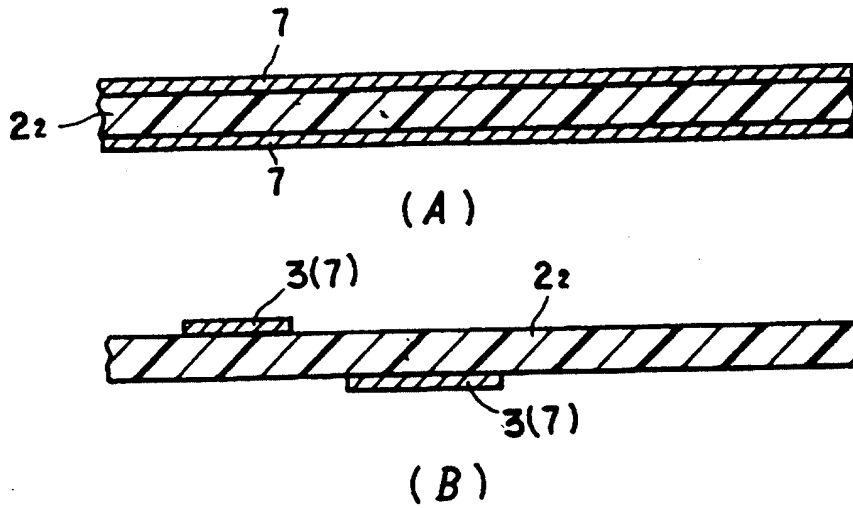
第5圖

204485

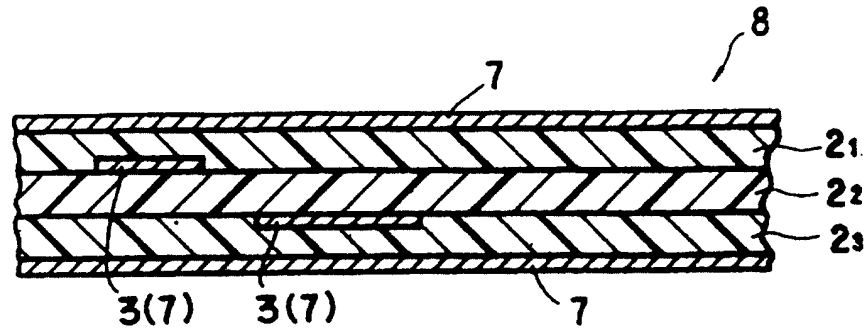
10107024



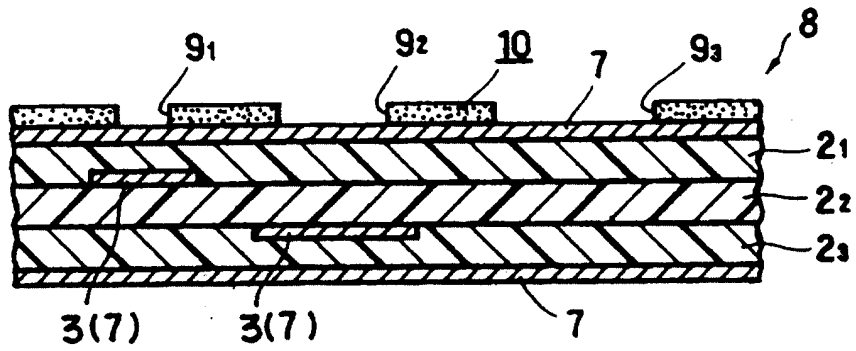
第1圖



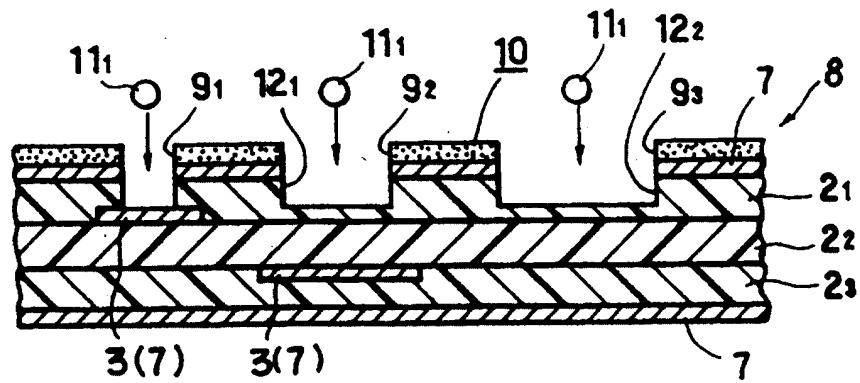
第2圖



(C)

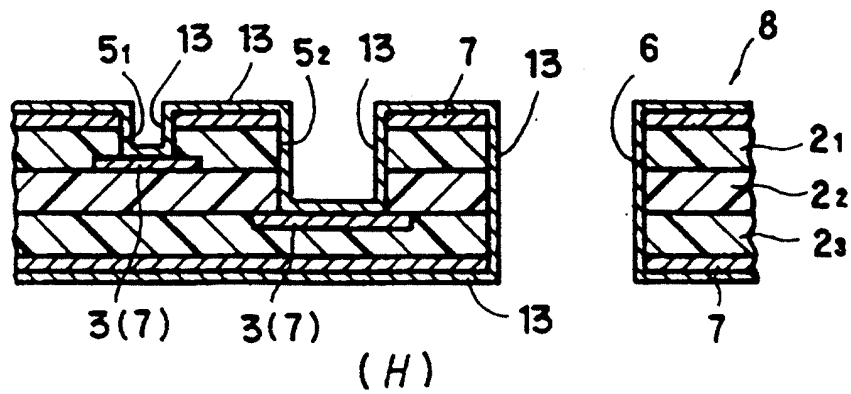
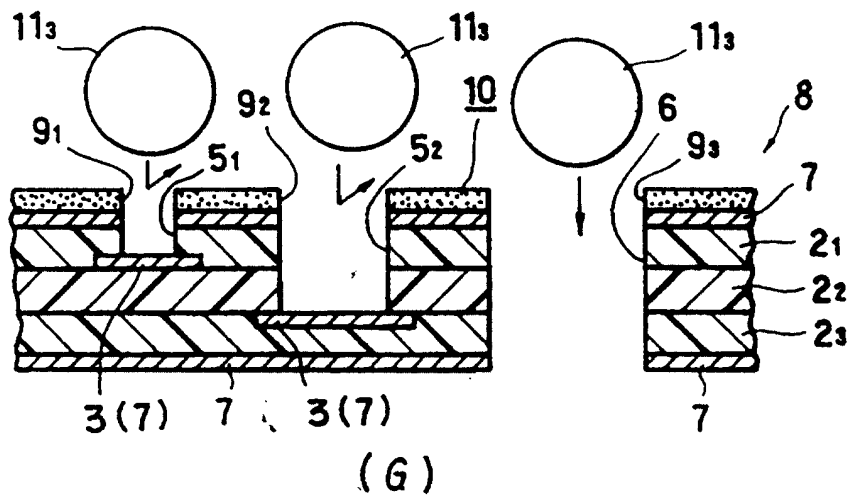
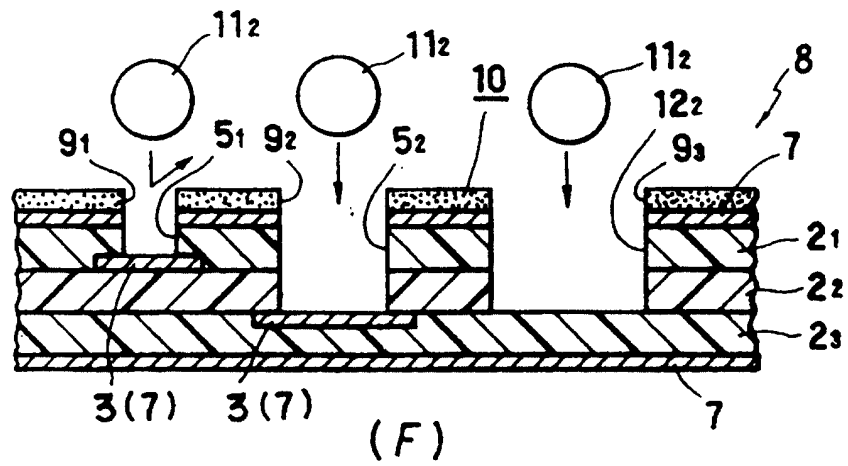


(D)

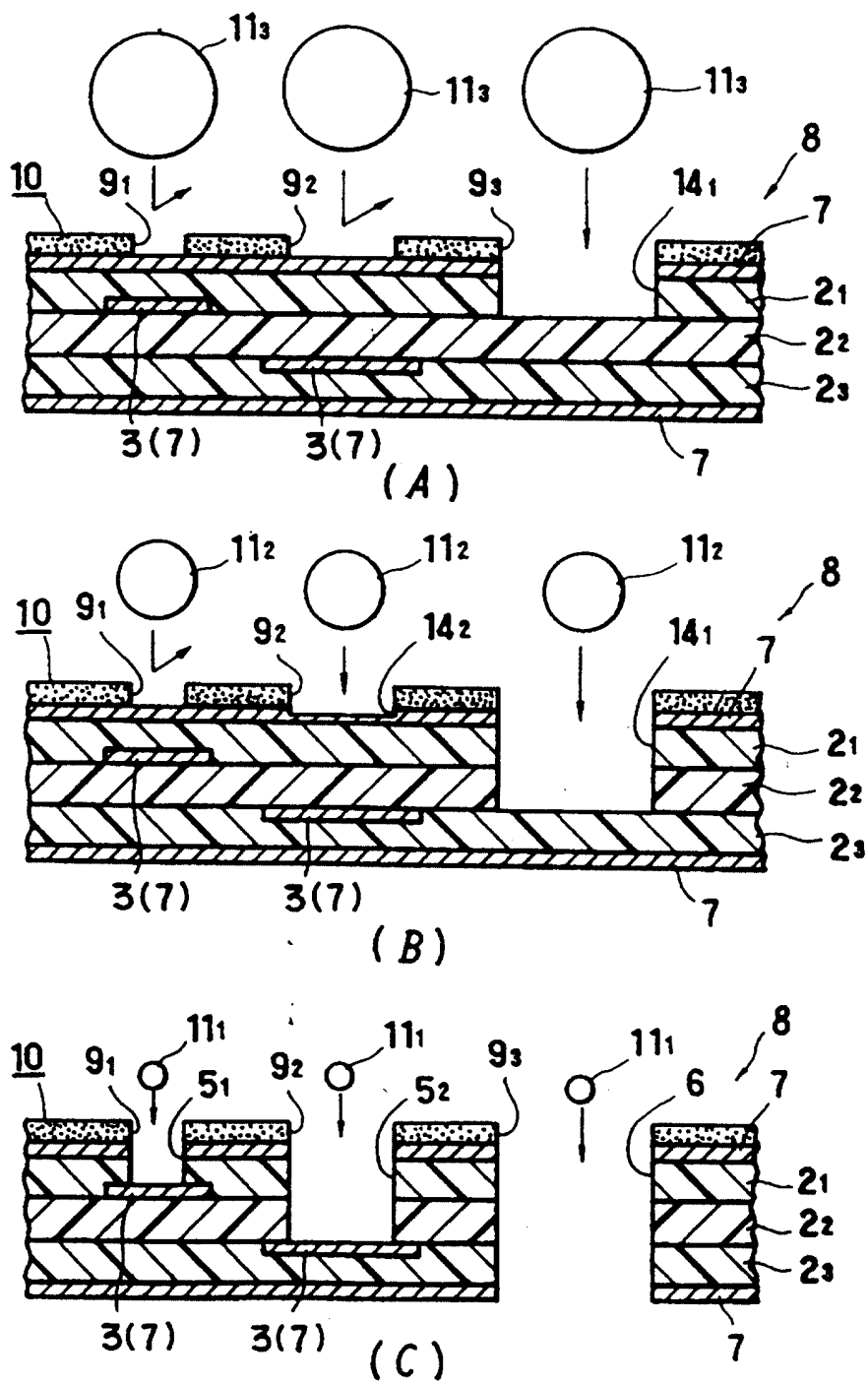


(E)

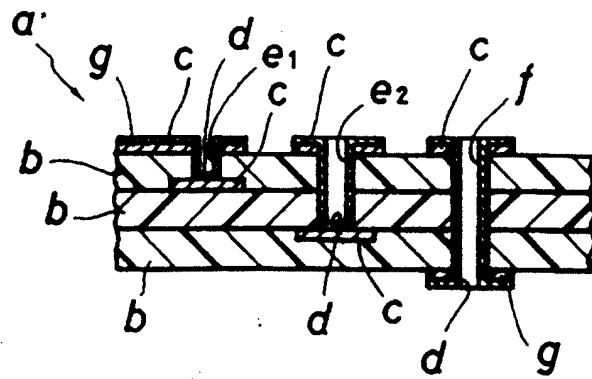
第2圖



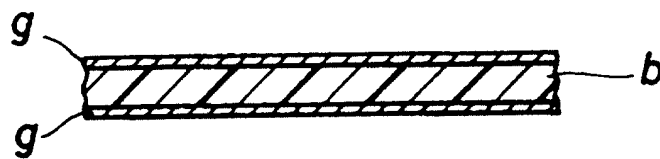
第2圖



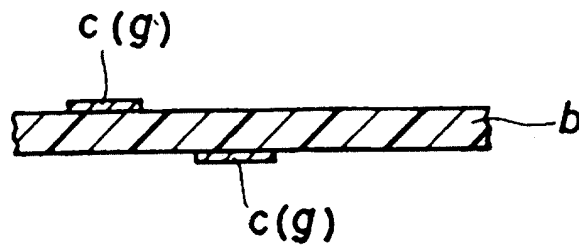
第3圖



第4圖

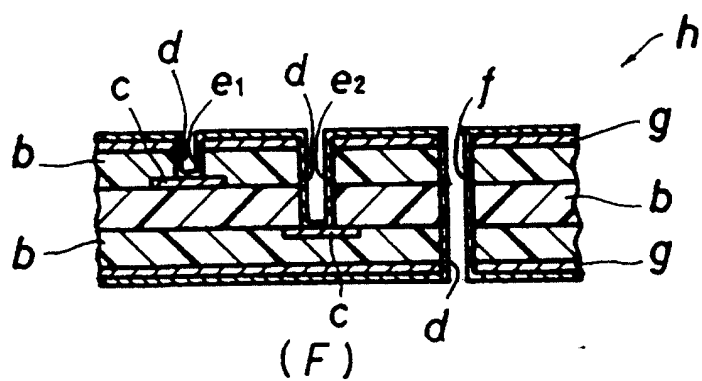
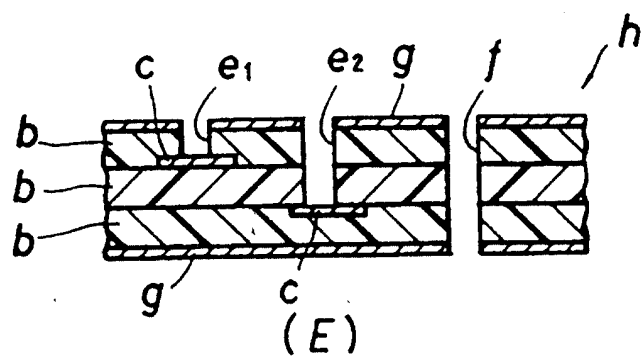
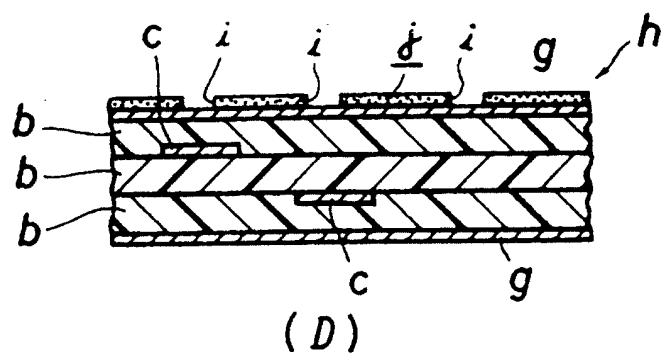
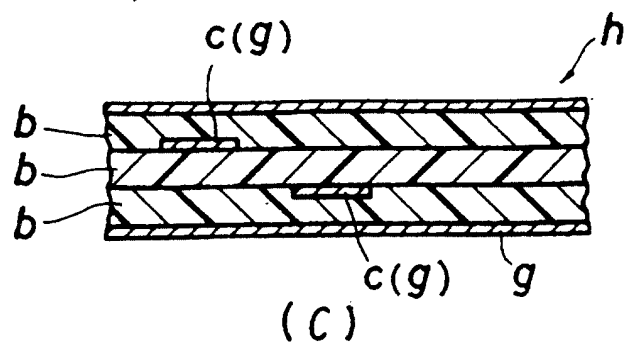


(A)



(B)

第5圖



第5圖

204425

82年2月5日修正/受正/補充

申請日期	82-09-26
案 號	107628
類 別	H05K 13/60

A4
C4

(以上各欄由本局填註)

發明
新型 專利說明書

一、發明 創作名稱	中 文	多層配線基板及其製造方法
	英 文	MULTILAYER INTERCONNECTION SUBSTRATE AND PROCESS OF MANUFACTURING THEREOF
二、發明人	姓 名	1. 田村俊夫 2. 安田誠之
	籍 貫 (國籍)	1-2 皆屬日本
	住、居所	1. 東京都品川區北品川6丁目7番35號 ソニ-株式會社 2. 同上
三、申請人	姓 名 (名稱)	ソニ-株式會社 新力股份有限公司
	籍 貫 (國籍)	日本
	住、居所 (事務所)	東京都品川區北品川6丁目7番35號
	代表人 姓 名	大賀典雄

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

打

線

經濟部中央標準局員工消費合作社印製