

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年7月12日(2018.7.12)

【公開番号】特開2017-120821(P2017-120821A)

【公開日】平成29年7月6日(2017.7.6)

【年通号数】公開・登録公報2017-025

【出願番号】特願2015-256354(P2015-256354)

【国際特許分類】

H 01 L	21/28	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	21/768	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/06	(2006.01)

【F I】

H 01 L	21/28	3 0 1 S
H 01 L	29/50	M
H 01 L	21/90	A
H 01 L	21/90	C
H 01 L	29/78	3 0 1 P
H 01 L	27/04	P
H 01 L	27/06	1 0 2 A

【手続補正書】

【提出日】平成30年5月29日(2018.5.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

- (a) 半導体基板を準備する工程、
- (b) 前記(a)工程後、前記半導体基板上にMISFET用のゲート電極をゲート絶縁膜を介して形成する工程、
- (c) 前記(b)工程後、前記ゲート電極の側壁上に側壁絶縁膜を形成する工程、
- (d) 前記(c)工程後、イオン注入法を用いて前記半導体基板に前記MISFET用のソース・ドレイン領域を形成する工程、
- (e) 前記(d)工程後、前記半導体基板上に、前記ゲート電極および前記側壁絶縁膜を覆うように、第1絶縁膜を形成する工程、
- (f) 前記(e)工程後、第1の熱処理温度で第1の熱処理を行う工程、
- (g) 前記(f)工程後、前記第1絶縁膜上に第2絶縁膜を形成する工程、
- (h) 前記(g)工程後、前記第2絶縁膜上にレジストパターンを形成する工程、
- (i) 前記(h)工程後、前記レジストパターンをエッチングマスクとして用いて前記第2絶縁膜および前記第1絶縁膜をエッチングすることにより、前記レジストパターンで覆われない部分の前記第2絶縁膜および前記第1絶縁膜を除去し、前記レジストパターン

の下に前記第2絶縁膜および前記第1絶縁膜を残す工程、

(j) 前記(i)工程後、前記レジストパターンを除去する工程、

(k) 前記(j)工程後、ウェット洗浄処理を行う工程、

(l) 前記(k)工程後、前記ソース・ドレイン領域上を含む前記半導体基板上に、前記ゲート電極および前記側壁絶縁膜を覆うように、金属膜を形成する工程、

(m) 前記(l)工程後、第2の熱処理を行って前記金属膜と前記ソース・ドレイン領域とを反応させて、前記ソース・ドレイン領域上に金属シリサイド層を形成する工程、
を有する、半導体装置の製造方法。

【請求項2】

請求項1記載の半導体装置の製造方法において、

前記(h)工程では、前記レジストパターンは、前記ソース・ドレイン領域の上方には形成されず、

前記(i)工程では、前記ソース・ドレイン領域上の前記第2絶縁膜および前記第1絶縁膜は除去される、半導体装置の製造方法。

【請求項3】

請求項1記載の半導体装置の製造方法において、

前記(d)工程の後で、前記(e)工程の前に、前記第1の熱処理温度以上の温度での熱処理は行われない、半導体装置の製造方法。

【請求項4】

請求項3記載の半導体装置の製造方法において、

前記(g)工程の後で、前記(i)工程の前に、前記第1の熱処理温度以上の温度での熱処理は行われない、半導体装置の製造方法。

【請求項5】

請求項4記載の半導体装置の製造方法において、

(g1) 前記(g)後で、前記(h)工程前に、前記第1の熱処理温度よりも低い第2の熱処理温度で第3の熱処理を行う工程、

を更に有する、半導体装置の製造方法。

【請求項6】

請求項1記載の半導体装置の製造方法において、

前記第1の熱処理により、前記ソース・ドレイン領域内の不純物が活性化される、半導体装置の製造方法。

【請求項7】

請求項1記載の半導体装置の製造方法において、

前記第1の熱処理温度は、900以上である、半導体装置の製造方法。

【請求項8】

請求項1記載の半導体装置の製造方法において、

前記(e)工程で形成された前記第1絶縁膜の第1の厚さよりも、前記(g)工程で形成された前記第2絶縁膜の第2の厚さが厚い、半導体装置の製造方法。

【請求項9】

請求項8記載の半導体装置の製造方法において、

前記第1の厚さは10nm以上である、半導体装置の製造方法。

【請求項10】

請求項9記載の半導体装置の製造方法において、

前記第1の厚さは20nm以下である、半導体装置の製造方法。

【請求項11】

請求項1記載の半導体装置の製造方法において、

(n) 前記(m)工程後、前記(m)工程にて反応しなかった前記金属膜を除去する工程、

を更に有する、半導体装置の製造方法。

【請求項12】

請求項 1 記載の半導体装置の製造方法において、

前記第1絶縁膜は、前記金属シリサイド層の形成を防止するシリサイドプロック膜として機能する、半導体装置の製造方法。

【請求項 1 3】

請求項 1 記載の半導体装置の製造方法において、

前記 (k) 工程では、前記ウェット洗浄処理により、前記第2絶縁膜の少なくとも一部がエッティングされる、半導体装置の製造方法。

【請求項 1 4】

請求項 1 記載の半導体装置の製造方法において、

前記第1絶縁膜と前記第2絶縁膜とは、同種の材料からなる、半導体装置の製造方法。

【請求項 1 5】

請求項 1 記載の半導体装置の製造方法において、

前記第1絶縁膜と前記第2絶縁膜とは、異なる種類の材料からなる、半導体装置の製造方法。

【請求項 1 6】

請求項 1 記載の半導体装置の製造方法において、

前記 (i) 工程では、前記ソース・ドレイン領域上および前記ゲート電極上の前記第2絶縁膜および前記第1絶縁膜は除去され、

前記 (m) 工程では、前記第2の熱処理により前記金属膜と前記ソース・ドレイン領域および前記ゲート電極とが反応して、前記ソース・ドレイン領域上と前記ゲート電極上とに、それぞれ前記金属シリサイド層が形成される、半導体装置の製造方法。

【請求項 1 7】

請求項 1 記載の半導体装置の製造方法において、

前記 (b) 工程では、前記ゲート電極と、抵抗素子用の導体パターンとが、前記半導体基板上に形成され、

前記 (e) 工程では、前記半導体基板上に、前記導体パターン、前記ゲート電極および前記側壁絶縁膜を覆うように、前記第1絶縁膜が形成され、

前記 (h) 工程では、前記導体パターンの一部の上方に、前記レジストパターンが形成され、

前記 (l) 工程では、前記ソース・ドレイン領域上を含む前記半導体基板上に、前記導体パターン、前記ゲート電極および前記側壁絶縁膜を覆うように、前記金属膜が形成される、半導体装置の製造方法。

【請求項 1 8】

請求項 1 7 記載の半導体装置の製造方法において、

前記 (i) 工程では、前記ソース・ドレイン領域上、前記ゲート電極上、および前記導体パターンの一部上の前記第2絶縁膜および前記第1絶縁膜は除去され、

前記 (m) 工程では、前記第2の熱処理により前記金属膜と前記ソース・ドレイン領域、前記ゲート電極および前記導体パターンとが反応して、前記ソース・ドレイン領域上と前記ゲート電極上と前記導体パターンの一部上とに、それぞれ前記金属シリサイド層が形成される、半導体装置の製造方法。

【請求項 1 9】

(a) 半導体基板を準備する工程、

(b) 前記 (a) 工程後、前記半導体基板上に M I S F E T 用のゲート電極をゲート絶縁膜を介して形成する工程、

(c) 前記 (b) 工程後、前記ゲート電極の側壁上に側壁絶縁膜を形成する工程、

(d) 前記 (c) 工程後、イオン注入法を用いて前記半導体基板に前記 M I S F E T 用のソース・ドレイン領域を形成する工程、

(e) 前記 (d) 工程後、前記半導体基板上に、前記ゲート電極および前記側壁絶縁膜を覆うように、第1絶縁膜を形成する工程、

(f) 前記 (e) 工程後、第1の熱処理温度で第1の熱処理を行う工程、

(g) 前記 (f) 工程後、前記第 1 絶縁膜上に第 2 絶縁膜を形成する工程、
(h) 前記 (g) 工程後、前記第 2 絶縁膜上にレジストパターンを形成する工程、
(i) 前記 (h) 工程後、前記レジストパターンをエッチングマスクとして用いて前記第 2 絶縁膜および前記第 1 絶縁膜をエッチングすることにより、前記レジストパターンで覆われない部分の前記第 2 絶縁膜および前記第 1 絶縁膜を除去し、前記レジストパターンの下に前記第 2 絶縁膜および前記第 1 絶縁膜を残す工程、
(j) 前記 (i) 工程後、前記レジストパターンを除去する工程、
(k) 前記 (j) 工程後、ウェット洗浄処理を行う工程、
(l) 前記 (k) 工程後、前記ソース・ドレイン領域上を含む前記半導体基板上に、前記ゲート電極および前記側壁絶縁膜を覆うように、金属膜を形成する工程、
(m) 前記 (l) 工程後、第 2 の熱処理を行って前記金属膜と前記ソース・ドレイン領域とを反応させて、前記ソース・ドレイン領域上に金属シリサイド層を形成する工程、
を有し、
前記 (d) 工程の後で、前記 (e) 工程の前に、前記第 1 の熱処理温度以上の温度での熱処理は行われず、
前記 (f) 工程では、前記第 1 の熱処理により、前記ソース・ドレイン領域内の不純物が活性化され、
前記 (g) 工程の後で、前記 (i) 工程の前に、前記第 1 の熱処理温度以上の温度での熱処理は行われず、
前記 (h) 工程では、前記レジストパターンは、前記ソース・ドレイン領域の上方には形成されず、
前記 (i) 工程では、前記ソース・ドレイン領域上の前記第 2 絶縁膜および前記第 1 絶縁膜は除去される、半導体装置の製造方法。