[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H04N 5/08
H04N 5/932

[12]发明专利说明书

[21] ZL 专利号 95119056.3

[45]授权公告日 2001 年 6 月 6 日

[11]授权公告号 CN 1066886C

[22]申请日 1995.12.5 [24]颁证日 2001.2.10
[21]申请号 95119056.3
[30]优先权
[32]1994.12.6 [33]US [31]349,780
[73]专利权人 汤姆森消费电子有限公司
地址 美国印第安纳州
[72]发明人 M·F·朗姆赖希
[56]参考文献

EP 0533997	1993. 3.31	H04N5/08
US 4680633	1989. 7.14	H04N5/10
US 5260790	1993.11. 9	H04N5/08

审查员 张龙哺

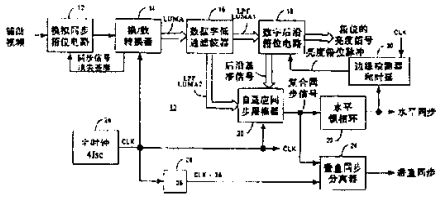
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 马铁良 王 岳

权利要求书 3 页 说明书 8 页 附图页数 4 页

[54]发明名称 自适应同步信号分离器

[57]摘要

箝位电路(18)将可以是数字式的视频信号与直流补偿值相组合,使视频信 号的后沿部分箝位到预定电平,如 IRE 电平。一除法器响应箝位电路产生其 值表示后沿部分在被箝位之前的 IRE 电平的基准信号。在自适应同步限幅器 (20)中,一加法器产生表示基准信号值与某固定值间数值关系(如平均值)的限幅电平;由一比较器将视频信号与限幅电平值比较产生复合同步信号。限制器限定限幅电平范围。箝位电路、加法器、比较器和限制器可为数字电路。



ISSN1008-4274

00-09-07

权 利 要 求 书

1.一种自适应同步信号分离器，包括:

视频信号(LUMA)源，所述视频信号含有位于后沿部分的同步分量;

其特征在于:

箝位装置(18)，用以将所述后沿部分箝位到预定的电平（例如0伏）；

输出基准信号(BACK PORCH REF)发生装置(185)，该信号的值表示所述箝位装置(18)工作之前所述后沿部分的连续IRE电平;

限幅电平值(SLICE LEVEL)发生装置(201)；和

复合同步信号(COMPOSITE SYNC)发生装置（204），通过将所述视频信号(LPF LUMA2)与所述限幅电平值(SLICE LEVEL)相比较产生复合同步信号。

2.如权利要求1所述的同步信号分离器，其特征在于，所述视频信号(LUMA)由模/数转换器(14)转换成数字信号。

3.如权利要求1或2所述的同步信号分离器，其特征在于，所述箝位装置将所述视频信号(LUMA)与直流补偿值(CLAMP OFFSET)混合起来确定所述后沿部分的所述预定电平（例如0伏）。

4.如权利要求3所述的同步信号分离器，其特征在于，所述输出基准信号(BACK PORCH REF)表示所述直流补偿值(CLAMP OFFSET)。

5.如权利要求3所述的同步信号分离器，其特征在于，所述输出基准信号(BACK PORCH REF)为所述直流补偿值(CLAMP OFFSET)的一小部分。

6.如权利要求5所述的同步信号分离器，其特征在于，所述一小部分约为一半(1/2)。

7. 如权利要求 1 或 2 所述的同步信号分离器，其特征在于，所述基准信号值(BACK PORCH REF)与所述固定值（例如“-64”） 之间的所述数值关系为平均关系。

8. 如权利要求 1 或 2 所述的同步信号分离器，其特征还在于用以将所述限幅电平值(SLICE LEVEL) 限定在（例如-115 至-95） 限幅电平范围的限幅装置(203) ，所述产生所述复合同步信号(COMPOSITE SYNC) 的装置(204) 将所述视频信号(LPE LUMA2) 与所述经限幅的限幅电平相比较。

9. 如权利要求 8 所述的同步信号分离器，其特征在于，所述限幅电平范围约为-20 IRE ± 10 IRE.

10. 如权利要求 8 所述的同步信号分离器，其特征在于，所述限幅电平的所述范围为额定同步信号顶尖值的大约 25% 至大约 75% 。

11. 如权利要求 8 所述的同步信号分离器，其特征在于，所述输出基准信号发生装置(185) 、所述限幅电平值发生装置(201) 、所述复合同步信号发生装置(204) 和所述限幅装置(203) 都装在集成电路中。

12. 如权利要求 1 或 2 所述的同步信号分离器，其特征在于，所述输出基准信号(BACK PORCH REF)发生装置(185) 有一个除法器响应所述箝位装置(18)产生的补偿值(CLAMP OFFSET)以确定所述后沿部分的所述预定电平（例如 0 伏）。

13. 如权利要求 1 或 2 所述的同步信号分离器，其特征在于，所述视频信号是个亮度信号。

14. 如权利要求 1 或 2 所述的同步信号分离器，其特征在于，所述后沿部分的所述预定电平为预定的 IRE 电平.

15. 如权利要求 1 所述的同步信号分离器，其特征在于，所述限幅电平发生装置产生限幅电平值(SLICE LEVEL)，该限幅电平值表

示所述基准信号值(BACK PORCH REF)与一非零补偿值（例如“-64”）之间的数值关系

16. 如权利要求 1 所述的同步信号分离器，其特征在于，还包括限幅装置（203），用以将所述限幅电平值(SLICE LEVEL) 限定在（例如-115 至-95）限幅电平范围。

17. 如权利要求 16 所述的同步信号分离器，其特征在于，由所述限幅装置产生的所述限幅电平值(SLICE LEVEL)表示所述基准信号值(BACK PORCH REF)与一固定值（例如“-64”）之间的数值关系。

18. 如权利要求 16 所述的同步信号分离器，其特征在于，所述限幅电平值(SLICE LEVEL)被限制在约为-20 IRE ± 10 IRE 的范围。

19. 如权利要求 16 所述的同步信号分离器，其特征在于，所述限幅电平值(SLICE LEVEL)被限制在额定同步信号顶尖值的大约 25% 至大约 75% 的范围。

说　明　书

自适应同步信号分离器

本发明涉及同步信号分离器的领域，特别涉及可装入集成电路中的自适应同步信号分离器的领域。

集成同步信号分离器通常是用在处理画中画显示画面（经常叫做 PIP 显示画面）上作为插画出现的辅助视频信号的集成电路处理器中的。这种集成电路叫做 DPIP 集成电路，汤姆逊消费者电子设备公司制造的电视接收机即使用这种集成电路。DPIP 集成电路中的集成同步信号分离器包括一个模拟同步信号顶尖箝位电路、一个模／数转换器、一个数字低通滤波器、一个比较器、一个水平锁相环、一个非线性滤波器和一个数字后沿箝位电路。PIP 显示中辅助画面的视频信号是先后经过顶尖箝位、数字化和低通滤波的同步信号。经低通滤波的表示辅助视频信号的亮度分量由一个同步信号限幅比较器将其与约为-25IRE 的基准限幅电平（即比-40IRE 额定同步信号尖端电平高 15IRE 左右）相比较。比较器的输出是个复合同步信号。水平同步信号由水平锁相环加以分离，垂直同步信号由非线性滤波器加以分离。经分离的水平同步信号输入到数字后沿箝位电路中，亮度分量也输入到该电路中来，但该电路只在这种情况下参与同步信号的分离过程。从数字后沿箝位电路出来的经箝位的亮度信号供在集成电路中进一步进行视频处理用。

上述方法在一般信号情况下能很好发挥作用，但当同步信号受压缩或含有许多杂波时就更容易失灵。同步信号受压缩时，当视频信号电平降到限幅阈值以下时会出差错。为最大限度地减少这种情况，限幅电平可以取得比-20IRE 电平更接近同步信号顶尖电平，即通常

处在同步信号顶尖和后沿之间的中段。这样做使抗噪声的能力下降，但通常认为这是最佳的折衷方娄。采用固定的同步信号限幅阈值电平时在性能方面的水平与主视频图象的同步信号处理电路相比，一般认为在一定程度上是可以接受的，因为在弱的或具有受压缩同步信号但还是可视的信号中是会产生同步信号丢失现象的。换句话说，这种信号作为主画是可视的，而作为辅助画则不可视。

另一种方案是在 ITT 数字成套芯片中采用固定的同步信号限幅电平。ITT 数字成套芯片中的同步信号分离器有两种工作方式。在接收同步信号的过程中，和在 DPIP 集成电路中一样，将同步信号限幅电平固定下来。进入同步状态之后，通过取同步信号顶尖电平和黑电平（对应于后沿）的平均值将同步信号限幅电平调到同步信号脉冲幅值的一半(50%) 。这样做减小了视频信号电平引起的假触发现象，因为同步信号限幅电平在同步信号顶尖向后沿移动时能更移近后沿，起码移到某一点上，同步信号顶尖偏离后沿时提高了抗噪声的能力，这是因为同步信号限幅电平偏离后沿，起码移到某一点的缘故。然而，ITT 成套芯片中所进行的这种改进未能达到与主视频通道中同步信号分离基本上相当的性能水平。

若调节同步信号限幅电平使其达到无论系统是两种工作方式抑或 ITT 成套芯片电平局限于 50% 都能容许同步信号顶类电平在更宽的范围内变化的更宽范围，则在性能上还可以进一步提高。

本发明的目的是提供一种克服了上述现有技术缺点的、可装入集成电路中的自适应同步信号分离器。

按照本发明的一个方面，数字后沿箝位电路提供的数字值相当于箝位之前的后沿相应值。求出这个数值与可能是也可能不是真正同步信号顶尖值的同步信号顶尖基准值两者的平均值。限定求平均得出的结果，再用此限定值作为自适应同步信号限幅阈值电平。本发明的

方法与 ITT 成套芯片的方法在原理上有两个不同点。首先，同步信号顶尖限幅电平可以使其偏离同步信号顶尖电平与消隐（黑）电平之间的中间位置。这使实际的弱同步信号顶尖电平达到最佳的噪声性能，而且补偿了模拟箝位电路中的漏泄和噪声的非线性特性，弱信号阈值可以在中间值以下，例如再往下 4IRE。其次，平均器后面设了一个限制器。此限制器将同步信号顶尖限幅阈值的范围限定在额定值的一半(50%)，例如约-20IRE，和相对于一半额定值±10IRE 的范围。这个范围相当于 40IRE 额定同步信号顶尖值的大约 25% 至大约 75% 的范围。这对信号的接收方面有帮助，而且避免销定或振荡。性能上的提高是引人注目的，接近垂直脉冲分频同步信号分离器的性能。

根据本发明的自适应同步信号分离器，它包括：一个视频信号源，所述视频信号的同步分量配置在后沿部分；箝位装置，用以将所述后沿部分箝位到预定的电平；输出基准信号发生装置，该输出基准信号值表示所述后沿部分在所述箝位置工作之前的连续 TRE 电平；限幅电平值发生装置；和复合同步信号发生装置，复合同步信号是通过所述视频信号与所述限幅电平值相比较产生的。

本发明的同步信号分离器还可包括限幅电平值限定装置，用以将限幅电平值限定到限幅电平范围，所述复合同步信号发生装置即将视频信号和限定后的限幅电平相比较。

视频信号可以是数字化的视频信号，在此情况下，箝位装置、输出基准信号发生装置、限幅电平值发生装置、复合同步信号发生装置和限幅值限定装置就便于采用数字电路，这些数字电路就便于采用集成电路。

在目前最佳的实施例中，箝位装置将视频信号与直流补偿值结合起来确定后沿部分的所述预定电平，例如0伏的 IRE 电平，输出基准信号则表示直流补偿值，例如直流补偿值的一小部分。

本发明可应用于各种信号，包括例如亮度信号、RGB 信号和任何其它可含有同步分量的信号。

图 1 是本发明方案同步信号分离器的方框图。

图 2 是适宜与图 1 的同步信号分离器配用的数字后沿箝位电路的方框图。

图 3 是适宜与图 1 的同步信号分离器配用的自适应同步信号限幅器的方框图。

图 4 是适宜与图 1 的同步信号分离器配用的垂直滤波器的方框图。

图 1 示出了本发明方案的同步信号分离器 10 的方框图. 辅助视频信号，即画中画显示画面中插画的信号源，是模拟同步信号箝位电路 12 的输入。经箝位的模拟信号输入到模/数转换器 14，模/数转换器 14 的输出是个数字化视频信号，特别是含水平和垂直同步分量的亮度信号(LUMA)。模拟箝位电路 12 的同步信号顶尖基准值取自例如模/数转换器 14 的阻性阶梯。亮度信号输入数字低通滤波器 16 中。经低通滤波的亮度信号 LPF LUMAI 是低通滤波器 16 的第一输出，也是数字后沿箝位电路 18 的输入。箝位电路 18 的输出是个经箝位的数字亮度信号 CLAMPED LUMA。另一经低通滤波的亮度信号 LPF LUMA2 是低通滤波器 16 的第二输出，也是数字自适应同步信号限幅电路 20 的输入。

亮度信号 LPF LUMA1 和 LPF LUMA2 是否相同或是经频率响应不同的低通滤波器低通滤过的结果，这取决于以后在处理方面的要求。低通滤波器 16 的输出是否具有频率相同或不同的不同输出，或低通滤波器 16 是否采用分立的低通滤波器以分别产生具有相同或不同的频率响应的 LPF LUMA1 和 LPF LUMA2 信号，这一切对这里所教导的自适应同步信号限幅器来说不是关键问题.

自适应同步信号限幅电路 20 还接收来自箝位电路 18 的后沿基准信号。自适应同步信号限幅器20产生复合同步信号(COMPOSITE SYNC)的输出，输入到水平锁相环(HPLL)22 和非线性垂直同步信号分离器(VERT SYNC SEPARATOR) 24 中，水平锁相环 22 和非线性垂直同步信号分离器 24 则分别对水平和垂直分量进行再生。

水平同步信号输入边缘检测器和延迟电路 30 中。水平同步脉冲由电路 30 进行边缘检测，其延迟形式作为计时信号 LUMA CLAMP PULSE 提供给后沿箝位电路 18。

主时钟 26 产生频率为彩色副载波频率的 4 倍(4fsc)的时钟信号(CLK)，提供给模/数转换器 14 和自适应同步信号限幅器 20。在此频率下，模/数转换器为每一个水平行提供 910 个数字样本。CLK 信号在除法器 28 中用 36 除，产生频率较低的时钟信号(CLK÷36)，供垂直滤波器 24 用。

图 2、图 3 和图 4 中分别示出了数字后沿箝位电路 18、自适应同步信号限幅器 20 和垂直滤波器 24。三图中的某些多位数字信号用是星号(*) 表示。所有标有星号的这些信号都是无符号的信号，只表示大小。所有不带星号的这类信号取二进制补码的形式。这种形式中，领头的二进制位用以表示符号，其余的二进制位用来表示大小。负数是通过取相应正数二进制位的补码并在最低有效位的位置加一个单位得出的。用 n 位表示的最大负数，其大小比可用 n 位表示的最大正数大一个单位。由于 0 这个数只有一个表示方式，因而可用 n 位字表示的不同数字有 2n 个。二进制补码的这种形式，相减时特别方便，只用一个加法器和一个求补器即可进行相减。这里所教导的发明无需采用二进制补码的形式。

参看图 2，后沿箝位电路 18 响应于经低通滤波的亮度信号 LPF LUMA（例如 LPF LUMA1 和 LUMA CLAMP PULSE 信号）。箝位电路 18

产生后沿基准信号 BACK PORCH REF 和经箝位的亮度信号 CLAMPED LUMA。箝位电路的根本目的是将直流补偿值加到进来的亮度信号 LPF LUMA，使输出信号 CLAMPED LUMA 的后沿电平始终为数字 0 电平。除除法器 185 外，整个电路 18 可以看成是提供所需直流补偿值的伺服机构。

直流补偿值是从递增/递减计数器 180 的输出端产生的，计数器 180 在进来的后沿电平小于 0 时每次水平扫描递增计数一次，在进来的后沿电平大于 0 时每次水平扫描递减计数一次。计数器由脉冲发生器 188 的输出启动，该脉冲发生器响应于 LUMA CLAMP PULSE 输入信号。脉冲发生器的各输出是后沿期间每次水平扫描出现一次的一个系统时钟宽的脉冲。该脉冲输入到门 182 中，电路 181 有一个响应除法器 183 的输出大小的计数解码器，计数器的输出即由除法器 183 除以 64。

除法器 184 输出直流补偿值，计数器的输出即由除法器 184 除以 128 。除法器 184 的作用是在计数器连续的 128 个计数（或升或降）之后，DC 增减一个计数。直流补偿值是加法电路 186 的一个输入。第二个输入是 LPE LUMA 输入信号。第三个输入是门 187 产生的位 C IN 中的进位。门 187 的这些输入是脉冲发生器 188 的另一个脉冲输出和计数器的输出的二进制位 5 。脉冲发生器 188 的输出信号在提供给门 182 的输出信号之后可能会出现一些主时钟计数值。CLAMPED LUMA 输出信号由除法器 189 将加法电路 186 的输出除以 2 产生，由此得出 8 位信号。加法电路 186 输出信号的最高有效位 MSB 为符号位。SIGN BIT(MSB)表示控制计数器 180 计数方向的误差信号，也是防显示重叠电路 181 的输入。

特别有意义的信号是除法器 185 的输出 BACK PORCH REF，这是表示除法器 128 的输出进一步除以 2 后的大小的信号。BACK PORCH REF

信号为直流补偿值的一半，因而提供给自适应同步信号限幅电路 20，表示 LPF LUMA 同步信号幅值的一半。

图 3 示出了自适应同步信号限幅器 20。BACK PORCH REF 信号输入到加法电路 201 中。输入到加法电路 201 中去的还有固定数字基准补偿值。在本最佳实施例中，数字基准补偿值为-64。加法电路 201 的输出存入锁存器 202 中。锁存器 202 的输出由限制电路 203 限定到某些值的范围。在本最佳实施例中，限制器的范围从-115 至-95 。这相当于±10 IRE 的范围。限制器 203 的输出 SLICE LEVEL 耦合到比较器

204 的不倒相输入端 A 上。LPF LUMA，例如，LPF LUMA2 耦合到比较器 204 的倒相输入端 B，显示出标准波形连同其 IRE 值。A＞B 时，比较器 204 产生输出，存入锁存器 205 中。锁存器 205 和锁存器 202 由主时钟信号 CLK 启动。每当 LPF LUMA 输入信号低于限幅电平时，锁存器 205 的输出信号 COMPOSITE SYNC 低，否则高。因此同步信号限幅电平总是调节到大约后沿电平与同步信号顶尖电平之间的中间值。

锁存器 205 的输出信号 COMPOSITE SYNC 输入到锁相环电路 22 中，如图 1 所示，且输入到垂直滤波器 24 中，如图 4 细节中所示。水平锁相环 22 是一般的锁相环，这里没有详细示出。

参看图 4 。非线性垂直同步信号分离器 24 有一个递增／递减计数器 241 ，由 CLK÷36 信号启动，通过门 243 控制，门 243 本身则由防显示重叠电路 242 控制。COMPOSITE SYNC 信号确计数器由 CLK÷36 信号启动时递增折或递减计数。计数器的输出耦合到比较器 244 的不倒相输入端 A 上。A ≥B 时，比较器 244 产生输出。比较器 244 的输出存入锁存器 246 中，该锁存器也由 CLK÷36 信号计时。锁存器 246 的输出为经分离的垂直同步信号 VERT SYNC 。VERY SYNC 信

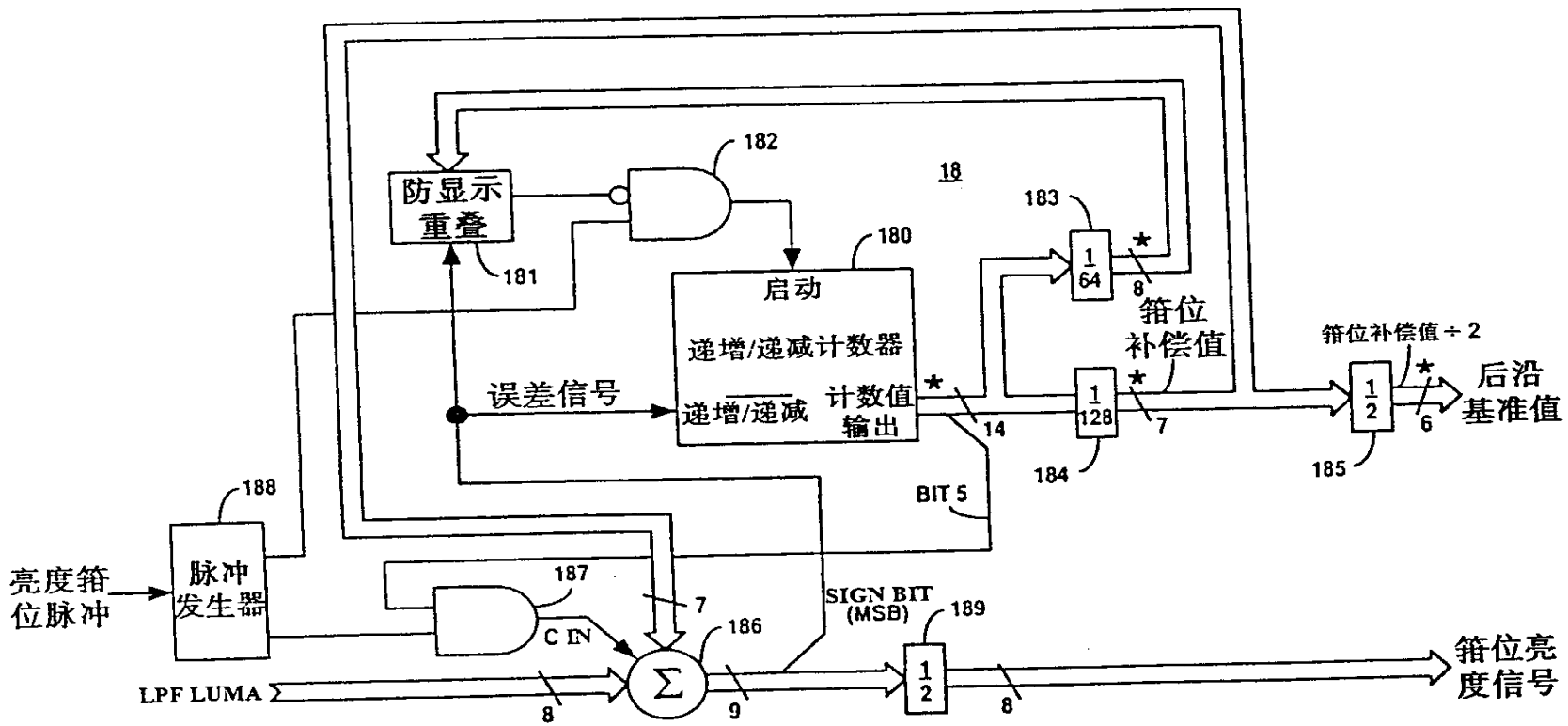
号也控制开关245。另外一些限幅电平产生滞后作用，防止VERT SYNC信号抖动。

说 明 书 附 图

辅助视频
模拟同步箝位电路
12
同步信号顶尖基准
模/数转换器
14
LUMA
数据字低通滤波器
16
LPF LUMA1
LPF LUMA2
后沿基准信号
数字后沿箝位电路
18
箝位的亮度信号
亮度箝位脉冲
边缘检测器和时延
30
CLK
水平同步
复合同步信号
自适应同步限幅器
20
水平锁相环
22
垂直同步分离器
24
垂直同步
CLK
CLK ÷ 36
÷ 36
28
主时钟 4fsc
26
10

图 1

图 2



防显示
重叠
181
182
18
180
启动
递增/递减计数器
递增/递减
计数值
输出
误差信号
183
1/64
8
箝位
补偿值
1/128
7
184
14
BIT 5
箝位补偿值÷2
1/2
6
185
后沿
基准值
188
脉冲
发生器
亮度箝
位脉冲
187
C IN
7
186
SIGN BIT
(MSB)
189
1/2
8
9
LPF LUMA
箝位亮
度信号

图 3

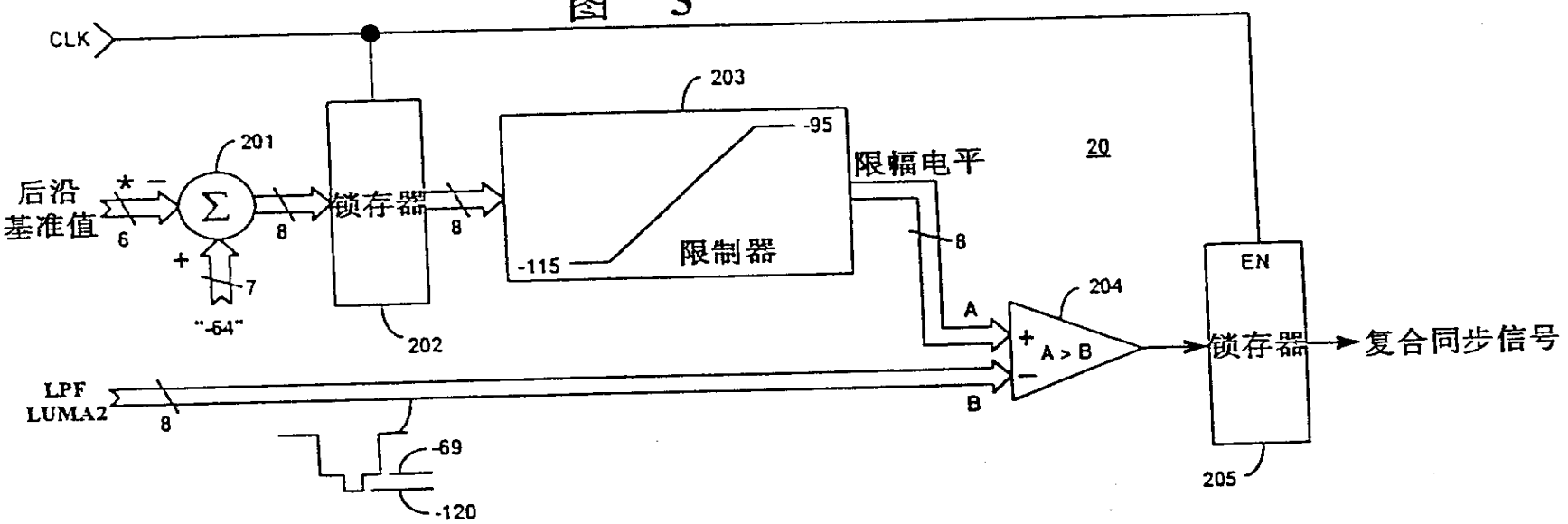
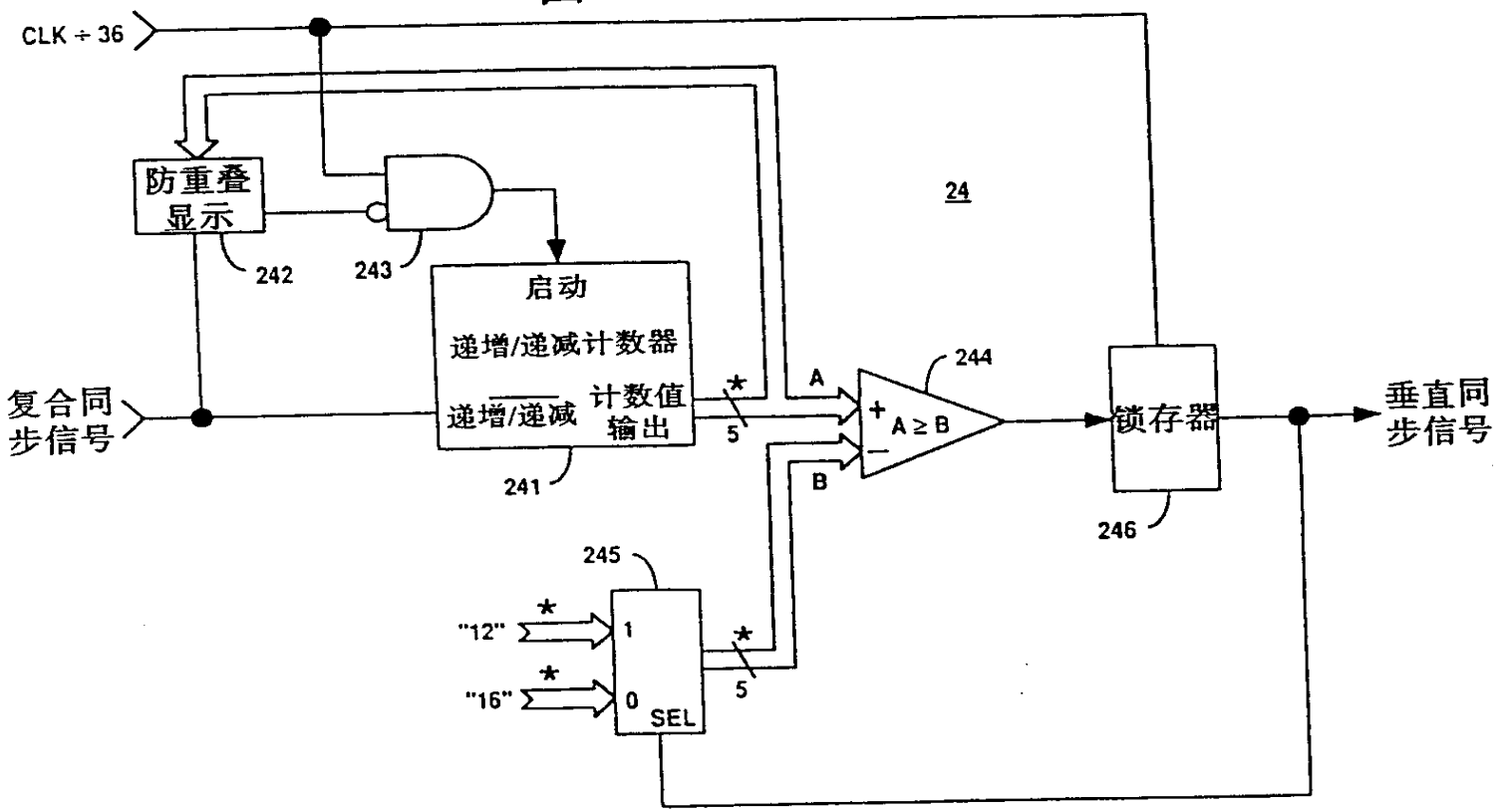

CLK
后沿
基准值
6
*
−
+
7
"-64"
Σ
201
8
锁存器
202
8
203
-95
-115
限制器
限幅电平
20
8
A
B
204
+
−
A > B
EN
锁存器
复合同步信号
205
LPF
LUMA2
8
-69
-120

图 4


CLK ÷ 36
防重叠显示
242
243
24
启动
递增/递减计数器
递增/递减
计数值输出
241
复合同步信号
5
A
B
244
+
−
A ≥ B
锁存器
246
垂直同步信号
245
"12"
"16"
1
0
SEL
5