

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月5日(05.12.2019)



(10) 国際公開番号

WO 2019/229828 A1

(51) 国際特許分類:

H01L 23/48 (2006.01)

(21) 国際出願番号:

PCT/JP2018/020473

(22) 国際出願日:

2018年5月29日(29.05.2018)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

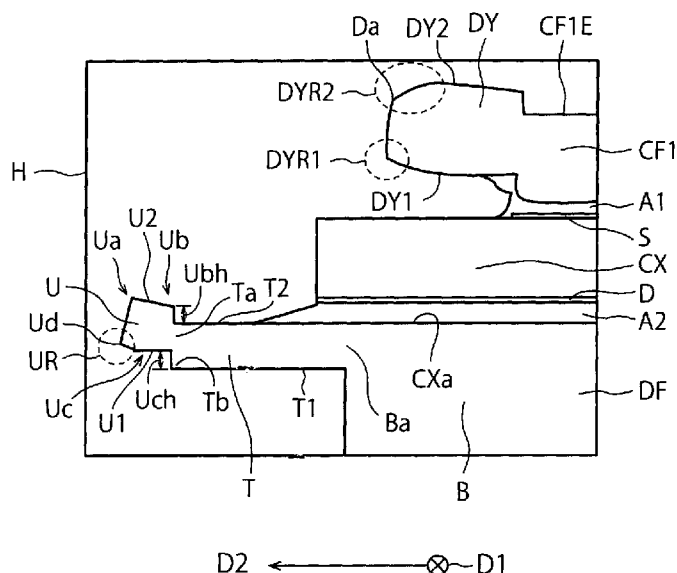
(71) 出願人: 新 電 元 工 業 株 式 会 社 (SHIN-DENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町2丁目2番1号 Tokyo (JP). 株式会社加藤電器製作所 (KATO ELECTRIC CO., LTD.) [JP/JP]; 〒4020200 山梨県南都留郡道志村11250 Yamanashi (JP).

(72) 発明者: 漆 畑 博 可 (URUSHIHATA Hiroyoshi); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 茂野 隆 (SHIGENO Takashi); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 伊藤 瑛基 (ITO Eiki); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 木村 渉 (KIMURA Wataru); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 遠藤 弘隆 (ENDO Hirotaka); 〒4030005 山梨県富士吉田市上吉田6392 株式会社加藤電器製作所内 Yamanashi (JP). 小池 俊央 (KOIKE Toshio); 〒4030005 山梨県富士吉田市上吉田6392 株式会社加藤電器製作所内 Yamanashi (JP). 河野 俊紀 (KOUNO Toshiki); 〒4030005

(54) Title: SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体モジュール

[図7]



(57) **Abstract:** This semiconductor module is provided with a die pad frame (DF), a semiconductor chip (CX), a conductive connection member (A2) for a die pad, and a sealing resin (H). The die pad frame has a protruding section (T) that is provided to the upper side of an end (Ba) of the body (B) of the die pad frame, that extends from the upper surface of the body of the die pad frame in a direction parallel to the upper surface of the body of the die pad frame, and that is for improving adhesion with the sealing resin. An anchoring section (U) positioned partially above the upper surface of the protruding section is provided to the tip of the protruding section.

[続葉有]

山梨県富士吉田市上吉田 6 3 9 2 株式会社
加藤電器製作所内 Yamanashi (JP).

(74) 代理人: 永井 浩之, 外 (NAGAI Hiroshi et al.);
〒1000005 東京都千代田区丸の内 1 丁目
6 番 6 号 日本生命丸の内ビル 協和特
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体モジュールは、ダイパッドフレーム (D F) と、半導体チップ (C X) と、ダイパッド用導電性接続部材 (A 2) と、封止樹脂 (H) とを備え、前記ダイパッドフレームは、前記ダイパッドフレームの本体 (B) の端部 (B a) の上側に設けられ且つ前記ダイパッドフレームの本体の上面から前記ダイパッドフレームの本体の上面と平行な方向に延在し、前記封止樹脂との密着性を向上するための突起部 (T) を有し、前記突起部の先端には、前記突起部の上面よりも部分的に上方に位置する係止部 (U) が設けられている。

明 細 書

発明の名称：半導体モジュール

技術分野

[0001] 本発明は、半導体モジュールに関する。

背景技術

[0002] 従来、半導体チップと、この半導体チップにボンディングワイヤにより電氣的に接続されたリードフレームと、半導体チップとリードフレームとを封止する封止樹脂と、半導体チップに接着材等で接合されたダイパッドフレームと、を備えた半導体モジュールが知られている（例えば、特開平０６－２６０５７２、特開２００８－３１１３６６等参照）。

[0003] このような、半導体モジュールでは、ダイパッドフレームの端部に突起部を設けることで、封止樹脂と当該ダイパッドフレームとの間の密着性を向上させている。

[0004] しかしながら、このような半導体モジュールでは、半導体チップが配置されるダイパッドフレームＤＦの端部において、封止樹脂ＨのクラックＫや剥離が発生する問題がある（図１４、図１５）。

発明の開示

発明が解決しようとする課題

[0005] そこで、本発明は、ダイパッドフレームの端部近傍において、半導体チップとダイパッドフレームとを電氣的に接続する導電性接続部材が流れるのを抑制しつつ、ダイパッドフレームの端部における封止樹脂のクラックの発生や剥離を抑制することができる半導体モジュールを提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様に係る実施形態に従った半導体モジュールは、
ダイパッドフレームと、
前記ダイパッドフレームの上面のチップ領域に配置され、上面に第１電極

が設けられ且つ下面に第 2 電極が設けられた半導体チップと、

前記半導体チップの前記第 2 電極と前記ダイパッドフレームの上面との間に位置し、前記半導体チップの前記第 2 電極と前記ダイパッドフレームの上面とを電氣的に接続するダイパッド用導電性接続部材と、

前記半導体チップ、前記ダイパッドフレーム、及び、前記ダイパッド用導電性接続部材を封止する封止樹脂と、を備え、

前記ダイパッドフレームは、

前記ダイパッドフレームの本体の端部の上側に設けられ且つ前記ダイパッドフレームの前記本体の上面から前記ダイパッドフレームの前記本体の上面と平行な方向に延在し、前記封止樹脂との密着性を向上するための突起部を、有し、

前記突起部の先端には、前記突起部の上面よりも部分的に上方に位置する係止部が設けられている

ことを特徴とする。

[0007] 前記半導体モジュールにおいて、

前記半導体チップの上面に配置された第 1 のクリップフレームと、

前記半導体チップの前記第 1 電極と前記第 1 のクリップフレームの下面との間に位置し、前記半導体チップの前記第 1 電極と前記第 1 のクリップフレームの下面とを電氣的に接続する第 1 のクリップ用導電性接続部材と、をさらに備える

ことを特徴とする。

[0008] 前記半導体モジュールにおいて、

前記係止部は、前記突起部の先端の上面から上方に突出する段差を有することを特徴とする。

[0009] 前記半導体モジュールにおいて、

前記係止部は、前記突起部の先端の上面から上方に段階的に突出する複数の段差を有する

ことを特徴とする。

- [0010] 前記半導体モジュールにおいて、
前記係止部の上部の高さは、前記ダイパッド用導電性接続部材の流れ止めをするように、前記ダイパッド用導電性接続部材の上部の高さよりも、高くなっている
ことを特徴とする。
- [0011] 前記半導体モジュールにおいて、
前記突起部が延在する前記方向において、前記係止部の長さは、前記突起部のうち前記係止部を除く部分の長さよりも、短い
ことを特徴とする。
- [0012] 前記半導体モジュールにおいて、
前記突起部は、前記ダイパッドフレームの前記本体の上面の端部の周囲に沿って、連続的に設けられている
ことを特徴とする。
- [0013] 前記半導体モジュールにおいて、
前記係止部の端部は、矩形の形状、又は、湾曲した形状を有する
ことを特徴とする。
- [0014] 前記半導体モジュールにおいて、
前記係止部は、前記突起部の先端を上方に押圧することで形成されている
ことを特徴とする。
- [0015] 前記半導体モジュールにおいて、
前記封止樹脂の線膨張係数は、前記ダイパッドフレームの線膨張係数よりも、小さく、且つ、前記半導体チップの線膨張係数よりも、大きい
ことを特徴とする。
- [0016] 前記半導体モジュールにおいて、
前記係止部は、前記突起部の先端を上方に複数回押圧することで形成されている
ことを特徴とする。
- [0017] 前記半導体モジュールにおいて、

前記半導体チップは、

上面に前記第 1 電極よりも上面の面積が小さい第 3 電極が設けられていることを特徴とする。

[0018] 前記半導体モジュールにおいて、

前記半導体チップの上面に前記第 1 のクリップフレームと隣接して配置され、前記第 1 のクリップフレームよりも上面の面積が小さい第 2 のクリップフレームと、

前記半導体チップの前記第 3 電極と前記第 2 のクリップフレームの下面とを電氣的に接続する第 2 のクリップ用導電性接続部材と、をさらに備えることを特徴とする。

[0019] 前記半導体モジュールにおいて、

前記第 1 のクリップ用導電性接続部材、第 2 のクリップ用導電性接続部材、及びダイパッド用導電性接続部材は、はんだ部材であることを特徴とする。

[0020] 前記半導体モジュールにおいて、

前記半導体チップは、MOS トランジスタであり、

前記第 1 電極は、前記 MOS トランジスタのソース電極であり、

前記第 2 電極は、前記 MOS トランジスタのドレイン電極であり、前記第 3 電極は、前記 MOS トランジスタのゲート電極であることを特徴とする。

[0021] 前記半導体モジュールにおいて、

前記ダイパッドフレームの前記突起部は、前記突起部 T の上面に、前記ダイパッドフレームの前記本体の端部に沿って延在するように、レーザ照射により形成された 1 つ又は複数のレーザ溝が設けられていることを特徴とする。

[0022] 前記半導体モジュールにおいて、

前記突起部の上面に前記レーザ溝が延在する長さ方向に垂直な前記レーザ溝の断面形状は、V 字形状または U 字形状を有し、

前記レーザ溝のうち第１のレーザ溝の底は、前記第１のレーザ溝の幅の中心よりも前記半導体チップが配置されるチップ領域側に偏って位置していることを特徴とする。

[0023] 前記半導体モジュールにおいて、

前記突起部の上面の前記第１のレーザ溝が形成される溝領域に対する前記レーザ照射の方向は、前記突起部Ｔの上面の前記溝領域を通る垂直線から、前記係止部側に、傾いていることを特徴とする。

[0024] 前記半導体モジュールにおいて、

前記突起部の上面の前記レーザ溝が延在する長さ方向に垂直な前記レーザ溝の断面形状は、Ｖ字形状またはＵ字形状を有し、前記レーザ溝のうち第２のレーザ溝の底は、前記第２のレーザ溝の幅の中心よりも前記係止部側に偏って位置していることを特徴とする。

[0025] 前記半導体モジュールにおいて、

前記突起部の上面の前記第２のレーザ溝が形成される溝領域に対する前記レーザ照射の方向は、前記突起部の上面の前記溝領域を通る垂直線から、前記半導体チップが配置されるチップ領域側に、傾いていることを特徴とする。

[0026] 前記半導体モジュールにおいて、

前記レーザ照射によって、前記レーザ溝の内面および前記レーザ溝の周縁部が粗面化され、前記ダイパッドフレームの上面において、前記ダイパッド用導電性接続部材の濡れ広がりを抑制するようになっていることを特徴とする。

[0027] 前記半導体モジュールにおいて、

前記ダイパッドフレームは、第１の辺、一端が前記第１の辺の一端に交わる第２の辺、一端が前記第１の辺の他端に一端が交わる第３の辺、及び、一端が前記第２の辺の他端に交わり且つ他端が前記第３の辺に交わる第４の辺

を有し、

前記突起部及び前記係止部は、前記第 1、第 2、及び第 3 の辺に沿った領域に形成されており、且つ、前記第 4 の辺に沿った領域には形成されておらず、

前記ダイパッドフレームの上面の前記第 4 の辺に沿った前記領域には、前記本体を貫通し、前記封止樹脂との密着性を向上するための貫通孔が形成されており、

前記突起部の上面に、前記ダイパッドフレームの前記第 1、第 2、及び第 3 の辺に沿って延在するように、レーザ照射により形成された前記レーザ溝が設けられており、

前記第 4 の辺に沿って、前記貫通孔が形成された前記領域と前記チップ領域との間に、レーザ照射により形成された 1 つ又は複数の追加レーザ溝が設けられている

ことを特徴とする。

[0028] 前記半導体モジュールにおいて、

前記レーザ溝は、前記ダイパッドフレームの前記第 1、第 2、及び第 3 の辺に沿って連続的に設けられており、

前記追加レーザ溝の本数は、前記レーザ溝の本数よりも、多いことを特徴とする。

[0029] 前記半導体モジュールにおいて、

前記レーザ溝と前記追加レーザ溝とが連通し、前記半導体チップが配置される前記ダイパッドフレームのチップ領域の外周を囲むように、形成されている

ことを特徴とする。

[0030] 前記半導体モジュールにおいて、

前記ダイパッドフレームを構成する導電性金属材料は、銅材、又は、銅材に Sn、Zn、Fe、Cr、Ni の何れかの異種金属を添加した合金であり、前記ダイパッドフレームの表面はめっき処理されていない

ことを特徴とする。

- [0031] 前記半導体モジュールにおいて、
前記係止部の下面と前記突起部の下面との間の段差の高さは、前記係止部の上面と前記突起部の上面との間の段差の高さ以上であることを特徴とする。

- [0032] 前記半導体モジュールにおいて、
前記係止部の下面は、前記係止部の端部に向かって上方に傾斜していることを特徴とする。

- [0033] 前記半導体モジュールにおいて、
前記第1のクリップフレームの上面の端部には、前記半導体チップの上面から離間するように、前記第1のクリップフレームの上面よりも部分的に上方に位置するクリップ用係止部が設けられており、
前記クリップ用係止部の下面は、前記クリップ用係止部の端部に向かって上方に傾斜していることを特徴とする。

- [0034] 前記半導体モジュールにおいて、
前記クリップ用係止部の上面は、前記クリップ用係止部の端部に向かって下方に傾斜していることを特徴とする。

- [0035] 前記半導体モジュールにおいて、
前記係止部の下面に繋がる前記突起部の下面の端部は、湾曲した形状を有することを特徴とする。

- [0036] 前記半導体モジュールにおいて、
前記係止部の下面の端部は、湾曲した形状を有することを特徴とする。

発明の効果

- [0037] 本発明の一態様に係る半導体モジュールは、ダイパッドフレームと、ダイ

パッドフレームの上面のチップ領域に配置され、上面に第 1 電極が設けられ且つ下面に第 2 電極が設けられた半導体チップと、半導体チップの第 2 電極とダイパッドフレームの上面との間に位置し、半導体チップの第 2 電極とダイパッドフレームの上面とを電氣的に接続するダイパッド用導電性接続部材と、半導体チップ、ダイパッドフレーム、及び、ダイパッド用導電性接続部材を封止する封止樹脂と、を備える。

[0038] そして、ダイパッドフレームは、ダイパッドフレームの端部の上側に設けられ且つダイパッドフレームの上面からダイパッドフレームの上面と平行な方向に延在し、封止樹脂との密着性を向上するための突起部を、有し、突起部の先端には、当該突起部の上面よりも部分的に上方に位置する係止部が設けられている。

[0039] これにより、ダイパッドフレームの突起部の先端の係止部が、ダイパッド用導電性接続部材を堰き止めることができる。

[0040] さらに、ダイパッドフレームの突起部の先端近傍において、当該係止部が、封止樹脂の収縮を抑えることで、当該封止樹脂のクラックの発生や剥離を抑制することができる。

[0041] このように、本発明の半導体モジュールによれば、ダイパッドフレームの端部の近傍において、半導体チップとダイパッドフレームとを電氣的に接続する導電性接続部材が流れるのを抑制しつつ、ダイパッドフレームの端部における封止樹脂のクラックの発生や剥離を抑制することができる。

図面の簡単な説明

[0042] [図1]図 1 は、実施例 1 に係る半導体モジュール 100 の構成の外観の一例を示す上面図である。

[図2]図 2 は、図 1 に示す半導体モジュール 100 の構成の外観の一例を示す下面図である。

[図3]図 3 は、図 1 に示す半導体モジュール 100 の構成の外観の一例を示す第 1 の方向 D 1 の反対から見た側面図である。

[図4]図 4 は、図 1 に示す半導体モジュール 100 の構成の外観の一例を示す

第2の方向D2から見た側面図である。

[図5]図5は、図1に示す半導体モジュール100の構成の外観の一例を示す第1の方向D1から見た側面図である。

[図6]図6は、図1に示す半導体モジュール100の内部の構成の一例を示す上面図である。

[図7]図7は、図6に示す半導体モジュールのN-N線に沿った断面の一例を示す断面図である。

[図8]図8は、図6に示す半導体モジュールのN-N線に沿った断面の他の例を示す断面図である。

[図9]図9は、実施例2に係る半導体モジュールの断面の一例を示す断面図である。

[図10]図10は、実施例2に係る半導体モジュールの断面の他の例を示す断面図である。

[図11]図11は、実施例2に係る半導体モジュールのダイパッドフレームDFの上面の構成の一例を示す上面図である。

[図12]図12は、レーザ照射によりダイパッドフレームDFの突起部Tの上面にレーザ溝LMを形成する工程の一例を示すダイパッドフレームDFの断面図である。

[図13]図13は、レーザ照射によりダイパッドフレームDFの突起部Tの上面に第1、第2のレーザ溝LMa、LMbを形成する工程の一例を示すダイパッドフレームDFの断面図である。

[図14]図14は、従来の半導体モジュールの構成の一例を示す下面図である。

[図15]図15は、図14に示す従来の半導体モジュールのN-N線に沿った断面の一例を示す図である。

発明を実施するための形態

[0043] 以下、本発明に係る実施形態について図面に基づいて説明する。

実施例 1

[0044] 図1は、実施例1に係る半導体モジュール100の構成の外観の一例を示す上面図である。また、図2は、図1に示す半導体モジュール100の構成の外観の一例を示す下面図である。また、図3は、図1に示す半導体モジュール100の構成の外観の一例を示す第1の方向D1の反対から見た側面図である。また、図4は、図1に示す半導体モジュール100の構成の外観の一例を示す第2の方向D2から見た側面図である。また、図5は、図1に示す半導体モジュール100の構成の外観の一例を示す第1の方向D1から見た側面図である。また、図6は、図1に示す半導体モジュール100の内部の構成の一例を示す上面図である。また、図7は、図6に示す半導体モジュールのN-N線に沿った断面の一例を示す断面図である。また、図8は、図6に示す半導体モジュールのN-N線に沿った断面の他の例を示す断面図である。なお、図6において、封止部材Aは透視されるように表記されている。

[0045] ここで、例えば、図1ないし図8に示すように、実施例1に係る半導体モジュール100は、ダイパッドフレーム（リードフレーム）DFと、半導体チップCXと、ダイパッド用導電性接続部材A2と、封止樹脂Hと、第1のクリップフレームCF1と、第1のクリップ用導電性接続部材A1と、第2のクリップフレームCF2と、第2のクリップ用導電性接続部材A3と、を備える。

[0046] 本実施例では、この半導体モジュール100は、3端子の半導体装置（MOSトランジスタ）として機能するようになっている。

[0047] そして、半導体チップCXは、ダイパッドフレームDFの上面のチップ領域CXaに配置されている。

[0048] この半導体チップCXは、上面に第1電極（ソース電極）Sが設けられ且つ下面に第2電極（ドレイン電極）Dが設けられている。さらに、この半導体チップCXは、上面に第1電極Sよりも上面の面積が小さい第3電極（ゲート電極）Gが設けられている。

[0049] なお、この半導体チップCXは、本実施例では、例えば、MOSトランジ

スタである。この場合、第1電極Sは、当該MOSトランジスタのソース電極である。そして、第2電極Dは、当該MOSトランジスタのド레인電極である。また、第3電極Gは、当該MOSトランジスタのゲート電極である。

[0050] また、ダイパッド用導電性接続部材A2は、半導体チップCXの第2電極DとダイパッドフレームDFの上面との間に位置している。

[0051] このダイパッド用導電性接続部材A2は、半導体チップCXの第2電極DとダイパッドフレームDFの上面とを電氣的に接続するようになっている。

[0052] このダイパッド用導電性接続部材A2は、例えば、はんだ部材である。

[0053] また、第1のクリップフレームCF1は、例えば、図6、図7に示すように、半導体チップCXの上面に配置されている。

[0054] この第1のクリップフレームCF1は、例えば、図1ないし図6に示すように、封止樹脂Hから突出した端子CF1a、CF1b、CF1cを有する。

[0055] また、第1のクリップフレームCF1の上面の端部には、半導体チップCXの上面から離間するように、第1のクリップフレームCF1の上面CF1Eよりも部分的に上方に位置するクリップ用係止部DYが設けられている。なお、このクリップ用係止部DYの端部Daは、矩形の形状、又は、湾曲した形状を有するようにしてもよい。

[0056] このクリップ用係止部DYにより、第1のクリップフレームCF1の端部の近傍における封止樹脂Hが、モールドロックされるようになっている。

[0057] また、第1のクリップフレームCF1は、例えば、図6に示すように、上方からの押圧により下方に突出した4個の凸部（ダボ部）CF1Dを有する。この4個の凸部CF1Dが、例えば、半導体チップCXの上面の第1電極（ソース電極）Sに、直接もしくは第1のクリップ用導電性接続部材A1を介して接触するようになっている。

[0058] また、第1のクリップ用導電性接続部材A1は、例えば、図7、図8に示すように、半導体チップCXの第1電極Sと第1のクリップフレームCF1

の下面との間に位置している。

[0059] そして、この第1のクリップ用導電性接続部材A1は、半導体チップCXの第1電極Sと第1のクリップフレームCF1の下面とを電氣的に接続するようになっている。

[0060] なお、この第1のクリップ用導電性接続部材A1は、例えば、はんだ部材である。

[0061] また、第2のクリップフレームCF2は、半導体チップCXの上面に第1のクリップフレームCF1と隣接して配置されている。

[0062] この第2のクリップフレームCF2は、封止樹脂Hから突出している端子CF2aを有する。

[0063] この第2のクリップフレームCF2は、第1のクリップフレームCF1よりも上面の面積が小さくなっている。

[0064] また、第2のクリップ用導電性接続部材A3は、半導体チップCXの第3電極Gと第2のクリップフレームCF2の下面とを電氣的に接続するようになっている。

[0065] この第2のクリップ用導電性接続部材A3は、例えば、はんだ部材である。

[0066] また、封止樹脂Hは、半導体チップCX、ダイパッドフレームDF、第1のクリップフレームCF1、第1のクリップ用導電性接続部材A1、第2のクリップフレームCF2、第2のクリップ用導電性接続部材A3、及び、ダイパッド用導電性接続部材A2を、封止するようになっている。

[0067] なお、この封止樹脂Hの線膨張係数は、例えば、ダイパッドフレームDFの線膨張係数よりも、小さく、且つ、半導体チップCXの線膨張係数よりも、大きくなるように設定されている。

[0068] ここで、ダイパッドフレーム（リードフレーム）DFは、例えば、図6に示すように、第1の辺DF1、一端がこの第1の辺DF1の一端に交わる第2の辺DF2、一端が第1の辺DF1の他端に一端が交わる第3の辺DF3、及び、一端が第2の辺DF2の他端に交わり且つ他端が第3の辺DF3に

交わる第4の辺DFを有する。

[0069] すなわち、このダイパッドフレームDFは、略矩形の形状を有する。

[0070] このダイパッドフレームDFは、封止樹脂Hとの密着性を向上するための突起部Tを、有する。

[0071] そして、当該突起部Tは、例えば、図6、図7に示すように、ダイパッドフレームDFの本体Bの端部Baの上側に設けられ且つダイパッドフレームDFの本体Bの上面からダイパッドフレームDFの本体Bの上面と平行な方向（例えば第2の方向D2）に延在している。

[0072] この突起部Tの当該構成により、ダイパッドフレームDFと封止樹脂Hとの密着性を向上することができるようになっている。

[0073] ここで、突起部Tの先端には、突起部Tの上面よりも部分的に上方に位置する係止部Uが設けられている。

[0074] 当該係止部Uは、例えば、図7に示すように、突起部Tの先端Taの上面から上方に突出する段差Ubを有する。さらに、当該係止部Uは、下面に、先端に向かって上方に変化する段差Ucを有するようにしてもよい。

[0075] これにより、突起部Tの先端の上面近傍における封止樹脂Hを係止して、モールドロックすることができる。

[0076] なお、当該係止部Uの段差Ubは、例えば、突起部Tの先端を上方に押圧（プレス）することで形成される。

[0077] なお、当該係止部Uは、例えば、図8に示すように、突起部Tの先端Taの上面から上方に段階的（階段状）に突出する複数（2段以上）の段差Ubを有するようにしてもよい。さらに、当該係止部Uは、下面に、先端に向かって上方に階段状に設けられた複数（2段以上）の段差Ucを有するようにしてもよい。

[0078] これにより、突起部Tの先端の上面近傍における封止樹脂Hを、当該突起部Tの先端の上面から上方に段階的（階段状）に突出する複数（2段以上）の段差Ubにより係止して、確実にモールドロックすることができる。

[0079] なお、当該係止部Uの段差Ubは、例えば、突起部Tの先端を上方に複数

回押圧（プレス）することで形成される。

- [0080] また、係止部Uの上部の高さは、例えば、図7、図8に示すように、ダイパッド用導電性接続部材A2の流れ止めをするように、ダイパッド用導電性接続部材A2の上部の高さよりも、高くなるように設定してもよい。
- [0081] また、例えば、図7、図8に示すように、突起部Tが延在する方向（例えば第2の方向D2）において、係止部Uの長さは、突起部Tのうち係止部Uを除く部分の長さよりも、短くなるように設定されている。なお、必要に応じて、係止部Uの長さは、突起部Tのうち係止部Uを除く部分の長さ以上になるように設定されていてもよい。
- [0082] なお、当該係止部Uの端部Uaは、例えば、矩形の形状、又は、湾曲した形状を有するようにしてもよい。
- [0083] なお、ダイパッドフレームDFを構成する導電性金属材料は、銅（Cu）材、又は、銅（Cu）材にSn、Zn、Fe、Cr、Ni等の異種金属を添加した合金である。そして、当該ダイパッドフレームDFの表面はめっき処理されていないが、必要に応じて当該ダイパッドフレームDFの表面はめっき処理されているようにしてもよい。
- [0084] これにより、ダイパッドフレームDFの形成を容易にすることができる。
- [0085] また、突起部Tは、例えば、図6に示すように、ダイパッドフレームDFの本体Bの上面の端部Baの周囲に沿って（第1、第2、及び第3の辺DF1、DF2、DF3に沿って）、連続的に設けられている。
- [0086] また、突起部T及び係止部Uは、図6に示すように、第1、第2、及び第3の辺DF1、DF2、DF3に沿った領域に形成されており、且つ、第4の辺DF4に沿った領域には形成されていない。
- [0087] また、図6に示すように、ダイパッドフレームDFの上面の第4の辺DF4に沿った領域には、本体Bを貫通し、封止樹脂Hとの密着性を向上するための貫通孔Zが形成されている。
- [0088] この貫通孔Z内において、封止樹脂Hにより封止される側のダイパッドフレームDFの部分は、突起部Tの厚さ（ダイパッドフレームDFの中心部分

の半分の厚さ)と同じ厚さになっている。これにより、ダイパッドフレーム D F と封止樹脂 H との密着性を向上することができる。

[0089] なお、当該係止部 U は、例えば、突起部 T の厚さと同じ厚さを有するようにしてもよい。

[0090] また、係止部 U の下面 U 1 と突起部 T の下面 T 1 との間の段差 U c の高さ U c h は、係止部 U の上面 U 2 と突起部 T の上面 T 2 との間の段差 U b の高さ U b h 以上であるようにしてもよい (図 7)。

[0091] なお、係止部 U の下面 U 1 は、当該係止部 U の端部に向かって上方に傾斜しているようにしてもよい (図 7 の領域 U R)。これにより、封止樹脂 H の応力を低減することができる。

[0092] なお、第 1 のクリップフレーム C F 1 の上面 C F 1 E の端部には、半導体チップ C X の上面から離間するように、第 1 のクリップフレーム C F 1 の上面 C F 1 E よりも部分的に上方に位置する当該クリップ用係止部 D Y が設けられており、当該クリップ用係止部 D Y の下面 D Y 1 は、クリップ用係止部 D Y の端部に向かって上方に傾斜しているようにしてもよい (図 7 の領域 D Y R 1)。これにより、クリップ用係止部 D Y と半導体チップ C X の下面 D Y 1 との間の絶縁性をさらに向上することができる。

[0093] なお、クリップ用係止部 D Y の上面 D Y 2 は、クリップ用係止部 D Y の端部に向かって下方に傾斜しているようにしてもよい (図 7 の領域 D Y R 2)。これにより、クリップ用係止部 D Y の端部における封止樹脂 H の応力を低減しつつ、クリップ用係止部 D Y の端部と封止樹脂 H との密着性を向上することができる。

[0094] なお、係止部 U の下面 U 1 に繋がる突起部 T の下面の端部 T b (図 7) は、矩形の形状に代えて、湾曲した形状を有するようにしてもよい。これにより、突起部 T の端部 T b における封止樹脂 H の応力を低減することができる。

[0095] なお、係止部 U の下面 U 1 の端部 U d (図 7) は、矩形の形状に代えて、湾曲した形状を有するようにしてもよい。これにより、係止部 U の端部 U d

における封止樹脂Hの応力を低減することができる。

[0096] 以上のように、既述のような構成を有する半導体モジュール100は、ダイパッドフレームDFの突起部Tの先端の係止部Uが、ダイパッド用導電性接続部材を堰き止めることができる。

[0097] さらに、ダイパッドフレームの突起部Tの先端近傍において、当該係止部Uが、封止樹脂の収縮を抑えることで、当該封止樹脂のクラックの発生や剥離を抑制することができる。

[0098] すなわち、本実施例1に係る半導体モジュールによれば、ダイパッドフレームの端部の近傍において、半導体チップとダイパッドフレームとを電氣的に接続する導電性接続部材が流れるのを抑制しつつ、ダイパッドフレームの端部における封止樹脂のクラックの発生や剥離を抑制することができる。

実施例 2

[0099] 本実施例2では、半導体モジュールのダイパッドフレームDFの突起部Tの上面にレーザ溝が設けられた構成の一例について説明する。

[0100] 図9は、実施例2に係る半導体モジュールの断面の一例を示す断面図である。また、図10は、実施例2に係る半導体モジュールの断面の他の例を示す断面図である。また、図11は、実施例2に係る半導体モジュールのダイパッドフレームDFの上面の構成の一例を示す上面図である。また、図12は、レーザ照射によりダイパッドフレームDFの突起部Tの上面にレーザ溝LMを形成する工程の一例を示すダイパッドフレームDFの断面図である。また、図13は、レーザ照射によりダイパッドフレームDFの突起部Tの上面に第1、第2のレーザ溝LMa、LMbを形成する工程の一例を示すダイパッドフレームDFの断面図である。

[0101] なお、図9、図10の半導体モジュールの断面は、実施例1の図6のN-N線に沿った断面に当該溝が追加されたものである。また、図11に示す実施例2に係る半導体モジュールのダイパッドフレームDFは、実施例1の図1ないし図6に示す半導体モジュール100に適用される。

[0102] 例えば、図9ないし図11に示すように、ダイパッドフレームDFの突起

部 T は、突起部 T の上面に、ダイパッドフレーム D F の本体 B の端部 B a に沿って延在するように、レーザ照射により形成された 1 つ又は複数のレーザ溝 L M (L M 1、L M 2、L M 3) が設けられている。

[0103] そして、突起部 T の上面にレーザ溝 L M が延在する長さ方向（例えば、図 9、図 10 の第 1 の方向 D 1）に垂直なレーザ溝 L M の断面形状は、V 字形状を有する。

[0104] なお、突起部 T の上面にレーザ溝 L M が延在する長さ方向（例えば、図 9、図 10 の第 1 の方向 D 1）に垂直なレーザ溝 L M の断面形状は、U 字形状を有するようにしてもよい。

[0105] また、ダイパッドフレーム D F は、例えば、図 11 に示すように、第 1 の辺 D F 1、一端がこの第 1 の辺 D F 1 の一端に交わる第 2 の辺 D F 2、一端が第 1 の辺 D F 1 の他端に一端が交わる第 3 の辺 D F 3、及び、一端が第 2 の辺 D F 2 の他端に交わり且つ他端が第 3 の辺 D F 3 に交わる第 4 の辺 D F を有する。

[0106] すなわち、このダイパッドフレーム D F は、実施例 1 と同様に、略矩形状を有する。

[0107] また、突起部 T 及び係止部 U は、図 11 に示すように、第 1、第 2、及び第 3 の辺 D F 1、D F 2、D F 3 に沿った領域に形成されており、且つ、第 4 の辺 D F 4 に沿った領域には形成されていない。

[0108] また、図 11 に示すように、ダイパッドフレーム D F の上面の第 4 の辺 D F 4 に沿った領域には、本体 B を貫通し、封止樹脂 H との密着性を向上するための貫通孔 Z が形成されている。

[0109] 特に、本実施例 2 では、図 11 に示すように、突起部 T の上面に、ダイパッドフレーム D F の第 1、第 2、及び第 3 の辺 F 1、D F 2、D F 3 に沿って延在するように、レーザ照射により形成されたレーザ溝 L M (L M 1、L M 2、L M 3) が設けられている。

[0110] さらに、本実施例 2 では、図 11 に示す第 4 の辺 D F 4 に沿って、貫通孔 Z が形成された領域とチップ領域 C X との間に、レーザ照射により形成され

た複数の追加レーザ溝LM4 a、LM4 b、LM4 c、LM4 dが設けられている。

[0111] なお、図11の例では、追加レーザ溝が4本の場合を示しているが、1～3本、若しくは、5本以上であってもよい。

[0112] また、例えば、図11に示すように、レーザ溝LM1、LM2、LM3は、ダイパッドフレームDFの第1、第2、及び第3の辺DF1、DF2、DF3に沿って連続的に設けられている。

[0113] また、例えば、図11に示すように、追加レーザ溝LM4 a、LM4 b、LM4 c、LM4 dの本数（図11の例では4本）は、連続するレーザ溝LM1、LM2、LM3の本数（図11の例では1本）よりも、多くなるように設定されている。

[0114] また、例えば、図11に示すように、連続するレーザ溝LM1、LM2、LM3と追加レーザ溝LM4 aとが連通し、半導体チップCXが配置されるダイパッドフレームDFのチップ領域CXaの外周を囲むように、形成されている。

[0115] なお、実施例1と同様に、ダイパッドフレームDFを構成する導電性金属材料は、銅(Cu)材、又は、銅(Cu)材にSn、Zn、Fe、Cr、Ni等の異種金属を添加した合金である。そして、当該ダイパッドフレームDFの表面はめっき処理されていないが、必要に応じて当該ダイパッドフレームDFの表面はめっき処理されているようにしてもよい。

[0116] これにより、ダイパッドフレームDFの形成を容易にすることができる。

[0117] ここで、例えば、図12に示すように、レーザ溝LMを形成する場合において、突起部Tの上面のレーザ溝LMが形成される溝領域DXに対するレーザ照射の方向DLは、突起部Tの上面の溝領域DXを通る垂直線Pと平行に設定する。

[0118] これにより、レーザ溝LMの底が、レーザ溝LMの幅（例えば、第2の方向D2の幅）の中心を通るように、断面形状が略V字形状のレーザ溝LMを形成することができる。

- [0119] 特に、このレーザ照射によって、レーザ溝LMの内面およびレーザ溝LMの周縁部が粗面化され、ダイパッドフレームDFの上面において、ダイパッド用導電性接続部材A2の濡れ広がりを抑制するようになっている。
- [0120] また、例えば、図13に示すように、レーザ溝LMのうち第1のレーザ溝LMaの底LMasは、第1のレーザ溝LMaの幅（例えば、第2の方向D2の幅）の中心LMamよりも半導体チップCXが配置されるチップ領域Cxa側に偏って（近接して）位置するようにしてもよい。
- [0121] これにより、封止樹脂Hのモールドロックをより確実に実施することができる。
- [0122] ここで、当該第1のレーザ溝LMaを形成する場合には、例えば、図13に示すように、突起部Tの上面の第1のレーザ溝LMaが形成される溝領域DXに対するレーザ照射の方向DLaは、突起部Tの上面の溝領域DXを通る垂直線Pから、係止部U側に、傾くように設定する。
- [0123] これにより、第1のレーザ溝LMaの底LMasが、第1のレーザ溝LMaの幅（例えば、第2の方向D2の幅）の中心LMamよりもチップ領域Cxa側に偏って（近接して）位置するように、第1のレーザ溝LMaを形成することができる。
- [0124] また、例えば、図13に示すように、レーザ溝LMのうち第2のレーザ溝LMbの底LMbsは、第2のレーザ溝LMbの幅（例えば、第2の方向D2の幅）の中心LMbmよりも係止部U側に偏って（近接して）位置するようにしてもよい。
- [0125] これにより、例えば、ダイパッド用導電性接続部材A2の流れ止めをより確実に実施することができる。
- [0126] ここで、当該第2のレーザ溝LMbを形成する場合には、例えば、図13に示すように、突起部Tの上面の第2のレーザ溝LMbが形成される溝領域DXに対するレーザ照射の方向DLbは、突起部Tの上面の溝領域DXを通る垂直線Pから、半導体チップCXが配置されるチップ領域Cxa側に、傾くように設定する。

[0127] これにより、第2のレーザ溝LMbの底LMbsが、第2のレーザ溝LMbの幅（例えば、第2の方向D2の幅）の中心LMbmよりも係止部U側に偏って（近接して）位置するように、第2のレーザ溝LMbを形成することができる。

[0128] なお、この実施例2におけるその他の半導体モジュールの構成は、実施例1と同様である。

[0129] すなわち、実施例2に係る半導体モジュールによれば、ダイパッドフレームの端部の近傍において、半導体チップとダイパッドフレームとを電氣的に接続する導電性接続部材が流れるのを抑制しつつ、ダイパッドフレームの端部における封止樹脂のクラックの発生や剥離を抑制することができる。

実施例 3

[0130] 既述の実施例1では、半導体チップCXが、MOSFETである例について説明したが、他の半導体素子を適用するようにしてもよい。

[0131] すなわち、半導体チップCXは、例えば、ダイオードやIGBT（Insulated Gate Bipolar Transistor）、他のFET等を適用するようにしてもよい。

[0132] なお、この実施例3におけるその他の半導体モジュールの構成は、実施例1又は実施例2と同様である。

[0133] すなわち、実施例3に係る半導体モジュールによれば、ダイパッドフレームの端部の近傍において、半導体チップとダイパッドフレームとを電氣的に接続する導電性接続部材が流れるのを抑制しつつ、ダイパッドフレームの端部における封止樹脂のクラックの発生や剥離を抑制することができる。

[0134] 以上のように、本発明の一態様に係る半導体モジュールは、ダイパッドフレーム（リードフレーム）DFと、ダイパッドフレームの上面のチップ領域CXaに配置され、上面に第1電極（ソース電極）が設けられ且つ下面に第2電極（ドレイン電極）が設けられた半導体チップCXと、半導体チップの第2電極とダイパッドフレームの上面との間に位置し、半導体チップの第2電極とダイパッドフレームの上面とを電氣的に接続するダイパッド用導電性

接続部材 A 2 と、半導体チップ、ダイパッドフレーム、及び、ダイパッド用導電性接続部材を封止する封止樹脂 H と、を備える。

[0135] そして、ダイパッドフレーム D F は、ダイパッドフレームの端部の上側に設けられ且つダイパッドフレームの上面からダイパッドフレームの上面と平行な方向に延在し、封止樹脂との密着性を向上するための突起部 T を、有し、突起部 T の先端には、当該突起部 T の上面よりも部分的に上方に位置する係止部 U が設けられている。

[0136] これにより、ダイパッドフレームの突起部 T の先端の係止部 U が、ダイパッド用導電性接続部材を堰き止めることができる。さらに、ダイパッドフレームの突起部 T の先端近傍において、当該係止部 U が、封止樹脂の収縮を抑えることで、当該封止樹脂のクラックの発生や剥離を抑制することができる。

[0137] このように、本発明の半導体モジュールによれば、ダイパッドフレームの端部の近傍において、半導体チップとダイパッドフレームとを電氣的に接続する導電性接続部材が流れるのを抑制しつつ、ダイパッドフレームの端部における封止樹脂のクラックの発生や剥離を抑制することができる。

[0138] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

[0139] 1 0 0 半導体モジュール

D F ダイパッドフレーム（リードフレーム）

C X 半導体チップ

A 2 ダイパッド用導電性接続部材

H 封止樹脂

C F 1 第1のクリップフレーム

A 1 第1のクリップ用導電性接続部材

C F 2 第2のクリップフレーム

A 3 第2のクリップ用導電性接続部材

D F 1 第1の辺

D F 2 第2の辺

D F 3 第3の辺

D F 4 第4の辺

T 突起部

B 本体

L M レーザ溝

L M 1、L M 2、L M 3 レーザ溝

L M 4 a、L M 4 b、L M 4 c、L M 4 d 追加レーザ溝

請求の範囲

[請求項1]

ダイパッドフレームと、
前記ダイパッドフレームの上面のチップ領域に配置され、上面に第1電極が設けられ且つ下面に第2電極が設けられた半導体チップと、
前記半導体チップの前記第2電極と前記ダイパッドフレームの上面との間に位置し、前記半導体チップの前記第2電極と前記ダイパッドフレームの上面とを電氣的に接続するダイパッド用導電性接続部材と、
前記半導体チップ、前記ダイパッドフレーム、及び、前記ダイパッド用導電性接続部材を封止する封止樹脂と、を備え、
前記ダイパッドフレームは、
前記ダイパッドフレームの本体の端部の上側に設けられ且つ前記ダイパッドフレームの前記本体の上面から前記ダイパッドフレームの前記本体の上面と平行な方向に延在し、前記封止樹脂との密着性を向上するための突起部を、有し、
前記突起部の先端には、前記突起部の上面よりも部分的に上方に位置する係止部が設けられている
ことを特徴とする半導体モジュール。

[請求項2]

前記半導体チップの上面に配置された第1のクリップフレームと、
前記半導体チップの前記第1電極と前記第1のクリップフレームの下面との間に位置し、前記半導体チップの前記第1電極と前記第1のクリップフレームの下面とを電氣的に接続する第1のクリップ用導電性接続部材と、をさらに備える
ことを特徴とする請求項1に記載の半導体モジュール。

[請求項3]

前記係止部は、前記突起部の先端の上面から上方に突出する段差を有する
ことを特徴とする請求項1に記載の半導体モジュール。

[請求項4]

前記係止部は、前記突起部の先端の上面から上方に段階的に突出す

る複数の段差を有する

ことを特徴とする請求項 3 に記載の半導体モジュール。

[請求項5] 前記係止部の上部の高さは、前記ダイパッド用導電性接続部材の流れ止めをするように、前記ダイパッド用導電性接続部材の上部の高さよりも、高くなっている

ことを特徴とする請求項 3 又は 4 に記載の半導体モジュール。

[請求項6] 前記突起部が延在する前記方向において、前記係止部の長さは、前記突起部のうち前記係止部を除く部分の長さよりも、短い

ことを特徴とする請求項 4 に記載の半導体モジュール。

[請求項7] 前記突起部は、前記ダイパッドフレームの前記本体の上面の端部の周囲に沿って、連続的に設けられている

ことを特徴とする請求項 3 又は 4 に記載の半導体モジュール。

[請求項8] 前記係止部の端部は、矩形の形状、又は、湾曲した形状を有する

ことを特徴とする請求項 2 に記載の半導体モジュール。

[請求項9] 前記係止部は、前記突起部の先端を上方に押圧することで形成されている

ことを特徴とする請求項 3 に記載の半導体モジュール。

[請求項10] 前記封止樹脂の線膨張係数は、前記ダイパッドフレームの線膨張係数よりも、小さく、且つ、前記半導体チップの線膨張係数よりも、大きい

ことを特徴とする請求項 1 に記載の半導体モジュール。

[請求項11] 前記係止部は、前記突起部の先端を上方に複数回押圧することで形成されている

ことを特徴とする請求項 4 に記載の半導体モジュール。

[請求項12] 前記半導体チップは、

上面に前記第 1 電極よりも上面の面積が小さい第 3 電極が設けられている

ことを特徴とする請求項 2 に記載の半導体モジュール。

- [請求項13] 前記半導体チップの上面に前記第1のクリップフレームと隣接して配置され、前記第1のクリップフレームよりも上面の面積が小さい第2のクリップフレームと、
- 前記半導体チップの前記第3電極と前記第2のクリップフレームの下面とを電氣的に接続する第2のクリップ用導電性接続部材と、をさらに備える
- ことを特徴とする請求項12に記載の半導体モジュール。
- [請求項14] 前記第1のクリップ用導電性接続部材、第2のクリップ用導電性接続部材、及びダイパッド用導電性接続部材は、はんだ部材であることを特徴とする請求項13に記載の半導体モジュール。
- [請求項15] 前記半導体チップは、MOSトランジスタであり、
- 前記第1電極は、前記MOSトランジスタのソース電極であり、
- 前記第2電極は、前記MOSトランジスタのドレイン電極であり、
- 前記第3電極は、前記MOSトランジスタのゲート電極である
- ことを特徴とする請求項13に記載の半導体モジュール。
- [請求項16] 前記ダイパッドフレームの前記突起部は、前記突起部Tの上面に、前記ダイパッドフレームの前記本体の端部に沿って延在するように、レーザ照射により形成された1つ又は複数のレーザ溝が設けられている
- ことを特徴とする請求項1ないし15のいずれか一項に記載の半導体モジュール。
- [請求項17] 前記突起部の上面に前記レーザ溝が延在する長さ方向に垂直な前記レーザ溝の断面形状は、V字形状またはU字形状を有し、
- 前記レーザ溝のうち第1のレーザ溝の底は、前記第1のレーザ溝の幅の中心よりも前記半導体チップが配置されるチップ領域側に偏って位置している
- ことを特徴とする請求項16に記載の半導体モジュール。
- [請求項18] 前記突起部の上面の前記第1のレーザ溝が形成される溝領域に対す

る前記レーザ照射の方向は、前記突起部Tの上面の前記溝領域を通る垂直線から、前記係止部側に、傾いている

ことを特徴とする請求項17に記載の半導体モジュール。

[請求項19] 前記突起部の上面の前記レーザ溝が延在する長さ方向に垂直な前記レーザ溝の断面形状は、V字形状またはU字形状を有し、前記レーザ溝のうち第2のレーザ溝の底は、前記第2のレーザ溝の幅の中心よりも前記係止部側に偏って位置している

ことを特徴とする請求項16ないし18のいずれか一項に記載の半導体モジュール。

[請求項20] 前記突起部の上面の前記第2のレーザ溝が形成される溝領域に対する前記レーザ照射の方向は、前記突起部の上面の前記溝領域を通る垂直線から、前記半導体チップが配置されるチップ領域側に、傾いている

ことを特徴とする請求項19に記載の半導体モジュール。

[請求項21] 前記レーザ照射によって、前記レーザ溝の内面および前記レーザ溝の周縁部が粗面化され、前記ダイパッドフレームの上面において、前記ダイパッド用導電性接続部材の濡れ広がりを抑制するようになっている

ことを特徴とする請求項16に記載の半導体モジュール。

[請求項22] 前記ダイパッドフレームは、第1の辺、一端が前記第1の辺の一端に交わる第2の辺、一端が前記第1の辺の他端に一端が交わる第3の辺、及び、一端が前記第2の辺の他端に交わり且つ他端が前記第3の辺に交わる第4の辺を有し、

前記突起部及び前記係止部は、前記第1、第2、及び第3の辺に沿った領域に形成されており、且つ、前記第4の辺に沿った領域には形成されておらず、

前記ダイパッドフレームの上面の前記第4の辺に沿った前記領域には、前記本体を貫通し、前記封止樹脂との密着性を向上するための貫

通孔が形成されており、

前記突起部の上面に、前記ダイパッドフレームの前記第 1、第 2、及び第 3 の辺に沿って延在するように、レーザ照射により形成された前記レーザ溝が設けられており、

前記第 4 の辺に沿って、前記貫通孔が形成された前記領域と前記チップ領域との間に、レーザ照射により形成された 1 つ又は複数の追加レーザ溝が設けられている

ことを特徴とする請求項 16 に記載の半導体モジュール。

[請求項23] 前記レーザ溝は、前記ダイパッドフレームの前記第 1、第 2、及び第 3 の辺に沿って連続的に設けられており、

前記追加レーザ溝の本数は、前記レーザ溝の本数よりも、多い

ことを特徴とする請求項 22 に記載の半導体モジュール。

[請求項24] 前記レーザ溝と前記追加レーザ溝とが連通し、前記半導体チップが配置される前記ダイパッドフレームのチップ領域の外周を囲むように、形成されている

ことを特徴とする請求項 22 に記載の半導体モジュール。

[請求項25] 前記ダイパッドフレームを構成する導電性金属材料は、銅材、又は、銅材に Sn、Zn、Fe、Cr、Ni の何れかの異種金属を添加した合金であり、前記ダイパッドフレームの表面はめっき処理されていない

ことを特徴とする請求項 16 に記載の半導体モジュール。

[請求項26] 前記係止部の下面と前記突起部の下面との間の段差の高さは、前記係止部の上面と前記突起部の上面との間の段差の高さ以上である

ことを特徴とする請求項 2 に記載の半導体モジュール。

[請求項27] 前記係止部の下面は、前記係止部の端部に向かって上方に傾斜していることを特徴とする請求項 2 に記載の半導体モジュール。

[請求項28] 前記第 1 のクリップフレームの上面の端部には、前記半導体チップの上面から離間するように、前記第 1 のクリップフレームの上面より

も部分的に上方に位置するクリップ用係止部が設けられており、

前記クリップ用係止部の下面は、前記クリップ用係止部の端部に向かって上方に傾斜している

ことを特徴とする請求項 2 に記載の半導体モジュール。

[請求項29] 前記クリップ用係止部の上面は、前記クリップ用係止部の端部に向かって下方に傾斜している

ことを特徴とする請求項 2 8 に記載の半導体モジュール。

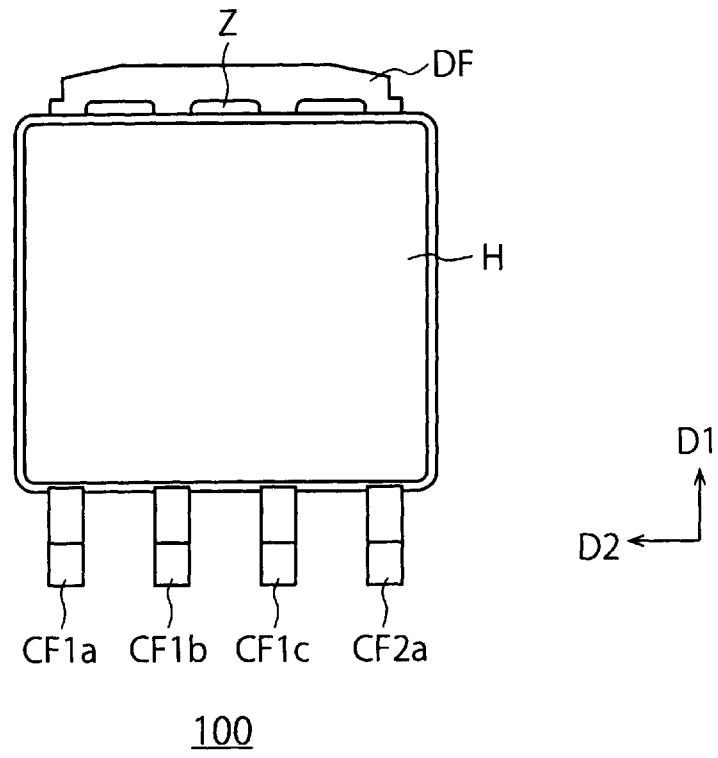
[請求項30] 前記係止部の下面に繋がる前記突起部の下面の端部は、湾曲した形状を有する

ことを特徴とする請求項 2 に記載の半導体モジュール。

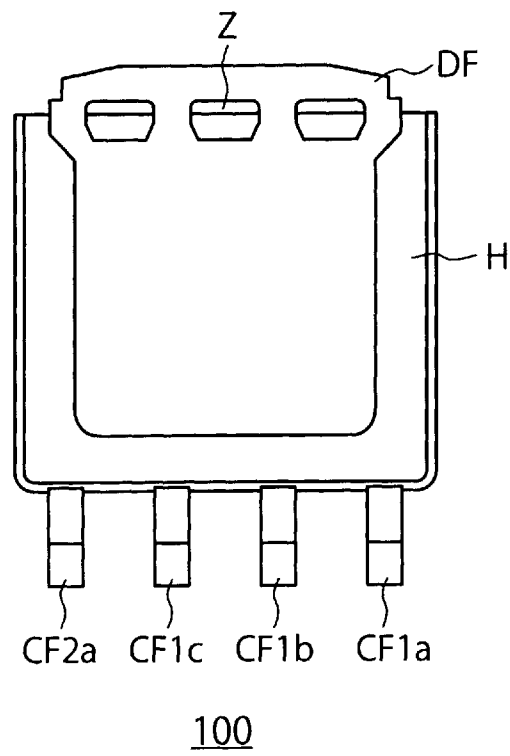
[請求項31] 前記係止部の下面の端部は、湾曲した形状を有する

ことを特徴とする請求項 2 に記載の半導体モジュール。

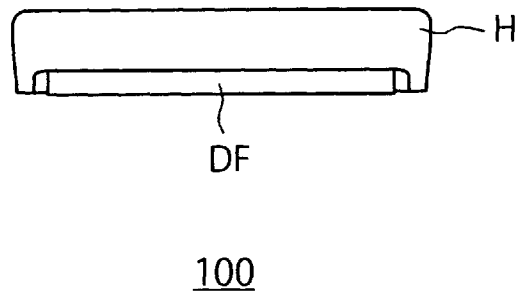
[図1]



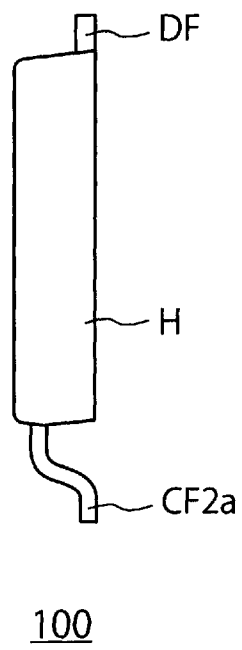
[図2]



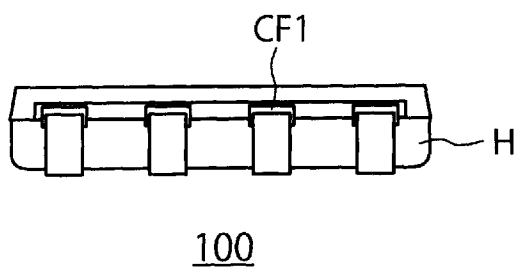
[図3]



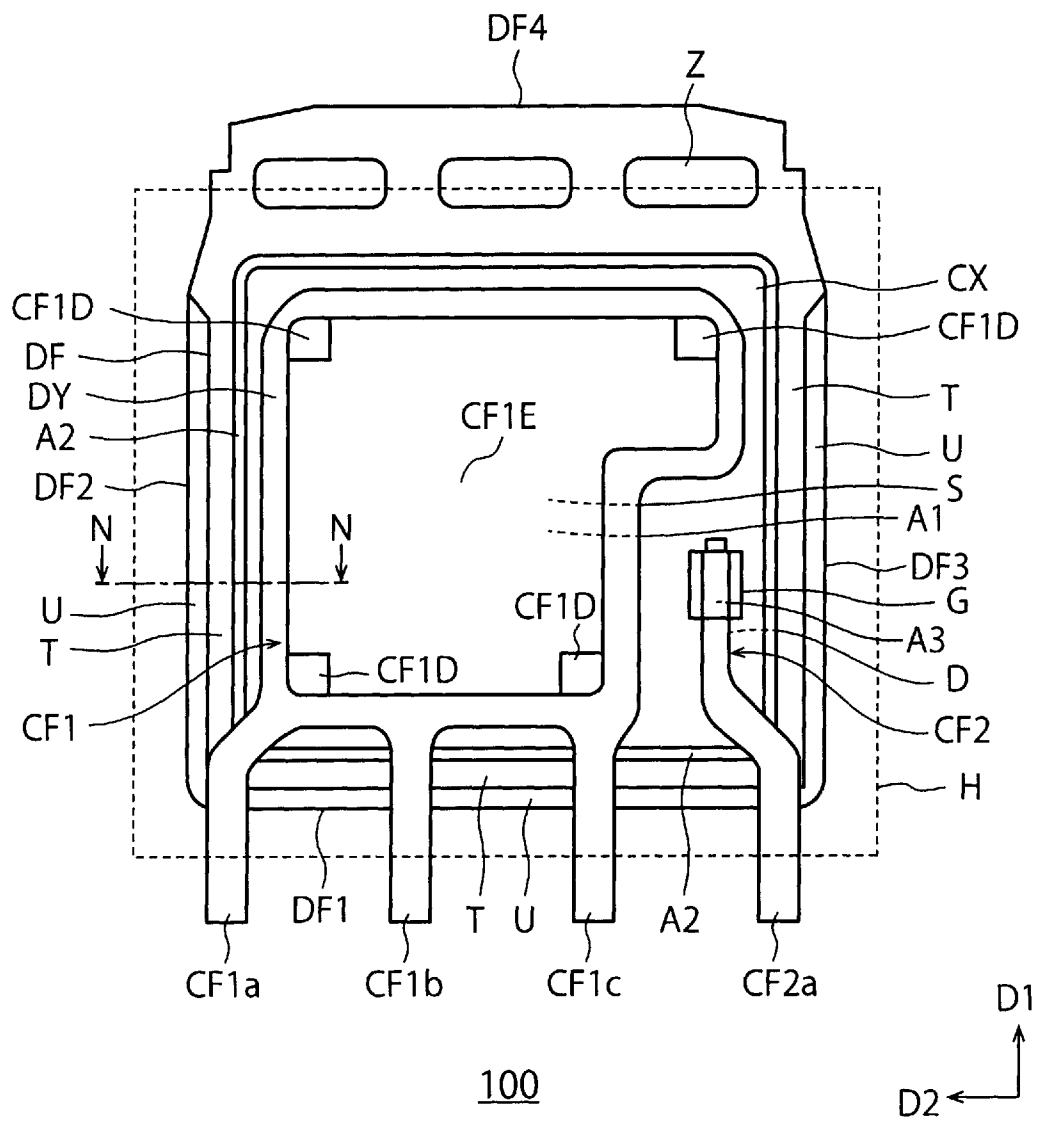
[図4]



[図5]



[図6]



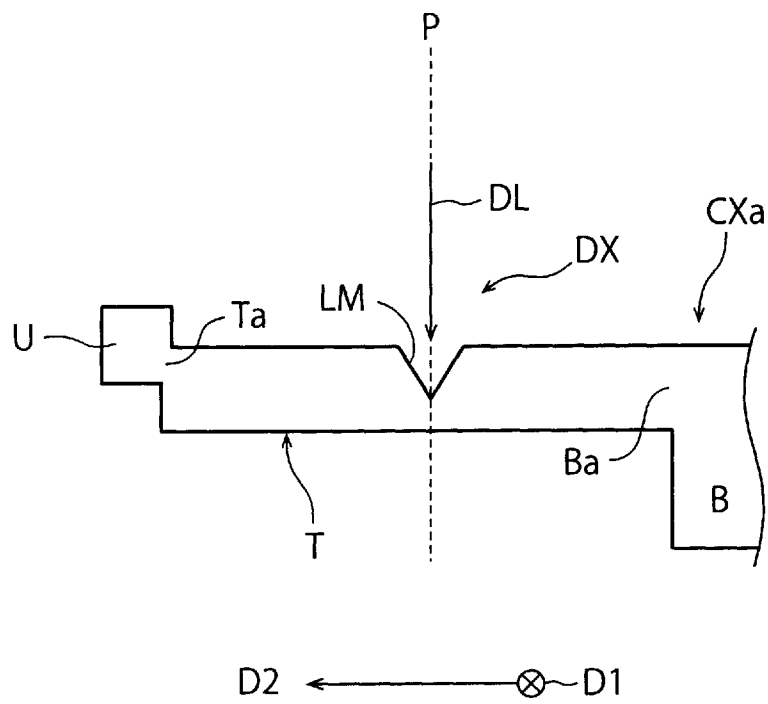
[illegible]

[illegible]

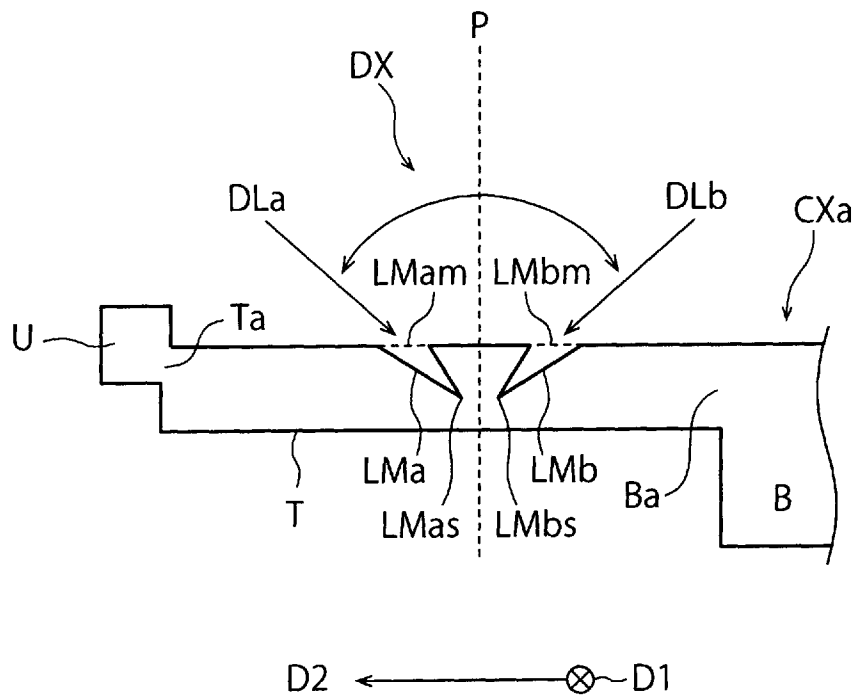
A cross-sectional view of a semiconductor device. The device is built on a substrate (B). A trench (T) is formed in the substrate. A gate stack (G) is formed on the top surface of the substrate. The gate stack includes a gate oxide layer (A1), a gate layer (S), and a gate oxide layer (A2). A source/drain region (D) is formed in the substrate. The source/drain region is covered by a contact layer (CF1). The contact layer is connected to a contact pad (DY). The contact pad is connected to a contact pad (Da). The contact pad (Da) is connected to a contact pad (Ua). The contact pad (Ua) is connected to a contact pad (Ub). The contact pad (Ub) is connected to a contact pad (Uc). The contact pad (Uc) is connected to a contact pad (Ta). The contact pad (Ta) is connected to a contact pad (Ba). The contact pad (Ba) is connected to a contact pad (CXa). The contact pad (CXa) is connected to a contact pad (DF). The contact pad (DF) is connected to a contact pad (D1). The contact pad (D1) is connected to a contact pad (D2).

[illegible]

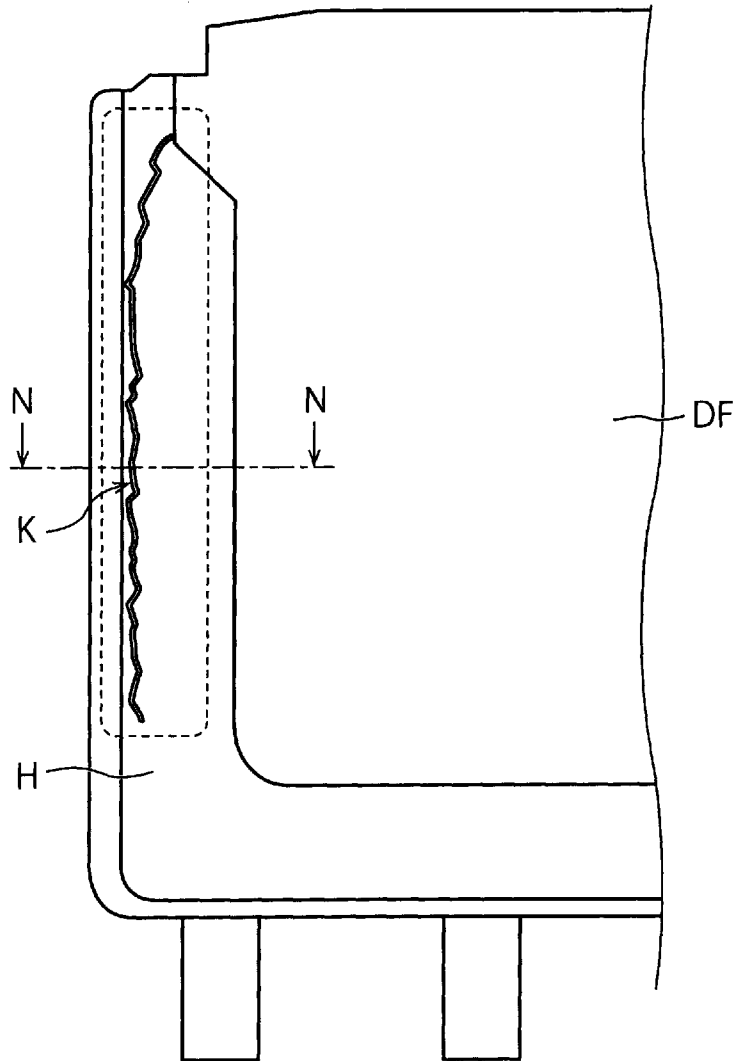
[図12]



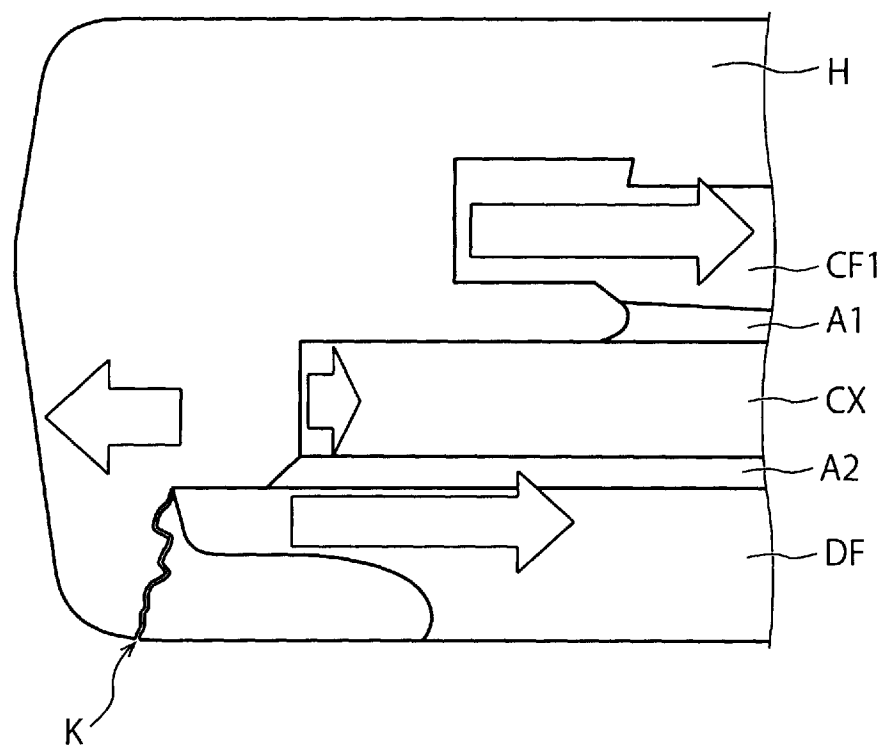
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/020473

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L23/48 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L23/48-23/50, H01L23/28-23/31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-294384 A (RENESAS TECHNOLOGY CORP.) 04	1, 3, 9
Y	December 2008, paragraphs [0088]-[0100], fig. 26-32 & US 2008/0265386 A1, paragraphs [0123]-[0135], fig. 26-32 & CN 101295687 A & KR 10-2008-0096483 A	2, 4-8, 10-16, 21, 25-27, 30, 31
A		17-20, 22-24, 28, 29
Y	JP 2016-149516 A (TOSHIBA CORP.) 18 August 2016, paragraphs [0011]-[0029], fig. 1 & US 2016/0233150	2, 8, 12-15, 25-27, 30, 31
A	A1, paragraphs [0012]-[0031], fig. 1A, 1B	17-20, 22-24, 28, 29



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
31.07.2018

Date of mailing of the international search report
28.08.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/020473

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-100722 A (HITACHI, LTD.) 05 April 2002, paragraphs [0033]-[0039], [0050]-[0052], [0055], [0056], fig. 4, 7, 9, 10 (Family: none)	4-7, 11 17-20, 22-24, 28, 29
Y A	JP 60-123047 A (TOSHIBA CORP.) 01 July 1985, page 2, lower right column, line 11, to page 3, upper right column, line 3, fig. 1, 4-7 (Family: none)	8, 27, 31 17-20, 22-24, 28, 29
Y A	JP 2015-176907 A (RENESAS ELECTRONICS CORP.) 05 October 2015, paragraphs [0066]-[0069], fig. 1, 2 & US 2015/0262922 A1, paragraphs [0098]-[0101], fig. 1, 2 & EP 2927953 A2 & CN 104916618 A & KR 10-2015-0107574 A	10 17-20, 22-24, 28, 29
Y A	WO 2017/169485 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 05 October 2017, paragraphs [0029]-[0034], fig. 7, 8 & CN 107924884 A	16, 21, 25 17-20, 22-24, 28, 29
A	JP 2006-5281 A (NIPPON INTER ELECTRONICS CORP.) 05 January 2006, paragraphs [0030]-[0034], [0039]-[0041], fig. 1-3 (Family: none)	1-31
A	JP 2002-9220 A (HITACHI, LTD.) 11 January 2002, paragraphs [0012]-[0017], fig. 1, 2 (Family: none)	1-31

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L23/48(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L23/48-23/50, H01L23/28-23/31

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2008-294384 A（株式会社ルネサステクノロジ）2008.12.04, 段落 0088-0100, 図 26-32 & US 2008/0265386 A1, 段落 0123-0135, 図 26-32 & CN 101295687 A & KR 10-2008-0096483 A	1, 3, 9 2, 4-8, 10-16, 21, 25-27, 30, 31 17-20, 22-24, 28, 29

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

31.07.2018

国際調査報告の発送日

28.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

木下 直哉

5D

3858

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-149516 A (株式会社東芝) 2016. 08. 18, 段落 0011-0029, 図 1 & US 2016/0233150 A1, 段落 0012-0031, 図 1A, 1B	2, 8, 12-15, 25 -27, 30, 31 17-20, 22-24, 28, 29
Y A	JP 2002-100722 A (株式会社日立製作所) 2002. 04. 05, 段落 0033-0039, 0050-0052, 0055-0056, 図 4, 7, 9, 10 (ファミリーなし)	4-7, 11 17-20, 22-24, 28, 29
Y A	JP 60-123047 A (株式会社東芝) 1985. 07. 01, 第 2 頁右下欄第 11 行 -第 3 頁右上欄第 3 行, 第 1, 4-7 図 (ファミリーなし)	8, 27, 31 17-20, 22-24, 28, 29
Y A	JP 2015-176907 A (ルネサスエレクトロニクス株式会社) 2015. 10. 05, 段落 0066-0069, 図 1, 2 & US 2015/0262922 A1, 段落 0098-0101, 図 1, 2 & EP 2927953 A2 & CN 104916618 A & KR 10-2015-0107574 A	10 17-20, 22-24, 28, 29
Y A	WO 2017/169485 A1 (パナソニック IP マネジメント株式会社) 2017. 10. 05, 段落 0029-0034, 図 7, 8 & CN 107924884 A	16, 21, 25 17-20, 22-24, 28, 29
A	JP 2006-5281 A (日本インター株式会社) 2006. 01. 05, 段落 0030-0034, 0039-0041, 図 1-3 (ファミリーなし)	1-31
A	JP 2002-9220 A (株式会社日立製作所) 2002. 01. 11, 段落 0012-0017, 図 1, 2 (ファミリーなし)	1-31