(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년06월15일
(11) 등록번호 10-2544302
(24) 등록일자 2023년06월13일

(51) 국제특허분류(Int. Cl.)
G05F 1/46 (2006.01) *G05F 3/26* (2006.01)
(52) CPC특허분류
G05F 1/468 (2013.01)
G05F 3/262 (2013.01)
(21) 출원번호 10-2018-0130627
(22) 출원일자 2018년10월30일
심사청구일자 2021년08월12일
(65) 공개번호 10-2019-0049551
(43) 공개일자 2019년05월09일
(30) 우선권주장
JP-P-2017-211132 2017년10월31일 일본(JP)
(56) 선행기술조사문헌
JP2014086000 A*
US20050110476 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
시냅틱스 인코포레이티드
미국 95131 캘리포니아주 샌호세 맥케이 드라이브 1109
(72) 발명자
소네 야스히코
일본 도쿄도 나카노쿠 나카노 4쵸메 10방 2고 시냅틱스 재팬 고도가이샤 나이
(74) 대리인
특허법인코리아나

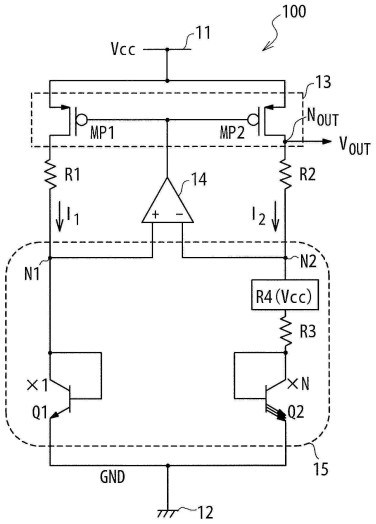
전체 청구항 수 : 총 17 항 심사관 : 이성현

(54) 발명의 명칭 **밴드갭 레퍼런스 회로**

(57) 요 약

밴드갭 레퍼런스 회로는, 전원선에 접속되고, 제 1 노드에 제 1 전류를 공급하고 제 1 노드와 가상-쇼트된 제 2 노드에 제 2 전류를 공급하도록 구성된 제 1 전류 미러, 제 1 노드와 접지선 사이의 제 1 pn 접합 소자; 제 2 노드와 접지선 사이의 제 1 가변 저항 소자, 및 제 1 가변 저항 소자와 직렬로 접속된 제 2 pn 접합 소자를 포함한다. 제 1 가변 저항 소자는 전원선에 공급되는 전원 전압에 의존하는 저항을 갖는다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

밴드갭 레퍼런스 회로로서,

전원선에 접속된 제 1 전류 미러로서,

제 1 노드에 제 1 전류를 공급하고;

제 2 노드에 제 2 전류를 공급하되, 상기 제 2 노드는 상기 제 1 노드에 가상-쇼트되고, 상기 제 2 전류는 제 1 가변 저항 소자를 통해 공급되며; 그리고

출력 노드에 제 3 전류를 공급하도록 구성된, 상기 제 1 전류 미러;

상기 제 2 노드와 접지선 사이의, 상기 전원선에 공급되는 전원 전압에 의존하는 저항을 갖는 제 1 가변 저항 소자; 및

상기 출력 노드와 상기 접지선 사이의 전류-전압 변환 회로부로서, 상기 전류-전압 변환 회로부는 제 4 가변 저항 소자를 포함하고, 상기 제 4 가변 저항 소자는 상기 전원 전압에 의존하는 저항을 갖는, 상기 전류-전압 변환 회로부를 포함하는, 밴드갭 레퍼런스 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 노드와 접지선 사이에 접속된 제 1 pn 접합 소자;

상기 제 1 가변 저항 소자와 직렬로 접속된 제 2 pn 접합 소자; 및

상기 제 2 노드와 상기 접지선 사이에, 상기 제 1 가변 저항 소자 및 상기 제 2 pn 접합 소자와 직렬로 접속된 제 1 저항 소자를 더 포함하는, 밴드갭 레퍼런스 회로.

청구항 3

제 1 항에 있어서,

상기 제 1 전류 미러의 제 1 출력과 상기 제 2 노드 사이에 제 2 가변 저항 소자를 더 포함하고, 상기 제 1 전류 미러는 상기 제 1 출력으로 상기 제 2 전류를 출력하도록 구성되고, 상기 제 2 가변 저항 소자는 상기 전원 전압에 의존하는 저항을 갖는, 밴드갭 레퍼런스 회로.

청구항 4

제 3 항에 있어서,

상기 제 1 전류 미러의 제 2 출력과 상기 제 1 노드 사이에 제 3 가변 저항 소자를 더 포함하고, 상기 제 1 전류 미러는 상기 제 2 출력으로 상기 제 1 전류를 출력하도록 구성되고, 상기 제 3 가변 저항 소자는 상기 전원 전압에 의존하는 저항을 갖는, 밴드갭 레퍼런스 회로.

청구항 5

제 1 항에 있어서,

상기 제 1 노드와 접지선 사이에 접속된 제 1 pn 접합 소자; 및

상기 제 2 노드와 상기 접지선 사이에 접속된 제 2 pn 접합 소자를 더 포함하고,

상기 제 1 pn 접합 소자는 제 1 다이오드-접속된 바이폴라 트랜지스터를 포함하고,

상기 제 2 pn 접합 소자는 제 2 다이오드-접속된 바이폴라 트랜지스터를 포함하는, 밴드갭 레퍼런스 회로.

청구항 6

삭제

청구항 7

제 5 항에 있어서,

상기 제 1 노드와 상기 접지선 사이에, 상기 제 1 pn 접합 소자와 병렬로 접속되는 제 2 저항 소자; 및

상기 제 2 노드와 상기 접지선 사이에, 상기 제 2 pn 접합 소자와 병렬로 접속되는 제 3 저항 소자를 더 포함하는, 밴드갭 레퍼런스 회로.

청구항 8

삭제

청구항 9

제 5 항에 있어서,

상기 전류-전압 변환 회로부는,

상기 출력 노드와 상기 접지선 사이의 제 3 pn 접합 소자; 및

상기 제 3 pn 접합 소자 및 상기 제 4 가변 저항 소자와 병렬로 접속된 제 5 저항 소자를 더 포함하는, 밴드갭 레퍼런스 회로.

청구항 10

제 9 항에 있어서,

상기 전류-전압 변환 회로부는, 상기 출력 노드와 상기 접지선 사이에, 상기 제 3 pn 접합 소자 및 상기 제 4 가변 저항 소자와 직렬로 접속되는 제 6 저항 소자를 더 포함하는, 밴드갭 레퍼런스 회로.

청구항 11

제 9 항에 있어서.

상기 제 1 pn 접합 소자는 제 1 바이폴라 트랜지스터를 포함하고,

상기 제 2 pn 접합 소자는 제 2 바이폴라 트랜지스터를 포함하고,

상기 밴드갭 레퍼런스 회로는 제 3 노드와 상기 접지선 사이의 제 3 바이폴라 트랜지스터를 더 포함하고,

상기 제 1 바이폴라 트랜지스터, 상기 제 2 바이폴라 트랜지스터 및 상기 제 3 바이폴라 트랜지스터의 베이스들은 상기 제 3 바이폴라 트랜지스터의 콜렉터에 공통으로 접속되고,

상기 제 1 전류 미러는 상기 제 3 노드에 제 4 전류를 출력하도록 구성되고,

상기 제 1 노드, 상기 제 2 노드 및 상기 제 3 노드는 서로 가상-쇼트되고,

상기 제 1 전류는 상기 제 1 바이폴라 트랜지스터의 콜렉터를 통하여 흐르고,

상기 제 2 전류는 상기 제 2 바이폴라 트랜지스터의 콜렉터를 통하여 흐르고,

상기 제 4 전류는 상기 제 3 바이폴라 트랜지스터의 상기 콜렉터를 통하여 흐르는, 밴드갭 레퍼런스 회로.

청구항 12

제 11 항에 있어서,

제 2 전류 미러로서,

상기 제 3 노드에 제 5 전류를 공급하고;

상기 전류-전압 변환 회로부에 제 6 전류를 공급하도록 구성된, 상기 제 2 전류 미러;

상기 제 1 노드에 접속된 제 1 입력 및 상기 제 2 노드에 접속된 제 2 입력을 포함하는 제 1 연산 증폭기로서, 상기 제 1 연산 증폭기는:

상기 제 1 전류, 상기 제 2 전류, 상기 제 3 전류, 및 상기 제 4 전류를 제어하기 위해 상기 제 1 전류 미러에 제 1 제어 전압을 출력하도록 구성되는, 상기 제 1 연산 증폭기; 및

상기 제 1 노드에 접속된 제 1 입력 및 상기 제 3 노드에 접속된 제 2 입력을 포함하는 제 2 연산 증폭기로서, 상기 제 2 연산 증폭기는:

상기 제 5 전류 및 상기 제 6 전류를 제어하기 위해 상기 제 2 전류 미러에 제 2 제어 전압을 출력하도록 구성되는, 상기 제 2 연산 증폭기를 더 포함하는, 밴드갭 레퍼런스 회로.

청구항 13

제 1 항에 있어서,

상기 전원 전압에 의존하는 저항을 갖는 제 2 가변 저항 소자를 더 포함하고,

상기 제 1 전류 미러는 상기 제 1 전류를 상기 제 2 가변 저항 소자를 통해 상기 제 1 노드에 공급하도록 추가로 구성되는, 밴드갭 레퍼런스 회로.

청구항 14

제 1 항에 있어서,

상기 제 1 전류 미러와 상기 제 2 노드 사이에, 상기 제 1 가변 저항 소자와 직렬로 접속되는 제 2 저항 소자를 더 포함하고,

상기 제 1 전류 미러는 상기 제 2 전류를 상기 제 1 가변 저항 소자 및 상기 제 2 저항 소자를 통해 상기 제 2 노드에 공급하도록 추가로 구성되는, 밴드갭 레퍼런스 회로.

청구항 15

제 13 항에 있어서,

상기 제 1 전류 미러와 상기 제 2 노드 사이에, 상기 제 1 가변 저항 소자와 직렬로 접속되는 제 2 저항 소자; 및

상기 제 1 전류 미러와 상기 제 1 노드 사이에, 상기 제 2 가변 저항 소자와 직렬로 접속되는 제 3 저항 소자를 더 포함하고,

상기 제 1 전류 미러는 추가로:

상기 제 2 전류를 상기 제 1 가변 저항 소자 및 상기 제 2 저항 소자를 통해 상기 제 2 노드에 공급하고;

상기 제 1 전류를 상기 제 2 가변 저항 소자 및 상기 제 3 저항 소자를 통해 상기 제 1 노드에 공급하도록 구성되는, 밴드갭 레퍼런스 회로.

청구항 16

삭제

청구항 17

제 1 항에 있어서,

상기 전류-전압 변환 회로부는,

제 3 pn 접합 소자; 및

제 4 저항 소자를 더 포함하고,

상기 제 3 pn 접합 소자 및 상기 제 1 가변 저항 소자는 상기 출력 노드와 상기 접지선 사이에 직렬로 접속되고,

상기 제 4 저항 소자는 상기 출력 노드와 상기 접지선 사이에 있고 상기 제 3 pn 접합 소자 및 상기 제 1 가변 저항 소자와 병렬로 접속되는, 밴드갭 레퍼런스 회로.

청구항 18

제 1 항에 있어서,

상기 제 1 가변 저항 소자는 상기 전원 전압이 공급되는 게이트를 갖는 NMOS 트랜지스터를 포함하는, 밴드갭 레퍼런스 회로.

청구항 19

밴드갭 레퍼런스 회로를 동작시키기 위한 방법으로서,

전원선에 접속된 전류 미러를 통해 제 1 노드에 제 1 전류를 공급하는 단계;

전원선에 접속된 전류 미러를 통해 제 2 노드에 제 2 전류를 공급하는 단계로서, 상기 제 2 노드는 상기 제 1 노드에 가상-쇼트되고, 상기 제 2 전류는 제 1 가변 저항 소자를 통해 공급되는, 상기 제 2 노드에 제 2 전류를 공급하는 단계; 및

전원선에 접속된 전류 미러를 통해 출력 노드에 제 3 전류를 공급하는 단계를 포함하고,

상기 방법은 추가로:

제 1 pn 접합 소자를 통하여 상기 제 1 노드로부터 접지선으로 상기 제 1 전류가 흐르게 하는 단계; 및

제 2 pn 접합 소자 및 상기 제 1 가변 저항 소자를 통하여 상기 제 2 노드로부터 상기 접지선으로 상기 제 2 전류가 흐르게 하는 단계로서, 상기 제 1 가변 저항 소자는 상기 전원선에 공급되는 전원 전압에 의존하는 저항을 갖는, 상기 제 2 전류가 흐르게 하는 단계를 포함하고,

상기 방법은 추가로:

제 4 가변 저항 소자를 통하여 상기 출력 노드로부터 상기 접지선으로 상기 제 3 전류가 흐르게 하는 단계로서, 상기 제 4 가변 저항 소자는 상기 전원선에 공급되는 상기 전원 전압에 의존하는 저항을 갖는, 상기 제 3 전류가 흐르게 하는 단계를 포함하는, 밴드갭 레퍼런스 회로를 동작시키기 위한 방법.

청구항 20

밴드갭 레퍼런스 시스템으로서,

전원선에 접속된 전류 미러를 통해 제 1 노드에 제 1 전류를 공급하는 수단;

전원선에 접속된 전류 미러를 통해 제 2 노드에 제 2 전류를 공급하는 수단으로서, 상기 제 2 노드는 상기 제 1 노드에 가상-쇼트되고, 상기 제 2 전류는 제 1 가변 저항 소자를 통해 공급되는, 상기 제 2 노드에 제 2 전류를 공급하는 수단; 및

전원선에 접속된 전류 미러를 통해 출력 노드에 제 3 전류를 공급하는 수단을 포함하고,

상기 시스템은 추가로:

제 1 pn 접합 소자를 통하여 상기 제 1 노드로부터 접지선으로 상기 제 1 전류가 흐르게 하는 수단; 및

제 2 pn 접합 소자 및 상기 제 1 가변 저항 소자를 통하여 상기 제 2 노드로부터 상기 접지선으로 상기 제 2 전류가 흐르게 하는 수단으로서, 상기 제 1 가변 저항 소자는 상기 전원선에 공급되는 전원 전압에 의존하는 저항을 갖는, 상기 제 2 전류가 흐르게 하는 수단을 포함하고,

상기 시스템은 추가로:

제 4 가변 저항 소자를 통하여 상기 출력 노드로부터 상기 접지선으로 상기 제 3 전류가 흐르게 하는 수단으로서, 상기 제 4 가변 저항 소자는 상기 전원선에 공급되는 상기 전원 전압에 의존하는 저항을 갖는, 상기 제 3

전류가 흐르게 하는 수단을 포함하는, 밴드갭 레퍼런스 시스템.

발명의 설명

기 술 분 야

[0001] **상호 참조**

[0002] 본 출원은 2017년 10월 31일자로 출원된 일본 특허출원 제2017-211132호에 대해 우선권을 주장하고, 그 개시는 본 명세서에 전부 참조로 통합된다.

[0003] **기술 분야**

[0004] 본 개시는 밴드갭 레퍼런스 회로에 관한 것이다.

배 경 기 술

[0005] pn 접합의 전류-전압 특성의 온도 의존성을 이용하여 온도에 대해 안정된 출력 전압을 생성하는 밴드갭 레퍼런스 회로는 반도체 집적 회로들에 있어서 널리 사용된다.

[0006] 밴드갭 레퍼런스 회로의 출력 전압은, 일반적으로, 외란에 대해 상당히 안정된다; 그러나, 출력 전압은, 밴드갭 레퍼런스 회로의 구성에 의존하여, 전원 전압에 약간 의존할 수도 있다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0007] 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로는 전원선 (power supply line) 에 접속되고, 제 1 노드에 제 1 전류를 공급하고 제 1 노드와 가상-쇼트된 제 2 노드에 제 2 전류를 공급하도록 구성된 전류 미러, 제 1 노드와 접지선 (ground line) 사이의 제 1 pn 접합 소자, 제 2 노드와 접지선 사이의 가변 저항 소자, 및 가변 저항 소자와 직렬로 접속된 제 2 pn 접합 소자를 포함한다. 가변 저항 소자는 전원선에 공급되는 전원 전압에 의존하는 저항을 갖는다

[0008] 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로는 전원선에 공급되는 전원 전압에 의존하는 저항을 갖는 가변 저항 소자, 전원선에 접속된 전류 미러, 제 1 노드와 접지선 사이의 제 1 pn 접합 소자, 제 2 노드와 접지선 사이의 제 2 pn 접합 소자, 및 제 2 pn 접합과 직렬로 접속된 제 1 저항 소자를 포함한다. 전류 미러는 제 1 노드에 제 1 전류를 공급하고 제 1 노드와 가상-쇼트된 제 2 노드에 가변 저항 소자를 통해 제 2 전류를 공급하도록 구성된다.

[0009] 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로는 전원선에 접속되고 출력 노드에 제 3 전류를 공급하는 전류 미러, 제 1 노드와 접지선 사이의 제 1 pn 접합 소자, 제 2 노드와 접지선 사이의 제 2 pn 접합 소자, 제 2 pn 접합 소자와 직렬로 접속된 제 1 저항 소자, 및 출력 노드와 접지선 사이의 가변 저항 소자를 포함한다. 가변 저항 소자는 전원선에 공급되는 전원 전압에 의존하는 저항을 갖는다. 전류 미러는 제 1 노드에 제 1 전류를 공급하고, 제 1 노드와 가상-쇼트된 제 2 노드에 제 2 전류를 공급하도록 구성된다.

발명의 효과

도면의 간단한 설명

[0010] 본 개시의 상기 언급된 피처들이 상세히 이해될 수 있도록 하기 위해, 일부가 첨부된 도면들에 예시되는 실시형태들을 참조하여, 상기 간략히 요약된, 본 개시의 보다 구체적인 설명이 이루어질 수도 있다. 그러나, 첨부된 도면들은 본 개시의 단지 일부 실시형태들만을 예시하고 따라서 그 범위를 제한하는 것으로 간주되어서는 안 되며, 본 개시는 다른 동일하게 효과적인 실시형태들을 인정할 수도 있다는 것에 유의해야 한다.

도 1 은 하나 이상의 실시형태들에 따른, 밴드갭 레퍼런스 회로의 구성을 예시하는 회로도이다;

도 2 는 하나 이상의 실시형태들에 따른, 가변 저항 소자의 구성의 예를 예시한다; 그리고

도 3, 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13 및 도 14 는 하나 이상의 실시형태들에 따른, 밴드갭 레퍼런스 회로의 구성들을 예시하는 회로도들이다.

발명을 실시하기 위한 구체적인 내용

[0011] 다음에, 첨부된 도면들을 참조하여 본 개시의 다양한 실시형태들의 설명이 주어진다. 다음의 설명에서 동일 또는 유사한 컴포넌트들을 동일 또는 대응하는 참조 부호들로 나타낼 수도 있다는 것에 유의한다.

[0012] 도 1 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (100) 는 전원선 (11), 접지선 (12), 전류 미러 (13), 연산 증폭기 (14), 저항 소자들 (R1, R2, R3), 가변 저항 소자 (R4), 및 바이폴라 트랜지스터들 (Q1 및 Q2) 을 포함한다. 하나의 실시형태에서, 전원선 (11) 에는 전원 전압 (Vcc) 이 공급되고, 접지선 (12) 은 접지된다.

[0013] 하나 이상의 실시형태들에서, 전류 미러 (13) 는 전원선 (11) 에 접속되고 제 1 및 제 2 전류들 (I_1 및 I_2) 을 출력하도록 구성된다. 제 1 및 제 2 전류들 (I_1 및 I_2) 은 동일한 전류 레벨을 가질 수도 있다. 하나 이상의 실시형태들에서, 전류 미러 (13) 는 한 쌍의 PMOS 트랜지스터들 (MP1 및 MP2) 을 포함한다. PMOS 트랜지스터들 (MP1 및 MP2) 은 공통으로 접속된 게이트들을 가질 수도 있고, 그 소스들은 공통으로 전원선 (11) 에 접속될 수도 있다. 게다가, PMOS 트랜지스터 (MP1) 의 드레인은 저항 소자 (R1) 를 통해 제 1 노드 (N1) 에 접속될 수도 있고, PMOS 트랜지스터 (MP2) 의 드레인은 저항 소자 (R2) 를 통해 제 2 노드 (N2) 에 접속될 수도 있다. PMOS 트랜지스터 (MP1) 의 드레인은 제 1 전류 (I_1) 를 출력하도록 구성된 제 1 출력으로서 사용될 수도 있고, PMOS 트랜지스터 (MP2) 의 드레인은 제 2 전류 (I_2) 를 출력하도록 구성된 제 2 출력으로서 사용될 수도 있다. 하나 이상의 실시형태들에서, 저항 소자들 (R1 및 R2) 은 동일한 저항을 갖도록 설계된다.

[0014] 하나 이상의 실시형태들에서, 연산 증폭기 (14) 는 제 1 노드 (N1) 에 접속된 제 1 입력, 제 2 노드 (N2) 에 접속된 제 2 입력, 및 PMOS 트랜지스터들 (MP1 및 MP2) 의 게이트들에 접속된 출력을 포함한다. 제 1 입력은 비-반전 입력일 수도 있고, 제 2 입력은 반전 입력일 수도 있다. 하나 이상의 실시형태들에서, 연산 증폭기 (14) 는 제 1 및 제 2 전류들 (I_1 및 I_2) 을 제어하기 위해 제어 전압을 전류 미러 (13) 에 출력하도록 구성된다. 연산 증폭기 (14) 는 제어 전압을 PMOS 트랜지스터들 (MP1 및 MP2) 의 게이트들에 공급하도록 구성될 수도 있다. 하나 이상의 실시형태들에서, 연산 증폭기 (14) 는 노드들 (N1 및 N2) 이 동일한 전위를 갖도록 PMOS 트랜지스터들 (MP1 및 MP2) 의 게이트들에 대한 전위를 제어하도록 구성된다. 하나 이상의 실시형태들에서, 제 1 및 제 2 노드들 (N1 및 N2) 은 상기 연산 증폭기 (14) 의 동작을 통하여 가상-쇼트된다 (virtually-shorted). 하나 이상의 실시형태들에서, 전류 미러 (13) 및 연산 증폭기 (14) 는 노드들 (N1 및 N2) 을 동일한 전위로 제어하고 노드들 (N1 및 N2) 에 동일한 전류 레벨의 전류들을 공급하도록 구성된 전류 공급 회로부로서 함께 동작한다.

[0015] 하나 이상의 실시형태들에서, 바이폴라 트랜지스터 (Q1) 는, 다이오드-접속되어, pn 접합을 통합하는 제 1 pn 접합 소자로서 동작한다. 하나 이상의 실시형태들에서, NPN 트랜지스터는 바이폴라 트랜지스터 (Q1) 로서 사용된다. 바이폴라 트랜지스터 (Q1) 는 접지선 (12) 에 접속된 이미터를 가질 수도 있고, 콜렉터 및 베이스가 제 1 노드 (N1) 에 공통으로 접속될 수도 있다. 제 1 전류 (I_1) 가 바이폴라 트랜지스터 (Q1) 의 베이스와 이미터 사이에 형성된 pn 접합을 통하여 순방향으로 흐를 수도 있다.

[0016] 하나 이상의 실시형태들에서, 바이폴라 트랜지스터 (Q2), 저항 소자 (R3), 및 가변 저항 소자 (R4) 는 제 2 노드 (N2) 와 접지선 (12) 사이에 직렬로 접속된다. 도 1 에서, 가변 저항 소자 (R4) 의 저항이 전원 전압 (Vcc) 에 의존하는 것을 나타내기 위해 가변 저항 소자 (R4) 는 기호 "R4(Vcc)" 로 나타내진다. 하나 이상의 실시형태들에서, 바이폴라 트랜지스터 (Q2), 저항 소자 (R3), 및 가변 저항 소자 (R4) 가 접속되는 순서는 상호교환가능하다.

[0017] 하나 이상의 실시형태들에서, 바이폴라 트랜지스터 (Q2) 는, 바이폴라 트랜지스터 (Q1) 와 유사하게, 다이오드-접속되어 제 2 pn 접합 소자로서 동작한다. 하나 이상의 실시형태들에서, NPN 트랜지스터는 바이폴라 트랜지스터 (Q2) 로서 사용된다. 바이폴라 트랜지스터 엘리먼트 (Q2) 의 베이스-이미터 접합의 면적은 바이폴라

트랜지스터 엘리먼트 (Q1) 의 베이스-이미터 접합의 면적의 N 배일 수도 있고, 여기서 N 은 1 보다 큰 수이다.

하나 이상의 실시형태들에서, 바이폴라 트랜지스터 (Q2) 는 접지선 (12) 에 접속된 이미터를 갖고, 콜렉터 및 베이스는 저항 소자 (R3) 및 가변 저항 소자 (R4) 를 통해 제 2 노드 (N2) 에 공통으로 접속된다. 제 2 전류 (I_2) 가 바이폴라 트랜지스터 (Q2) 의 베이스와 이미터 사이의 pn 접합을 통하여 흐를 수도 있다.

[0018] 다양한 실시형태들에서, 다이오드-접속된 PNP 트랜지스터들은 바이폴라 트랜지스터들 (Q1 및 Q2) 로서 사용될 수도 있다.

[0019] 하나 이상의 실시형태들에서, MOS 트랜지스터들과 함께 형성된 기생 바이폴라 트랜지스터들이 바이폴라 트랜지스터들 (Q1 및 Q2) 로서 사용될 수도 있다. 이 구성은 밴드갭 레퍼런스 회로 (100) 의, MOS 트랜지스터-기반 집적 회로에의 집적을 용이하게 한다.

[0020] pn 접합을 포함하는 다른 소자들이 다이오드-접속된 바이폴라 트랜지스터들 (Q1 및 Q2) 대신에 사용될 수도 있다. 예를 들어, 하나 이상의 실시형태들에서, 반도체 기판에 형성된 웰 및 그 웰에 형성된 확산층을 포함하는 다이오드들이 바이폴라 트랜지스터들 (Q1 및 Q2) 대신에 사용될 수도 있다. 대안적으로, 다이오드-접속된 MOS 트랜지스터들이 다이오드-접속된 바이폴라 트랜지스터들 (Q1 및 Q2) 대신에 사용될 수도 있다.

[0021] 하나 이상의 실시형태들에서, 가변 저항 소자 (R4) 는 전원선 (11) 에 공급되는 전원 전압 (Vcc) 에 의존하는 저항을 갖는다. 도 2 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 전원 전압 (Vcc) 이 공급되는 게이트를 갖는 NMOS 트랜지스터 (MN1) 가 가변 저항 소자 (R4) 로서 사용될 수도 있다. 전원 전압 (Vcc) 을 수신하도록 구성된 게이트를 갖는 NMOS 트랜지스터 (MN1) 의 온-저항은, 전원 전압 (Vcc) 에 의존할 수도 있고, 이 특성은 NMOS 트랜지스터 (MN1) 가 가변 저항 소자 (R4) 로서 사용되는 것을 허용한다. 이 경우에, 가변 저항 소자 (R4) 의 저항은 전원 전압 (Vcc) 이 증가됨에 따라 감소한다. 가변 저항 소자 (R4) 로서 사용되는 NMOS 트랜지스터 (MN1) 의 게이트에, 전원 전압 (Vcc) 대신에, 전원 전압 (Vcc) 으로부터 예를 들어, 전압 분압을 통하여 생성된 바이어스 전압이 공급될 수도 있다. 대안의 실시형태들에서, PMOS 트랜지스터가 가변 저항 소자 (R4) 로서 사용될 수도 있다.

[0022] 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (100) 의 출력 전압 (Vout) 은 PMOS 트랜지스터 (MP2) 의 드레인과 저항 소자 (R2) 를 접속하도록 구성된 출력 노드 (Nout) 로부터 출력된다. 이 구성에서, 출력 전압 (Vout) 은 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 전압 (V_{BE2}) 과, 저항 소자들 (R2, R3) 및 가변 저항 소자 (R4) 에 걸친 전압 강하들의 합으로서 생성된다. 이하에 상세히 논의되는 바와 같이, 저항 소자들 (R2, R3) 및 가변 저항 소자 (R4) 를 통하여 흐르는 제 2 전류 (I_2) 는 절대 온도 (T) 에 대하여 양의 (positive) 온도 의존성을 가질 수도 있는 한편, 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 전압 (V_{BE2}) 은 절대 온도 (T) 에 대하여 음의 (negative) 온도 의존성을 가질 수도 있다. 이것은 절대 온도 (T) 에 대하여 밴드갭 레퍼런스 회로 (100) 의 출력 전압 (Vout) 의 온도 의존성을 효과적으로 감소시킨다. 게다가, 다양한 실시형태들에서, 밴드갭 레퍼런스 회로 (100) 는 다음에 설명되는 바와 같이 출력 전압 (Vout) 을 생성하도록 동작한다.

[0023] 하나 이상의 실시형태들에서, 바이폴라 트랜지스터들 (Q1, Q2), 저항 소자 (R3) 및 가변 저항 소자 (R4) 의 작용으로 인해, 제 1 및 제 2 노드들 (N1 및 N2) 에 각각 공급되는 제 1 및 제 2 전류들 (I_1 및 I_2) 은, 절대 온도에 비례하는 전류 레벨들을 갖는다. 이 경우에, 바이폴라 트랜지스터들 (Q1, Q2), 저항 소자 (R3), 및 가변 저항 소자 (R4) 는 총칭하여 PTAT (proportional to absolute temperature) 전류 생성 회로부 (15) 로 지칭될 수도 있다.

[0024] 보다 구체적으로는, 제 1 및 제 2 전류들 (I_1 및 I_2) 이 전류 미러 (13) 에 의해 동일한 전류 레벨 (I) 을 갖도록 제어되는 경우, 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 접합의 면적이 바이폴라 트랜지스터 (Q1) 의 베이스-이미터 접합의 면적의 N 배일 수도 있다는 것에 근거하여, 바이폴라 트랜지스터 (Q1) 의 베이스-이미터 전압 (V_{BE1}) 및 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 전압 (V_{BE2}) 에 대해, 예를 들어 다음의 식들 (1a) 및 (1b) 가 성립할 수도 있다:

$$V_{BE1} = \frac{kT}{q}\ln\left(\frac{I}{I_S}\right) \qquad \cdots(1a)$$

$$V_{BE2} = \frac{kT}{q}\ln\left(\frac{I}{I_S}\cdot\frac{1}{N}\right) \qquad \cdots(1b)$$

[0025]

[0026] 여기서 Is 는 역방향 포화 전류이고, k 는 볼츠만 정수이고, T 는 절대 온도이고, 그리고 q 는 전기 소량이다.

[0027] 제 1 및 제 2 노드들 (N1 및 N2) 이 가상-쇼트될 수도 있고 노드 (N2) 에 대한 전압이 바이폴라 트랜지스터 (Q1) 의 베이스-이미터 전압 (V_{BE1}) 과 동일할 수도 있기 때문에, 다음의 식 (2) 가 성립할 수도 있다:

$$I = \frac{V_{BE1} - V_{BE2}}{R3 + R4(Vcc)} \qquad \cdots(2)$$

[0028]

[0029] 여기서 R4(Vcc) 는 가변 저항 소자 (R4) 의 저항이고 전원 전압 (Vcc) 에 의존한다.

[0030] 전류들 (I_1 및 I_2) 의 전류 레벨 (I) 이 다음의 식 (3) 으로 표현될 수도 있으며, 이는 식들 (1a) 및 (1b) 를 식 (2) 에 대입하는 것에 의해 얻어진다:

$$I = \frac{Vt\cdot\ln(N)}{R3 + R4(Vcc)} \qquad \cdots(3)$$

[0031]

[0032] 여기서 Vt 는 열 전압이며, 이는 다음의 식 (4) 에 의해 주어진다:

$$Vt = \frac{kT}{q} \qquad \cdots(4)$$

[0033]

[0034] 전류들 (I_1 및 I_2) 의 전류 레벨 (I) 은, 절대 온도 (T) 에 비례할 수도 있다. 전류 (I_2) 가 절대 온도 (T) 에 비례하여 증가하기 때문에, 저항 소자들 (R2, R3) 및 가변 저항 소자들 (R4) 에 걸친 전압 강하들도 절대 온도 (T) 에 비례하여 증가한다.

[0035] 저항 소자들 (R2, R3) 및 가변 저항 소자 (R4) 에 걸친 전압 강하들과, 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 전압 (V_{BE2}) 의 합인 출력 전압 (Vout) 은, 예를 들어, 다음의 식 (5) 로 표현될 수도 있다:

$$\begin{aligned} Vout &= I\cdot(R2 + R3 + R4(Vcc)) + V_{BE2} \\ &= \frac{Vt\cdot\ln(N)}{R3 + R4(Vcc)}\cdot(R2 + R3 + R4(Vcc)) + V_{BE2} \\ &= Vt\cdot\ln(N)\cdot\left(1 + \frac{R2}{R3 + R4(Vcc)}\right) + V_{BE2} \qquad \cdots(5) \end{aligned}$$

[0036]

[0037] 열 전압 (Vt) 이 온도에 비례하여 증가하는 양의 온도 의존성을 가질 수도 있는 한편, 베이스-이미터 전압 (V_{BE2}) 이 음의 온도 의존성을 갖기 때문에, 출력 전압 (Vout) 의 온도 의존성은 N, R2, R3 및 R4 를 적절히 조정하는 것에 의해 효과적으로 감소될 수 있다.

[0038] 추가적으로, 식 (5) 로부터 이해되는 바와 같이, 가변 저항 소자 (R4) 가 제공되지 않는 경우의 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라 가변 저항 소자 (R4) 의 특성을 선택하는 것에 의해, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성이 감소될 수 있다. 하나 이상의 실시형태들에서, 가변 저항 소자 (R4) 가 제공되지 않는 경우, 출력 전압 (Vout) 은, 전원 전압 (Vcc) 이 증가됨에 따라 증가한다.

이러한 경우들에서, 전원 전압 (Vcc) 이 증가됨에 따라 증가하는 저항을 갖도록 구성된 가변 저항 소자 (R4) 를 사용하는 것에 의해, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성은 감소될 수 있다. 그에 반해서, 가변 저항 소자 (R4) 가 제공되는 않는 경우에 전원 전압 (Vcc) 이 증가됨에 따라 출력 전압 (Vout) 이 감소하는 경우에는, 전원 전압 (Vcc) 이 증가됨에 따라 감소하는 저항을 갖도록 구성된 가변 저항 소자 (R4) 를 사용하는 것에 의해 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성이 감소될 수 있다.

[0039] 도 3 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (100) 는, PTAT 전류 생성 회로부 (16) 가 가변 저항 소자 (R4) 를 통합하지 않고, 밴드갭 레퍼런스 회로 (100) 가 출력 노드 (Nout) 와 제 2 노드 (N2) 사이에 저항 소자 (R2) 와 직렬로 접속된 가변 저항 소자 (R5) 를 포함하는 것을 제외하고는, 도 1 에 예시한 것과 유사하게 구성된다.

[0040] 가변 저항 소자 (R4) 의 경우와 마찬가지로, 가변 저항 소자 (R5) 로서는, 전원 전압 (Vcc) 이 공급되는 게이트를 갖는 NMOS 트랜지스터가 사용될 수도 있다 (또한 도 2 를 참조). 이 경우에, 가변 저항 소자 (R5) 의 저항은 전원 전압 (Vcc) 이 증가됨에 따라 감소한다. 가변 저항 소자 (R5) 로서 사용되는 NMOS 트랜지스터의 게이트에, 전원 전압 (Vcc) 대신에, 전원 전압 (Vcc) 으로부터 예를 들어 전압 분압을 통하여 생성된 바이어스 전압이 공급될 수도 있다. 대안의 실시형태들에서, 가변 저항 소자 (R5) 로서, PMOS 트랜지스터가 사용될 수도 있다. 하나 이상의 실시형태들에서, 저항 소자들 (R2) 및 가변 저항 소자 (R5) 의 위치들은 상호교환 가능하다.

[0041] 도 3 에 예시된 구성에서, 제 2 노드 (N2) 에 대한 전압은 바이폴라 트랜지스터 (Q1) 의 베이스-이미터 전압 (V_{BE1}) 과 동일할 수도 있고, 이에 따라 다음의 식 (6) 이 성립할 수도 있다:

$$I = \frac{V_{BE1} - V_{BE2}}{R3} \qquad \cdots(6)$$

[0042]

[0043] 따라서, 전류들 (I_1 및 I_2) 의 전류 레벨 (I) 은, 다음의 식 (7) 로 얻어질 수도 있다:

$$I = \frac{Vt \cdot \ln(N)}{R3} \qquad \cdots(7)$$

[0044]

[0045] 출력 전압 (Vout) 은, 예를 들어 다음의 식 (8) 로 표현되는 바와 같이, 저항 소자 (R2), 가변 저항 소자 (R5) 및 저항 소자 (R3) 에 걸친 전압 강하들과, 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 전압 (V_{BE2}) 의 합일 수도 있다:

$$\begin{aligned} Vout &= I \cdot (R2 + R3 + R5(Vcc)) + V_{BE2} \\ &= \frac{Vt \cdot \ln(N)}{R3} \cdot (R2 + R3 + R5(Vcc)) + V_{BE2} \\ &= Vt \cdot \ln(N) \cdot \left(1 + \frac{R2 + R5(Vcc)}{R3}\right) + V_{BE2} \qquad \cdots(8) \end{aligned}$$

[0046]

[0047] 이에 따라, N, R2, R3 및 R5(Vcc) 의 적절한 조정은 출력 전압 (Vout) 을 온도에 덜 의존하게 하거나 또는 온도에 대한 의존성이 없게 한다.

[0048] 하나 이상의 실시형태들에서, 가변 저항 소자 (R5) 가 제공되지 않는 경우의 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성이 감소되도록 가변 저항 소자 (R5) 의 특성이 선택될 수도 있다. 다양한 실시형태들에서, 가변 저항 소자 (R5) 가 제공되지 않는 경우, 출력 전압 (Vout) 은 전원 전압 (Vcc) 이 증가됨에 따라 증가한다. 예를 들어, 전원 전압 (Vcc) 이 증가됨에 따라 감소하는 저항을 갖도록 구성된 가변 저항 소자 (R5) 를 사용하는 것에 의해, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성이 감소될 수 있다. 그에 반해서, 가변 저항 소자 (R5) 가 제공되지 않는 경우에 전원 전압 (Vcc) 이 증가됨에 따라 출력 전압 (Vout) 이 감소하는 경우에는, 전원 전압 (Vcc) 이 증가됨에 따라 증가하는 저항을 갖도록 구성된 가변 저항 소자 (R5) 를 사용하는 것에 의해 출력 전압 (Vout) 의 전원

전압 (Vcc) 에 대한 의존성이 감소될 수 있다.

[0049] 도 4 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (100) 는, 밴드갭 레퍼런스 회로 (100) 가 MP2 의 드레인과 제 2 노드 (N2) 사이에 저항 소자 (R2) 와 직렬로 접속된 가변 저항 소자 (R5) 에 더하여, PMOS 트랜지스터 (MP1) 의 드레인과 제 1 노드 (N1) 사이에 저항 소자 (R1) 와 직렬로 접속된 다른 가변 저항 소자 (R5) 를 포함하는 것을 제외하고는, 도 3 에 예시한 것과 유사하게 구성된다. 이 회로 구성은 보다 대칭성이 되고, PMOS 트랜지스터들 (MP1 및 MP2) 의 얼리 효과 (Early effect) 에 의해 잠재적으로 야기된 제 1 및 제 2 전류들 (I_1 및 I_2) 의 전류 레벨들 사이의 차이를 효과적으로 감소시킨다. 하나 이상의 실시형태들에서, 저항 소자 (R1) 및 가변 저항 소자 (R5) 의 위치들은 상호교환가능하다.

[0050] 도 5 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (100) 는 도 1 에 예시된 구성과 도 4 에 예시된 구성의 조합으로서 구성된다. 도 5 에 예시된 밴드갭 레퍼런스 회로 (100) 는 가변 저항 소자 (R4) 를 통합하는 PTAT 전류 생성 회로부 (15) 를 포함한다. 추가적으로, 저항 소자 (R1) 및 가변 저항 소자 (R5) 는 PMOS 트랜지스터 (MP1) 의 드레인과 제 1 노드 (N1) 사이에 직렬로 접속되고, 저항 소자 (R2) 및 다른 가변 저항 소자 (R5) 는 PMOS 트랜지스터 (MP2) 의 드레인과 제 2 노드 (N2) 사이에 직렬로 접속된다.

[0051] 도 5 에 예시된 구성에서는, 저항 소자 (R2), 가변 저항 소자 (R5), 가변 저항 소자 (R4) 및 저항 소자 (R3) 에 걸친 전압 강하들과, 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 전압 (V_{BE2}) 의 합인 출력 전압 (Vout) 은 예를 들어 다음의 식 (9) 로 표현될 수도 있다:

$$\begin{aligned} Vout &= I\cdot(R2+R3+R4(Vcc)+R5(Vcc))+V_{BE2} \\ &= \frac{Vt\cdot\ln(N)}{R3+R4(Vcc)}\cdot(R2+R3+R4(Vcc)+R5(Vcc))+V_{BE2} \\ &= Vt\cdot\ln(N)\cdot\left(1+\frac{R2+R5(Vcc)}{R3+R4(Vcc)}\right)+V_{BE2} \qquad \cdots(9) \end{aligned}$$

[0052]

[0053] 식 (9) 는 전류들 (I_1 및 I_2) 의 전류 레벨 (I) 이 상기 설명된 식 (3) 으로 주어진다는 사실에 근거하여 얻어질 수도 있다.

[0054] 하나 이상의 실시형태들에서, N, R2, R3, R4(Vcc) 및 R5(Vcc) 는 식 (9) 에 근거하여, 생성된 출력 전압 (Vout) 을 온도에 덜 의존하게 하거나 또는 온도 의존성이 없게 하도록 조정된다.

[0055] 가변 저항 소자들 (R4 및 R5) 의 특성들은, 가변 저항 소자들 (R4 및 R5) 이 제공되는 않는 실시형태에서 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성을 감소시키도록 선택될 수도 있다.

[0056] 도 6 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (200) 는 전원선 (21), 접지선 (22), 전류 미러 (23), 연산 증폭기 (24), 저항 소자들 (R3, R6, R7 및 R8), 가변 저항 소자 (R4) 및 바이폴라 트랜지스터들 (Q1 및 Q2) 을 포함한다. 게다가, 하나의 실시형태에서, 전원선 (21) 에는 전원 전압 (Vcc) 이 공급되고, 접지선 (22) 은 접지된다.

[0057] 하나의 실시형태에서, 전류 미러 (23) 는 제 1 및 제 2 전류들 (I_1 및 I_2) 을 출력하도록 구성된다. 제 1 및 제 2 전류들 (I_1 및 I_2) 은 동일한 전류 레벨을 가질 수도 있다. 추가적으로, 전류 미러 (23) 는 제 1 및 제 2 전류들 (I_1 및 I_2) 의 전류 레벨에 비례하는 전류 레벨을 갖는 제 3 전류 (I_0) 를 출력하도록 구성될 수도 있다. 하나 이상의 실시형태들에서, 전류 미러 (23) 는 제 3 전류 (I_0) 가 제 1 및 제 2 전류들 (I_1 및 I_2) 의 전류 레벨과 동일한 전류 레벨을 갖도록 제 3 전류 (I_0) 를 출력하도록 구성될 수도 있다. 하나 이상의 실시형태들에서, 전류 미러 (23) 는 PMOS 트랜지스터들 (MP0, MP1 및 MP2) 을 포함할 수도 있다. PMOS 트랜지스터들 (MP0, MP1 및 MP2) 은 공통으로-접속된 게이트들을 가질 수도 있고, 그 소스들은 공통으로 전원선 (21) 에 접속될 수도 있다. PMOS 트랜지스터 (MP1) 의 드레인은 제 1 노드 (N1) 에 접속될 수도 있고, PMOS 트랜지스터 (MP2) 의 드레인은 제 2 노드 (N2) 에 접속될 수도 있다. PMOS 트랜지스터 (MP0) 의 드레인은 출력 노드 (Nout) 에 접속된다.

[0058] 다양한 실시형태들에서, 연산 증폭기 (24) 는 제 1 노드 (N1) 에 접속된 제 1 입력, 제 2 노드 (N2) 에 접속된 제 2 입력, 및 PMOS 트랜지스터들 (MP1 및 MP2) 의 게이트들에 접속된 출력을 갖는다. 제 1 입력은 비-반전 입력일 수도 있고, 제 2 입력은 반전 입력일 수도 있다. 하나 이상의 실시형태들에서, 연산 증폭기 (24) 는 제 1, 제 2 및 제 3 전류들 (I_1, I_2 및 I_0) 을 제어하기 위해 전류 미러 (23) 의 PMOS 트랜지스터들 (MP1, MP2 및 MP0) 의 게이트들에 제어 전압을 출력하도록 구성된다. 게다가, 연산 증폭기 (24) 는 제 1 및 제 2 노드들 (N1 및 N2) 이 동일한 전위를 갖도록 PMOS 트랜지스터들 (MP1 및 MP2) 의 게이트들의 전위를 제어할 수도 있다. 하나 이상의 실시형태들에서, 노드들 (N1 및 N2) 은 상기 연산 증폭기 (24) 의 동작을 통하여 가상-쇼트된다. 하나 이상의 실시형태들에서, 전류 미러 (23) 및 연산 증폭기 (24) 는 노드들 (N1 및 N2) 을 동일한 전위로 제어하고 노드들 (N1 및 N2) 에 동일한 전류 레벨의 전류들을 공급하도록 구성된 전류 공급 회로부로서 함께 동작한다.

[0059] 하나 이상의 실시형태들에서, 도 1 에 예시된 밴드갭 레퍼런스 회로 (100) 의 경우와 유사하게, 바이폴라 트랜지스터들 (Q1, Q2), 저항 소자 (R3) 및 가변 저항 소자 (R4) 는 PTAT 전류 생성 회로부 (25) 로서 동작한다. 바이폴라 트랜지스터 (Q1) 는 노드 (N1) 와 접지선 (22) 사이에 접속된다. 저항 소자 (R3), 바이폴라 트랜지스터 (Q2) 및 가변 저항 소자 (R4) 는 노드 (N1) 와 접지선 (22) 사이에 직렬로 접속된다. 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 접합의 면적은 바이폴라 트랜지스터 (Q1) 의 베이스-이미터 접합의 면적의 N 배일 수도 있다. 하나 이상의 실시형태들에서, 저항 소자 (R3), 바이폴라 트랜지스터 (Q2) 및 가변 저항 소자 (R4) 가 접속되는 순서는 상호교환가능하다.

[0060] 예시한 바와 같이, 하나의 실시형태에서, 저항 소자 (R6) 는 노드 (N1) 와 접지선 (22) 사이에 바이폴라 트랜지스터 (Q1) 와 병렬로 접속되고, 저항 소자 (R7) 는 저항 소자 (R3) 와 병렬로 접속된다. 게다가, 바이폴라 트랜지스터 (Q2) 및 가변 저항 소자 (R4) 는 노드 (N2) 와 접지선 (22) 사이에 접속된다. 하나 이상의 실시형태들에서, 저항 소자들 (R6 및 R7) 은 동일한 저항을 갖도록 설계된다.

[0061] 하나 이상의 실시형태들에서, 저항 소자 (R8) 는 출력 노드 (Nout) 와 접지선 (22) 사이에 접속된다. 저항 소자 (R8) 는 출력 노드 (Nout) 에 공급된 전류 (I_0) 로부터 출력 전압 (Vout) 을 생성하도록 구성된 전류-전압 변환 회로부로서 동작할 수도 있다.

[0062] 밴드갭 레퍼런스 회로 (200) 는, 출력 전압 (Vout) 의 온도 의존성이 감소되도록 출력 전압 (Vout) 을 생성하도록 구성될 수도 있다. 바이폴라 트랜지스터 (Q1) 를 통하여 흐르는 전류 (I_{1A}) 및 저항 소자 (R3), 바이폴라 트랜지스터 (Q2) 및 가변 저항 소자 (R4) 를 통하여 흐르는 전류 (I_{2A}) 는 양자 모두가 양의 온도 의존성을 갖는 PTAT 전류일 수도 있다. 게다가, 저항 소자 (R6) 를 통하여 흐르는 전류 (I_{1B}) 및 저항 소자 (R7) 를 통하여 흐르는 전류 (I_{2B}) 는 양자 모두가 음의 온도 의존성을 갖는 CTAT (complementary to absolute temperature) 전류일 수도 있다. 전류 (I_1) 는 전류들 (I_{1A} 및 I_{1B}) 의 합 전류이고 전류 (I_2) 는 전류들 (I_{2A} 및 I_{2B}) 의 합 전류이기 때문에, 전류들 (I_1 및 I_2) 의 온도 의존성들이 감소된다.

[0063] 이에 따라, 하나 이상의 실시형태들에서, 전류들 (I_1 및 I_2) 의 미러링을 통하여 생성되는 전류 (I_0) 의 온도 의존성이 또한 감소된다. 게다가, 출력 전압 (Vout) 은 전류 (I_0) 에 의해 야기된 저항 소자 (R8) 에 걸친 전압 강하를 통하여 생성될 수도 있기 때문에, 출력 전압 (Vout) 의 온도 의존성이 또한 감소된다.

[0064] 하나 이상의 실시형태들에서, 노드 (N2) 에 공급된 전류 (I_2) 는 전류들 (I_{2A} 및 I_{2B}) 의 합 전류이고 다음의 식 (10) 이 성립한다:

[0065] $$I_2 = I_{2A} + I_{2B} \qquad \cdots(10)$$

[0066] 노드들 (N1 및 N2) 은 가상-쇼트되기 때문에, 노드 (N2) 에 대한 전위는 바이폴라 트랜지스터 (Q1) 의 베이스-이미터 전압 (V_{BE1}) 과 동일할 수도 있고, 이에 따라 전류들 (I_{2A} 및 I_{2B}) 은 다음의 식들 (11a) 및 (11b) 로 표현될 수도 있다:

$$I_{2A} = \frac{V_{BE1} - V_{BE2}}{R3 + R4(Vcc)} \qquad \cdots(11a)$$

$$I_{2B} = \frac{V_{BE1}}{R7} \qquad \cdots(11b)$$

[0067]

[0068] 베이스-이미터 전압들 (V_{BE1} 및 V_{BE2}) 을 표현하는 식들 (1a) 및 (1b), 및 식들 (10), (11a) 및 (11b) 로부터, 전류 (I_2) 는 다음의 식 (12) 로 표현될 수도 있다:

$$I_2 = \frac{Vt \cdot \ln(N)}{R3 + R4(Vcc)} + \frac{V_{BE1}}{R7} \qquad \cdots(12)$$

[0069]

[0070] 전류 미러 (23) 가, 전류 (I_0) 가 전류 (I_2) 의 전류 레벨과 동일한 전류 레벨을 갖도록 전류 (I_0) 를 출력하도록 구성되는 경우, 출력 전압 (Vout) 은, 예를 들어, 다음의 식 (13) 으로 표현될 수도 있다:

$$Vout = \left(\frac{Vt \cdot \ln(N)}{R3 + R4(Vcc)} + \frac{V_{BE1}}{R7} \right) \cdot R8 \qquad \cdots(13)$$

[0071]

[0072] 열 온도 (Vt) 가 온도에 비례하여 증가하는 양의 온도 의존성을 갖는 한편, 베이스-이미터 전압 (V_{BE1}) 이 음의 온도 의존성을 갖기 때문에, 출력 전압 (Vout) 의 온도 의존성은 식 (13) 으로부터 이해되는 바와 같이, N, R2, R3, R4(Vcc) 및 R7 을 적절히 조정하는 것에 의해 효과적으로 감소될 수도 있다.

[0073] 추가적으로, 하나 이상의 실시형태들에서, 가변 저항 소자 (R4) 가 제공되지 않는 실시형태에서 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라, 가변 저항 소자 (R4) 의 특성을 선택하는 것에 의해, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성이 또한 감소될 수도 있다.

[0074] 도 7 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (200) 는, PTAT 전류 생성 회로부 (26) 가 가변 저항 소자 (R4) 를 통합하지 않는 한편, 전류-전압 변환 회로부 (27) 가 출력 노드 (Nout) 와 접지선 (22) 사이에 접속되는 것을 제외하고는, 도 6 에 예시한 것과 유사하게 구성된다. 전류-전압 변환 회로부 (27) 는 직렬로 접속되는 저항 소자 (R8) 및 가변 저항 소자 (R5) 를 포함한다.

[0075] 도 7 에 예시된 밴드갭 레퍼런스 회로 (200) 에서, 전류 (I_2) 는 예를 들어, 다음의 식 (14) 로 표현될 수도 있다:

$$I_2 = \frac{Vt \cdot \ln(N)}{R3} + \frac{V_{BE1}}{R7} \qquad \cdots(14)$$

[0076]

[0077] 이에 따라, 출력 전압 (Vout) 은, 예를 들어, 다음의 식 (15) 로 표현될 수도 있다:

$$Vout = \left(\frac{Vt \cdot \ln(N)}{R3} + \frac{V_{BE1}}{R7} \right) \cdot \left(R8 + R5(Vcc) \right) \qquad \cdots(15)$$

[0078]

[0079] 식 (15) 로부터 이해될 수도 있는 바와 같이, 출력 전압 (Vout) 의 온도 의존성은 N, R2, R3 및 R7 을 적절히 조정하는 것에 의해 감소될 수도 있다.

[0080] 추가적으로, 하나 이상의 실시형태들에서, 가변 저항 소자 (R5) 가 제공되지 않는 실시형태에서 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라 가변 저항 소자 (R5) 의 특성을 적절히 선택하는 것에 의해 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성이 또한 감소될 수도 있다.

[0081] 도 8 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (200) 는 도 6 에 예시된 구성과 도 7 에 예시된 구성의 조합으로서 구성된다. 도 8 에 예시된 구성에서, PTAT 전류 생성 회로부 (25) 는 가변 저항 소자 (R4) 를 통합한다. 추가적으로, 전류-전압 변환 회로부 (27) 는 출력 노드 (Nout) 와 접지

선 (22) 사이에 접속된다. 전류-전압 변환 회로부 (27) 는 직렬로 접속되는 저항 소자 (R8) 및 가변 저항 소자 (R5) 를 포함한다.

[0082] 도 8 에 예시된 구성에서, 출력 전압 (Vout) 은, 예를 들어, 다음의 식 (16) 으로 표현될 수도 있다:

[0083] $$Vout = \left(\frac{Vt \cdot \ln(N)}{R3 + R4(Vcc)} + \frac{V_{BE1}}{R7} \right) \cdot \left(R8 + R5(Vcc) \right) \qquad \cdots(16)$$

[0084] 하나 이상의 실시형태들에서, N, R3, R4(Vcc) 및 R7 은 식 (16) 에 근거하여, 생성된 출력 전압 (Vout) 을 온도에 덜 의존하게 하거나 또는 온도 의존성이 없게 하도록 조정된다.

[0085] 가변 저항 소자들 (R4 및 R5) 의 특성들은, 가변 저항 소자들 (R4 및 R5) 이 제공되지 않는 경우 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성을 감소시키도록 조정된다.

[0086] 도 9 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (300) 는 전원선 (31), 접지선 (32), 전류 미러 (33), 제 1 및 제 2 연산 증폭기들 (34-1 및 34-2), 저항 소자 (R3), 가변 저항 소자 (R4), 바이폴라 트랜지스터들 (Q1, Q2, Q3) 및 전류-전압 변환 회로부 (36) 를 포함한다. 게다가, 하나의 실시형태에서, 전원선 (31) 에는 전원 전압 (Vcc) 이 공급되고, 접지선 (32) 은 접지된다.

[0087] 하나 이상의 실시형태들에서, 전류 미러 (33) 는 제 1 및 제 2 전류들 (I_1 및 I_2), 제 3 전류 (I_0), 및 제 4 전류 (I_3) 를 출력하도록 구성된다. 전류들 (I_0, I_1, I_2 및 I_3) 은 동일한 전류 레벨을 가질 수도 있다. 다양한 실시형태들에서, 전류 미러 (33) 는 PMOS 트랜지스터들 (MP0, MP1, MP2 및 MP3) 을 포함한다. PMOS 트랜지스터들 (MP0, MP1, MP2 및 MP3) 은 공통으로-접속된 게이트들을 가질 수도 있고, 그 소스들은 공통으로 전원선 (31) 에 접속될 수도 있다. 게다가, PMOS 트랜지스터들 (MP1, MP2 및 MP3) 의 드레인들은 각각 제 1, 제 2 및 제 3 노드들 (N1, N2 및 N3) 에 접속될 수도 있고, PMOS 트랜지스터 (MP0) 의 드레인은 출력 노드 (Nout) 에 접속될 수도 있다.

[0088] 하나 이상의 실시형태들에서, 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 은, 각각 pn 접합을 통합하는 제 1, 제 2 및 제 3 pn 접합 소자들로서 각각 동작한다. 하나 이상의 실시형태들에서, NPN 트랜지스터들은 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 로서 사용된다. 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스들은 바이폴라 트랜지스터 (Q3) 의 콜렉터에 공통으로 접속될 수도 있다. 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 콜렉터들은 각각 제 1, 제 2 및 제 3 노드들 (N1, N2 및 N3) 에 접속될 수도 있다. 하나 이상의 실시형태들에서, 바이폴라 트랜지스터들 (Q1 및 Q3) 의 이미터들은 접지선 (32) 에 접속되고, 바이폴라 트랜지스터 (Q2) 의 이미터는 저항 소자 (R3) 및 가변 저항 소자 (R4) 를 통해 접지선 (32) 에 접속된다. 상기 접속들은 각각 제 1, 제 2, 및 제 4 전류들 (I_1, I_2 및 I_3) 이 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스-이미터 pn 접합들을 통하여 순방향들로 흐르는 것을 허용한다.

[0089] 하나 이상의 실시형태들에서, 바이폴라 트랜지스터들 (Q1 및 Q3) 의 베이스-이미터 접합들은 동일한 면적을 갖는다. 게다가, 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 접합의 면적은 바이폴라 트랜지스터들 (Q1 및 Q3) 의 베이스-이미터 접합들의 면적의 N 배일 수도 있고, 여기서 N 은 1 보다 큰 수이다.

[0090] 다양한 실시형태들에서, 제 1 연산 증폭기 (34-1) 는 제 1 노드 (N1) 에 접속된 제 1 입력, 제 2 노드 (N2) 에 접속된 제 2 입력, 및 PMOS 트랜지스터들 (MP0, MP1, MP2 및 MP3) 의 게이트들에 접속된 출력을 갖는다. 제 1 입력은 반전 입력일 수도 있고, 제 2 입력은 비-반전 입력일 수도 있다. 제 1 연산 증폭기 (34-1) 는 제 1 및 제 2 전류들 (I_1 및 I_2) 을 제어하기 위해 전류 미러 (33) 의 PMOS 트랜지스터들 (MP1 및 MP2) 의 게이트들에 제어 전압을 출력할 수도 있다.

[0091] 하나 이상의 실시형태들에서, 제 2 연산 증폭기 (34-2) 는 제 1 노드 (N1) 에 접속된 제 1 입력, 제 3 노드 (N3) 에 접속된 제 2 입력, 및 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스들에 접속된 출력을 갖는다. 제 1 입력은 비-반전 입력일 수도 있고, 제 2 입력은 반전 입력일 수도 있다. 제 2 연산 증폭기 (34-2) 는 제 1 및 제 3 전류들 (I_1 및 I_3) 을 제어하기 위해 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스들에 제어 전압을 출력할 수도 있다.

[0092] 다양한 실시형태들에서, 제 1 및 제 2 연산 증폭기들 (34-1 및 34-2) 은 제 1, 제 2 및 제 3 노드들 (N1, N2

및 N3) 이 동일한 전위를 갖도록 PMOS 트랜지스터들 (MP1, MP2 및 MP3) 의 게이트들에 대한 전위 및 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스들에 대한 전위를 제어하도록 구성된다. 하나 이상의 실시형태들에서, 제 1, 제 2 및 제 3 노드들 (N1, N2 및 N3) 은 상기 제 1 및 제 2 연산 증폭기들 (34-1 및 34-2) 의 동작을 통하여 가상-쇼트된다. 하나 이상의 실시형태들에서, 전류 미러 (33) 및 연산 증폭기들 (34-1 및 34-2) 은 총괄하여 노드들 (N1, N2 및 N3) 을 동일한 전위로 제어하고 노드들 (N1, N2 및 N3) 에 동일한 전류 레벨의 전류들을 공급하도록 구성된 전류 공급 회로부로서 동작한다.

[0093] 전류-전압 변환 회로부 (36) 는, 전류 미러 (33) 로부터 수신된 제 3 전류 (I_0) 로부터 출력 전압 (Vout) 을 생성할 수도 있다. 하나 이상의 실시형태들에서, 전류-전압 변환 회로부 (36) 는 다이오드-접속된 바이폴라 트랜지스터 (Q0) 및 저항 소자들 (R9 및 R10) 을 포함한다. 게다가, 바이폴라 트랜지스터 (Q0) 의 베이스-이미터 접합은 바이폴라 트랜지스터들 (Q1 및 Q3) 의 베이스-이미터 접합들의 면적과 동일한 면적을 가질 수도 있다. 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 는 출력 노드 (Nout) 와 접지선 (32) 사이에 직렬로 접속될 수도 있다. 다양한 실시형태들에서, 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 의 위치들은 상호교환가능하다. 하나의 실시형태에서, 저항 소자 (R10) 는 출력 노드 (Nout) 와 접지선 (32) 사이에 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 와 병렬로 접속된다.

[0094] 하나 이상의 실시형태들에서, 도 10 에 예시된 밴드갭 레퍼런스 회로 (300) 는 다음에 설명된 원리에 따라 감소된 온도 의존성으로 출력 전압 (Vout) 을 생성하도록 구성된다. 바이폴라 트랜지스터 (Q1) 를 통하여 흐르는 제 1 전류 (I_1), 및 바이폴라 트랜지스터 (Q2), 저항 소자 (R3) 및 가변 저항 소자 (R4) 를 통하여 흐르는 제 2 전류 (I_2) 는 양자 모두가 양의 온도 의존성을 갖는 PTAT 전류들이다. 이러한 실시형태에서, 바이폴라 트랜지스터들 (Q1, Q2), 저항 소자 (R3) 및 가변 저항 소자 (R4) 는 총칭하여 PTAT 전류 생성 회로부 (35) 로 지칭될 수도 있다.

[0095] 전류-전압 변환 회로부 (36) 에 공급된 제 3 전류 (I_0) 는 또한, 전류 (I_0) 가 전류들 (I_1 및 I_2) 과 동일한 전류 레벨 (I) 을 갖기 때문에 PTAT 전류일 수도 있다. 전류-전압 변환 회로부 (36) 는 제 3 전류 (I_0) 를 양의 온도 의존성을 갖는 전류 (I_{0A}) 및 감소된 온도 의존성을 갖는 전류 (I_{0B}) 로 분할하고, 전류 (I_{0B}) 에 의해 저항 소자 (R10) 에 걸쳐 생성된 전압을 출력 전압 (Vout) 으로서 출력하도록 구성될 수도 있다. 이에 따라, 밴드갭 레퍼런스 회로 (300) 는 출력 전압 (Vout) 의 온도 의존성을 감소시킬 수도 있다. 다양한 실시형태들에서, 밴드갭 레퍼런스 회로 (300) 는 다음에 설명되는 바와 같이 출력 전압 (Vout) 을 생성한다.

[0096] 도 9 에 예시된 구성에서, 그리고 하나 이상의 실시형태들에서, 제 1, 제 2 및 제 3 전류들 (I_1, I_2 및 I_0) 은 동일한 전류 레벨 (I) 을 가지며, 이는 다음의 식 (17) 로 표현될 수도 있다:

$$I = \frac{Vt \cdot \ln(N)}{R3 + R4(Vcc)} \qquad \cdots(17)$$

[0097]

[0098] 제 3 전류 (I_0) 는 제 1 및 제 2 전류들 (I_1 및 I_2) 과 동일한 전류 레벨 (I) 을 갖고 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 를 통하여 흐르는 전류 (I_{0A}) 와 저항 소자 (R10) 를 통하여 흐르는 전류 (I_{0B}) 의 합 전류로서 생성되기 때문에, 다음의 식 (18) 이 성립한다:

$$I_0 = I = I_{0A} + I_{0B} \qquad \cdots(18)$$

[0099]

[0100] 바이폴라 트랜지스터 (Q0) 의 베이스-이미터 전압 (V_{BE0}) 및 저항 소자들 (R9 및 R10) 에 걸친 전압 강하들에 대하여, 다음의 식 (19) 가 성립한다:

$$V_{BE0} + I_{0A} \cdot R9 = I_{0B} \cdot R10 \qquad \cdots(19)$$

[0101]

[0102] 식들 (17) 내지 (19) 로부터, 전류 (I_{0B}) 는 다음의 식 (20) 으로 표현될 수도 있다:

$$I_{0B} = \frac{I \cdot R9 + V_{BE0}}{R9 + R10} = \frac{1}{R9 + R10} \cdot \left(\frac{R9 \cdot Vt \cdot \ln(N)}{R3 + R4(Vcc)} + V_{BE0} \right) \quad \cdots(20)$$

[0103]

[0104] 출력 전압 (Vout) 은, 예를 들어, 다음의 식 (21) 로 표현될 수도 있다:

$$Vout = I_{0B} \cdot R10 = \frac{R10}{R9 + R10} \cdot \left(\frac{R9 \cdot Vt \cdot \ln(N)}{R3 + R4(Vcc)} + V_{BE0} \right) \quad \cdots(21)$$

[0105]

[0106] 열 전압 (Vt) 은 온도에 비례하여 증가하는 양의 온도 의존성을 갖는 한편 베이스-이미터 전압 (V_{BE0}) 은 음의 온도 의존성을 갖기 때문에, 출력 전압 (Vout) 의 온도 의존성은 N, R3, R4(Vcc) 및 R9 를 적절히 조정하는 것에 의해 효과적으로 감소될 수 있다.

[0107] 추가적으로, 식 (21) 로부터 이해되는 바와 같이, 가변 저항 소자 (R4) 가 제공되지 않는 실시형태에서 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라 가변 저항 소자 (R4) 의 특성을 적절히 선택하는 것에 의해 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성이 또한 감소될 수 있다.

[0108] 도 10 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (300) 는, PTAT 전류 생성 회로부 (37) 가 가변 저항 소자 (R4) 를 통합하지 않고 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 에 가변 저항 소자 (R5) 가 직렬로 접속되는 전류-전압 변환 회로부 (38) 가 사용되는 것을 제외하고는, 도 9 에 예시한 것과 유사하게 구성된다. 하나 이상의 실시형태들에서, 바이폴라 트랜지스터 (Q0), 저항 소자 (R9) 및 가변 저항 소자 (R5) 가 접속되는 순서는 상호교환가능하다.

[0109] 하나 이상의 실시형태들에서, 제 1, 제 2 및 제 3 전류들 (I_1, I_2 및 I_0) 은 동일한 전류 레벨 (I) 을 갖고, 이는 다음의 식 (22) 로 표현될 수도 있다:

$$I = \frac{Vt \cdot \ln(N)}{R3} \quad \cdots(22)$$

[0110]

[0111] 베이스-이미터 전압 (V_{BE0}) 및 저항 소자들 (R9 및 R10) 에 걸친 전압 강하들에 대해서, 다음의 식 (23) 이 성립한다:

$$V_{BE0} + I_{0A} \cdot (R9 + R5(Vcc)) = I_{0B} \cdot R10 \quad \cdots(23)$$

[0112]

[0113] 식들 (18), (22) 및 (23) 으로부터, 전류 (I_{0B}) 는 다음의 식 (24) 로 표현될 수도 있다:

$$I_{0B} = \frac{I \cdot (R9 + R5(Vcc)) + V_{BE0}}{R9 + R5(Vcc) + R10} = \frac{1}{R9 + R10 + R5(Vcc)} \cdot \left(\frac{(R9 + R5(Vcc)) \cdot Vt \cdot \ln(N)}{R3} + V_{BE0} \right) \quad \cdots(24)$$

[0114]

[0115] 출력 전압 (Vout) 은, 예를 들어, 다음의 식 (25) 로 표현될 수도 있다:

$$Vout = I_{0B} \cdot R10 = \frac{R10}{R9 + R10 + R5(Vcc)} \cdot \left(\frac{(R9 + R5(Vcc)) \cdot Vt \cdot \ln(N)}{R3} + V_{BE0} \right) \quad \cdots(25)$$

[0116]

[0117] 열 전압 (Vt) 은 온도에 비례하여 증가하는 양의 온도 의존성을 갖는 한편 베이스-이미터 전압 (V_{BE1}) 은 음의 온도 의존성을 갖기 때문에, 식 (25) 로부터 이해되는 바와 같이, 출력 전압의 온도 의존성은 N, R3, R9 및 R5(Vcc) 를 적절히 조정하는 것에 의해 감소될 수 있다.

[0118] 추가적으로, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성은, 가변 저항 소자 (R5) 가 제공되지 않는 실시형태에서 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라 가변 저항 소자 (R5) 의 특성을 적절히 선택하는 것에 의해 효과적으로 감소될 수 있다.

[0119] 도 11 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (300) 는 도 9 에 예시된 구성과 도 10 에 예시된 구성의 조합으로서 구성된다. 도 11 에 예시된 구성에서, PTAT 전류 생성 회로부 (35) 는 가변 저항 소자 (R4) 를 통합한다. 추가적으로, 저항 소자 (R5) 가 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 와 직렬로 접속되는, 전류-전압 변환 회로부 (38) 가 사용된다.

[0120] 도 11 에 예시된 구성에서, 출력 전압 (Vout) 은, 예를 들어, 다음의 식 (26) 으로 표현될 수도 있다:

$$Vout = \frac{R10}{R9 + R10 + R5(Vcc)} \cdot \left(\frac{(R9 + R5(Vcc)) \cdot Vt \cdot \ln(N)}{R3 + R4(Vcc)} + V_{BE0} \right) \quad \cdots(26)$$

[0121]

[0122] 하나 이상의 실시형태들에서, N, R3, R4(Vcc), R5(Vcc) 및 R9 는 식 (26) 에 근거하여, 생성된 출력 전압 (Vout) 을 온도에 덜 의존하게 하거나 또는 온도 의존성이 없게 하도록 조정된다.

[0123] 가변 저항 소자들 (R4 및 R5) 의 특성들은, 가변 저항 소자들 (R4 및 R5) 이 제공되지 않는 실시형태에 대해 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성을 감소시키도록 조정된다.

[0124] 도 12 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (400) 는 전원선 (41), 접지선 (42), 제 1 전류 미러 (43), 제 1 연산 증폭기 (44), 저항 소자 (R3), 가변 저항 소자 (R4), 바이폴라 트랜지스터들 (Q1, Q2, Q3), 전류-전압 변환 회로부 (46), 제 2 전류 미러 (47), 및 제 2 연산 증폭기 (48) 를 포함한다. 하나의 실시형태에서, 전원선 (41) 에는 전원 전압 (Vcc) 이 공급되고, 접지선 (42) 은 접지된다.

[0125] 하나 이상의 실시형태들에서, 제 1 전류 미러 (43) 는 제 1 및 제 2 전류들 (I_1 및 I_2), 제 3 전류 (I_0), 및 제 4 전류 (I_3) 를 출력하도록 구성된다. 전류들 (I_0, I_1, I_2 및 I_3) 은 동일한 전류 레벨을 가질 수도 있다.

하나 이상의 실시형태들에서, 제 1 전류 미러 (43) 는 PMOS 트랜지스터들 (MP0, MP1, MP2 및 MP3) 을 포함한다. PMOS 트랜지스터들 (MP0, MP1, MP2 및 MP3) 은 공통으로-접속된 게이트들을 가질 수도 있고, 그 소스들은 공통으로 전원선 (41) 에 접속될 수도 있다. 게다가, PMOS 트랜지스터들 (MP1, MP2 및 MP3) 의 드레인들은 각각 노드들 (N1, N2 및 N3) 에 접속될 수도 있고, PMOS 트랜지스터 (MP0) 의 드레인은 출력 노드 (Nout) 에 접속될 수도 있다.

[0126] 하나 이상의 실시형태들에서, 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 은, 각각 pn 접합을 통합하는 제 1, 제 2 및 제 3 pn 접합 소자들로서 각각 동작한다. 하나 이상의 실시형태들에서, NPN 트랜지스터들은 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 로서 사용된다. 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스들은 바이폴라 트랜지스터 (Q3) 의 콜렉터에 공통으로 접속될 수도 있다. 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 콜렉터들은 각각 제 1, 제 2 및 제 3 노드들 (N1, N2 및 N3) 에 접속될 수도 있다. 바이폴라 트랜지스터들 (Q1 및 Q3) 의 이미터들은 접지선 (42) 에 접속될 수도 있고, 바이폴라 트랜지스터 (Q2) 의 이미터는 저항 소자 (R3) 및 가변 저항 소자 (R4) 를 통해 접지선 (42) 에 접속될 수도 있다. 제 2 및 제 4 전류들 (I_1, I_2 및 I_3) 은 각각 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스-이미터 pn 접합들을 통하여 순방향들로 흐를 수도 있다.

[0127] 하나 이상의 실시형태들에서, 바이폴라 트랜지스터들 (Q1 및 Q3) 의 베이스-이미터 접합들은 동일한 면적을 갖고, 바이폴라 트랜지스터 (Q2) 의 베이스-이미터 접합의 면적은 바이폴라 트랜지스터들 (Q1 및 Q3) 의 베이스-이미터 접합들의 면적의 N 배이고, 여기서 N 은 1 보다 큰 수이다.

[0128] 다양한 실시형태들에서, 제 1 연산 증폭기 (44) 는 제 1 노드 (N1) 에 접속된 제 1 입력, 제 2 노드 (N2) 에 접속된 제 2 입력, 및 PMOS 트랜지스터들 (MP0, MP1, MP2 및 MP3) 의 게이트들에 접속된 출력을 갖는다. 게다

가, 제 1 연산 증폭기 (44) 는 전류들 (I_0, I_1, I_2 및 I_3) 을 제어하기 위해 제 1 전류 미러 (43) 의 PMOS 트랜지스터들 (MP0, MP1, MP2 및 MP3) 의 게이트들에 제어 전압을 출력하도록 구성될 수도 있다. 다양한 실시형태들에서, 연산 증폭기 (44) 는 제 1 및 제 2 노드들 (N1 및 N2) 이 동일한 전위를 갖도록 PMOS 트랜지스터들 (MP0, MP1, MP2 및 MP3) 의 게이트들의 전위를 제어한다. 제 1 및 제 2 노드들 (N1 및 N2) 은 상기 제 1 연산 증폭기 (44) 의 동작을 통하여 가상-쇼트될 수도 있다. 하나 이상의 실시형태들에서, 제 1 전류 미러 (43) 및 연산 증폭기 (44) 는 노드들 (N1 및 N2) 을 동일한 전위로 제어하고 노드들 (N1 및 N2) 에 동일한 전류 레벨의 전류들을 공급하도록 구성된 전류 공급 회로부로서 함께 동작한다.

[0129] 전류-전압 변환 회로부 (46) 는 제 1 전류 미러 (43) 로부터 수신된 제 3 전류 (I_0) 에 응답하여 출력 전압 (Vout) 을 생성할 수도 있다. 하나 이상의 실시형태들에서, 전류-전압 변환 회로부 (46) 는, 다이오드-접속된 바이폴라 트랜지스터 (Q0) 및 저항 소자들 (R9 및 R10) 을 포함한다. 바이폴라 트랜지스터 (Q0) 의 베이스-이미터 접합은 바이폴라 트랜지스터들 (Q1 및 Q3) 의 베이스-이미터 접합들의 면적과 동일한 면적을 가질 수도 있다. 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 는 출력 노드 (Nout) 와 접지선 (42) 사이에 직렬로 접속될 수도 있다. 하나 이상의 실시형태들에서, 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 의 위치들은 상호교환가능하다. 게다가, 저항 소자 (R10) 는 출력 노드 (Nout) 와 접지선 (42) 사이에 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 와 병렬로 접속될 수도 있다.

[0130] 하나 이상의 실시형태들에서, 제 2 전류 미러 (47) 는 제 5 전류 (I_4) 를 제 3 노드 (N3) 에 출력하고 제 6 전류 (I_5) 를 전류-전압 변환 회로부 (46) 에 출력하도록 구성된다. 전류-전압 변환 회로부 (46) 는 제 1 전류 미러 (43) 로부터의 제 3 전류 (I_0) 와 제 2 전류 미러 (47) 로부터의 제 6 전류 (I_5) 의 합 전류를 수신할 수도 있다. 제 2 전류 미러 (47) 의 미러비는 A:1 일 수도 있고, 이에 따라 제 6 전류 (I_5) 의 전류 레벨은 제 5 전류 (I_4) 의 전류 레벨의 1/A 배일 수도 있다. 하나 이상의 실시형태들에서, 제 2 전류 미러 (47) 는 PMOS 트랜지스터들 (MP4 및 MP5) 을 포함한다. PMOS 트랜지스터들 (MP4 및 MP5) 은 공통으로-접속된 게이트들을 가질 수도 있고, 그 소스들은 공통으로 전원선 (41) 에 접속될 수도 있다. PMOS 트랜지스터 (MP4) 의 드레인은 노드 (N3) 에 접속될 수도 있고, PMOS 트랜지스터 (MP5) 의 드레인은 전류-전압 변환 회로부 (46) 에 접속될 수도 있다. 하나 이상의 실시형태들에서, PMOS 트랜지스터들 (MP4 및 MP5) 은 PMOS 트랜지스터들 (MP4 및 MP5) 이 동일한 게이트 길이 (L) 를 갖는 한편 PMOS 트랜지스터 (MP4) 의 게이트 폭 (W_{MP4}) 이 PMOS 트랜지스터 (MP5) 의 게이트 폭 (W_{MP5}) 의 A 배가 되도록 설계된다.

[0131] 하나 이상의 실시형태들에서, 제 2 연산 증폭기 (48) 는 제 5 및 제 6 전류들 (I_4 및 I_5) 을 제어하기 위해 제 2 전류 미러 (47) 의 PMOS 트랜지스터들 (MP4 및 MP5) 의 게이트들에 제어 전압을 출력한다. 제 2 연산 증폭기 (48) 는 제 2 및 제 3 노드들 (N2 및 N3) 이 동일한 전위를 갖도록 PMOS 트랜지스터들 (MP4 및 MP5) 의 전위를 제어하도록 구성될 수도 있다. 제 2 및 제 3 노드들 (N2 및 N3) 은 제 2 연산 증폭기 (48) 에 의해 가상-쇼트될 수도 있다.

[0132] 하나 이상의 실시형태들에서, 도 12 에 예시된 밴드갭 레퍼런스 회로 (400) 는 다음에서 설명된 동작을 통하여 출력 전압 (Vout) 을 출력하도록 구성된다.

[0133] 다양한 실시형태들에서, 제 1, 제 2 및 제 4 전류들 (I_1, I_2 및 I_3) 은 콜렉터 전류들로서 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 에 공급되는 한편 제 1, 제 2 및 제 4 전류들 (I_1, I_2 및 I_3) 은 동일한 전류 레벨을 갖도록 제어되기 때문에, 제 2 전류 미러 (47) 로부터 제 3 노드 (N3) 에 공급되는 제 5 전류 (I_4) 는 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스 전류들의 합 전류이다. 이에 따라, 제 2 전류 미러 (47) 로부터 전류-전압 변환 회로부 (46) 에 공급되는 제 6 전류 (I_5) 는, 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스 전류들에 의존한다.

[0134] 하나의 실시형태에서, 이미터-접지된 바이폴라 트랜지스터의 베이스 전류는 콜렉터 전류보다 훨씬 작고, 따라서 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스 전류들의 합 전류인 전류 (I_4) 는 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 콜렉터 전류들인 전류들 (I_1, I_2 및 I_3) 보다 훨씬 작은 것으로 간주될 수 있다. 게다가, 전류 (I_5) 는, 전류 (I_0) 의 전류 레벨이 전류들 (I_1, I_2 및 I_3) 의 전류 레벨과 동일하고 전류 (I_5) 가 전류

(I_4) 의 1/A 배이기 때문에, 전류 (I_0) 보다 훨씬 작은 것으로 간주될 수 있다.

[0135] 이러한 실시형태에서, 제 1 근사로, 밴드갭 레퍼런스 회로 (400) 의 출력 전압 (Vout) 은 도 9 에 예시된 밴드갭 레퍼런스 회로 (300) 의 경우와 마찬가지로, 예를 들어, 상기 설명된 식 (21) 로 표현될 수도 있다. 이에 따라, 출력 전압 (Vout) 의 온도 의존성은 N, R3, R4(Vcc) 및 R9 를 적절히 조정하는 것에 의해 효과적으로 감소될 수 있다. 추가적으로, 하나 이상의 실시형태들에서, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성은 또한, 가변 저항 소자 (R4) 가 제공되지 않는 실시형태에서 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라 가변 저항 소자 (R4) 의 특성을 적절히 선택하는 것에 의해 감소될 수 있다.

[0136] 전류 미러 (47) 로부터 전류-전압 변환 회로부 (46) 에 공급되는 전류 (I_5) 는, 출력 전압 (Vout) 의 비-선형 온도 의존성을 보상하는데 사용될 수도 있다. 식 (21) 로부터 이해되는 바와 같이, 출력 전압 (Vout) 은 베이스-이미터 전압 (V_{BE0}) 에 의존한다. 일반적으로, 바이폴라 트랜지스터의 베이스-이미터 전압은 비-선형 음의 온도 의존성을 갖는 것으로 알려져 있다. 한편, 열 전압 (Vt) 은 절대 온도 (T) 에 비례하여, 선형 온도 의존성을 갖는다. 이에 따라, 하나 이상의 실시형태들에서, 출력 전압 (Vout) 의 비-선형 온도 의존성은, 단지 전류 (I_0) 만이 전류-전압 변환 회로부 (46) 에 공급되는 경우에는 완전히 해소되지 않는다. 전류 (I_5) 는 바이폴라 트랜지스터들 (Q1, Q2 및 Q3) 의 베이스 전류들의 전류 레벨에 비례하는 전류 레벨을 갖고, 따라서 비-선형 온도 의존성을 보인다. 도 12 에 예시된 밴드갭 레퍼런스 회로는 베이스-이미터 전압 (V_{BE0}) 의 비-선형 온도 의존성의 보상을 위해 전류 (I_0) 에 더하여 전류 (I_5) 를 전류-전압 변환 회로부 (46) 에 공급하는 것에 의해 출력 전압 (Vout) 의 온도 의존성을 추가로 감소시킬 수도 있다.

[0137] 도 13 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (400) 는, PTAT 전류 생성 회로부 (49) 가 가변 저항 소자 (R4) 를 통합하지 않고 가변 저항 소자 (R5) 가 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 와 직렬로 접속되는 전류-전압 변환 회로부 (50) 가 사용되는 것을 제외하고는, 도 12 에 예시한 것과 유사하게 구성된다. 하나 이상의 실시형태들에서, 바이폴라 트랜지스터 (Q0), 저항 소자 (R9) 및 가변 저항 소자 (R5) 가 접속되는 순서는 상호교환가능하다.

[0138] 도 12 에 예시된 밴드갭 레퍼런스 회로 (400) 에 대한 논의가 또한 도 13 에 예시된 밴드갭 레퍼런스 회로 (400) 에도 또한 적용가능할 수도 있다. 제 1 근사로, 도 13 에 예시된 밴드갭 레퍼런스 회로 (400) 의 출력 전압 (Vout) 은, 도 10 에 예시된 밴드갭 레퍼런스 회로 (300) 의 경우와 마찬가지로, 예를 들어, 상기 설명된 식 (25) 로 표현될 수도 있다. 이에 따라, 하나 이상의 실시형태들에서, 출력 전압 (Vout) 의 온도 의존성은 N, R3, R9 및 R5(Vcc) 를 적절히 조정하는 것에 의해 효과적으로 감소될 수 있다. 추가적으로, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성은 또한, 가변 저항 소자 (R5) 가 제공되지 않는 실시형태에서 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라 가변 저항 소자 (R5) 의 특성을 적절히 선택하는 것에 의해 감소될 수 있다.

[0139] 도 14 에 예시한 바와 같은, 하나 이상의 실시형태들에서, 밴드갭 레퍼런스 회로 (400) 는 도 12 에 예시된 구성과 도 13 에 예시된 구성의 조합으로서 구성된다. 도 14 에 예시된 구성에서, PTAT 전류 생성 회로부 (45) 는 저항 소자 (R4) 를 통합한다. 추가적으로, 가변 저항 소자 (R5) 가 바이폴라 트랜지스터 (Q0) 및 저항 소자 (R9) 와 직렬로 접속되는 전류-전압 변환 회로부 (50) 가 사용된다.

[0140] 도 12 및 도 13 에 예시된 밴드갭 레퍼런스 회로 (400) 에 대한 논의들이 또한 도 14 에 예시된 것에도 또한 적용가능할 수도 있다. 제 1 근사로, 도 14 에 예시된 밴드갭 레퍼런스 회로 (400) 의 출력 전압 (Vout) 은, 도 11 에 예시된 밴드갭 레퍼런스 회로 (300) 의 경우와 마찬가지로, 예를 들어, 상기 설명된 식 (26) 으로 표현될 수도 있다. 하나 이상의 실시형태들에서, N, R3, R4(Vcc), R5(Vcc) 및 R9 는 식 (26) 에 근거하여, 생성된 출력 전압 (Vout) 이 온도에 덜 의존하게 하거나 또는 온도 의존성이 없게 하도록 조정된다. 추가적으로, 가변 저항 소자들 (R4 및 R5) 의 특성들은, 가변 저항 소자들 (R4 및 R5) 이 제공되지 않는 경우에 대해 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성에 따라, 출력 전압 (Vout) 의 전원 전압 (Vcc) 에 대한 의존성을 감소시키도록 선택된다.

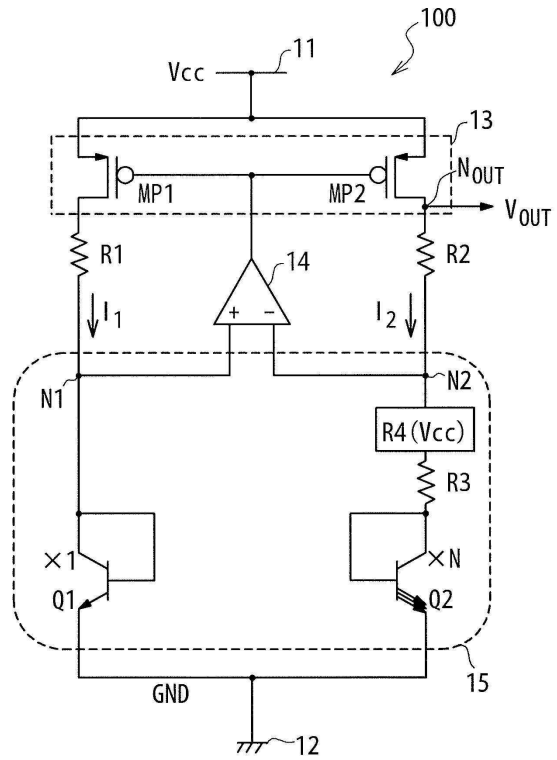
[0141] 하나의 실시형태에서, 밴드갭 레퍼런스 회로를 동작시키기 위한 방법은 전원선에 접속된 전류 미러를 통해 제 1 노드에 제 1 전류를 공급하는 단계를 포함한다. 게다가, 제 2 전류는 전류 미러에 의해 제 1 노드와 가상-쇼트된 제 2 노드에 공급된다. 방법은 제 1 pn 접합 소자를 통하여 제 1 노드로부터 접지선으로 제 1 전류가 흐르게 하는 단계를 더 포함한다.

[0142] 추가적으로, 방법은 제 2 pn 접합 소자 및 가변 저항 소자를 통하여 제 2 노드로부터 접지선으로 제 2 전류가 흐르게 하는 단계를 포함한다. 가변 저항 소자는 전원선에 공급되는 전원 전압에 의존하는 저항을 갖도록 구성된다.

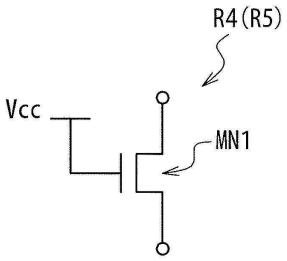
[0143] 본 개시의 다양한 실시형태들은 위에서 구체적으로 설명되었지만, 당업자는 본 개시에서 개시된 기법들이 다양한 변경들로 구현될 수도 있다는 것을 인식할 것이다.

도면

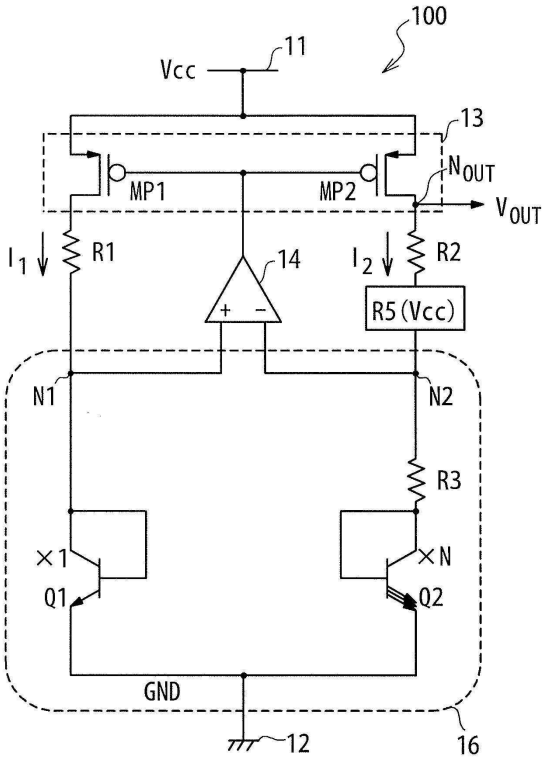
도면1



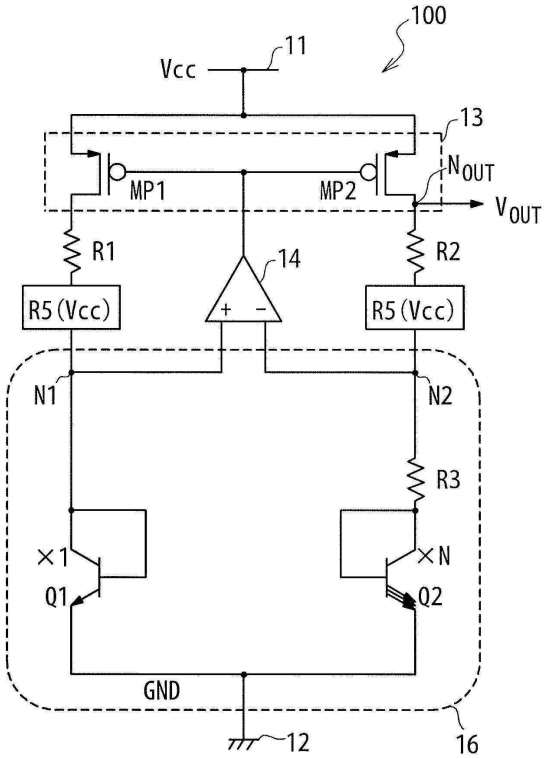
도면2



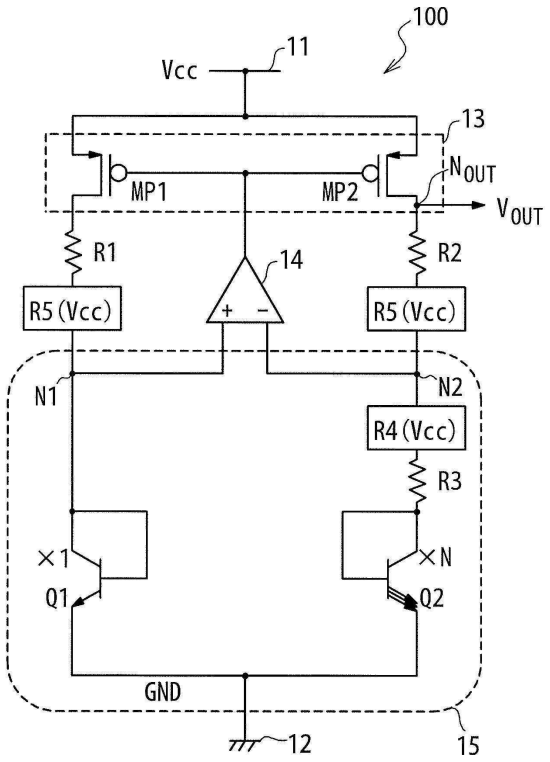
도면3


100
Vcc
11
13
MP1
MP2
NOUT
VOUT
I1
R1
14
I2
R2
R5(Vcc)
N1
N2
R3
×1
×N
Q1
Q2
GND
12
16

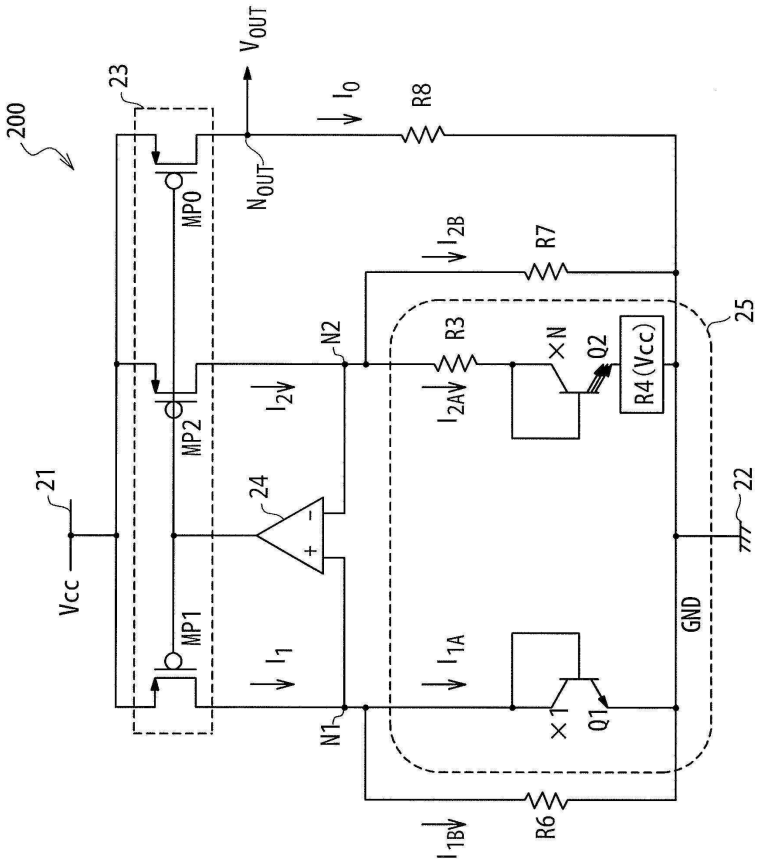
도면4


100
Vcc
11
13
MP1
MP2
NOUT
VOUT
R1
14
R2
R5(Vcc)
R5(Vcc)
N1
N2
R3
×1
×N
Q1
Q2
GND
12
16

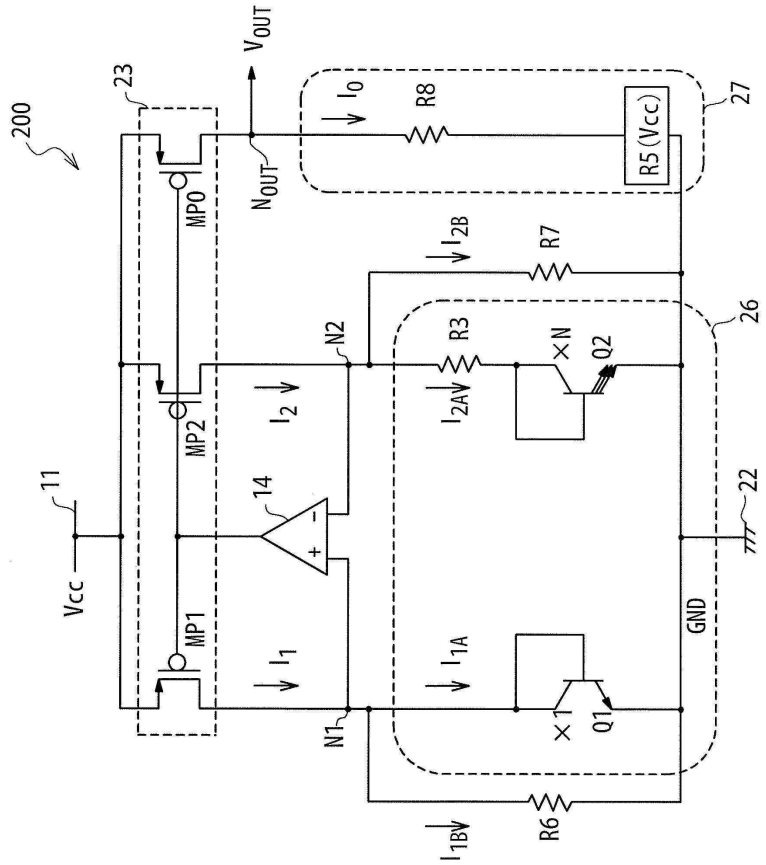
도면5


100
11
Vcc
13
MP1
MP2
NOUT
VOUT
R1
R2
14
R5(Vcc)
R5(Vcc)
N1
N2
R4(Vcc)
R3
×1
×N
Q1
Q2
GND
12
15

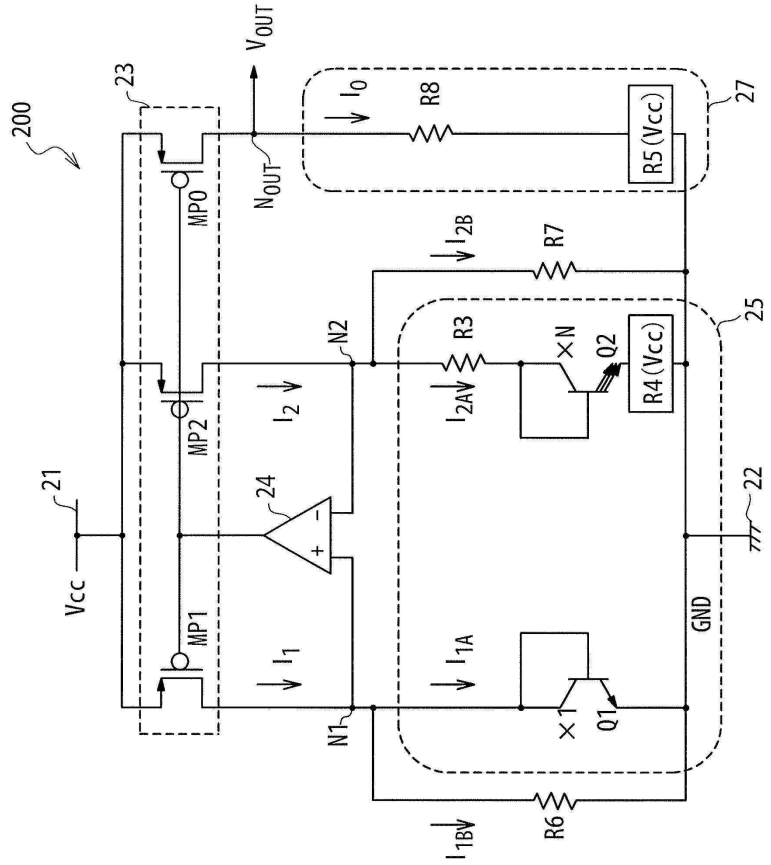
도면6


200
23
VOUT
I0
R8
NOUT
MP0
I2B
R7
25
N2
R3
×N
Q2
R4(Vcc)
I2A
I2
MP2
21
24
22
Vcc
MP1
I1
I1A
GND
N1
×1
Q1
I1B
R6

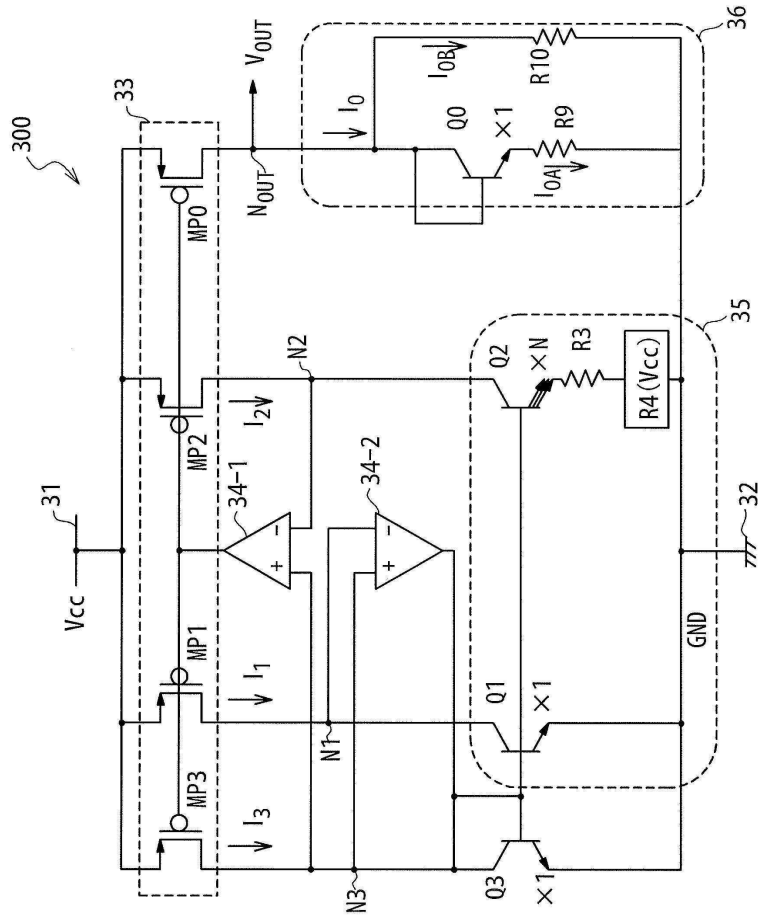
도면7


200
23
V_{OUT}
I_O
R8
R5 (Vcc)
27
N_{OUT}
MP0
I_{2B}
R7
26
N2
R3
×N
Q2
I_{2A}
I_2
MP2
11
14
22
Vcc
MP1
I_1
I_{1A}
GND
N1
×1
Q1
I_{1B}
R6

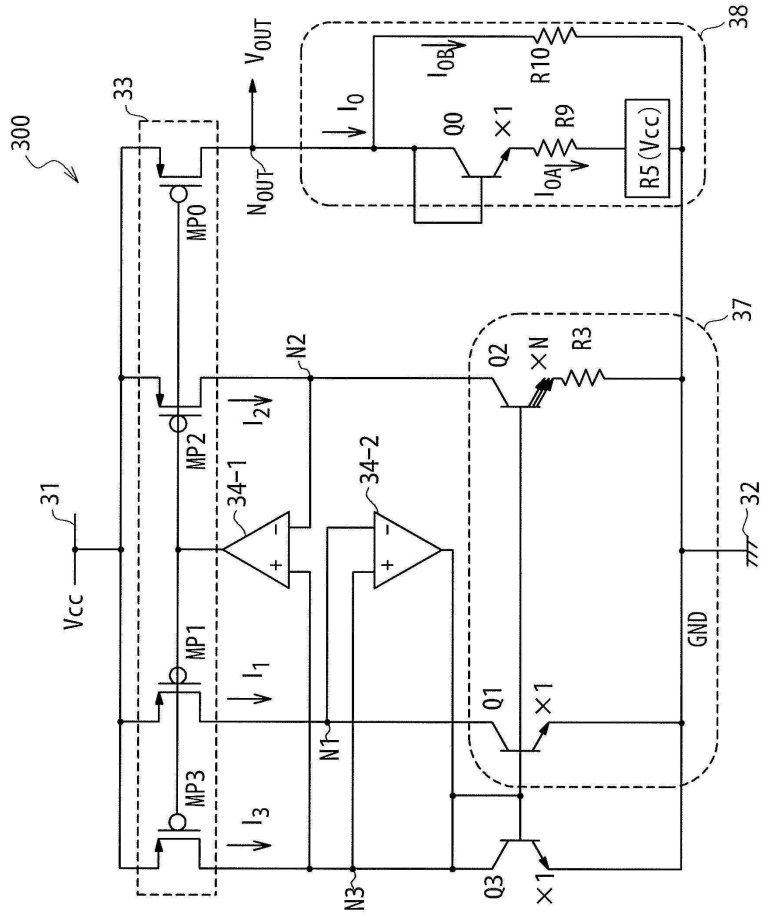
도면8


200
23
V_{OUT}
I_O
R8
27
R5(Vcc)
N_{OUT}
MP0
I_{2B}
R7
25
N2
R3
×N
Q2
R4(Vcc)
I_{2A}
I_2
MP2
21
24
22
Vcc
MP1
I_1
I_{1A}
GND
N1
×1
Q1
I_{1B}
R6

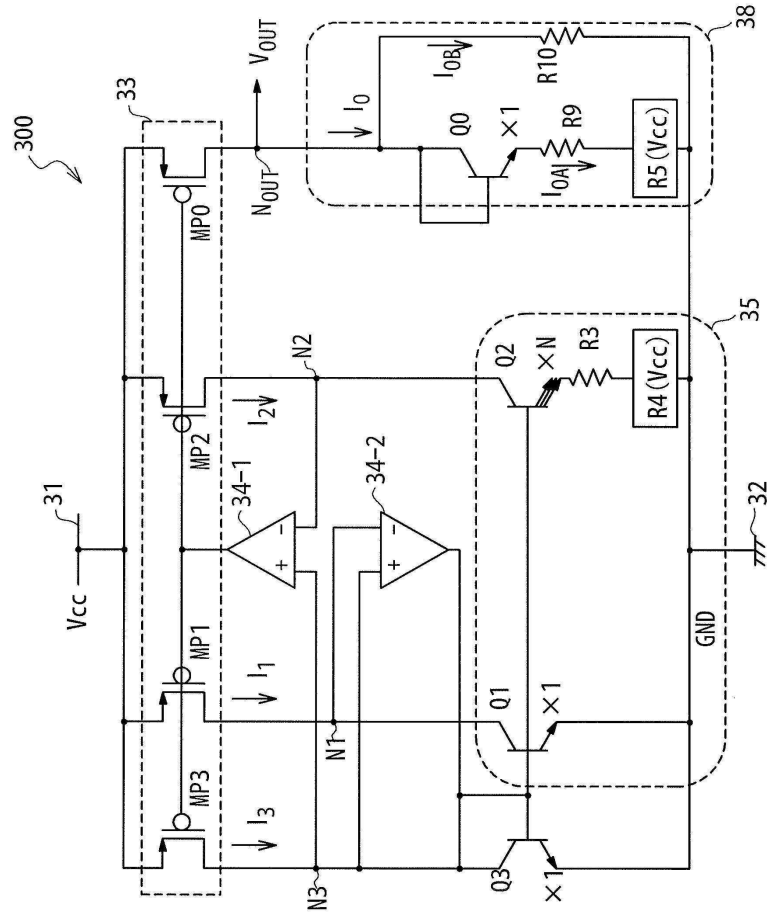
도면9


300
33
V_{OUT}
N_{OUT}
MP0
MP1
MP2
MP3
I_0
I_1
I_2
I_3
I_{0B}
I_{0A}
Q0
Q1
Q2
Q3
×1
×N
R10
R9
R3
R4(Vcc)
34-1
34-2
N1
N2
N3
31
Vcc
32
GND
35
36

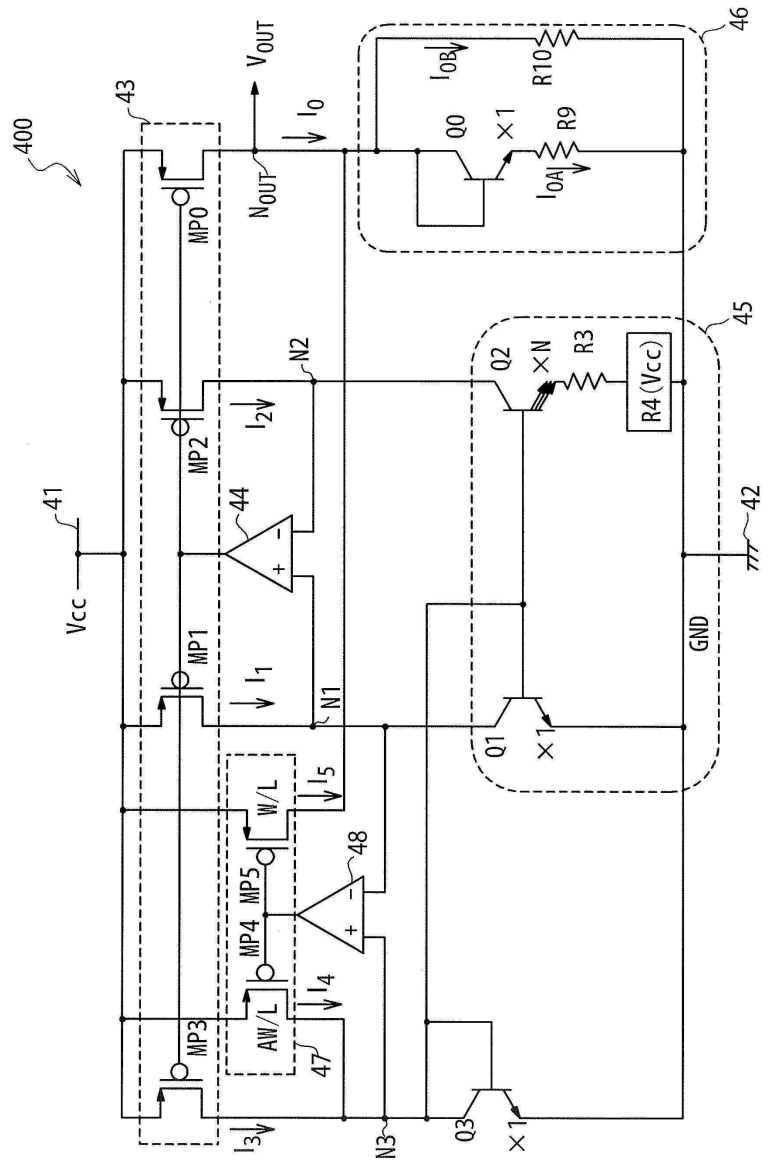
도면10


300
33
V_{OUT}
N_{OUT}
MP0
MP1
MP2
MP3
I_0
I_{0B}
I_{0A}
Q0
×1
R10
R9
R5 (Vcc)
38
37
N2
Q2
×N
R3
I_2
34-1
34-2
31
Vcc
I_1
N1
Q1
×1
I_3
N3
Q3
×1
32
GND

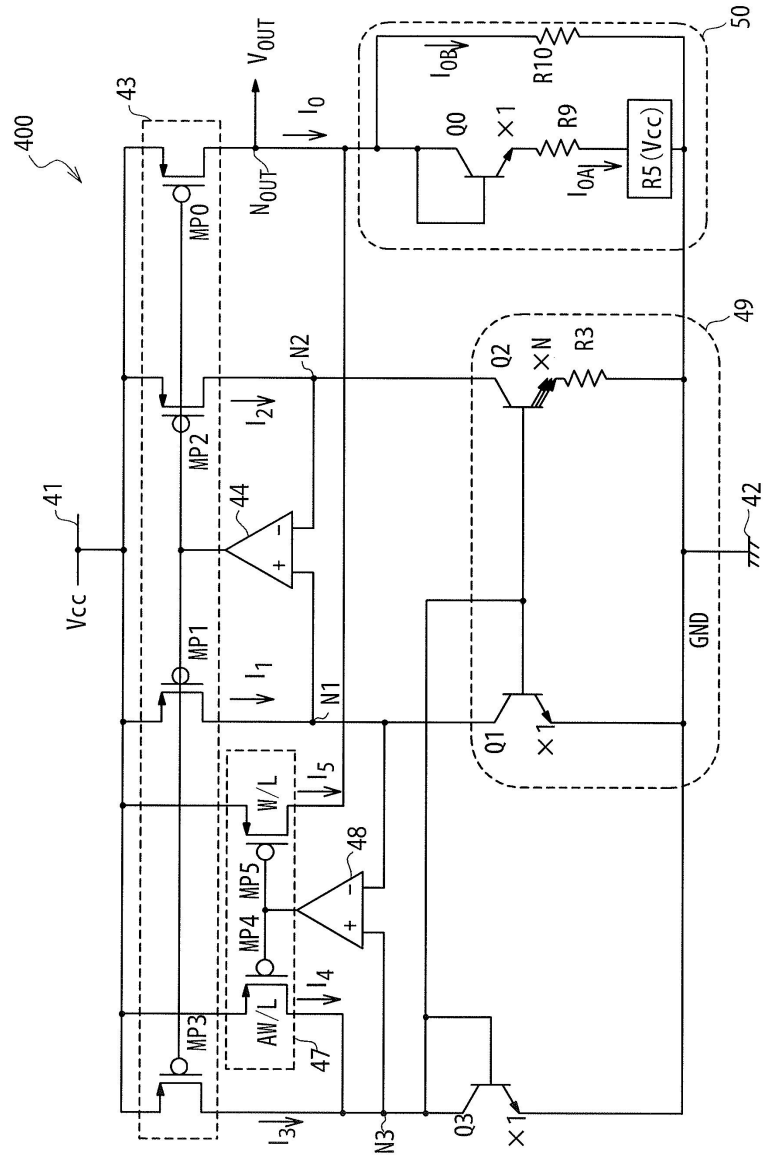
도면11


300
33
VOUT
NOUT
MP0
MP2
MP1
MP3
I0
IOB
IOA
Q0
×1
R10
R9
R5(Vcc)
38
35
N2
I2
34-1
34-2
Q2
×N
R3
R4(Vcc)
31
Vcc
I1
I3
N1
N3
Q1
Q3
×1
GND
32

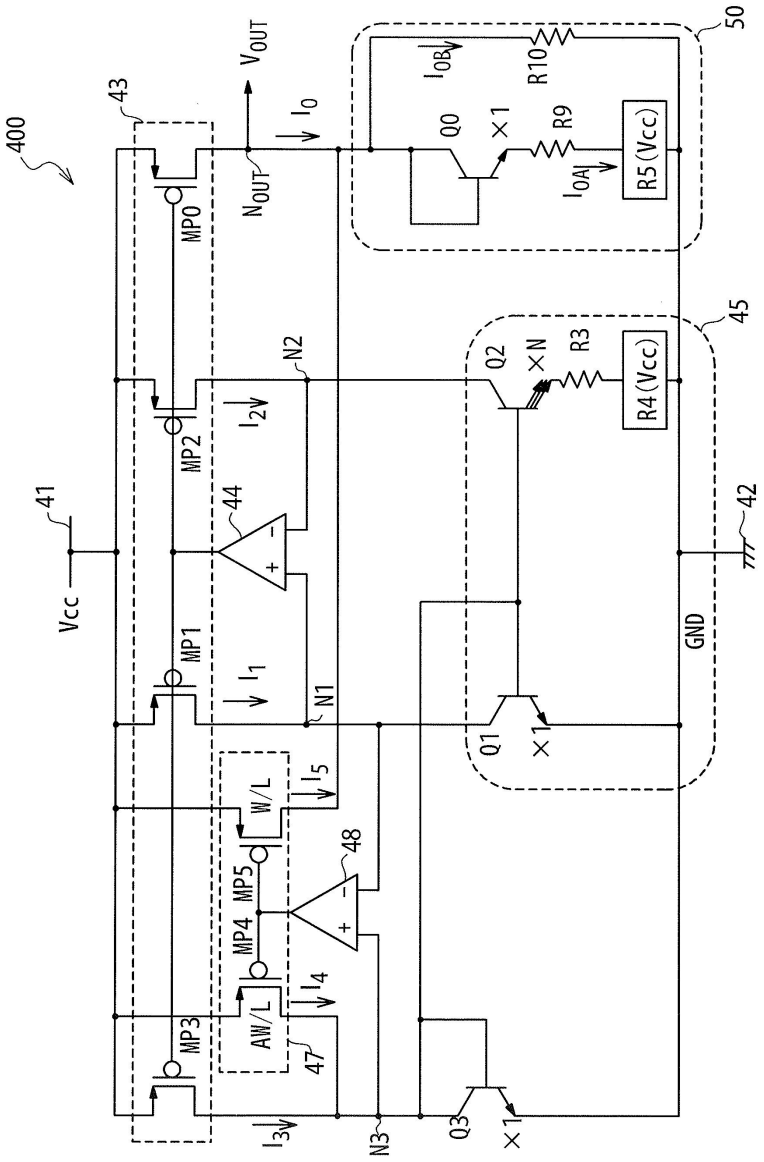
도면12


400
43
VOUT
NOUT
I0
IOB
R10
Q0
×1
R9
IOA
46
MP0
N2
Q2
×N
R3
R4(Vcc)
45
I2
MP2
41
44
42
Vcc
GND
MP1
I1
N1
Q1
×1
W/L
I5
48
MP5
MP4
I4
AW/L
47
MP3
I3
N3
Q3
×1

도면13


400
43
V_{OUT}
I_O
N_{OUT}
MP0
MP2
MP1
MP3
MP4
MP5
I_2
I_1
I_3
I_4
I_5
N2
N1
N3
44
48
47
W/L
AW/L
41
Vcc
42
GND
49
Q2
×N
R3
Q1
×1
Q3
50
I_{OB}
R10
Q0
×1
R9
I_{OA}
R5 (Vcc)

도면14



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 11

【변경전】

제 9 항에 있어서,

상기 제 1 pn 접합 소자는 제 1 바이폴라 트랜지스터를 포함하고,

상기 제 2 pn 접합 소자는 제 2 바이폴라 트랜지스터를 포함하고,

상기 밴드갭 레퍼런스 회로는 제 3 노드와 상기 접지선 사이의 제 3 바이폴라 트랜지스터를 더 포함하고,

상기 제 1 바이폴라 트랜지스터, 상기 제 2 바이폴라 트랜지스터 및 상기 제 3 바이폴라 트래지스터의 베이스들은 상기 제 3 바이폴라 트랜지스터의 콜렉터에 공통으로 접속되고,

상기 제 1 전류 미러는 상기 제 3 노드에 제 4 전류를 출력하도록 구성되고,

상기 제 1 노드, 상기 제 2 노드 및 상기 제 3 노드는 서로 가상-쇼트되고,

상기 제 1 전류는 상기 제 1 바이폴라 트랜지스터의 콜렉터를 통하여 흐르고,

상기 제 2 전류는 상기 제 2 바이폴라 트랜지스터의 콜렉터를 통하여 흐르고,

상기 제 4 전류는 상기 제 3 바이폴라 트랜지스터의 상기 콜렉터를 통하여 흐르는, 밴드갭 레퍼런스 회로.

【변경후】

제 9 항에 있어서.

상기 제 1 pn 접합 소자는 제 1 바이폴라 트랜지스터를 포함하고,

상기 제 2 pn 접합 소자는 제 2 바이폴라 트랜지스터를 포함하고,

상기 밴드갭 레퍼런스 회로는 제 3 노드와 상기 접지선 사이의 제 3 바이폴라 트랜지스터를 더 포함하고,

상기 제 1 바이폴라 트랜지스터, 상기 제 2 바이폴라 트랜지스터 및 상기 제 3 바이폴라 트랜지스터의 베이스들은 상기 제 3 바이폴라 트랜지스터의 콜렉터에 공통으로 접속되고,

상기 제 1 전류 미러는 상기 제 3 노드에 제 4 전류를 출력하도록 구성되고,

상기 제 1 노드, 상기 제 2 노드 및 상기 제 3 노드는 서로 가상-쇼트되고,

상기 제 1 전류는 상기 제 1 바이폴라 트랜지스터의 콜렉터를 통하여 흐르고,

상기 제 2 전류는 상기 제 2 바이폴라 트랜지스터의 콜렉터를 통하여 흐르고,

상기 제 4 전류는 상기 제 3 바이폴라 트랜지스터의 상기 콜렉터를 통하여 흐르는, 밴드갭 레퍼런스 회로.