

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年5月14日(14.05.2015)



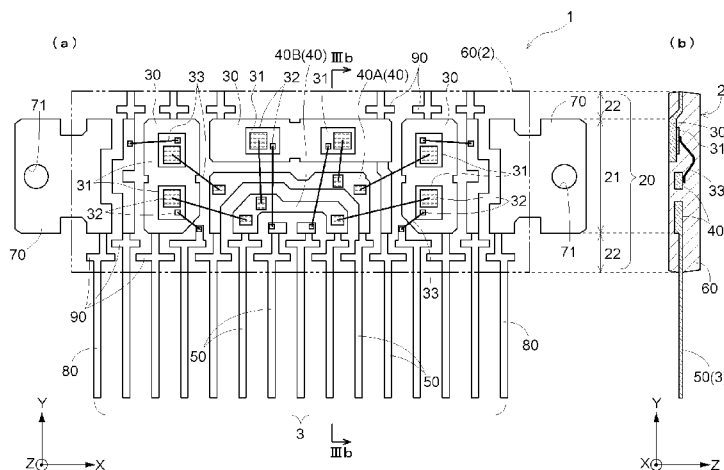
(10) 国際公開番号
WO 2015/068565 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) H01L 25/07 (2006.01)
H01L 23/50 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2014/077956
- (22) 国際出願日: 2014年10月21日(21.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-232417 2013年11月8日(08.11.2013) JP
- (71) 出願人: アイシン精機株式会社(AISIN SEIKI KABUSHIKI KAISHA) [JP/JP]; 〒4488650 愛知県刈谷市朝日町二丁目一番地 Aichi (JP).
- (72) 発明者: 篠原 稔(SHINOHARA Minoru); 〒4488650 愛知県刈谷市朝日町二丁目一番地 アイシン精機株式会社内 Aichi (JP). 中村 直樹(NAKAMURA Naoki); 〒4488650 愛知県刈谷市朝日町二丁目一番地 アイシン精機株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 R & C (R&C IP LAW FIRM); 〒5300005 大阪府大阪市北区中之島三丁目3番3号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図3]



(57) Abstract: This invention provides a semiconductor device that has a small form factor and exhibits high reliability. Said semiconductor device is provided with a deformed-rod lead frame that has a thick section and a thin section that is thinner than said thick section, a chip mounting section where a semiconductor chip is mounted, a junction section that is connected to a connection section on the semiconductor chip via a lead wire, and a connection terminal that is connected to said junction section. The thick section of the deformed-rod lead frame is formed in the middle of said deformed-rod lead frame in a Y direction thereof and has a prescribed width in an X direction that is perpendicular to said Y direction. The thin section of the deformed-rod lead frame is formed outside the thick section on both sides thereof in the X direction. The abovementioned chip mounting section is formed in the thick section of the deformed-rod lead frame, the abovementioned junction section is formed in said thick section so as to be separate from the chip mounting section, and the abovementioned connection terminal is formed in the thin section of the deformed-rod lead frame.

(57) 要約:

[続葉有]

WO 2015/068565 A1



小型で、且つ、信頼性の高い半導体装置を提供する。半導体装置は、肉厚部と当該肉厚部よりも薄い肉薄部とを有する異形条リードフレームと、半導体チップが搭載されるチップ搭載部と、半導体チップが有する接続部とリード線により接続される中継部と、当該中継部に接続された接続端子と、を備え、異形条リードフレームは、当該異形条リードフレームにおけるY方向の中央部に当該Y方向と直交するX方向に沿って所定の幅を有して肉厚部が形成され、当該肉厚部のX方向両外側に肉薄部が形成され、チップ搭載部は、肉厚部に形成され、中継部は、肉厚部にチップ搭載部と分離して形成され、接続端子は、肉薄部に形成されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、リードフレームに半導体チップが搭載された半導体装置に関する。

背景技術

[0002] 従来、電子部品の小型化を目的の一つとして、複数の半導体チップを1つのパッケージ内に収容した半導体装置が利用されてきた。このような半導体装置として下記に出典を示す特許文献1に記載のものがある。

[0003] 特許文献1に記載の半導体装置は、3相モータ駆動用の半導体装置であり、一对のpMISFET及びnMISFETを含む3組の半導体チップが夫々3つのタブに搭載されている。夫々の半導体チップのゲート端子及びソース端子はワイヤボンディングによりリードと接続される。一方、夫々の半導体チップのドレイン端子は、同一のタブ内の半導体チップ同士でリードフレームを介して接続され、このリードフレームを介してリードと接続される。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-12857号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に記載の半導体装置は、異形条のリードフレームが用いられる。このようなリードフレームのうち半導体チップは肉厚の部分に搭載され、リードは半導体チップが搭載される部分よりも薄く形成される。このため、半導体素子とリードとをワイヤボンディングする際にリードフレームの薄い部分からなるリードに応力が作用することが想定される。したがって、リードフレームが変形や破損する可能性があり、半導体装置の信頼性が損なわれる。

[0006] 本発明の目的は、上記問題に鑑み、半導体装置を小型化した場合であっても信頼性の高い半導体装置を提供することにある。

課題を解決するための手段

[0007] 上記目的を達成するための本発明に係る半導体装置の特徴構成は、肉厚部と前記肉厚部よりも薄い肉薄部とを有する異形条リードフレームと、半導体チップが搭載されるチップ搭載部と、前記半導体チップが有する接続部とリード線により接続される中継部と、前記中継部に接続された接続端子と、を備え、前記異形条リードフレームは、当該異形条リードフレームにおける第1方向の中央部に前記第1方向と直交する第2方向に沿って所定の幅を有して前記肉厚部が形成され、前記肉厚部の前記第1方向両外側に前記肉薄部が形成され、前記チップ搭載部は、前記肉厚部に形成され、前記中継部は、前記肉厚部に前記チップ搭載部と分離して形成され、前記接続端子は、前記肉薄部に形成されている点にある。

[0008] このような特徴構成とすれば、複数の半導体チップをワンパッケージ化した場合であっても、半導体チップと異形条リードフレームとをリード線で接続する際に肉厚部で行うことができるので、リード線による接続時に異形条リードフレームに生じる応力を低減することができる。したがって、半導体装置を小型化した場合であっても信頼性の高い半導体装置を実現することが可能となる。

[0009] また、前記肉厚部の肉厚が一様であり、前記異形条リードフレームを前記第1方向及び前記第2方向に直交する第3方向における前記半導体チップが搭載される側から見て、前記チップ搭載部は前記中継部よりも前記第3方向に沿った遠い側に配置されていると好適である。

[0010] このような構成とすれば、半導体チップが搭載されたチップ搭載部を半導体装置の表面に近づけることができるので、半導体チップから発せられる熱を放熱し易くすることができる。

[0011] また、前記チップ搭載部は平面視がU字状に配置されていると好適である。

- [0012] このような構成とすれば、チップ搭載部と半導体チップとの距離を近づけることができる。したがって、チップ搭載部と半導体チップとを接続する線を短くすることができるので材料コストを低減することができる。また、ジュール熱による損失も低減することができる。
- [0013] また、前記中継部は、前記U字状の開口部の開口幅となる前記第2方向に沿って延出して形成されていると好適である。
- [0014] このような構成とすれば、中継部と半導体チップとの距離を近づけることができる。したがって、中継部と半導体チップとを接続する線を短くすることができるので材料コストを低減することができる。また、ジュール熱による損失も低減することができる。
- [0015] また、前記接続端子は前記中継部に2本接続され、前記肉厚部と前記肉薄部とがモールド部で覆われ、前記モールド部が有する所定の同一側面において、前記2本の接続端子が露出されていると好適である。
- [0016] このような構成とすれば、接続端子を並列に構成することができるので、当該接続端子に流れる電流を分流できる。したがって、ジュール熱による損失を低減することが可能となる。
- [0017] また、前記2本の接続端子の一方が、前記モールド部の側面に沿って切断されていると好適である。
- [0018] このような構成とすれば、例えば半導体装置が実装される基板において実装面積上の制約がある場合でも、接続端子の数を減じることができるので実装の自由度を高めることができる。
- [0019] また、前記異形条リードフレームにおける前記肉厚部の前記第2方向における両側に、前記異形条リードフレームを外部に設けられた装置に固定する固定部が形成されていると好適である。
- [0020] このような構成とすれば、半導体装置を外部に設けられた装置に固定することができる。例えば半導体装置を実装する基板も所定の位置に固定することにより、半導体装置と基板との間に生じる応力を低減することができる。したがって、半導体装置と基板との接合部が破損する可能性が低減されるの

で、半導体装置の信頼性を高めることが可能となる。

[0021] また、前記肉厚部に、前記チップ搭載部及び前記中継部と絶縁された接地用端子が形成されていると好適である。

[0022] このような構成とすれば、当該接地用端子を介して半導体装置内部の熱を外部（例えば基板）に伝達し易くすることができる。したがって、半導体装置の放熱性を高めることが可能となる。また、半導体チップがスイッチング素子である場合には接地用端子と固定部とを接続することで半導体装置のグラウンドを強化することができるので、半導体装置からのスイッチングノイズが当該半導体素子装置の周囲に配置される他の装置に伝達されることを抑制できる。したがって、スイッチングノイズによる他の装置への影響を低減することが可能となる。

[0023] また、前記第1方向における前記肉厚部の両側に、前記第2方向へと延びるアンカー部がモールドされていると好適である。

[0024] このような構成とすれば、接続端子の引張強度を高めることができる。したがって、半導体装置の信頼性を高めることが可能となる。

[0025] また、前記チップ搭載部と前記接続端子との間に、前記第2方向に沿って、前記中継部が配置されていると好適である。

[0026] このような構成とすれば、中継部の面積を広くすることができるので、チップ搭載部と中継部との接続の自由度を高めることができる。したがって、チップ搭載部と中継部との接続を簡素に行うことが可能となる。

図面の簡単な説明

[0027] [図1]半導体装置の表側の斜視図である。

[図2]半導体装置が有する半導体チップの接続形態を示す回路図である。

[図3]半導体装置の各部の断面図である。

[図4]半導体装置の裏側の斜視図である。

発明を実施するための形態

[0028] 本発明に係る半導体装置は、半導体チップをワイヤボンディングする際に生じる応力を低減するように構成される。以下、本実施形態の半導体装置1

について、詳細に説明する。図 1 には半導体装置 1 の表側の斜視図が示される。

[0029] 本実施形態の半導体装置 1 は、図 1 に示されるように本体部 2 とリード端子 3 とを有して構成される。本体部 2 は直方体状に形成される。本体部 2 は、後述するモールド部 60 に相当し、当該モールド部 60 には複数の半導体チップ 31 が内包される。リード端子 3 は本体部 2 に内包される半導体チップ 31 の回路構成に応じた本数だけ備えられ、夫々のリード端子 3 は本体部 2 の所定の 1 つの面から延出して設けられる。このため、本実施形態では、半導体装置 1 は所謂基板挿入型の部品（DIP 部品）として構成される。なお、本体部 2 の形状は直方体状であるが、特に限定されるものではない。

[0030] 本実施形態では、モールド部 60 にはインバータ回路 10 が内包される。このようなインバータ回路 10 が図 2 に示される。インバータ回路 10 は、直流電力を例えば 3 相の交流電力に変換する回路である。インバータ回路 10 は、複数のスイッチング素子を有して構成される。スイッチング素子には、FET（field effect transistor）や IGBT（insulated gate bipolar transistor）等を用いることができる。本実施形態では、図 2 に示されるように、スイッチング素子として FET 11 が用いられる。

[0031] インバータ回路 10 は、図 2 に示されるように直流電源の正極に接続される正電源ライン P と、直流電源の負極に接続される負電源ライン N（例えば接地電位）との間に設けられる。正電源ライン P と負電源ライン N との間には、ハイサイドの FET 11H とローサイドの FET 11L とが直列に接続されたアーム部 12 が、3 組（12A、12B、12C）設けられる。すなわち、夫々のアーム部 12A、12B、12C は、正電源ライン P と負電源ライン N との間で並列に接続される。本実施形態では、ハイサイドの FET 11H は P 型 FET が用いられ、ローサイドの FET 11L は N 型 FET が用いられる。

[0032] このようなインバータ回路 10 は回転電機の U 相、V 相、W 相に対応するステータコイルの夫々に通電するのに利用される。具体的には、アーム部 1

2 AにおけるハイサイドのFET 11 HとローサイドのFET 11 Lとの中点が回転電機のU相のステータコイルに接続される。また、アーム部 12 BにおけるハイサイドのFET 11 HとローサイドのFET 11 Lとの中点が回転電機のV相のステータコイルに接続される。更に、アーム部 12 CにおけるハイサイドのFET 11 HとローサイドのFET 11 Lとの中点が回転電機のW相のステータコイルに接続される。

[0033] 各アーム部 12 A、12 B、12 CのハイサイドのFET 11 Hのソース端子Sは正電源ラインPに接続され、ドレイン端子Dは夫々のアーム部 12 A、12 B、12 CのローサイドのFET 11 Lのドレイン端子Dに接続される。また、各アーム部 12 A、12 B、12 CのローサイドのFET 11 Lのソース端子Sは、負電源ラインNに接続される。図2には図示しないが、各FET 11のソース端子S及びドレイン端子Dの間にはダイオードが設けられる。このダイオードは、ハイサイドのFET 11 Hにおいてはカソード端子がソース端子Sに接続され、アノード端子がドレイン端子Dに接続される。一方、ローサイドのFET 11 Lにおいてはカソード端子がドレイン端子Dに接続され、アノード端子がソース端子Sに接続される。

[0034] ここで、同一のアーム部 12においてハイサイドのFET 11 HとローサイドのFET 11 Lとが同時にオン状態（導通状態）となると、正電源ラインPと負電源ラインNとが短絡状態となるので、FET 11 HとFET 11 Lとは相補的にオン状態となるように制御される。このような制御は、FET 11 HとFET 11 Lとの夫々のゲート端子Gに制御信号が入力され実現される。

[0035] 次に、このようなFET 11の部品配置について図3を用いて説明する。

図3（a）は、図1のIIIa-IIIa線における断面図である。半導体装置1は、異形条リードフレーム20と、チップ搭載部30と、中継部40と、接続端子50と、モールド部60とを備えて構成される。

[0036] 異形条リードフレーム20は、第1方向の中央部に当該第1方向と直交する第2方向に沿って所定の幅を有して形成された肉厚部21と、当該肉厚部

21の第1方向両外側に肉厚部21よりも薄い肉薄部22とを有する。第1方向とは、図3(a)においてリード端子3が延出する方向に相当し、図3(a)におけるY方向にあたる。このため、第1方向の中央部とは、Y方向の中央部に相当する。第1方向と直交する第2方向とは、Y方向と直交するX方向が相当する。所定の幅とは、予め設定されている幅であり、半導体装置1毎に変更することが可能である。したがって、肉厚部21は異形条リードフレーム20のうち、Y方向の中央部に当該Y方向と直交するX方向に沿って形成される。

[0037] 肉厚部21の第1方向両外側とは、肉厚部21のY方向に沿った両方の外側である。したがって、肉薄部22は、肉厚部21をY方向に沿って挟持するように構成される。また、肉薄部22の厚さは、肉厚部21よりも薄く形成される。このため、肉厚部21は肉薄部22よりも厚さが厚く形成される。したがって、異形条リードフレーム20は、Y方向に板厚の厚い部分と薄い部分を有するすじ状の条材として構成される。このような異形条リードフレーム20は、例えば銅や銅合金を圧延して作られる。

[0038] チップ搭載部30は、肉厚部21に形成され、半導体チップ31が搭載される。肉厚部21は上述のように異形条リードフレーム20におけるY方向中央部に形成されたY方向外側の肉薄部22よりも厚さが厚い領域である。半導体チップ31は、半導体ウエハに作製された複数のFET11を、1片のFET11毎にダイシングされた状態のものである。このような半導体ウエハからダイシングされたFET11が、異形条リードフレーム20のうち肉厚部21に搭載される。ここで、チップ搭載部30は、異形条リードフレーム20と同じ材料で形成されている。夫々のFET11は裏面にドレイン端子Dが露出して形成される。FET11は、ドレイン端子Dがチップ搭載部30の側を向くようにチップ搭載部30に載置され、チップ搭載部30と電氣的に接続される。本実施形態では、異形条リードフレーム20にはチップ搭載部30が3つ形成され、アーム部12A、12B、12Cの夫々のハイサイドのFET11HとローサイドのFET11Lとが、対をなして各チ

チップ搭載部 30 に搭載される。

[0039] また、本実施形態では、チップ搭載部 30 は図 3 (a) に示されるように、平面視が U 字状に配置される。平面視が U 字状とは、異形条リードフレーム 20 を上方から見て、チップ搭載部 30 がアルファベットの「U」のような形状で配置されていることを意味する。

[0040] 中継部 40 は、肉厚部 21 にチップ搭載部 30 と分離して形成され、半導体チップ 31 が有する接続部 32 とリード線 33 により接続される。中継部 40 はチップ搭載部 30 と同様に異形条リードフレーム 20 のうちの肉厚部 21 に形成される。チップ搭載部 30 と分離して形成されるとは、図 3 (a) に示されるように異形条リードフレーム 20 を Z 方向に見て、中継部 40 とチップ搭載部 30 とが別体の島のよう形成されていることをいう。本実施形態では、中継部 40 は異形条リードフレーム 20 に 2 つ形成される。

[0041] 半導体チップ 31 が有する接続部 32 とは、FET 11 が有する 3 つの端子のうち、FET 11 の裏面に露出して形成された端子以外の 2 つの端子である。本実施形態では、FET 11 のゲート端子 G 及びソース端子 S が相当する。リード線 33 とは、公知のワイヤボンディングに用いられるワイヤである。2 つの中継部 40 のうち、一方の中継部 40 A には、ハイサイドの FET 11 H のソース端子 S がワイヤボンディングによりリード線 33 で電氣的に接続され、他方の中継部 40 B には、ローサイドの FET 11 L のソース端子 S がワイヤボンディングによりリード線 33 で電氣的に接続される。したがって、夫々の中継部 40 は、FET 11 に接続される正電源ライン P と負電源ライン N とを中継することになる。すなわち、FET 11 は中継部 40 を介して正電源ライン P と負電源ライン N とに接続されることになる。

[0042] また、本実施形態では、中継部 40 は図 3 (a) に示されるように、チップ搭載部 30 の U 字状の開口部の開口幅となる第 2 方向に沿って延出して形成される。U 字状の開口部とは、U 字状に複数のチップ搭載部 30 が配置された領域の中央部を中心にして周囲を見渡した場合に、チップ搭載部 30 が配置されていない部分である。開口部の開口幅となる第 2 方向とは、チップ

搭載部 30 が配置されていない部分の間隔方向にあたり、図 3 (a) における Y 方向に相当する。したがって、中継部 40 はこのような U 字状に配置されたチップ搭載部 30 の開口部の間隔方向に沿って形成される。なお、中継部 40 は、このような U の字の間隔方向に沿って棒状に形成しても良いし、更に U 字状に形成しても良い。

[0043] 接続端子 50 は、肉薄部 22 に形成され、中継部 40 に接続される。肉薄部 22 とは異形条リードフレーム 20 のうち、肉厚部 21 を挟持するように肉厚部 21 の Y 方向の外側に設けられた肉厚部 21 よりも厚さが薄い部位である。このため、接続端子 50 は、肉厚部 21 よりも厚さが薄く形成される。この接続端子 50 は、上述のリード端子 3 の一部を構成する。

[0044] また、チップ搭載部 30 から接続端子 50 が上述の中継部 40 に接続されている接続端子 50 と同じ方向に延出して設けられる。しかしながら、チップ搭載部 30 から延出する接続端子 50 は中継部 40 を介することなく構成される。このようなチップ搭載部 30 から延出する接続端子 50 も肉薄部 22 に設けられる。

[0045] 更に、FET 11 の夫々のゲート端子 G は肉薄部 22 の所定の部位にワイヤボンディングによりリード線 33 で接続される。所定の部位とは、特に場所が限定されるわけではなく、各半導体チップ 31 の配置に応じて変更可能であることを意味する。このようなゲート端子 G とワイヤボンディングされた部位からも、上述のチップ搭載部 30 から延出する接続端子 50 と同じ方向に延出して接続端子 50 が延出して設けられる。したがって、これらの接続端子 50 は、上述のリード端子 3 に相当する。このようなチップ搭載部 30 と接続端子 50 との間に、第 2 方向に沿って、中継部 40 が配置される。

[0046] ここで、上述の肉厚部 21 は肉厚が一様に構成される。肉厚が一様とは、肉厚部 21 が当該肉厚部 21 の面内で厚さが一定に構成されており、偏肉がないことを意味する。チップ搭載部 30 は、異形条リードフレーム 20 を第 1 方向及び第 2 方向に直交する第 3 方向における半導体チップ 31 が搭載される側から見て、チップ搭載部 30 は中継部 40 よりも第 3 方向に沿った遠

い側に配置されている。上述のように第1方向とは図3(a)におけるY方向であり、第2方向とはX方向である。このため、第1方向及び第2方向に直交する第3方向とは、X方向及びY方向に直交するZ方向が相当する。このため、異形条リードフレーム20を第3方向における半導体チップ31が搭載される側から見てとは、異形条リードフレーム20を半導体チップ31が搭載される面の上方から見ることを意味する。したがって、チップ搭載部30は、図3(a)のIIIb-IIIb線の断面図である図3(b)に示されるように、異形条リードフレーム20を半導体チップ31が搭載される面の上方から見て、手前側に中継部40があり、離れた側にチップ搭載部30が位置するように形成される。このため、図4に示されるようにモールド部60からチップ搭載部30の裏面を露出させることが可能となる。

[0047] ここで、チップ搭載部30の裏面の外縁部に公知のハーフエッジを形成しておく为好適である。このようなハーフエッジにより、図4に示されるようにチップ搭載部30の裏面を全領域に亘って露出させることが可能となる。

[0048] このような肉厚部21と肉薄部22とが樹脂で覆われる。このような覆った樹脂がモールド部60に相当する。

[0049] ここで、本実施形態では、各中継部40に2本の接続端子50が接続して設けられる。本実施形態では、半導体装置1はDIP部品で形成される。したがって、2本の接続端子50を含むリード端子3は、モールド部60が有する所定の同一側面において露出して設けられる。すなわち、リード端子3は、モールド部60の所定の同一側面から延出して設けられる。

[0050] また、本実施形態では、異形条リードフレーム20における肉厚部21の第2方向における両側に、異形条リードフレーム20を外部に設けられた装置に固定する固定部70が形成されている。第2方向とはX方向である。外部に設けられた装置とは、例えば半導体装置1が搭載されるユニットの筐体である。固定部70は、モールド部60からX方向に突出して設けられ、所定の形状の孔部71が形成されている。したがって、半導体装置1は、異形条リードフレーム20の肉厚部21のX方向外側に突出して設けられた固定

部 7 0 に形成された孔部 7 1 を介して、例えば半導体装置 1 が搭載されるユニットの筐体にネジで締結固定することが可能となる。もちろん、孔部 7 1 は、所定の形状に切り欠いた切欠部であっても良い。

[0051] また、本実施形態では、肉厚部 2 1 に、チップ搭載部 3 0 及び中継部 4 0 と絶縁された接地用端子 8 0 が形成されている。チップ搭載部 3 0 及び中継部 4 0 と絶縁されているとは、接地用端子 8 0 が図 3 (a) に示されるようにチップ搭載部 3 0 及び中継部 4 0 の双方に対して分離され、島状に形成されていることを意味する。このような接地用端子 8 0 は、リード端子 3 が設けられたモールド部 6 0 の同一面から延出して設けられ、モールド部 6 0 内において、上述の固定部 7 0 と電氣的に接続することが可能である。これにより、上述の固定部 7 0 が締結固定される筐体を接地しておくことにより、半導体装置 1 が実装される基板に設けられた接地端子を当該半導体装置 1 を介して設置することが可能となる。また、スイッチング素子として機能する F E T 1 1 を X 方向から接地端子で挟持する構成とすることができるので、F E T 1 1 のスイッチングノイズに起因する半導体装置 1 の周囲の部品に対する影響を低減することが可能となる。

[0052] また、本実施形態では、第 1 方向における肉厚部 2 1 の両側に、第 2 方向へと延びるアンカー部 9 0 がモールドされる。第 1 方向とは Y 方向であり、第 2 方向とは X 方向である。アンカー部 9 0 とは、接続端子 5 0 が延出する方向に引っ張られた際に抜けを防止する抜け止め機構として機能する部位であり、リード端子 3 のうち、X 方向の幅よりも幅広になっている幅広部である。このようなアンカー部 9 0 は肉薄部 2 2 に形成され、モールド部 6 0 内に封入される。これにより、リード端子 3 の Y 方向への抜け強度を高めることができるので、半導体装置 1 の信頼性を向上することが可能となる。

[0053] [その他の実施形態]

上記実施形態では、半導体装置 1 にインバータ回路 1 0 が内包されるとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。半導体装置 1 には、インバータ回路 1 0 以外の回路を内包することも

可能であるし、１つの半導体チップ３１のみを内包する構成とすることも可能である。

[0054] 上記実施形態では、インバータ回路１０を構成するハイサイドのＦＥＴ１１ＨはＰ型ＦＥＴが用いられ、ローサイドのＦＥＴ１１ＬはＮ型ＦＥＴが用いられるとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。ハイサイドのＦＥＴ１１Ｈ及びローサイドのＦＥＴ１１ＬをＰ型ＦＥＴで構成することも可能であるし、ハイサイドのＦＥＴ１１Ｈ及びローサイドのＦＥＴ１１ＬをＮ型ＦＥＴで構成することも可能である。更には、ハイサイドのＦＥＴ１１ＨをＮ型ＦＥＴで構成し、ローサイドのＦＥＴ１１ＬをＰ型ＦＥＴで構成することも可能である。

[0055] 上記実施形態では、肉厚部２１の肉厚（厚さ）が一様であるとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。肉厚部２１は、各部で厚さを変更して構成することも可能である。

[0056] 上記実施形態では、チップ搭載部３０が異形条リードフレーム２０を第３方向における半導体チップ３１が搭載される側から見て、チップ搭載部３０は中継部４０よりも第３方向に沿った遠い側に配置されているとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。チップ搭載部３０と中継部４０との第３方向の位置を同じにして設けることも可能である。

[0057] 上記実施形態では、チップ搭載部３０に設けられる接続端子５０が２本であるとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。チップ搭載部３０が接続端子５０を１つのみ設けるように構成することも可能である。

[0058] 上記実施形態では、２本の接続端子５０が、モールド部６０が有する所定の同一側面において露出されているとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。２本の接続端子５０が、夫々、モールド部６０が有する異なる面において露出されているように構成することも可能である。

- [0059] 上記実施形態では、2本の接続端子50がX方向に沿って延出して設けられているとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。2本の接続端子50の一方がモールド部60の側面に沿って切断されるように構成することも可能である。すなわち、2本の接続端子50のうちの1つだけがモールド部60から延出して設けられる。このような構成とすれば、半導体装置1が実装される基板にリード端子3を挿通するスルーホールを減らすことができる。
- [0060] 上記実施形態では、異形条リードフレーム20における肉厚部21のX方向外側に固定部70が形成されているとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。固定部70を設けずに半導体装置1を構成することも可能であるし、肉厚部21のX方向の両外側のうちの一方にのみ、固定部70を設けることも可能である。
- [0061] 上記実施形態では、肉厚部21に、チップ搭載部30及び中継部40と絶縁された接地用端子80が形成されているとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。半導体装置1に接地用端子80を設けずに構成することも当然に可能である。
- [0062] 上記実施形態では、アンカー部90がリード端子3のX方向の幅よりも幅広部で構成されているとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。アンカー部90をリード端子3と同じ幅で形成し、例えば、Y方向に対して非平行となるように折り曲げた折曲部により構成することも可能である。
- [0063] 上記実施形態では、肉厚部21のY方向両外側にアンカー部90が形成されているとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。半導体装置1がアンカー部90を設けずに構成することも可能である。
- [0064] 上記実施形態では、チップ搭載部30は平面視がU字状に配置されているとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。すなわち、チップ搭載部30は平面視がU字状以外の形状で配置

することも可能である。

[0065] 上記実施形態では、中継部40はチップ搭載部30のU字状の開口部の開口幅方向に沿って延出して形成されているとして説明した。しかしながら、本発明の適用範囲はこれに限定されるものではない。中継部40はチップ搭載部30のU字状の開口部の開口幅方向に沿わずに形成することも可能である。

産業上の利用可能性

[0066] 本発明は、リードフレームに半導体チップが搭載された半導体装置に用いることが可能である。

符号の説明

- [0067] 1 : 半導体装置
20 : 異形条リードフレーム
21 : 肉厚部
22 : 肉薄部
30 : チップ搭載部
31 : 半導体チップ
32 : 接続部
33 : リード線
40 : 中継部
50 : 接続端子
60 : モールド部
70 : 固定部
80 : 接地用端子
90 : アンカー部

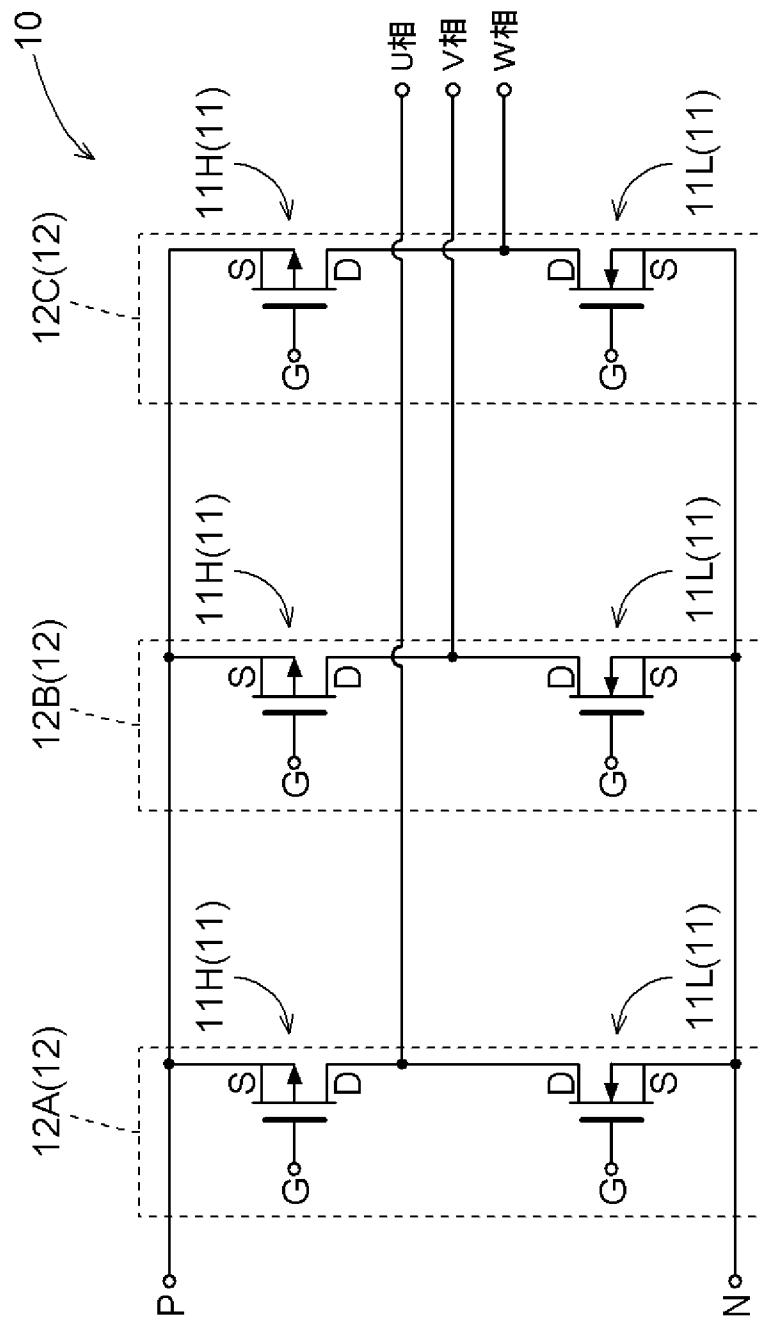
請求の範囲

- [請求項1] 肉厚部と前記肉厚部よりも薄い肉薄部とを有する異形条リードフレームと、
半導体チップが搭載されるチップ搭載部と、
前記半導体チップが有する接続部とリード線により接続される中継部と、
前記中継部に接続された接続端子と、を備え、
前記異形条リードフレームは、当該異形条リードフレームにおける第1方向の中央部に前記第1方向と直交する第2方向に沿って所定の幅を有して前記肉厚部が形成され、前記肉厚部の前記第1方向両外側に前記肉薄部が形成され、
前記チップ搭載部は、前記肉厚部に形成され、
前記中継部は、前記肉厚部に前記チップ搭載部と分離して形成され、
前記接続端子は、前記肉薄部に形成されている半導体装置。
- [請求項2] 前記肉厚部の肉厚が一様であり、前記異形条リードフレームを前記第1方向及び前記第2方向に直交する第3方向における前記半導体チップが搭載される側から見て、前記チップ搭載部は前記中継部よりも前記第3方向に沿った遠い側に配置されている請求項1に記載の半導体装置。
- [請求項3] 前記チップ搭載部は平面視がU字状に配置されている請求項1又は2に記載の半導体装置。
- [請求項4] 前記中継部は、前記U字状の開口部の開口幅となる前記第2方向に沿って延出して形成されている請求項3に記載の半導体装置。
- [請求項5] 前記接続端子は前記中継部に2本接続され、
前記肉厚部と前記肉薄部とがモールド部で覆われ、
前記モールド部が有する所定の同一側面において、前記2本の接続端子が露出されている請求項1から4のいずれか一項に記載の半導体

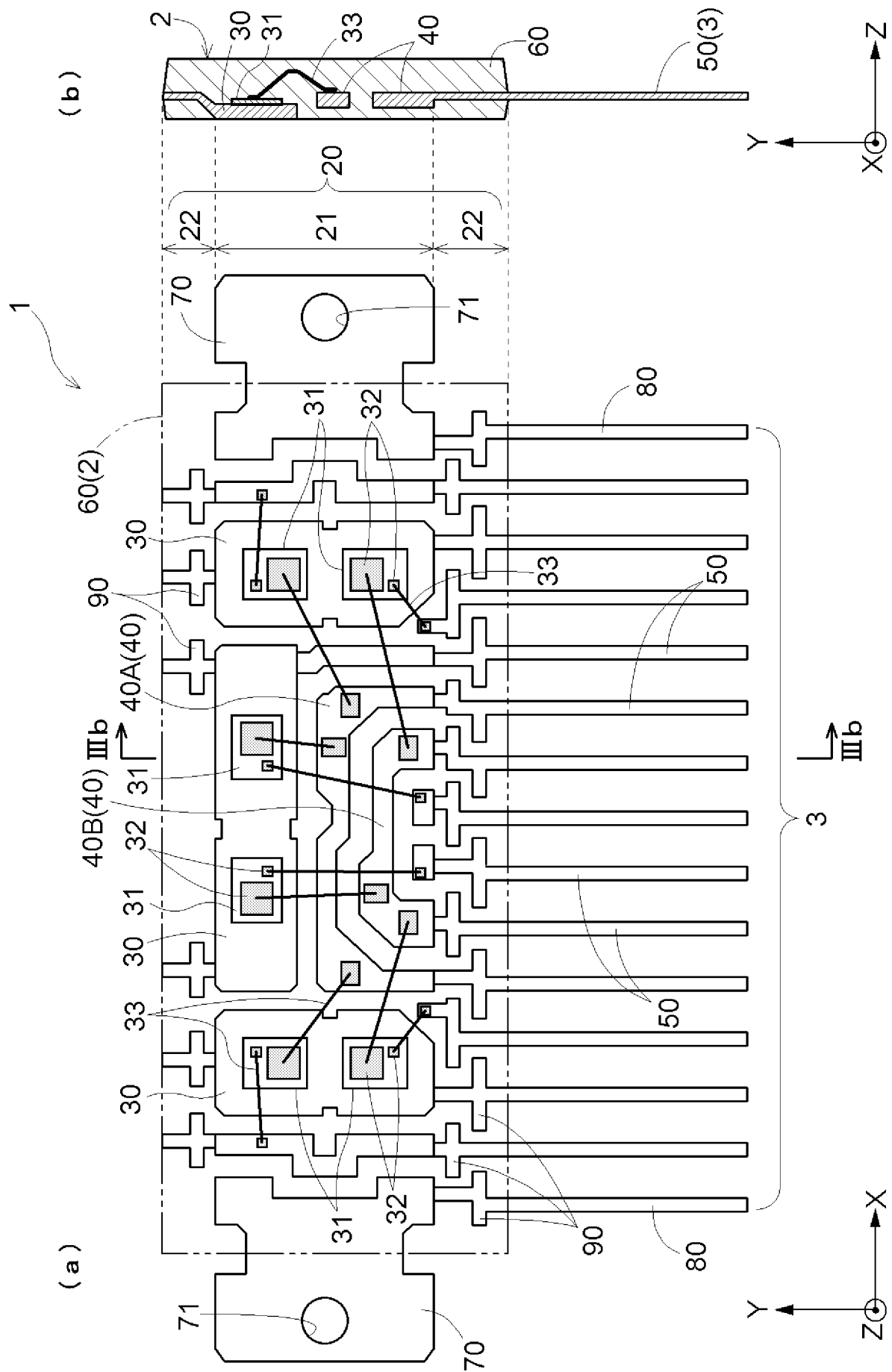
装置。

- [請求項6] 前記2本の接続端子の一方が、前記モールド部の側面に沿って切断されている請求項5に記載の半導体装置。
- [請求項7] 前記異形条リードフレームにおける前記肉厚部の前記第2方向における両側に、前記異形条リードフレームを外部に設けられた装置に固定する固定部が形成されている請求項1から6のいずれか一項に記載の半導体装置。
- [請求項8] 前記肉厚部に、前記チップ搭載部及び前記中継部と絶縁された接地用端子が形成されている請求項1から7のいずれか一項に記載の半導体装置。
- [請求項9] 前記第1方向における前記肉厚部の両側に、前記第2方向へと延びるアンカー部がモールドされている請求項1から8のいずれか一項に記載の半導体装置。
- [請求項10] 前記チップ搭載部と前記接続端子との間に、前記第2方向に沿って、前記中継部が配置されている請求項1から9のいずれか一項に記載の半導体装置。

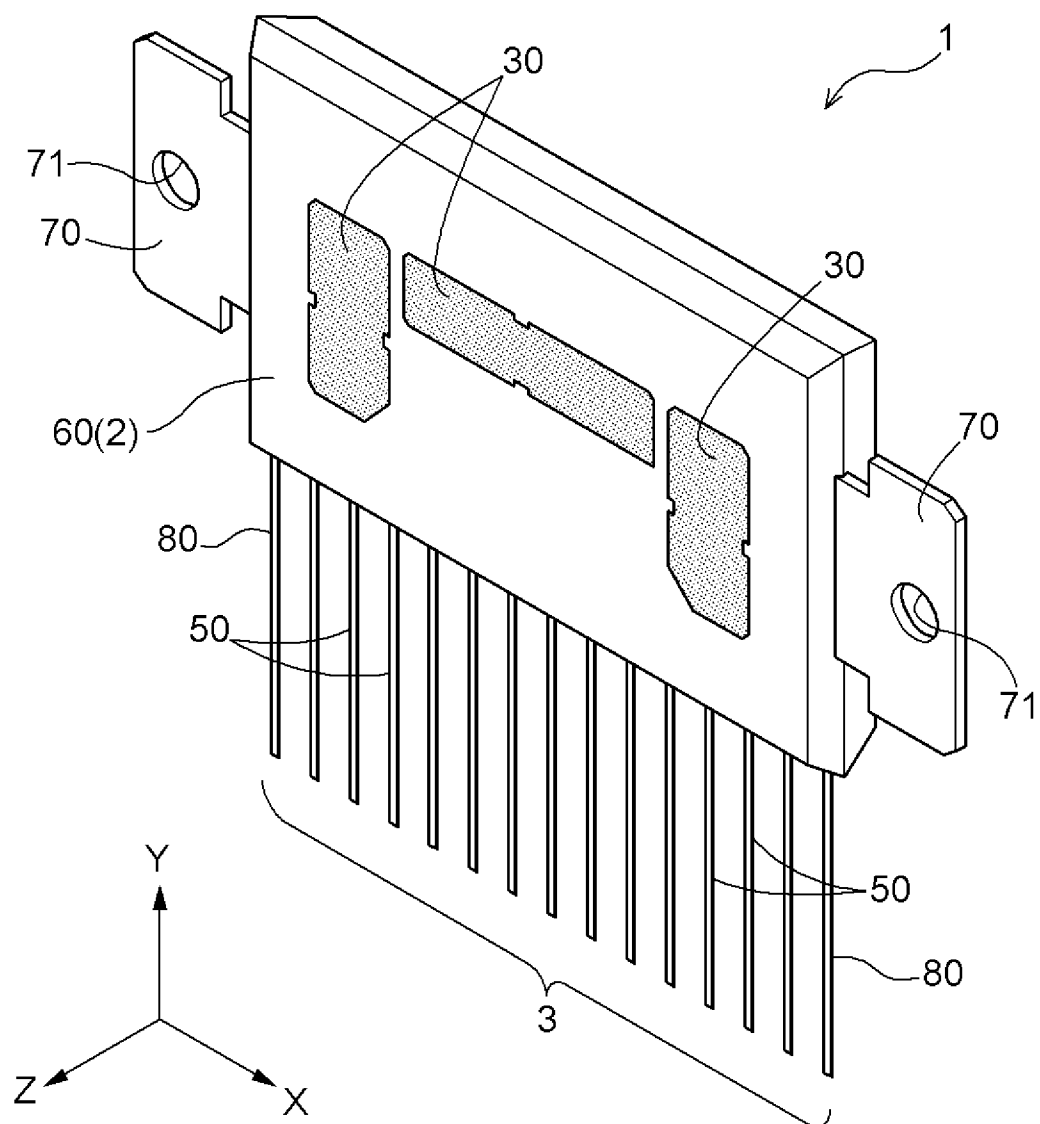
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/077956

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/48(2006.01)i, H01L23/50(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/48, H01L23/50, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-263149 A (Nihon Inter Electronics Corp.), 30 October 2008 (30.10.2008), paragraphs [0041], [0070] to [0071], [0077]; fig. 2, 7, 9 (Family: none)	1-2 3-10
Y	JP 5-206365 A (Fuji Electric Co., Ltd.), 13 August 1993 (13.08.1993), paragraph [0010]; fig. 1 & US 5309017 A & US 5395800 A & GB 2263815 A	3-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 January 2015 (16.01.15)

Date of mailing of the international search report
27 January 2015 (27.01.15)

Name and mailing address of the ISA/
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/077956

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-224529 A (Fuji Electric Device Technology Co., Ltd.), 01 October 2009 (01.10.2009), paragraph [0002]; fig. 4 (Family: none)	5-10
Y	JP 9-64384 A (Shinko Electric Industries Co., Ltd.), 07 March 1997 (07.03.1997), paragraphs [0050], [0058]; fig. 1 (Family: none)	7-10
Y	JP 5-13642 A (Mitsubishi Electric Corp.), 22 January 1993 (22.01.1993), paragraphs [0002] to [0003]; fig. 5 (Family: none)	9-10
X	JP 2010-258200 A (Panasonic Corp.), 11 November 2010 (11.11.2010), paragraphs [0030] to [0044]; fig. 1, 3 (Family: none)	1-2, 10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/48(2006.01)i, H01L23/50(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/48, H01L23/50, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2008-263149 A（日本インター株式会社）2008.10.30, [0041], [0070]-[0071], [0077], 図2, 7, 9（ファミリーなし）	1-2 3-10
Y	JP 5-206365 A（富士電機株式会社）1993.08.13, [0010], 図1 & US 5309017 A & US 5395800 A & GB 2263815 A	3-10
Y	JP 2009-224529 A（富士電機デバイステクノロジー株式会社）2009.10.01, [0002], 図4（ファミリーなし）	5-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 1 . 2 0 1 5

国際調査報告の発送日

2 7 . 0 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

金田 孝之

5 D

3 1 4 4

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 9-64384 A (新光電気工業株式会社) 1997. 03. 07, [0050], [0058], 図 1 (ファミリーなし)	7-10
Y	JP 5-13642 A (三菱電機株式会社) 1993. 01. 22, [0002]-[0003], 図 5 (ファミリーなし)	9-10
X	JP 2010-258200 A (パナソニック株式会社) 2010. 11. 11, [0030]-[0044], 図 1, 3 (ファミリーなし)	1-2, 10