

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011年5月19日(19.05.2011)



PCT



(10) 国際公開番号

WO 2011/058712 A1

(51) 国際特許分類:

H01L 21/3205 (2006.01) H01L 23/52 (2006.01)

(21) 国際出願番号:

PCT/JP2010/006426

(22) 国際出願日:

2010年11月1日(01.11.2010)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2009-258582 2009年11月12日(12.11.2009) JP

(71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 斎藤 太志郎(SAITO, Daishiro). 甲斐 隆行(KAI, Takayuki). 大熊 崇文(OKUMA, Takafumi). 山西 齊(YAMANISHI, Hitoshi).

(74) 代理人: 田中 光雄, 外(TANAKA, Mitsuo et al.);

〒5400001 大阪府大阪市中央区城見1丁目3番7号 I MPビル青山特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

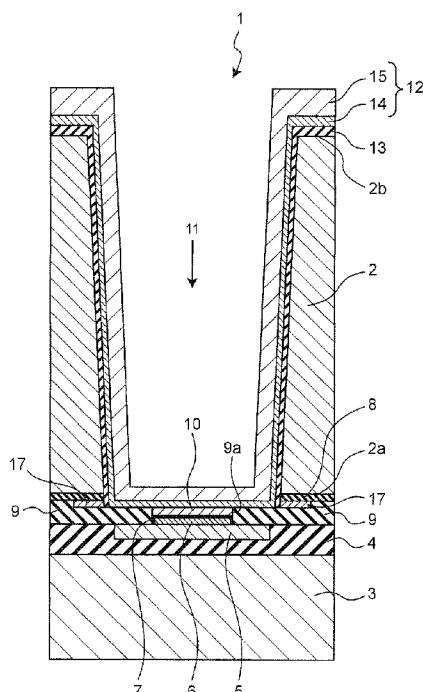
(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法

[図1]



(57) Abstract: Disclosed is a semiconductor device (1) which has: a second oxide film (9) and a pad electrode (5) on a first oxide film (8) which is formed on the surface (2a) of a semiconductor substrate (2); a contact electrode (6) and a first barrier layer (7), which are formed in the second oxide film, and which are connected to the pad electrode; a silicide section (10), which is formed between the contact electrode and a through electrode layer (12), and which is connected to the contact electrode and the first barrier layer; a via hole (11), which reaches the silicide section and the second oxide film from the rear surface (2b) of the semiconductor substrate; a third oxide film (13) formed on the side wall of the via hole and the rear surface of the semiconductor substrate; and a second barrier layer (14) and a rewiring layer (15), which are formed inside of the via hole and on the rear surface of the semiconductor substrate, and which are connected to the silicide section.

(57) 要約: 半導体装置(1)は、半導体基板(2)の表面(2a)に形成された第一酸化膜(8)の上の第二酸化膜(9)及びパッド電極(5)と、第二酸化膜の中に形成され、かつパッド電極と接続されたコンタクト電極(6)及び第一バリア層(7)と、コンタクト電極と貫通電極層(12)の間に形成され、かつコンタクト電極及び第一バリア層に接続されたシリサイド部(10)と、半導体基板の裏面(2b)からシリサイド部及び第二酸化膜に到達するビアホール(11)と、ビアホールの側壁及び半導体基板の裏面に形成された第三酸化膜(13)と、ビアホールの内部及び半導体基板の裏面に形成され、かつシリサイド部と接続された第二バリア層(14)及び再配線層(15)と、を有する。

WO 2011/058712 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, 添付公開書類:

NE, SN, TD, TG).

— 国際調査報告（条約第 21 条(3)）

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] 本発明は、半導体基板に貫通電極層が形成された半導体装置及び半導体装置の製造方法に関するものである。

背景技術

[0002] 近年、電子機器に使用される集積回路において、パッケージ（半導体装置）の小型化が求められている。小型化の一例として、従来のワイヤーボンディングに代わって、半導体基板を貫通する貫通電極が用いられている。

[0003] 図17は、従来の半導体装置の一例を示す断面図である。

[0004] 図17において、半導体装置101は、シリコンなどの半導体基板102と、ビアホール107と、第二酸化膜109と、バリア層110及び再配線層111とから概略構成されている。ビアホール107は、半導体基板102の裏面102bからパッド電極105に到達する。第二酸化膜109は、ビアホール107の側壁及び半導体基板102の裏面102bに形成されている。バリア層110及び再配線層111は、ビアホール107の内部及び半導体基板102の裏面102bに形成されている。

[0005] 図18は、従来の半導体装置の製造方法を示すフローチャートであり、図19～図26は、従来の半導体装置の製造方法の各工程での状態を示す断面図である。

[0006] 最初に、図19に示すように、回路（図示せず）が形成された半導体基板102の表面102a上の第一酸化膜106の上に、パッド電極105及びパッシベーション膜104が形成される。その後、そのパッシベーション膜104の上に、接着剤（図示せず）を介して支持基板103が接着される（図18のステップS101）。

[0007] 次に、図20に示すように、半導体基板102の裏面102b上に、パッド電極105に相当する位置を開口するためのレジスト112が形成される

(図18のステップS102)。

- [0008] そして、図21に示すように、レジスト112をエッティング用マスクとして半導体基板102をエッティングすることにより、第一酸化膜106に到達するビアホール107が形成される(図18のステップS103)。
- [0009] 続いて、図22に示すように、レジスト112をエッティング用マスクとして第一酸化膜106をエッティングすることにより、パッド電極105に到達するビアホール107が形成される(図18のステップS104)。
- [0010] 次に、図23に示すように、レジスト112を半導体基板102の裏面102b上から除去する(図18のステップS105)。
- [0011] そして、図24に示すように、ビアホール107の内部及び半導体基板102の裏面102bに第二酸化膜109を形成する(図18のステップS106)。
- [0012] 次に、図25に示すように、ビアホール107の底部の第二酸化膜109をエッティングすることにより、パッド電極105を再度露出させる(図18のステップS107)。
- [0013] 続いて、図26に示すように、バリア層110及び再配線層111を第二酸化膜109上に順に形成する(図18のステップS108)。
- [0014] パッド電極105は、バリア層110及び再配線層111で構成される貫通電極108を通して、半導体基板102の裏面102bへ電気的に接続されている。
- [0015] パッド電極105と貫通電極108は、ビアホール107の直径に対応した接触面積で接触しており、パッド電極105と貫通電極108との間の抵抗値はこの接触面積によって決定される(例えば、特許文献1参照)。
- [0016] 従来の半導体装置では、例えば、チップサイズ縮小を目的としてパッド電極105を縮小する場合、それに応じてビアホール107の直径を縮小する必要がある。その結果、ビアホール107のアスペクト比が高くなり、製造コストが増加する。

先行技術文献

特許文献

[0017] 特許文献1：特開2005－235860号公報

発明の概要

発明が解決しようとする課題

[0018] 従来の構成では、パッド電極105と貫通電極108との間の抵抗値は、ビアホール107の直径に依存する。そのため、ビアホール107の直径のばらつきにより、パッド電極105と貫通電極108との間の抵抗値が変動するという課題を有している。

[0019] 本発明は、従来の課題を解決するもので、パッド電極と貫通電極層との間の抵抗値がビアホールの直径のばらつきに依存せずに、抵抗値のばらつきが小さく、信頼性に優れた半導体装置及び半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0020] 本発明は、前記目的を達成するため、以下のように構成している。

[0021] 本発明の1つの態様にかかる半導体装置の製造方法は、半導体基板の表面に第1絶縁膜を形成し、

前記第1絶縁膜の中に電極部を形成し、

前記電極部を覆うバリア層を形成し、

前記電極部に接続されたシリサイド層を形成し、

前記半導体基板の裏面から前記表面に貫通するビアホールを形成し、

前記ビアホールの側壁及び前記半導体基板の前記裏面に第2絶縁膜を形成し、

前記第2絶縁膜をエッティングして前記ビアホール内の前記シリサイド層と前記第1絶縁膜を露出させた後、

前記ビアホールの前記側壁上の前記第2絶縁膜と前記半導体基板の前記裏面上の前記第2絶縁膜と前記ビアホールの底面の前記第1絶縁膜と前記シリサイド層とに貫通電極層を形成することを特徴とする。

[0022] また、本発明の別の態様にかかる半導体装置は、半導体基板の表面に形成された第1絶縁膜と、

前記第1絶縁膜の中に形成され、かつ、バリア層に覆われた電極部と、

前記半導体基板の裏面から前記表面に貫通するビアホールと、

前記ビアホールの側壁及び前記半導体基板の前記裏面に形成された第2絶縁膜と、

前記ビアホールの前記側壁上の前記第2絶縁膜と前記半導体基板の前記裏面上の前記第2絶縁膜と前記ビアホールの底面の前記第1絶縁膜とに形成された貫通電極層と、

前記第1絶縁膜の中に形成され、かつ、前記電極部と前記貫通電極層との間に形成され、かつ前記電極部及び前記貫通電極層に接続されたシリサイド層と、を備え、

前記ビアホールの中心軸を含む平面で切断された断面における、前記シリサイド層の幅Aと前記ビアホールの底部の幅Bとの関係が、 $A \leq B$ であることを特徴とする。

発明の効果

[0023] 以上のように、本発明の半導体装置及び半導体装置の製造方法によれば、パッド電極と貫通電極層との間の抵抗値がビアホールの直径又は幅のばらつきに依存しない。そのため、抵抗値のばらつきが小さく、信頼性に優れた半導体装置及び半導体装置の製造方法を提供することができる。

図面の簡単な説明

[0024] 本発明のこれらと他の目的と特徴は、添付された図面についての好ましい実施形態に関連した次の記述から明らかになる。この図面においては、

[図1]図1は、本発明の第1実施形態における半導体装置の断面図であり、

[図2]図2は、本第1実施形態における半導体装置の製造方法を示すフローチャートであり、

[図3]図3は、本第1実施形態における半導体装置の支持基板接着後を示す図であり、

[図4]図4は、本第1実施形態における半導体装置のレジスト形成後を示す図であり、

[図5]図5は、本第1実施形態における半導体装置の半導体基板エッチング後を示す図であり、

[図6]図6は、本第1実施形態における半導体装置の第一酸化膜エッチング後を示す図であり、

[図7]図7は、本第1実施形態における半導体装置のポリシリコン膜のエッチング後を示す図であり、

[図8]図8は、本第1実施形態における半導体装置のレジスト除去後を示す図であり、

[図9]図9は、本第1実施形態における半導体装置の第三酸化膜形成後を示す図であり、

[図10]図10は、本第1実施形態における半導体装置の第三酸化膜エッチング後を示す図であり、

[図11]図11は、本第1実施形態における半導体装置の第二バリア層及び再配線層形成後を示す図であり、

[図12]図12は、本第1実施形態における第1変形例の半導体装置の断面図であり、

[図13]図13は、本第1実施形態における第2変形例の半導体装置の断面図であり、

[図14]図14は、本第1実施形態における第3変形例の半導体装置の断面図であり、

[図15]図15は、本第1実施形態における複数コンタクト部材で構成される第1の例の半導体装置の断面図であり、

[図16]図16は、本第1実施形態における複数コンタクト部材で構成される第2の例の半導体装置の断面図であり、

[図17]図17は、従来の半導体装置の一例を示す断面図であり、

[図18]図18は、従来の半導体装置の製造方法を示すフローチャートであり

- 、
- [図19]図19は、従来の半導体装置の支持基板接着後を示す図であり、
- [図20]図20は、従来の半導体装置のレジスト形成後を示す図であり、
- [図21]図21は、従来の半導体装置の半導体基板エッティング後を示す図であり、
- [図22]図22は、従来の半導体装置の第一酸化膜エッティング後を示す図であり、
- [図23]図23は、従来の半導体装置のレジスト除去後を示す図であり、
- [図24]図24は、従来の半導体装置の第二酸化膜形成後を示す図であり、
- [図25]図25は、従来の半導体装置の第二酸化膜エッティング後を示す図であり、
- [図26]図26は、従来の半導体装置のバリア層及び再配線層形成後を示す図である。

発明を実施するための形態

[0025] 以下、本発明の実施の形態について、図面を参照しながら説明する。なお、以下の説明において、同じ構成には同じ符号を付して、必要に応じて説明を省略している。

[0026] (第1実施形態)

図1は、本発明の第1実施形態における半導体装置の断面図である。

[0027] 図1において、本第1実施形態の半導体装置1は、半導体基板2と、パッド電極5と、コンタクト電極6と、第一酸化膜8と、第二酸化膜9と、第三酸化膜13と、シリサイド部10と、ビアホール11と、第一バリア層7と、第二バリア層14と、再配線層15とを備えて構成される。コンタクト電極6は、電極部の一例であり、外部接続端子を有する。第二酸化膜9は、第1絶縁膜の一例である。第三酸化膜13は、第2絶縁膜の一例である。シリサイド部10は、シリサイド層の一例である。第二バリア層14と再配線層15とで貫通電極層12を構成している。

[0028] 第二酸化膜9は、半導体基板2の表面2aに形成された第一酸化膜8上に

形成される。また、コンタクト電極6は、第二酸化膜9に設けられた円形穴9aの中に配置され、第二酸化膜9上に設けられたパッド電極5と電気的に接続されている。第一バリア層7は、第二酸化膜9とコンタクト電極6の密着性を高めるために、コンタクト電極6を覆っている。シリサイド部10は、第二酸化膜9に設けられた円形穴9aの中に配置され、コンタクト電極6を覆う第一バリア層7と電気的に接続され、コンタクト電極6と貫通電極層12との間に形成されている。ビアホール11は、半導体基板2の裏面2bからシリサイド部10及び第二酸化膜9に到達するように形成されている。第三酸化膜13は、ビアホール11の側壁及び半導体基板2の裏面2bに形成されている。第二バリア層14及び再配線層15とは、ビアホール11の内部（側壁及び底面）及び半導体基板2の裏面2bに順に形成されている。第二バリア層14は、シリサイド部10と接触して電気的に接続されている。

[0029] コンタクト電極6と、第一バリア層7と、シリサイド部10とをそれぞれ

介して、パッド電極5と貫通電極層12は電気的に接続されている。また、コンタクト電極6と、第一バリア層7と、シリサイド部10とを介していない箇所は、パッド電極5と貫通電極層12は第二酸化膜9により電気的に絶縁されている。

[0030] また、半導体基板2と貫通電極層12は、ビアホール11の側壁及び半導体基板2の裏面2bに形成された第三酸化膜13により電気的に絶縁されている。

[0031] 続いて、本第1実施形態の半導体装置1のそれぞれの構成要素の材質について説明する。

[0032] パッド電極5とコンタクト電極6としては、パッド電極5とコンタクト電極6との間の抵抗が低い材質であれば良い。例えば、パッド電極5としては、アルミニウム、銅又はその合金、チタン、チタンナイトライド、タンタル、タンタルナイトライド、高融点金属、又は、その化合物などが、使用される。コンタクト電極6としては、タングステン、アルミニウム又はその合金

、又は、銅などが、使用される。なお、コンタクト電極6は、單一コンタクト形状でも、図15及び図16に示すような複数のコンタクトにより構成される形状でも良い。コンタクト電極6の直径は、パッド電極5の直径以上の大きさでもよい。

[0033] 第一バリア層7としては、第二酸化膜9とコンタクト電極6の密着性を高めるために、チタン、チタンナイトライド、チタンタングステン、タンタル、タンタルナイトライド、高融点金属、又は、その積層膜などが、使用される。

[0034] シリサイド部10としては、半導体基板2の表面2aに形成され、抵抗を低くすることを目的に、タンゲステンシリサイド、チタンシリサイド、コバルトシリサイド、又は、ニッケルシリサイドなどが、使用される。

[0035] 第二バリア層14としては、シリサイド部10と再配線層15との密着性を高めるために、チタン、チタンナイトライド、チタンタングステン、タンタル、タンタルナイトライド、高融点金属、又は、その積層膜が、使用される。

[0036] 再配線層15としては、例えば、Cuなどを用いる。

[0037] 第一酸化膜8及び第二酸化膜9としては、SiO₂、酸窒化膜、又は、窒化膜などを用いる。

[0038] 支持基板3の材質は、シリコンガラスである。この支持基板3は、接着剤または接合により、パッシベーション膜4と接着している。パッシベーション膜4及び第3酸化膜13としては、SiO₂、酸窒化膜、又は、窒化膜、ポリイミドなどの有機膜を用いる。

[0039] ビアホール11の中心軸を含む平面で切断された断面において、シリサイド部10の直径Aは、ビアホール11の直径Bとの間に以下の（式1）の関係が成り立つように調整される。そして、このように調整されたシリサイド部10の直径Aでシリサイド部10を形成する。なお、シリサイド部10とビアホール11とが共に円形の場合には直径同士の比較となるが、シリサイド部10とビアホール11とが共に四角形の場合には幅寸法同士の比較とな

る。

(数1)

$$A \leq B \quad \dots \quad \text{(式1)}$$

ここで、上記(式1)の条件を定義している理由は、貫通電極層12の抵抗値のバラつきを小さくするためである。本第1実施形態では、上記(式1)の条件を満たすことで、形状が一意に定まるシリサイド部10の直径Aにより貫通電極層12の抵抗値を定義でき、貫通電極層12の抵抗値のバラつきを小さくできる。それに対し、ビアホール11の直径Bにより抵抗値が定義される従来の構成では、エッチングによる貫通電極のビアホール11の形状がバラつく可能性があり、貫通電極の抵抗値のバラつきが発生する可能性がある。

[0040] なお、第三酸化膜13と第二バリア層14とを密着させるために、ビアホール11の底面の第二バリア層14の膜厚が均一になることが好ましい。そのため、本第1実施形態では、ビアホール11の底面を、平坦な形状にしている。

[0041] 次に、上述した半導体装置1の製造方法について、図面を参照しながら説明する。図2は、本発明の第1実施形態における半導体装置の製造方法を示すフローチャートであり、図3～図11は、本発明の第1実施形態における半導体装置の製造方法を示す断面図である。

[0042] 最初に、図3に示すように、回路(図示せず)が形成された半導体基板2の表面2a上に第一酸化膜8を形成する。次いで、その第一酸化膜8上に、第二酸化膜9とポリシリコン膜17とを形成する。そして、ポリシリコン膜17上で且つ第二酸化膜9の円形穴9a中に、図3に示すように、シリサイド部10と、第一バリア層7と、コンタクト電極6とを順に形成する。その後、第二酸化膜9及びコンタクト電極6の上にパッド電極5を形成すると共に、第二酸化膜9及びパッド電極5の上にパッシベーション膜4を形成する(図2のステップS1)。この結果、第二酸化膜9に設けられた円形穴9aの中に、シリサイド部10と第一バリア層7とコンタクト電極6とが配置さ

れることになる。

[0043] 第一酸化膜8の膜厚は、半導体基板2とポリシリコン膜17を電気的に絶縁するのに必要な厚さの膜厚である。

[0044] パッド電極5は、シリサイド部10と第一バリア層7とコンタクト電極6とを介して、ポリシリコン膜17に電気的に接続されている。また、半導体基板2とポリシリコン膜17が電気的に絶縁されているため、パッド電極5は半導体基板2と電気的に絶縁されていることになる。そのため、パッド電極5に測定端子などをプロービングすることで、図3に示すビアホール11の形成前の状態で、電極部を用いて（具体的には、パッド電極5を介してシリサイド部10と第一バリア層7とコンタクト電極6に電気的に接続させて）半導体基板2に形成された回路の電気特性を測定することができる。これにより、半導体基板2の回路の良否判定などが、半導体装置1を完成させる前に知ることができる。

[0045] ビアホール11の中心軸を含む平面で切断された断面において、ポリシリコン膜17の直径Cは、シリサイド部10の直径Aとの間に以下の（式2）の関係が成り立つようとする。なお、ポリシリコン膜17とシリサイド部10とが共に円形の場合には直径同士の比較となるが、ポリシリコン膜17とシリサイド部10とが共に四角形の場合には幅寸法同士の比較となる。

（数2）

$$C \geq A \quad \dots \quad (\text{式2})$$

ここで、上記（式2）の条件を定義している理由は、貫通電極層12の抵抗値のバラつきを更に小さくするためである。本第1実施形態では、上記（式2）の条件を満たすことで、形状が一意に定まるシリサイド部10の直径Aにより貫通電極層12の抵抗値を定義でき、貫通電極層12の抵抗値のバラつきを小さくできる。それに対し、ポリシリコン膜17の直径Cにより抵抗値が定義される従来の構成では、ポリシリコン膜17の形状がバラつく可能性があり、貫通電極の抵抗値のバラつきが発生する可能性がある。

[0046] シリサイド部10としては、第一バリア層7を熱反応させて形成した層が

用いられる。又は、シリサイド部10として、ポリシリコン膜17の上に別の膜（例えば、タングステン、チタン、コバルト、又は、ニッケルなど）を成膜した後に、熱反応させることで形成した、タングステンシリサイド、チタンシリサイド、コバルトシリサイド、又は、ニッケルシリサイドなどの層を用いることもできる。第一バリア層7を熱反応させることで、ポリシリコン膜17上にシリサイド部10を形成する場合、シリサイド部10の直径はコンタクト電極6のホール直径と等しくなる。

- [0047] そして、パッシベーション膜4の上に、接着剤（図示せず）を介して支持基板3が接着される。
- [0048] 次に、図4に示すように、半導体基板2の裏面2b上に、パッド電極5に相当する位置を開口するために、開口部16aを有するレジスト16が形成される（図2のステップS2）。
- [0049] そして、図5に示すように、レジスト16をエッチング用マスクとして、半導体基板2をエッチングすることにより、第一酸化膜8に到達するビアホール11が形成される（図2のステップS3）。第一酸化膜8が半導体基板2のエッチング停止層となり、ビアホール11の底面の形状は平坦になる。ビアホール11の直径Bは、シリサイド部10の直径Aとの間に前記（式1）の関係が成り立つように調整する。なお、第二バリア層14の密着性の観点から、ビアホール11の直径Bは、ポリシリコン膜17の直径C以下であることが望ましい。しかしながら、前記（式2）の関係が成り立つ範囲内であれば、ビアホール11の直径Bは、ポリシリコン膜17の直径Cよりも大きくても良い。
- [0050] 次に、図6に示すように、第一酸化膜8をエッチングすることにより、ポリシリコン膜17に到達するビアホール11が形成される（図2のステップS4）。ポリシリコン膜17が第一酸化膜8のエッチング停止層となり、ビアホール11の底面の形状は平坦になる。
- [0051] 続いて、図7に示すように、ポリシリコン膜17をエッチングすることにより、シリサイド部10及び第二酸化膜9に到達するビアホール11が形成

される（図2のステップS5）。シリサイド部10及び第二酸化膜9がポリシリコン膜17のエッティング停止層となり、ビアホール11の底面の形状は平坦になる。ポリシリコン膜17のエッティングは、ドライエッティングが望ましい。

- [0052] なお、ポリシリコン膜17を貫通電極層12の一部として使用する場合は、ポリシリコン膜17はエッティングしなくても良い。この場合のポリシリコン膜17は、ドーピングにより低抵抗化されていることが望ましい。ドーピングは、n型が望ましいが、p型でも良い。ただし、ポリシリコン膜17をそのまま電極の一部として使用する場合は、ポリシリコン膜17をエッティングしなくても良い。ただし、その場合はポリシリコン膜17がドーピングされていることが望ましい。
- [0053] 次に、図8に示すように、レジスト16を半導体基板2の裏面2b上から除去する（図2のステップS6）。レジスト16の除去は、ウェットプロセス又はドライプロセスを用いる。
- [0054] そして、図9に示すように、ビアホール11の内部（側壁及び底面）及び半導体基板2の裏面2bに第三酸化膜13を形成する（図2のステップS7）。第三酸化膜13の形成は、熱酸化法、CVD法、又は、スパッタ法を用いる。
- [0055] 次に、図10に示すように、ビアホール11の底面に位置する第三酸化膜13、すなわち、シリサイド部10と第二酸化膜9との上の第三酸化膜13をエッティングして除去することにより、シリサイド部10と第二酸化膜9とを再度露出させる（図2のステップS8）。シリサイド部10と第二酸化膜9との上の第三酸化膜13の膜厚分だけ第三酸化膜13をエッティングすることで、ビアホール11の底面の形状は平坦に保たれる。第三酸化膜13のエッティングは、ドライエッティングが望ましい。ビアホール11の側壁及び半導体基板2の裏面2bの第三酸化膜13は、その厚みは若干減るだけで、大部分は残っている。
- [0056] 続いて、図11に示すように、第三酸化膜13の上に、第二バリア層14

及び再配線層 15 を形成する（図 2 のステップ S9）。第二バリア層 14 の形成には、CVD 法、又は、スパッタ法を用いる。ビアホール 11 の底面の形状が平坦であるため、ビアホール 11 の底面における第二バリア層 14 の膜厚は均一になり、第三酸化膜 13 と密着性の良い第二バリア層 14 が形成される。また、ビアホール 11 の底面における第二バリア層 14 は、再配線層 15 を構成する材料（例えば、Cu）が半導体基板 2 へ拡散することを抑制するための膜であるが、その膜厚が均一であると、薄膜化させることも可能である。再配線層 15 の形成は、メッキ法が望ましいが、CVD 法、スパッタ法、又は、これらの組み合わせでも良い。再配線層 15 は、ビアホール 11 を不完全に（その一部を）埋め込んだ形状、又は、完全に（その全体を）埋め込んだ形状とする。

[0057] かかる本第 1 実施形態の構成によれば、パッド電極 5 と貫通電極層 12 との間の抵抗値は、シリサイド部 10 の直径に依存し、ビアホール 11 の直径に依存しない。そのため、パッド電極 5 と貫通電極層 12 との間の抵抗値は、ビアホール 11 の直径のばらつきに影響されなくなる。ビアホール 11 とシリサイド部 10 との加工精度は異なり、ビアホール 11 の直径の加工ばらつきが約 1 μm であるのに対して、シリサイド部 10 の直径の加工ばらつきは約 1 nm である。そのため、本第 1 実施形態の半導体装置 1 及びその製造方法においては、パッド電極 5 と貫通電極層 12 との間の抵抗値のばらつきを、従来よりも小さくすることができる。

[0058] また、本第 1 実施形態の半導体装置 1 及びその製造方法において、ビアホール 11 の直径は、パッド電極 5 の直径よりも大きくすることが可能である。このため、ビアホール 11 のアスペクト比を低減して、製造コストを削減することができる。さらには、パッド電極 5 の大きさを縮小することにより、半導体チップの面積を削減することができる。

[0059] また、第 1 実施形態の半導体装置 1 及びその製造方法においては、ビアホール 11 の底面の形状が平坦になるため、ビアホール 11 の底面における第二バリア層 14 の膜厚は均一になる。ビアホール 11 の底面における第二バ

リア層 14 の膜厚が均一になるため、第三酸化膜 13 と密着性の良い第二バリア層 14 を形成することができる。

[0060] なお、本第 1 実施形態のポリシリコン膜 17 に代えて、アモルファスシリコン膜を用いても、同様の効果が得られる。

[0061] ここで、図 15 及び図 16 を用いて、コンタクト電極 6 が複数コンタクト部材で構成される場合について説明する。

[0062] 図 15 は、本第 1 実施形態における、コンタクト電極 6 が第二酸化膜 9 内の複数の円板状又は四角形板状のコンタクト部材 6 b で構成される第 1 の例の半導体装置の断面図である。図 15 に示す半導体装置においては、コンタクト電極 6 b を形成する前に、第二酸化膜 9 の 1 つの穴 9 d 内に 1 つのシリサイド部 10 を形成し、その後、第二酸化膜 9 の複数の小さな穴 9 b 内に複数の円板状又は四角形板状のコンタクト部材 6 b を配置している。なお、このとき、複数の円板状又は四角形板状のコンタクト部材 6 b は、シリサイド部 10 にそれぞれ接触するように配置されている。

[0063] また、図 16 は、本第 1 実施形態における、コンタクト電極 6 が第二酸化膜 9 内の複数の円板状又は四角形板状のコンタクト部材 6 c で構成される第 2 の例の半導体装置の断面図である。図 16 示す半導体装置においては、第二酸化膜 9 の複数の穴 9 c 内にコンタクト電極 6 c をそれぞれ形成した後に、それぞれの穴 9 c 内にシリサイド部 10 c を形成している。なお、このとき、シリサイド部 10 c は、複数の穴 9 c 内のそれぞれのコンタクト電極 6 c に接触するように形成されている。

[0064] 図 15 及び図 16 に示す構成の半導体装置においても、パッド電極 5 と貫通電極層 12との間の抵抗値はビアホール 11 の直径のばらつきに依存しない。そのため、図 15 及び図 16 に示す構成の半導体装置においても、抵抗値のばらつきが小さく、かつ信頼性に優れた半導体装置を提供することができる。

[0065] (第 1 実施形態の第 1 変形例)

第 1 実施形態では、第一バリア層 7 とコンタクト電極 6 とを別々に形成し

ている。しかしながら、本発明は、これに限られるものではなく、第1実施形態の第1変形例として、図12に示すように、第一バリア層7とコンタクト電極6とを一体化してコンタクト電極6Aとして形成しても良い。すなわち、第一バリア層7を薄肉化又は省略するようにしても良い。この第1変形例を説明するにあたり、第一バリア層7の一例として、TIN層とTi層とが積層された積層膜を使用する。

[0066] この第一バリア層7のTi層は、ポリシリコン膜17とのオームックコンタクトを形成する機能と、第二酸化膜9と第一バリア層7のTIN層との密着性を向上させる機能とを有している。オームックコンタクトを形成する機能として、例えば、Ti層のTiとポリシリコン膜17のSiとの熱反応により $TiSi_2$ のシリサイド部10を形成すれば、オームックコンタクトになる。なお、第一バリア層7以外でシリサイド部10を形成すれば、Ti層は不要となる。

[0067] また、ポリシリコン膜17及び半導体基板2に拡散しないコンタクト電極材料をコンタクト電極6として使用することができるならば、第一バリア層7のTIN層は不要となる。

[0068] よって、前述のように、第一バリア層7以外でシリサイド部10を形成すれば、第一バリア層7のTi層を省略してTIN層のみとすることができる。また、半導体基板2及びポリシリコン膜17に拡散せずかつ密着力の良いコンタクト電極材料をコンタクト電極6として使用すれば、第一バリア層7のTIN層を省略してTi層のみとすることができる。また、第一バリア層7以外でシリサイド部10を形成し、かつ、ポリシリコン膜17及び半導体基板2に拡散せずかつ密着力の良いコンタクト材料をコンタクト電極6として使用する場合には、図12に示すように、第一バリア層7自体を形成せずに、コンタクト電極6のみをコンタクト電極6Aとして形成することができる。

[0069] (第1実施形態の第2変形例)

第1実施形態では、第一バリア層7とコンタクト電極6とパッド電極5と

を別々に形成している。しかしながら、本発明は、これに限られるものではなく、第1実施形態の第2変形例として、図13に示すように、第一バリア層7とコンタクト電極6とパッド電極5とを一体化して単一のパッド電極5Aとして形成しても良い。第一バリア層7とコンタクト電極6の一体化については、第1変形例と同じであるため、ここでは、コンタクト電極6とパッド電極5との一体化について主として説明する。

[0070] 第1実施形態において、コンタクト電極6は、低抵抗でポリシリコン膜17とパッド電極5に接続されている。パッド電極5は、低抵抗でコンタクト電極6に接続されている。これらは、ワイヤーボンディングを行う時に、平坦部を確保する観点から必要である。すなわち、パッド電極5をコンタクト電極6とは別に設けることにより、外部電極端子として、コンタクト電極6だけの場合よりも、平坦度を向上させることができる。しかしながら、低抵抗でコンタクト電極6とパッド電極5とをポリシリコン膜17に接続すれば（言い換えれば、第2変形例のようにコンタクト電極6とパッド電極5とを一体化してパッド電極5Aとすれば）、図13に示すように、パッド電極5Aの縦断面を凸形状にして平坦面を形成することが可能となる。また、ワイヤーボンディングを使用しない場合には、パッド電極5Aが平坦である必要はない。

[0071] 第1実施形態で第一バリア層7とコンタクト電極6とパッド電極5とを別々に形成するのは、製造方法上の前記課題を解決するための1つの手段である。このため、前記課題をそれぞれ解決できるならば、第2変形例のように第一バリア層7とコンタクト電極6とパッド電極5とを一体化させてパッド電極5Aとして形成することも可能となる。

[0072] (第1実施形態の第3変形例)

第1実施形態では、第二バリア層14と再配線層15とを別々に形成している。しかしながら、本発明は、これに限られるものではなく、第1実施形態の第3変形例として、図14に示すように、第二バリア層14と再配線層15とを一体化して再配線層15Aとして形成するようにしても良い。なお

、図14は、図13の第2変形例に第3変形例を適用した図であるが、これに限られるものではなく、この第3変形例は、第1変形例にも適用可能である。

- [0073] 第1実施形態において、第二バリア層14（例えば、Tiで構成する層）は、半導体基板2及びポリシリコン膜17への再配線層15の拡散防止機能と、第三酸化膜13と再配線層15との密着力の向上機能とを有している。また、再配線層15（例えば、Cuで構成する層）は、低抵抗であり、かつ、半田ボールを搭載する機能を有している。なお、半導体基板2及びポリシリコン膜17への拡散防止機能を持つことができ、かつ密着力の良い再配線材料を再配線層15として使用することができるならば、第3変形例のように、第二バリア層14を不要として、図14に示すように、再配線層15のみの再配線層15として形成することが可能となる。
- [0074] 第1実施形態において第二バリア層14と再配線層15とを別々に形成するのは、製造方法上の前記課題を解決するための1つの手段である。このため、前記課題をそれぞれ解決できるならば、第3変形例のように第二バリア層14と再配線層15とを一体化させて再配線層15Aとして形成することも可能となる。
- [0075] なお、半導体基板2は、シリコン等の材質からなり、導電性であっても、絶縁性であっても、半絶縁性であっても良い。
- [0076] なお、ポリシリコン膜17は、後述する製造方法によっては最終製品に残る場合もあるが、最終製品に残らない場合もある。
- [0077] なお、ポリシリコン膜17は、第二酸化膜9が形成される前に形成されることが望ましいが、第二酸化膜9が形成された後にポリシリコン膜17が形成されても良い。
- [0078] なお、前記様々な実施の形態又は変形例のうちの任意の実施の形態又は変形例を適宜組み合わせることにより、それぞれの有する効果を奏するようになることができる。

産業上の利用可能性

[0079] 本発明の半導体装置及び半導体装置の製造方法は、抵抗値のばらつきが小さい貫通電極層を有しており、半導体基板に貫通電極層を形成する半導体装置及び半導体装置の製造方法に広く適用できる。

[0080] 本発明は、添付図面を参照しながら好ましい実施形態に関連して充分に記載されているが、この技術の熟練した人々にとっては種々の変形又は修正は明白である。そのような変形又は修正は、添付した請求の範囲による本発明の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。

請求の範囲

- [請求項1] 半導体基板の表面に第1絶縁膜を形成し、
前記第1絶縁膜の中に電極部を形成し、
前記電極部を覆うバリア層を形成し、
前記電極部に接続されたシリサイド層を形成し、
前記半導体基板の裏面から前記表面に貫通するビアホールを形成し
、
前記ビアホールの側壁及び前記半導体基板の前記裏面に第2絶縁膜を形成し、
前記第2絶縁膜をエッチングして前記ビアホール内の前記シリサイド層と前記第1絶縁膜を露出させた後、
前記ビアホールの前記側壁上の前記第2絶縁膜と前記半導体基板の前記裏面上の前記第2絶縁膜と前記ビアホールの底面の前記第1絶縁膜と前記シリサイド層とに貫通電極層を形成する、
半導体装置の製造方法。
- [請求項2] 前記貫通電極層を形成する前に、前記電極部を用いて前記半導体基板に形成された回路の電気特性を測定する、
請求項1に記載の半導体装置の製造方法。
- [請求項3] 半導体基板の表面に形成された第1絶縁膜と、
前記第1絶縁膜の中に形成され、かつ、バリア層に覆われた電極部と、
前記半導体基板の裏面から前記表面に貫通するビアホールと、
前記ビアホールの側壁及び前記半導体基板の前記裏面に形成された第2絶縁膜と、
前記ビアホールの前記側壁上の前記第2絶縁膜と前記半導体基板の前記裏面上の前記第2絶縁膜と前記ビアホールの底面の前記第1絶縁膜とに形成された貫通電極層と、
前記第1絶縁膜の中に形成され、かつ、前記電極部と前記貫通電極

層との間に形成され、かつ前記電極部及び前記貫通電極層に接続されたシリサイド層と、を備え、

前記ビアホールの中心軸を含む平面で切断された断面における、前記シリサイド層の幅Aと前記ビアホールの底部の幅Bとの関係が、 $A \leq B$ である、

半導体装置。

[請求項4] 前記シリサイド層を介して前記電極部と電気的に接続された前記貫通電極層の底面の形状が平坦である、

請求項3に記載の半導体装置。

[請求項5] 前記ビアホールの中心軸を含む平面で切断された断面における、前記第1絶縁膜の直径Cと前記シリサイド層の直径Aとの関係が、 $C \geq A$ である、

請求項3又は4に記載の半導体装置。

[請求項6] 前記第1絶縁膜が、 SiO_2 、酸窒化膜、又は、窒化膜である、
請求項3又は4に記載の半導体装置。

[請求項7] 前記第1絶縁膜上に、ポリシリコン膜又はアモルファスシリコン膜
が形成された

請求項3に記載の半導体装置。

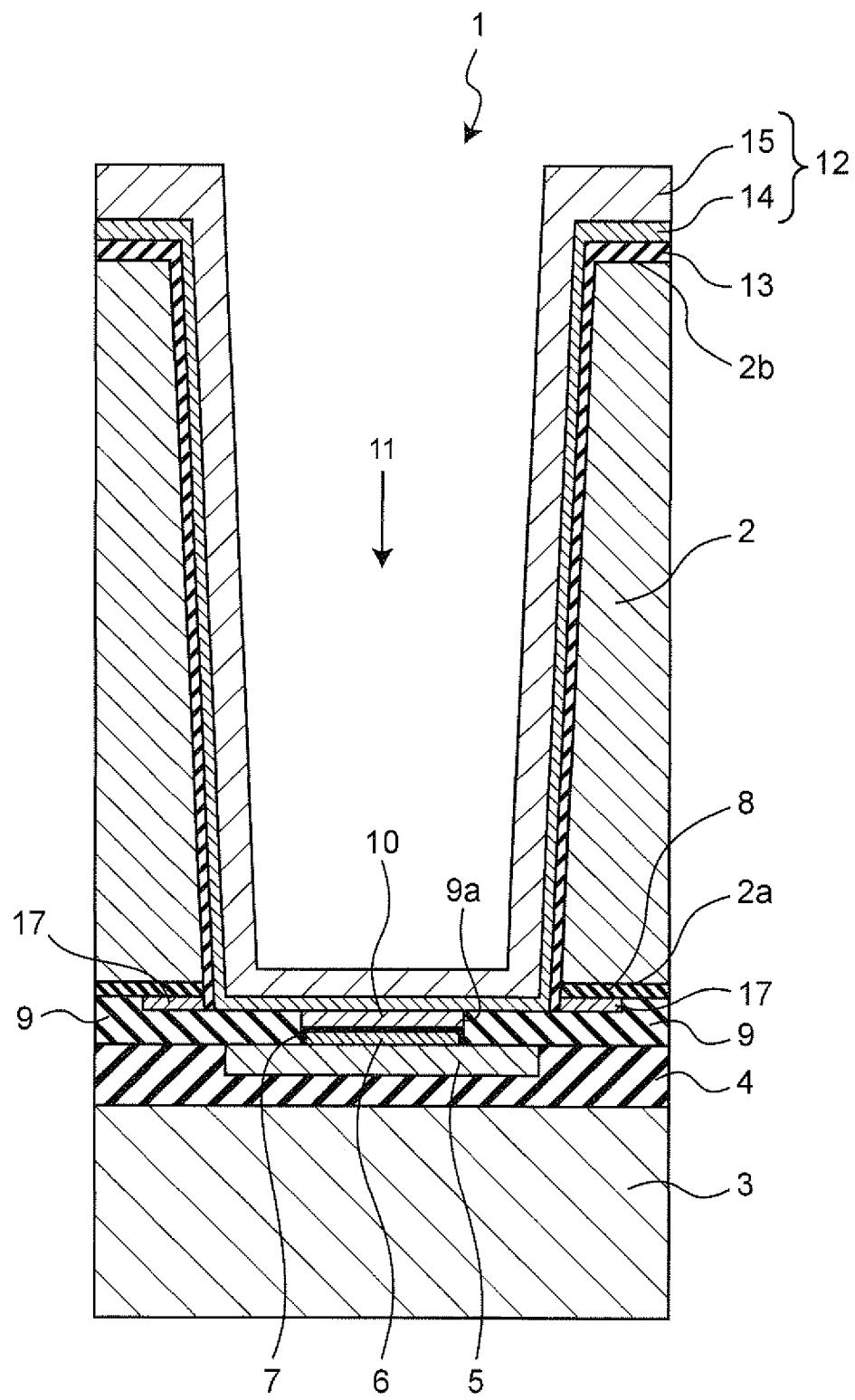
[請求項8] 前記シリサイド層が、タングステンシリサイド、チタンシリサイド
、コバルトシリサイド、又は、ニッケルシリサイドのいずれからから
成る、

請求項3又は4に記載の半導体装置。

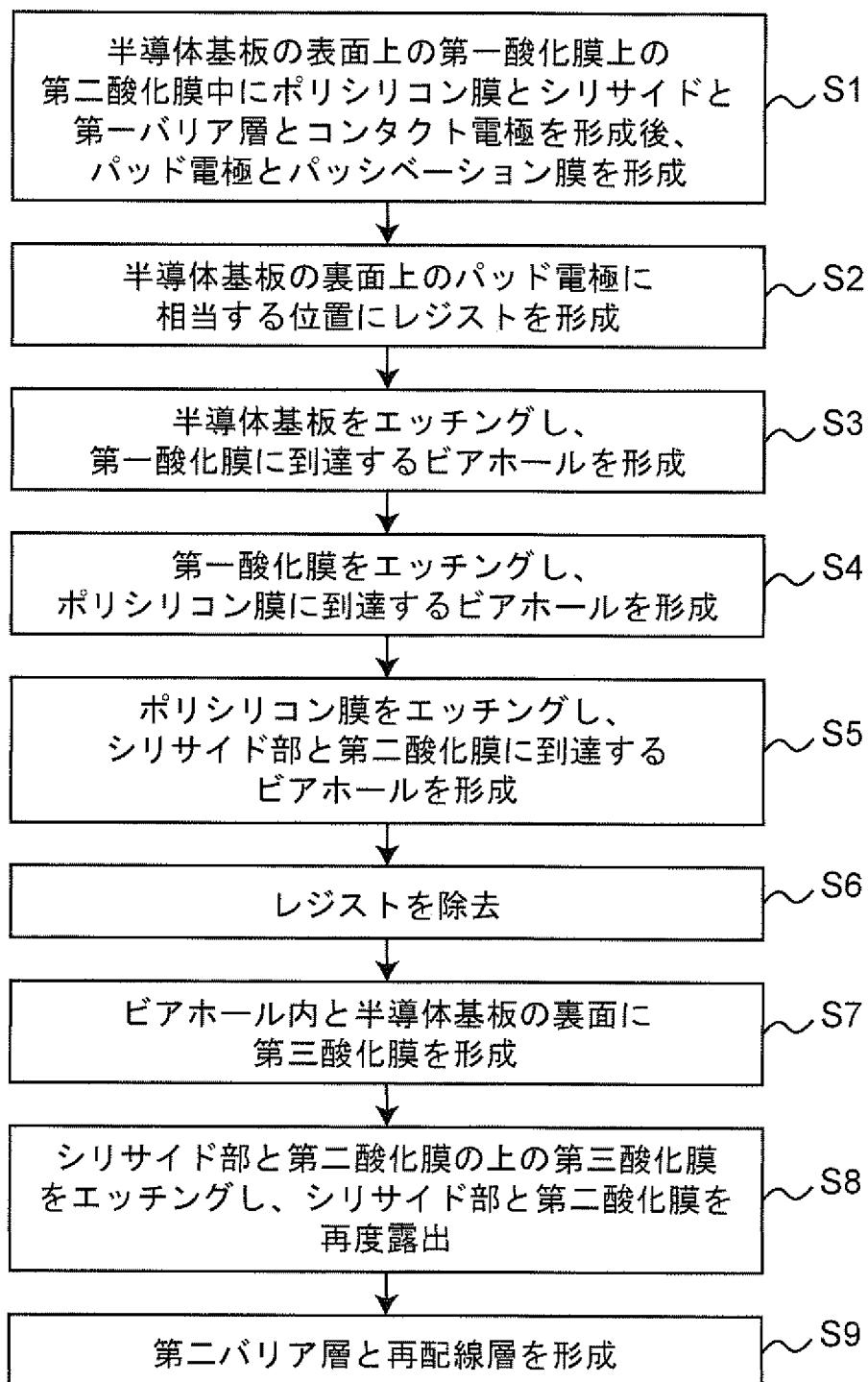
[請求項9] 前記バリア層は、チタン、チタンナイトライド、チタンタンクス
テン、タンタル、タンタルナイトライド、高融点金属、又は、その積層
膜から成る、

請求項3又は4に記載の半導体装置。

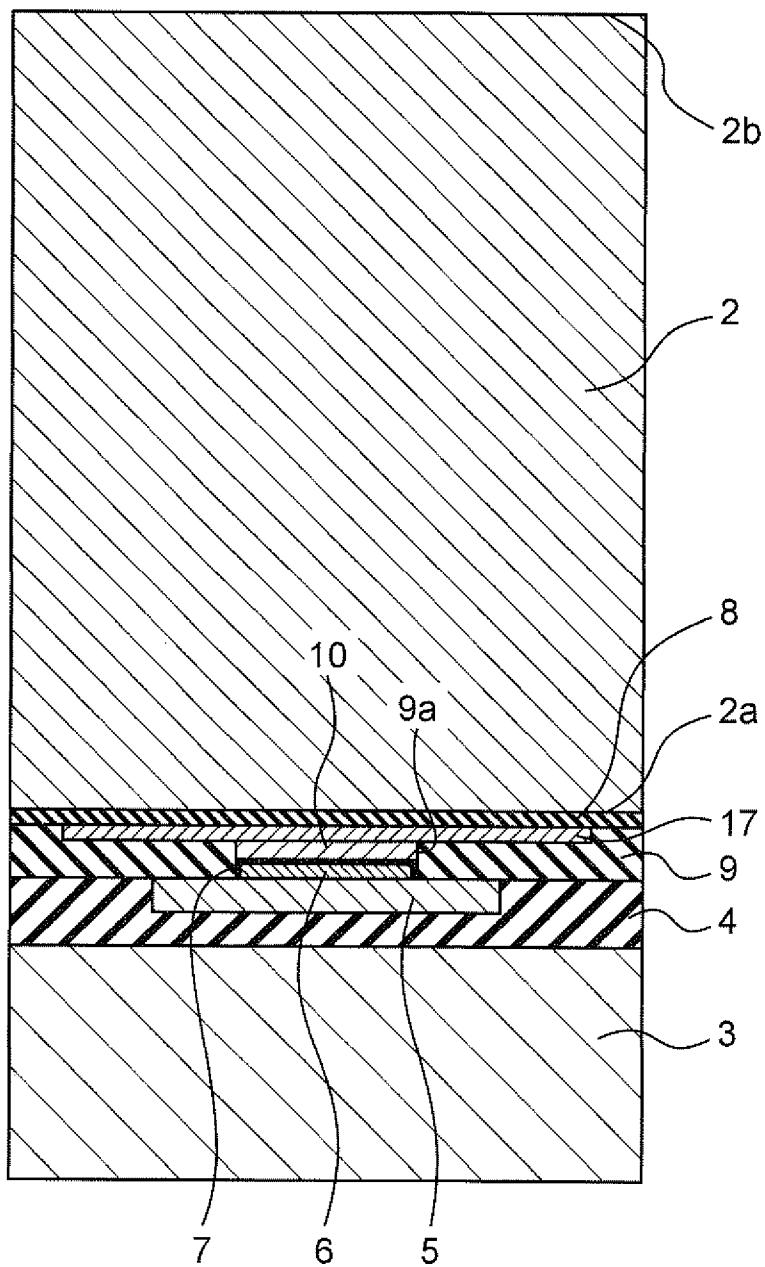
[図1]



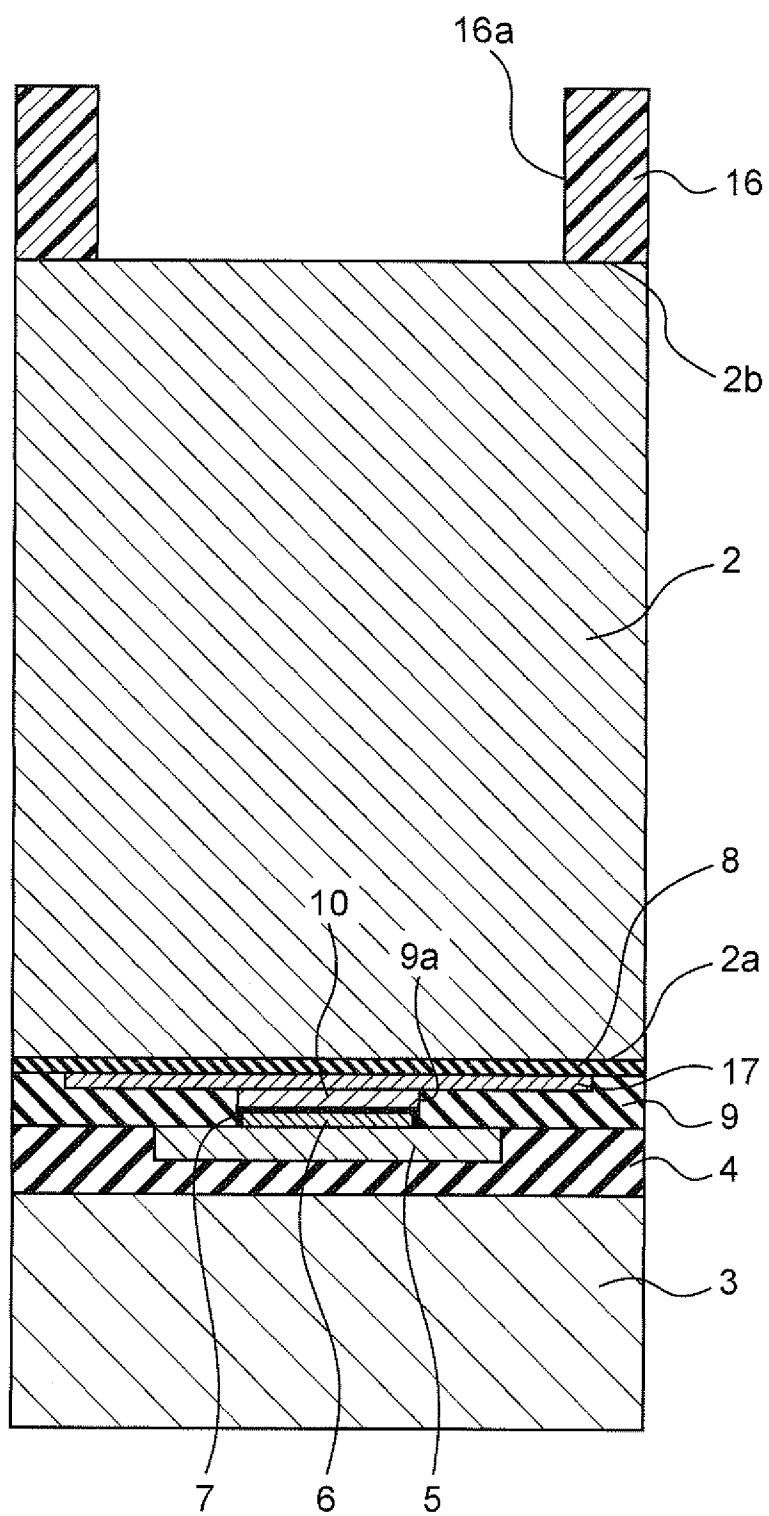
[図2]



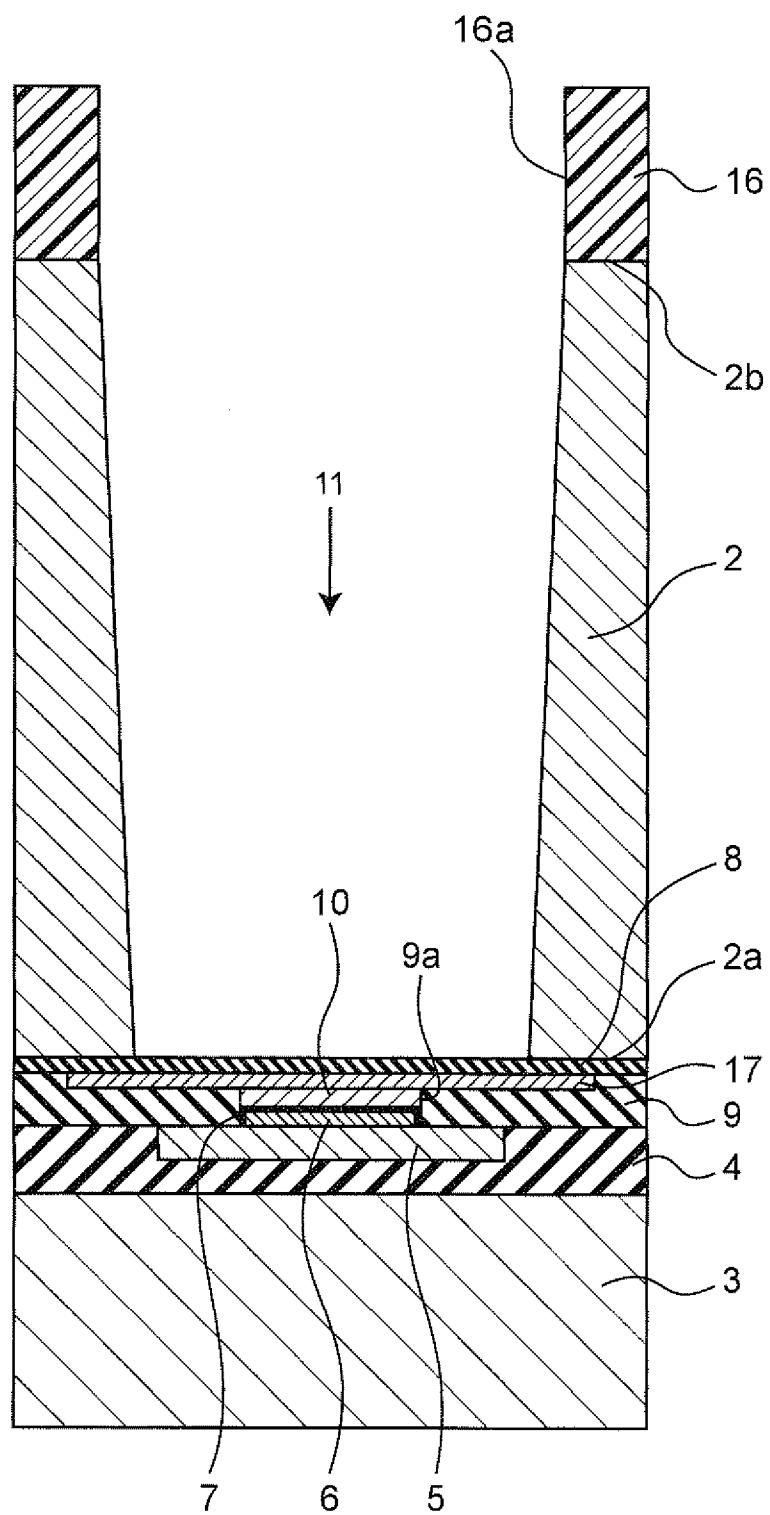
[図3]



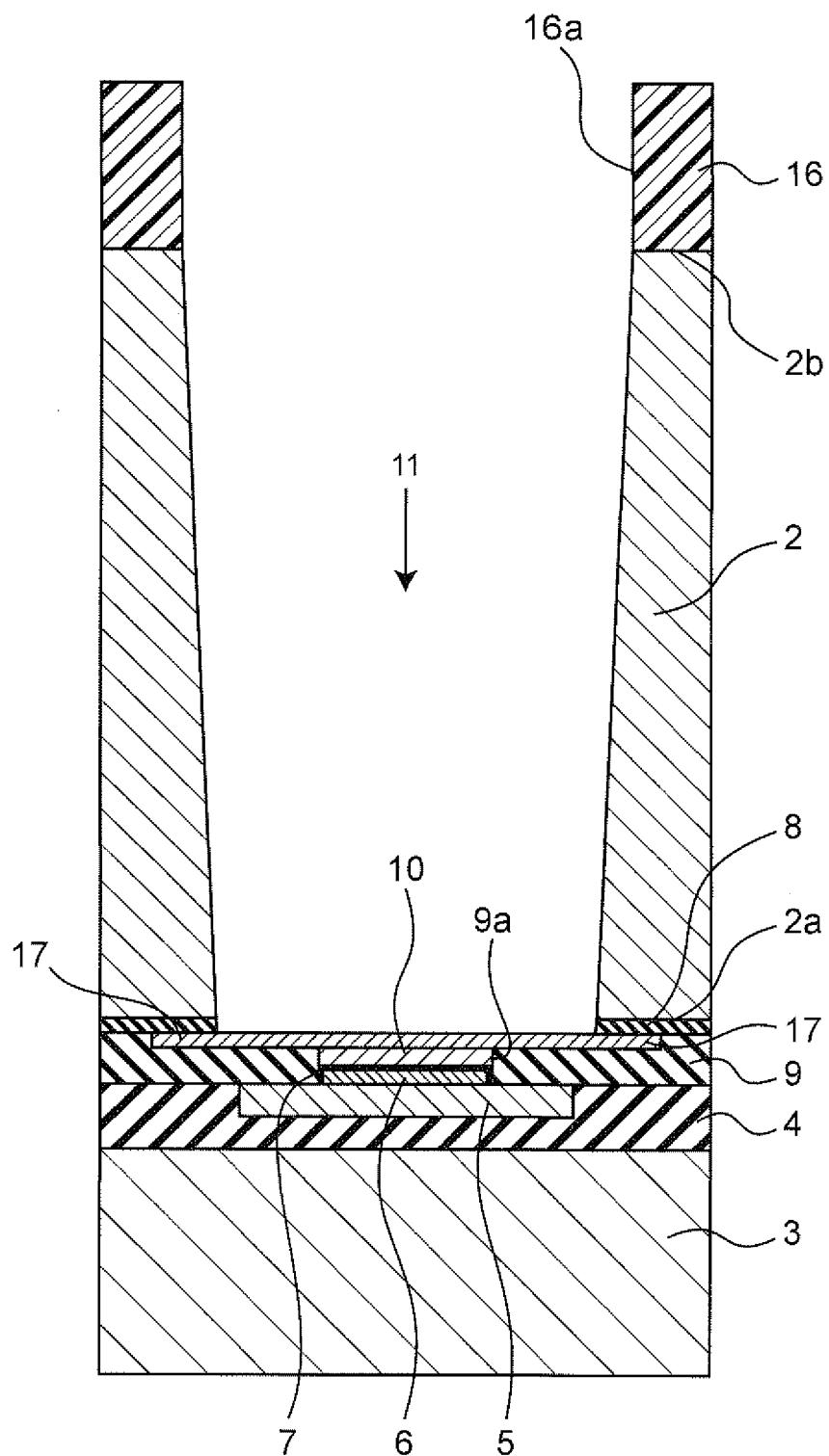
[図4]



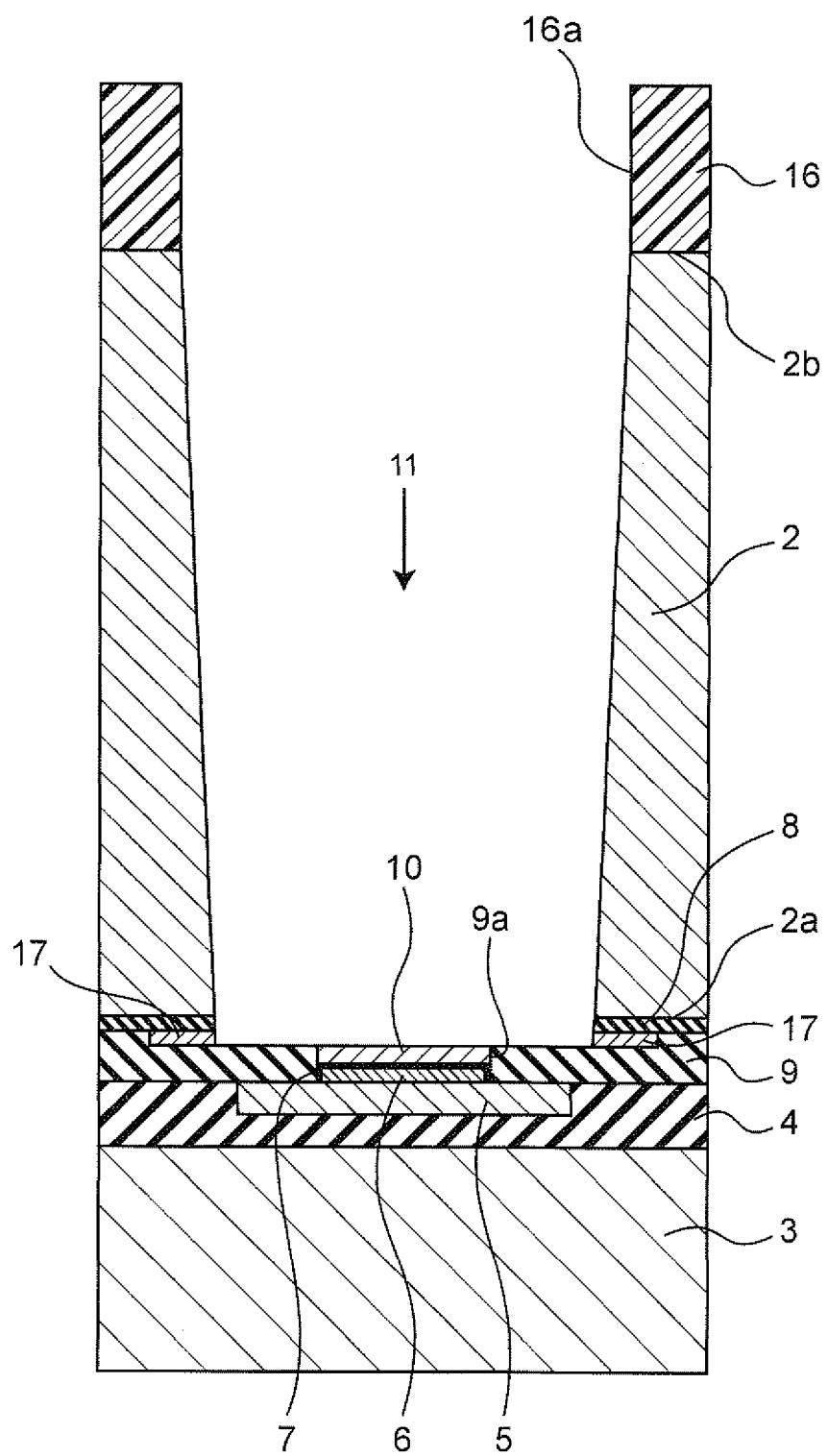
[図5]



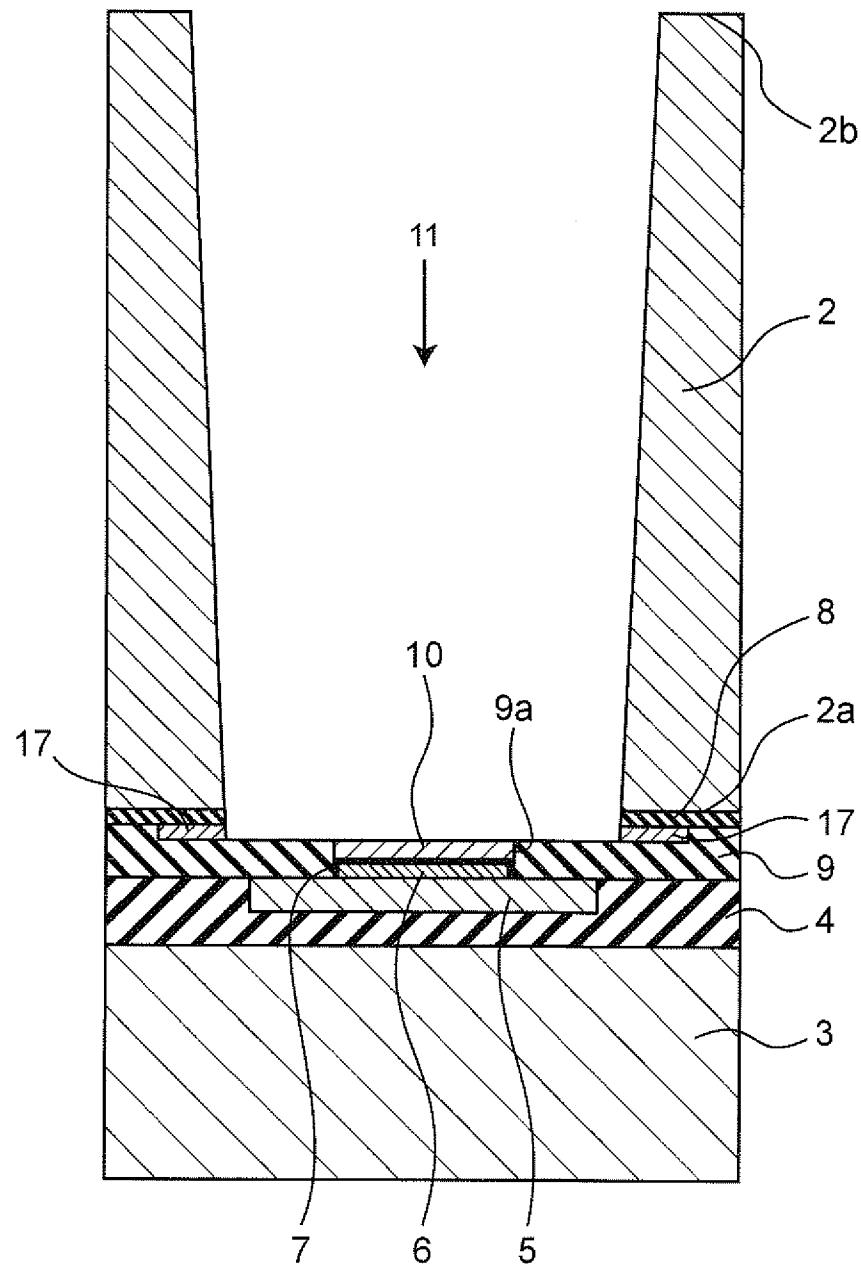
[図6]



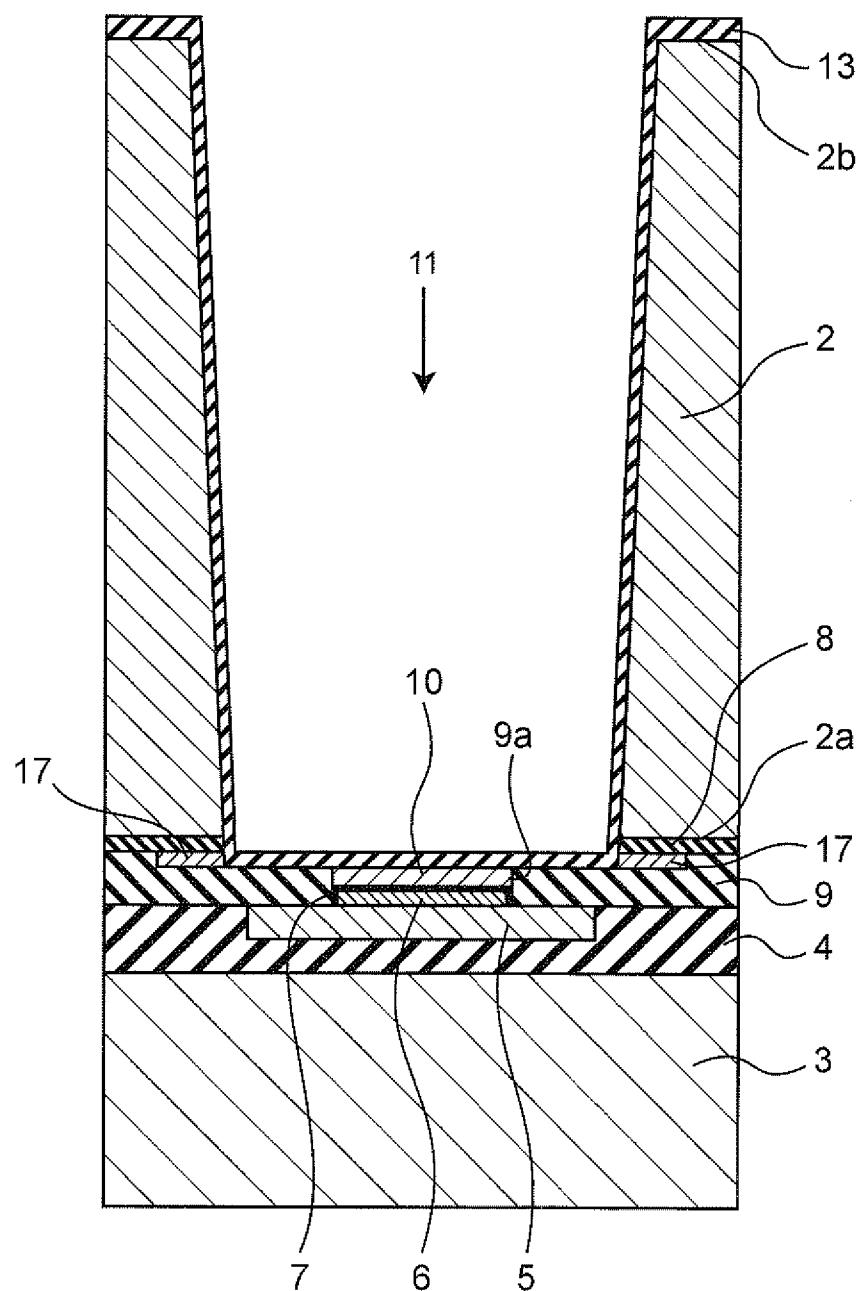
[図7]



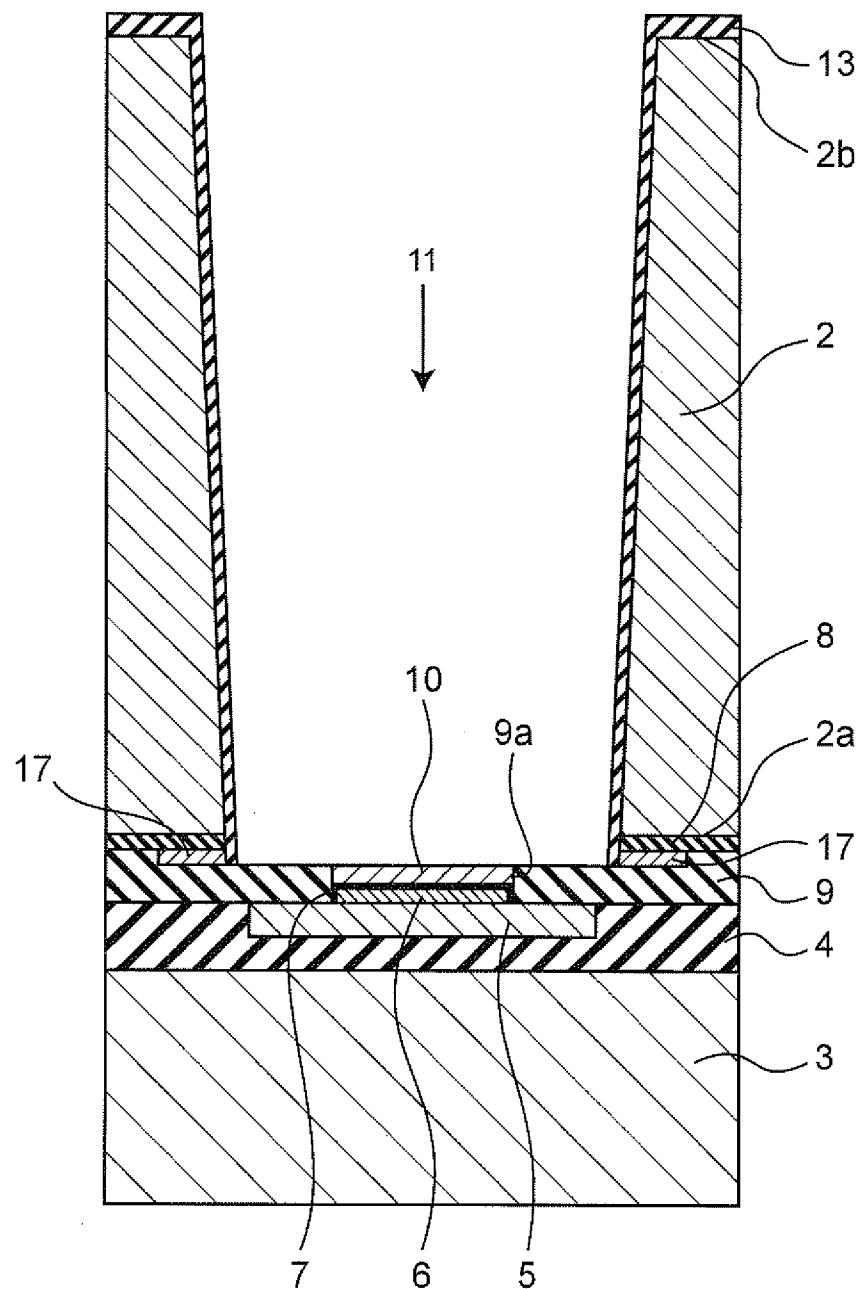
[図8]



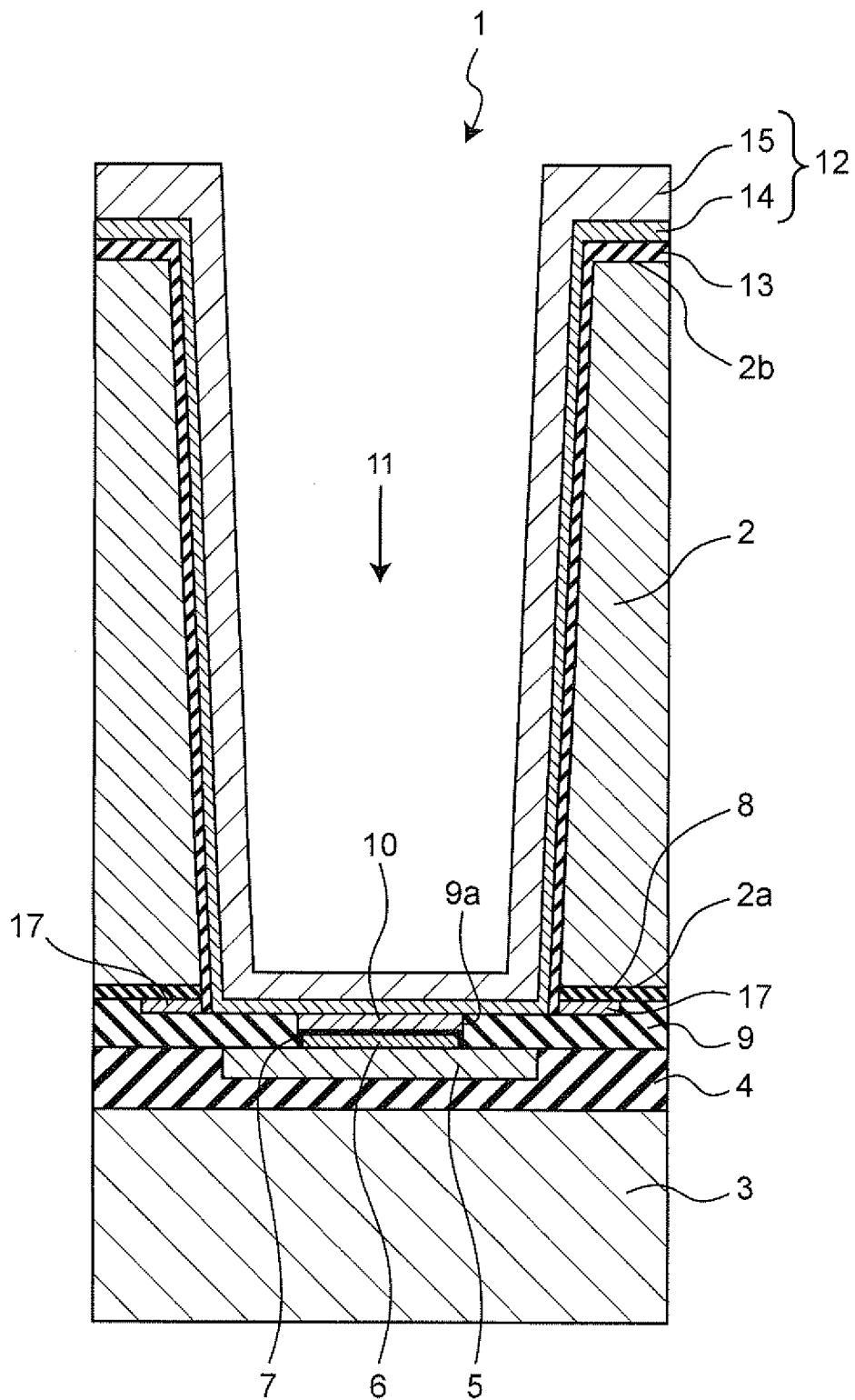
[図9]



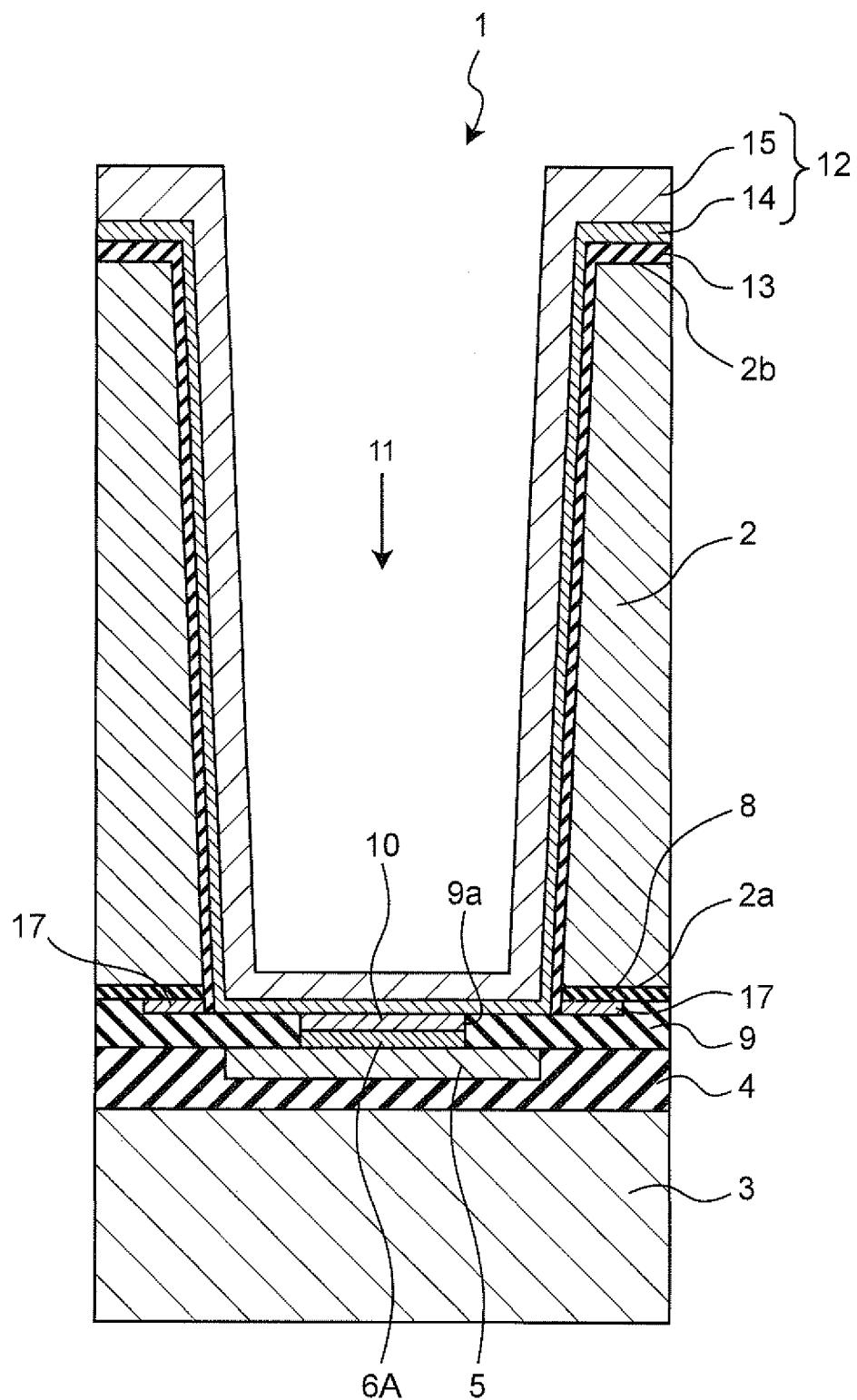
[図10]



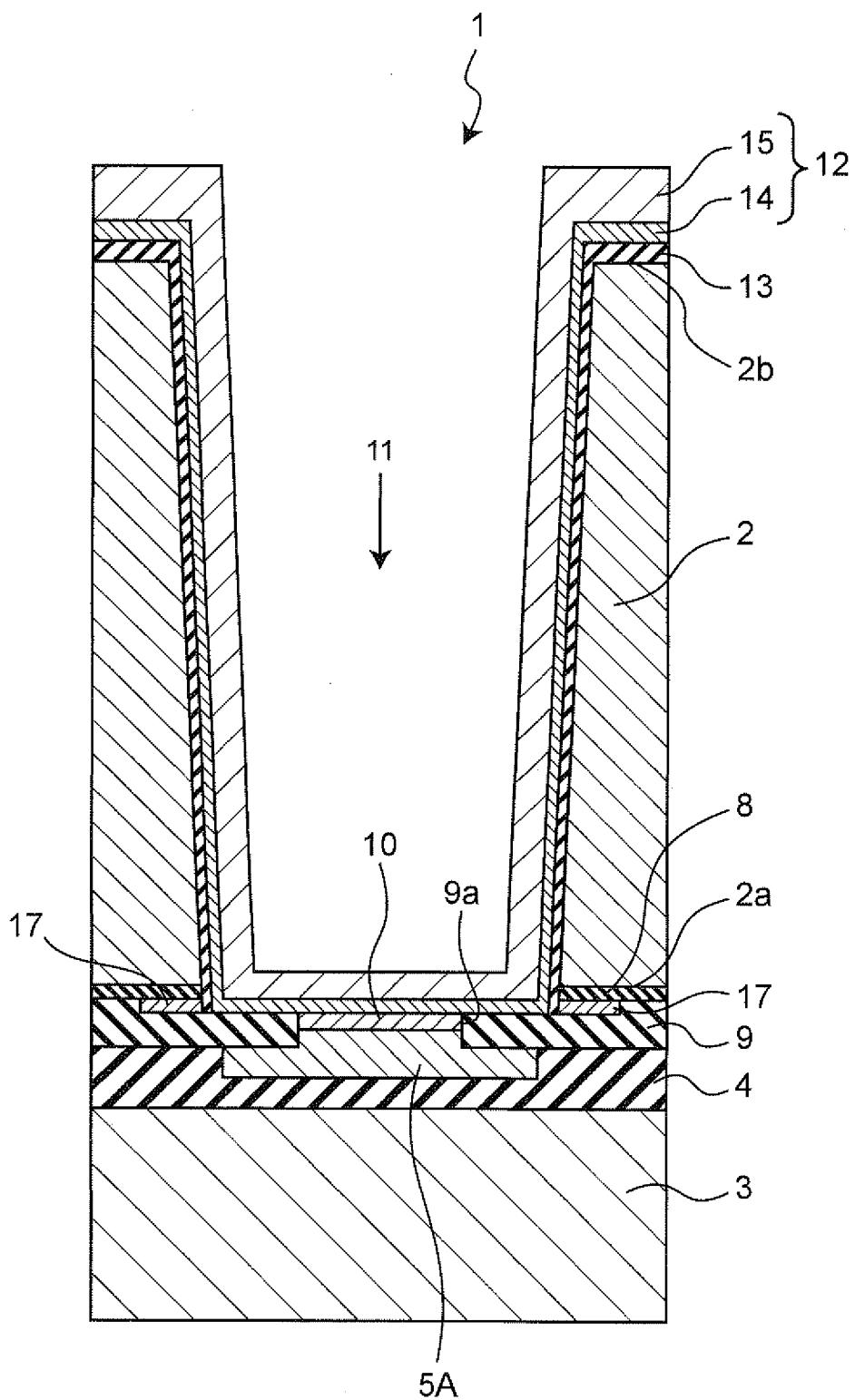
[図11]



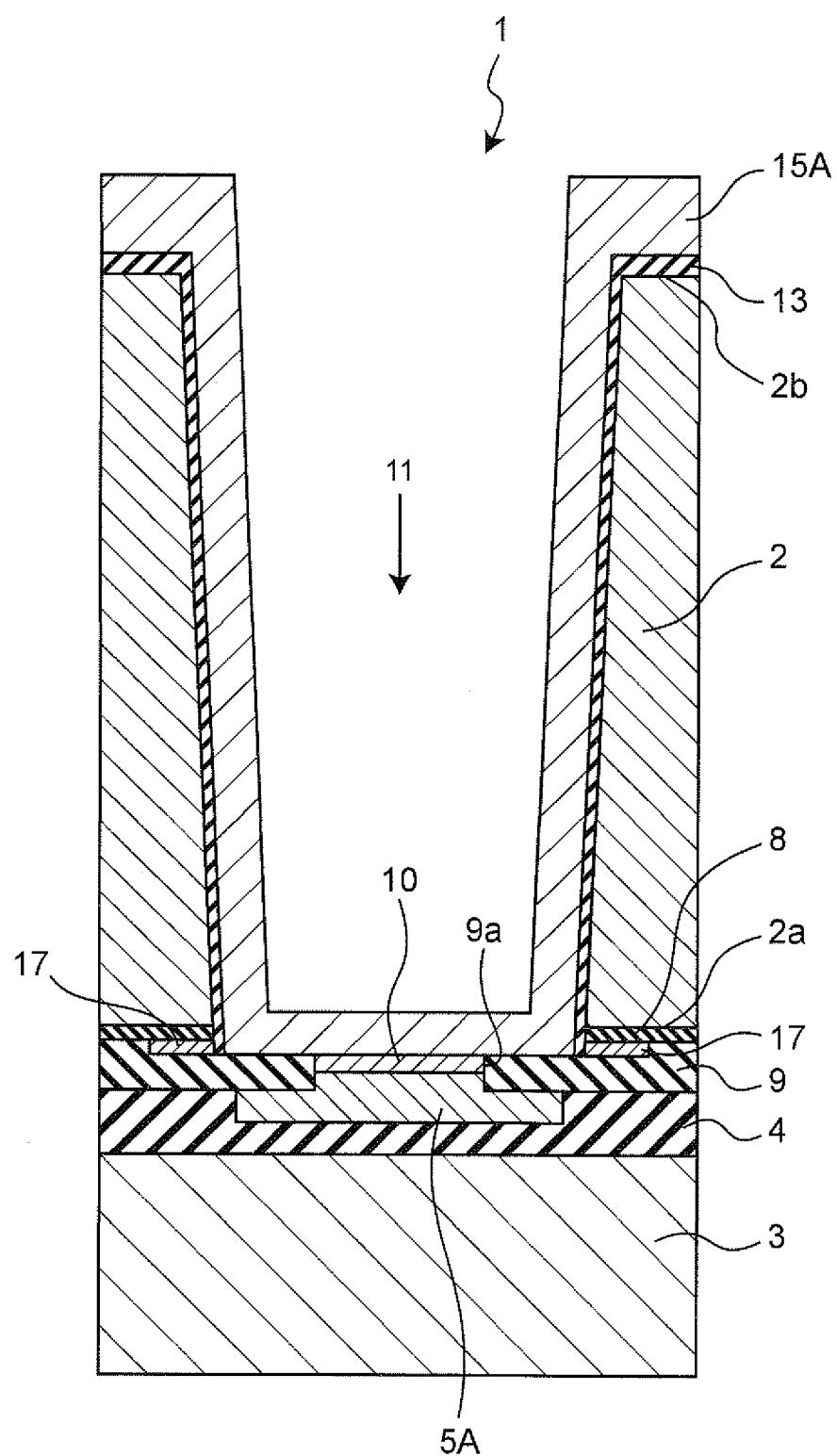
[図12]



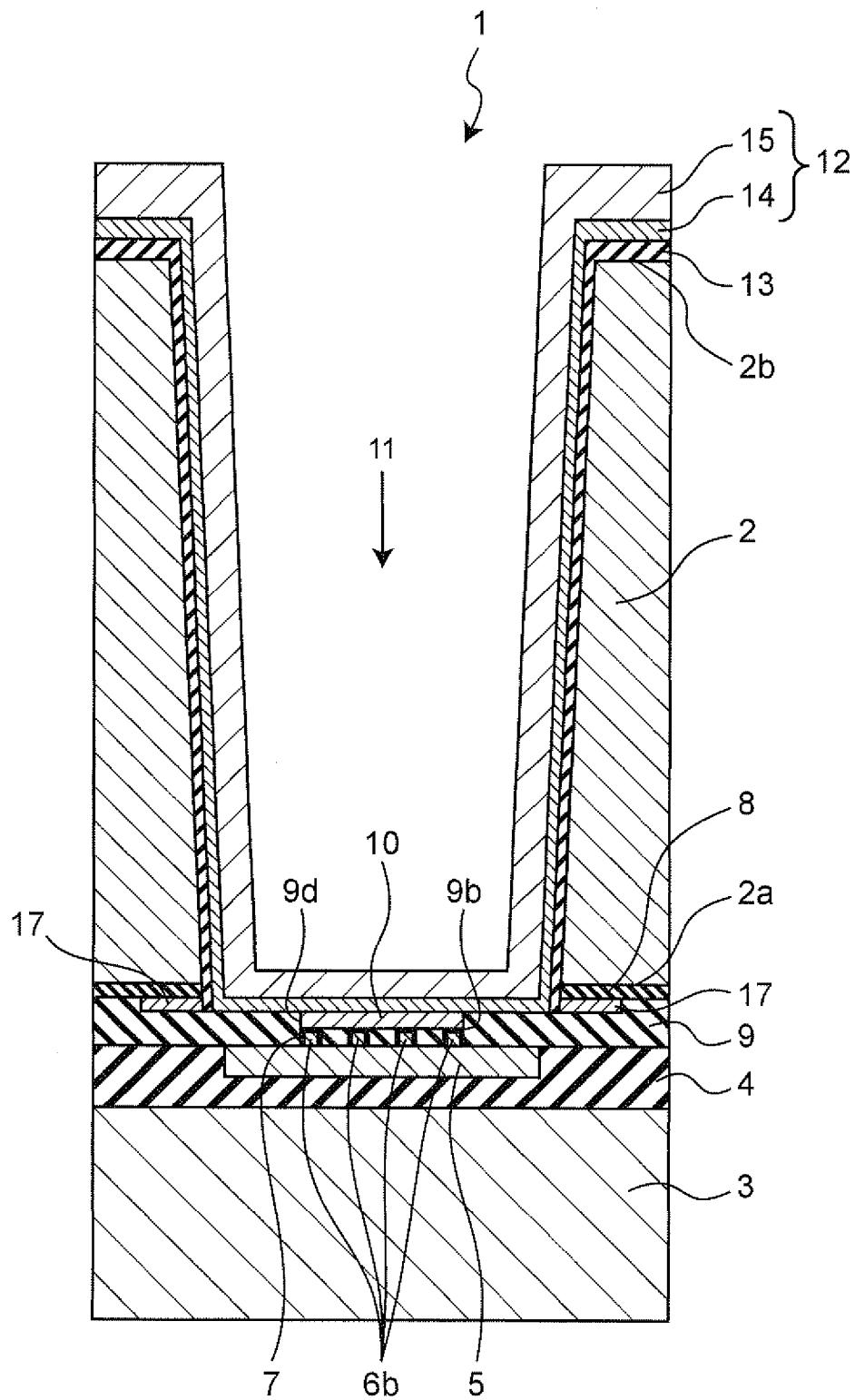
[図13]



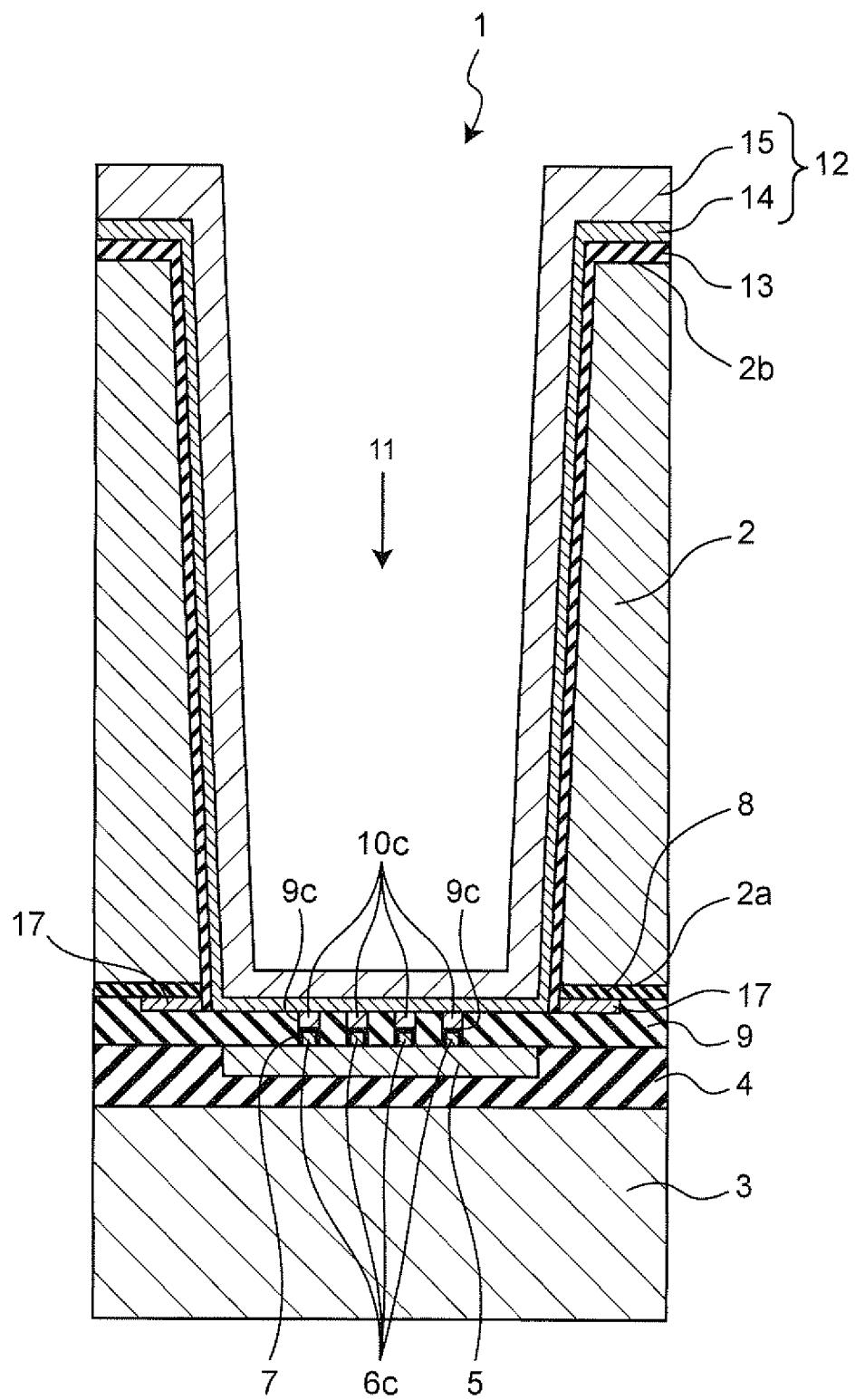
[図14]



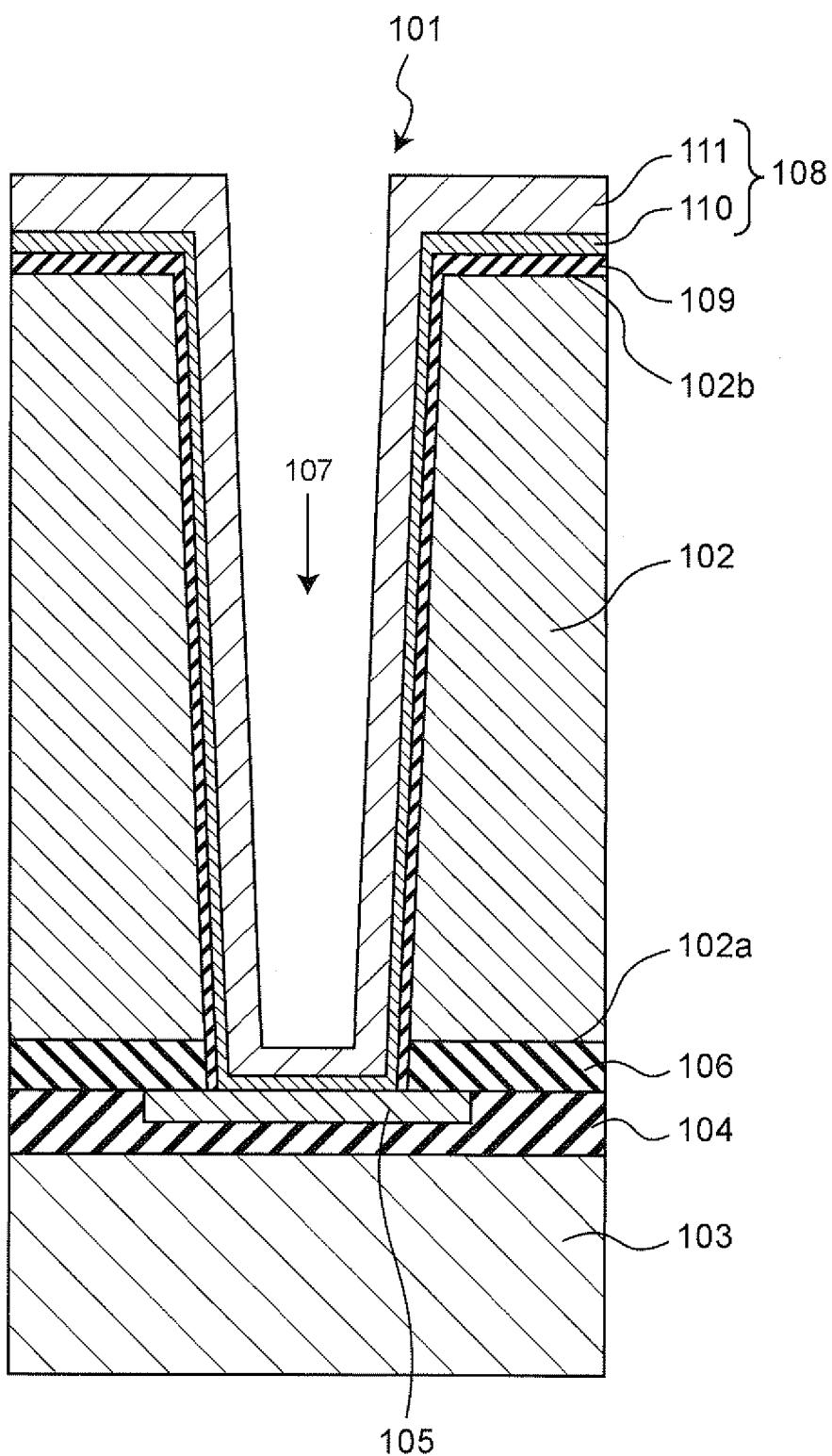
[図15]



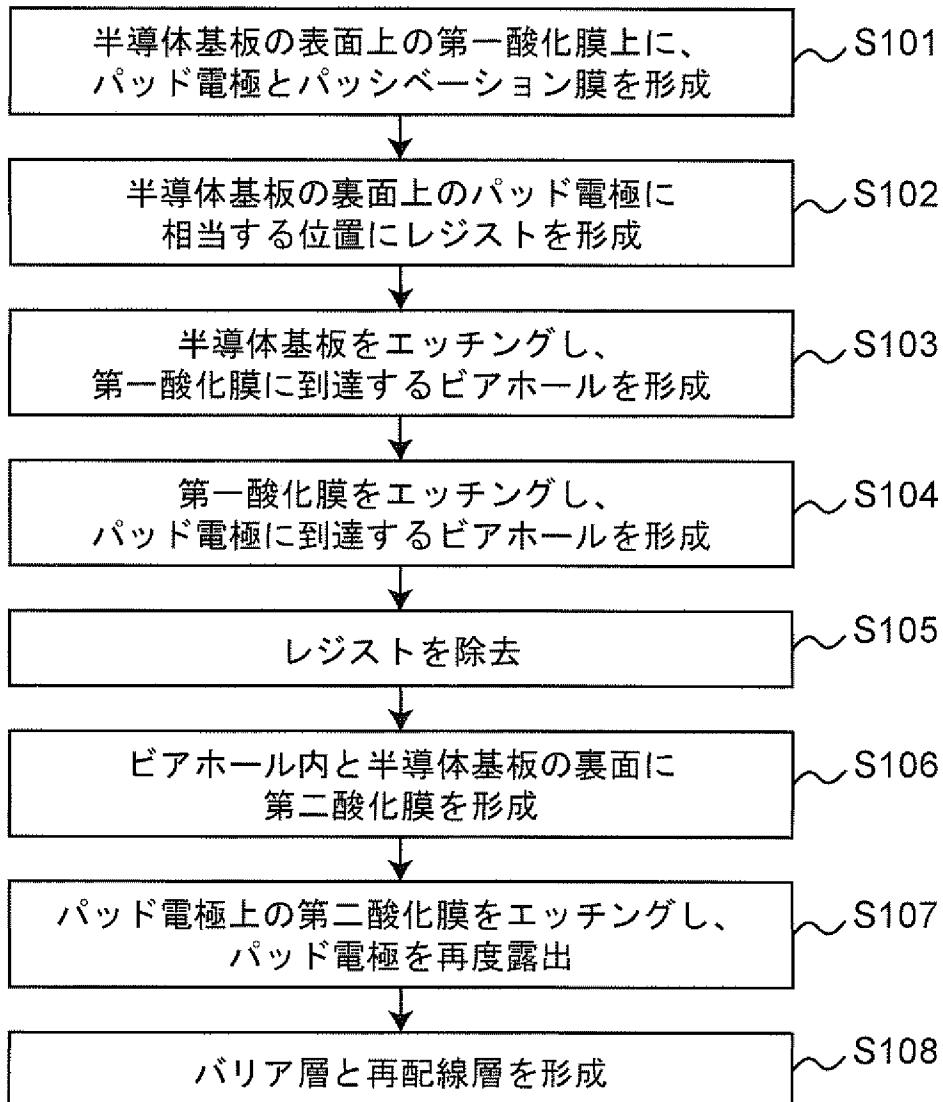
[図16]



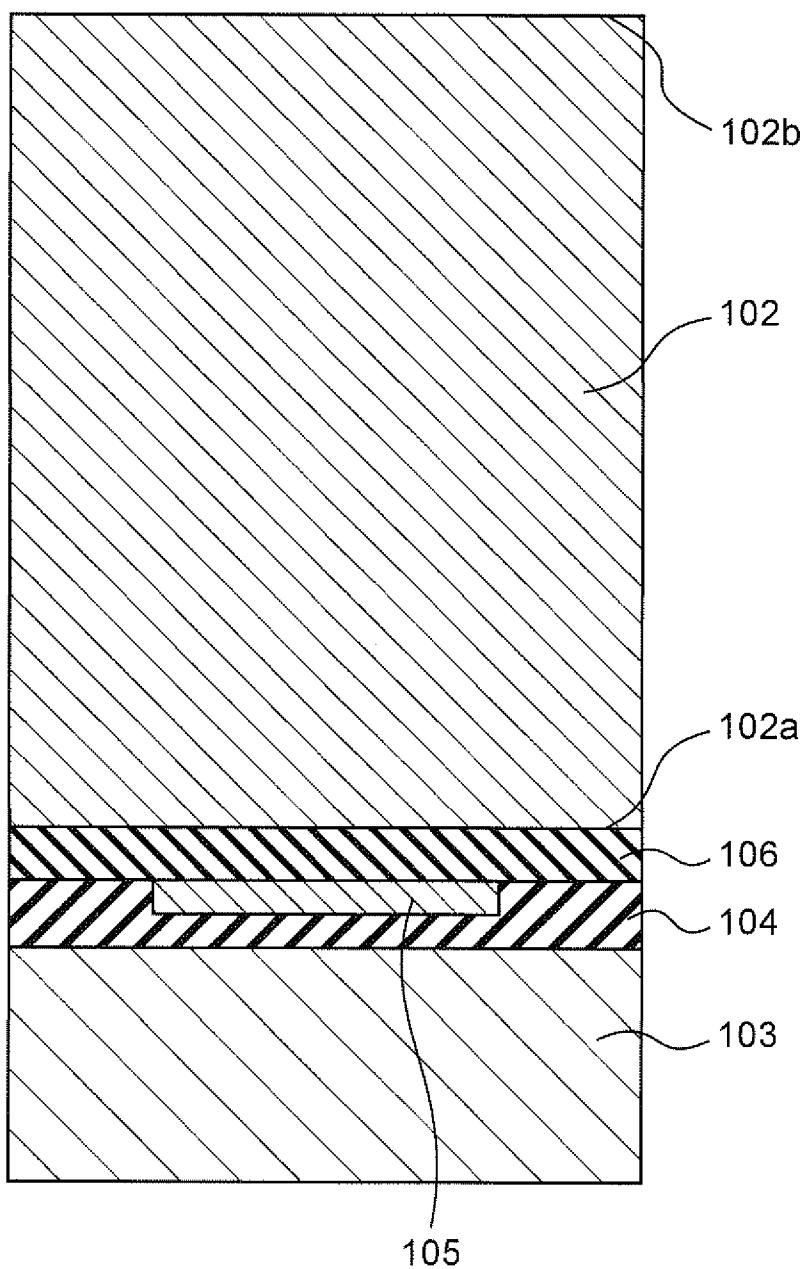
[図17]



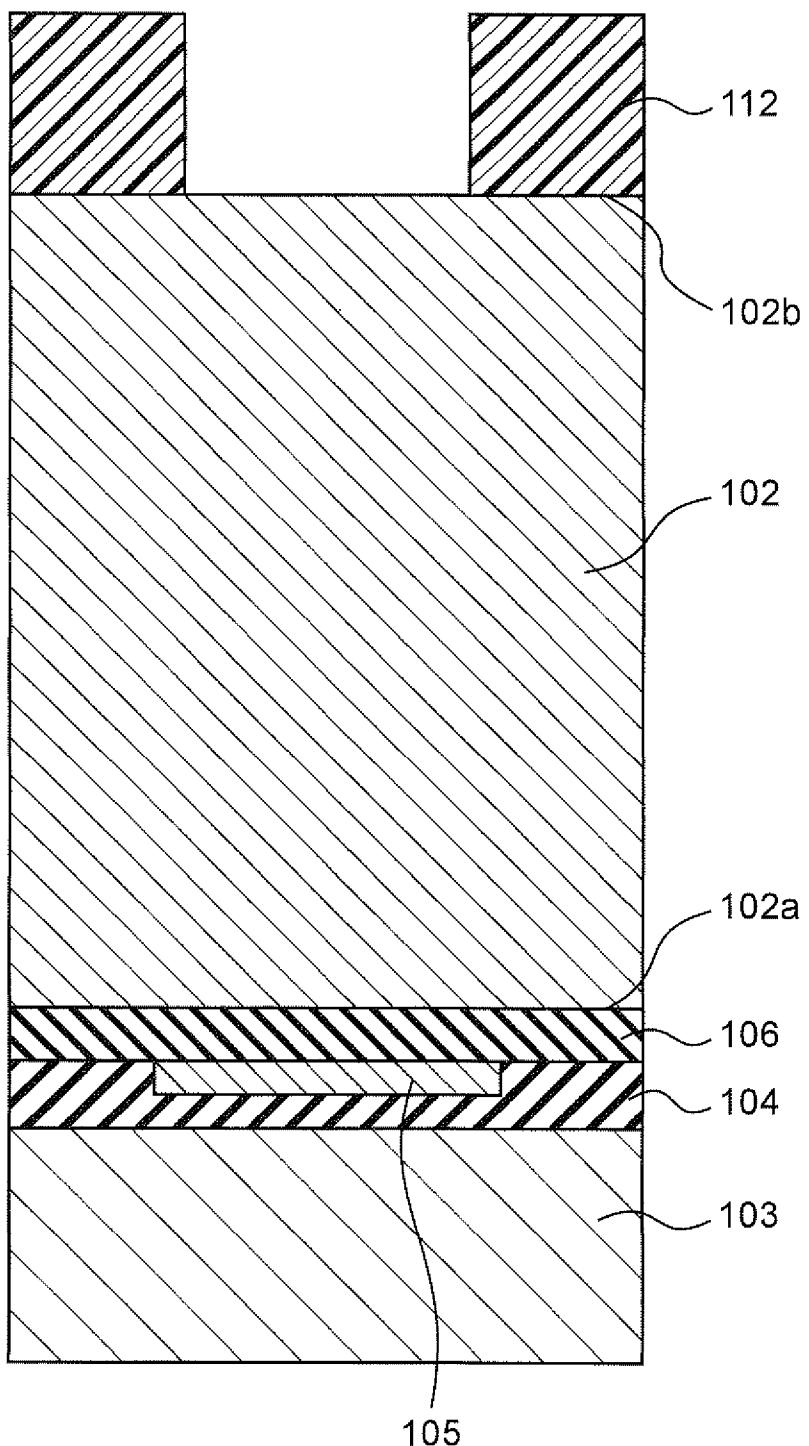
[図18]



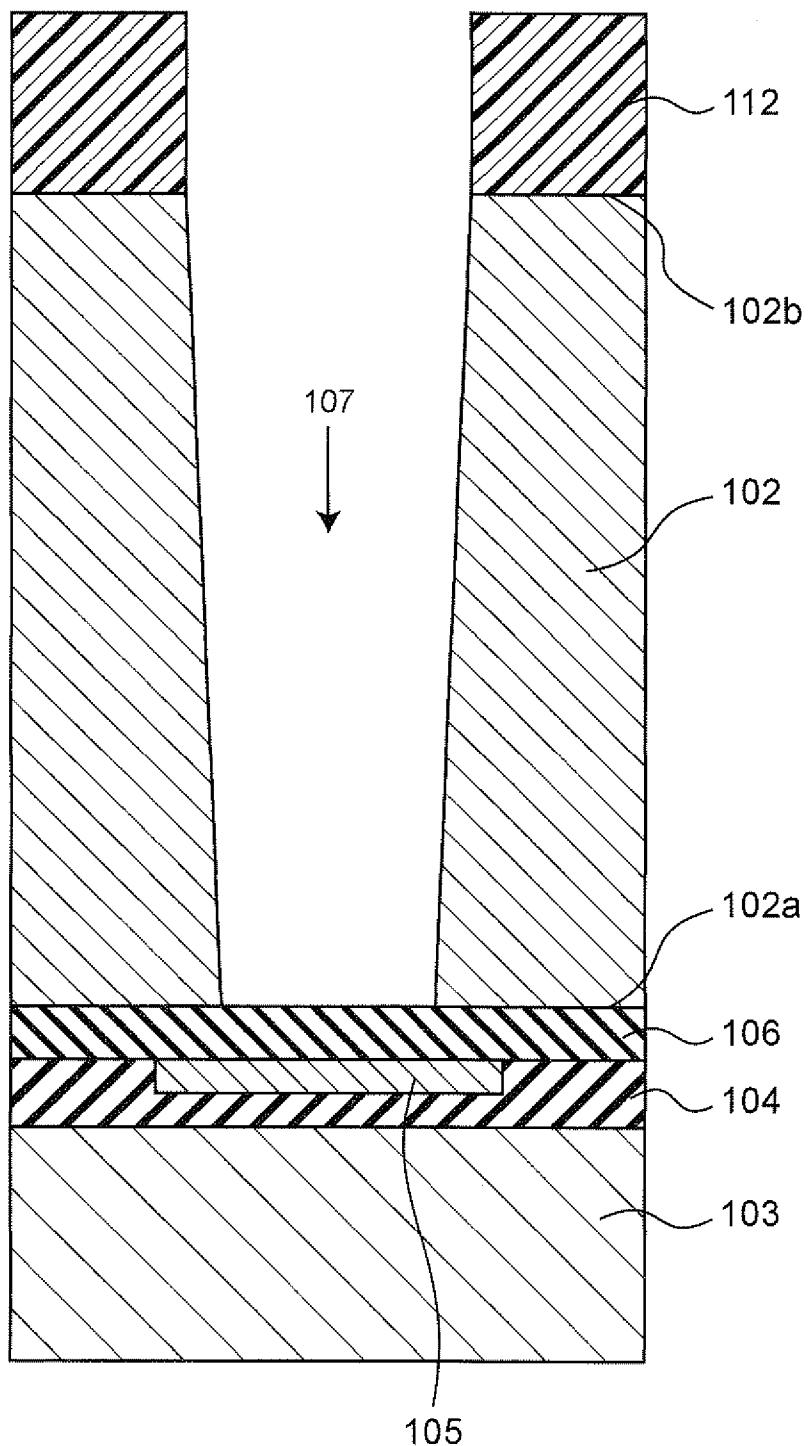
[図19]



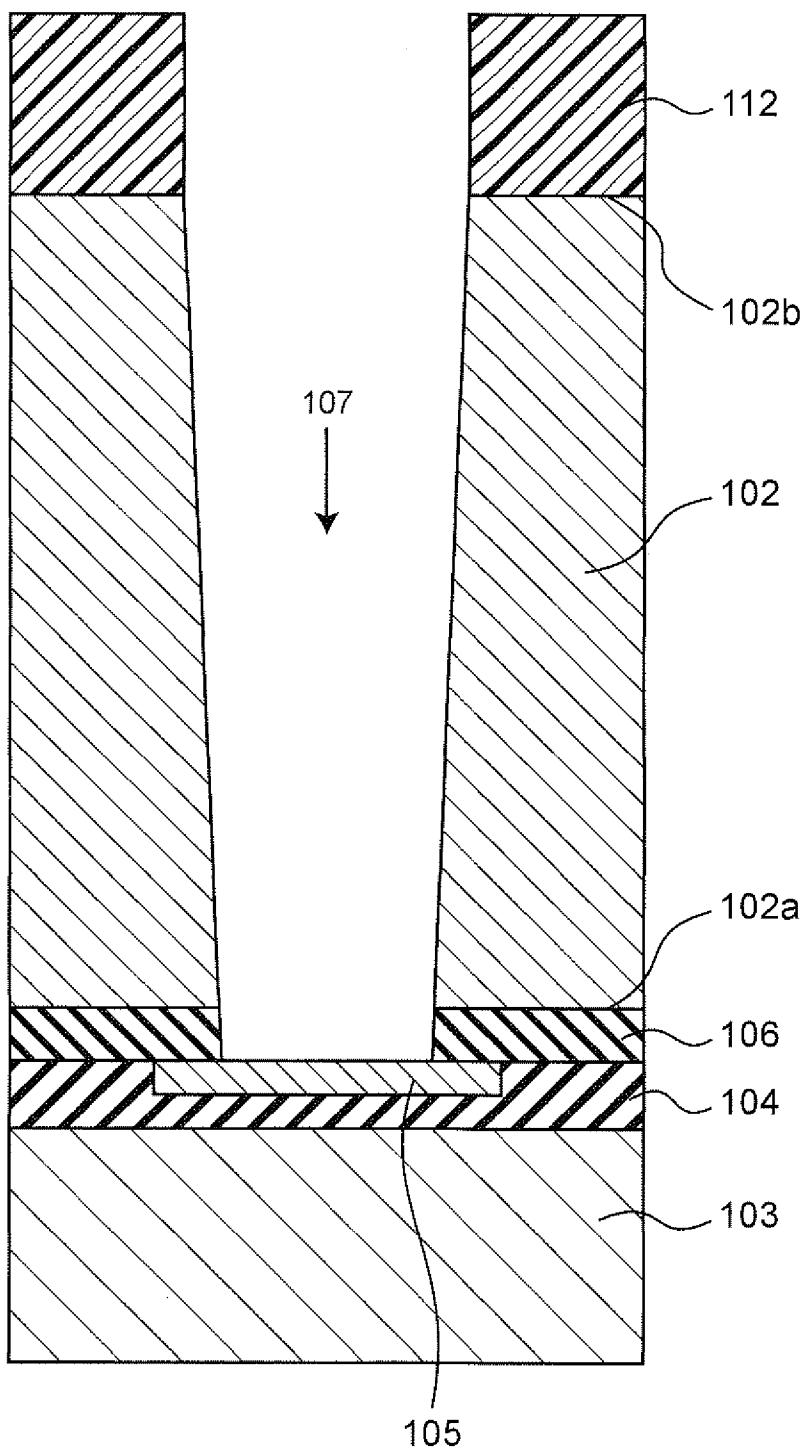
[図20]



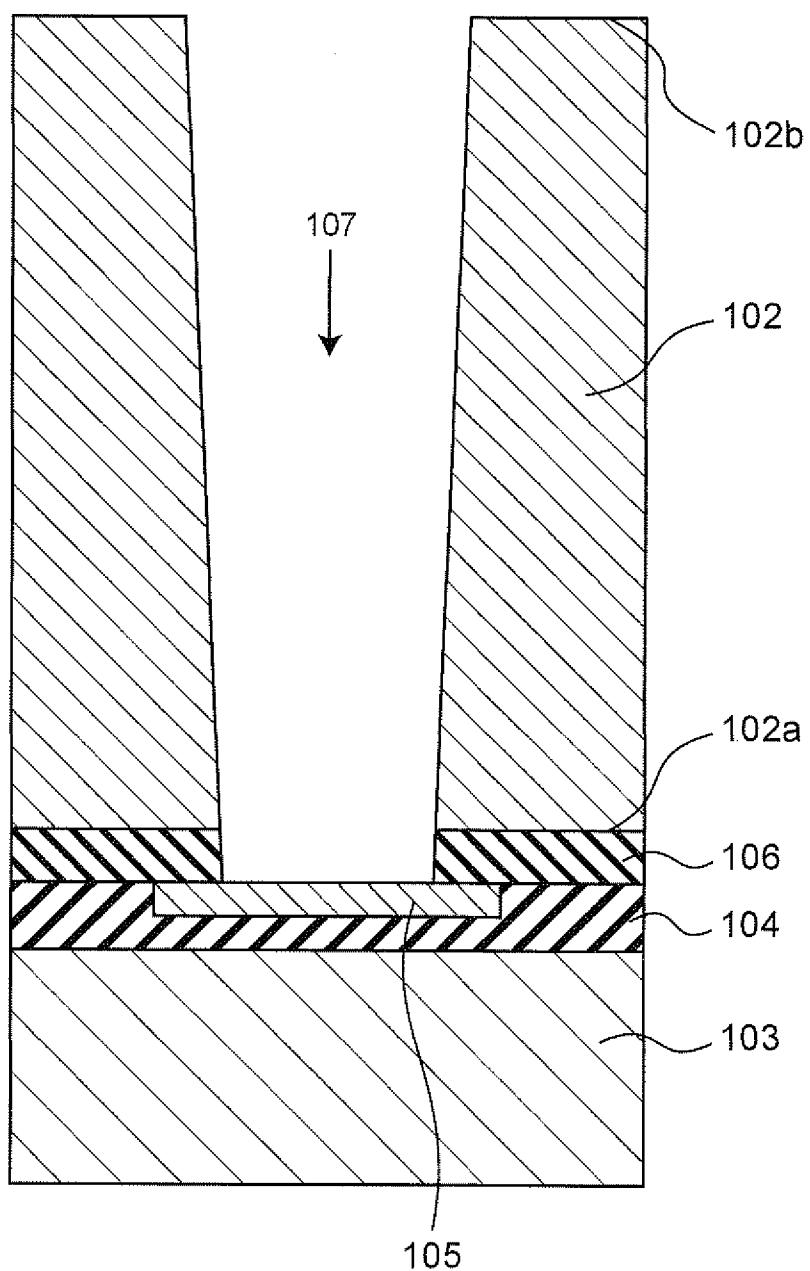
[図21]



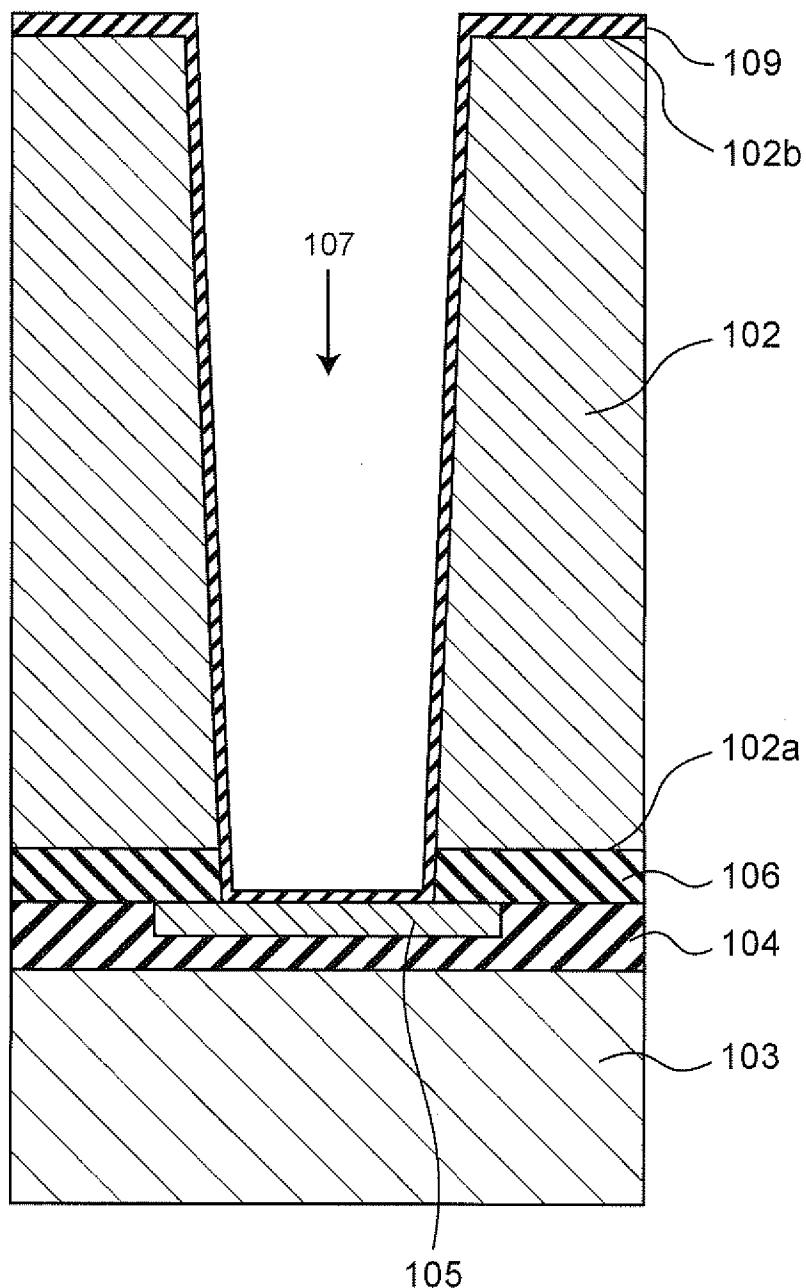
[図22]



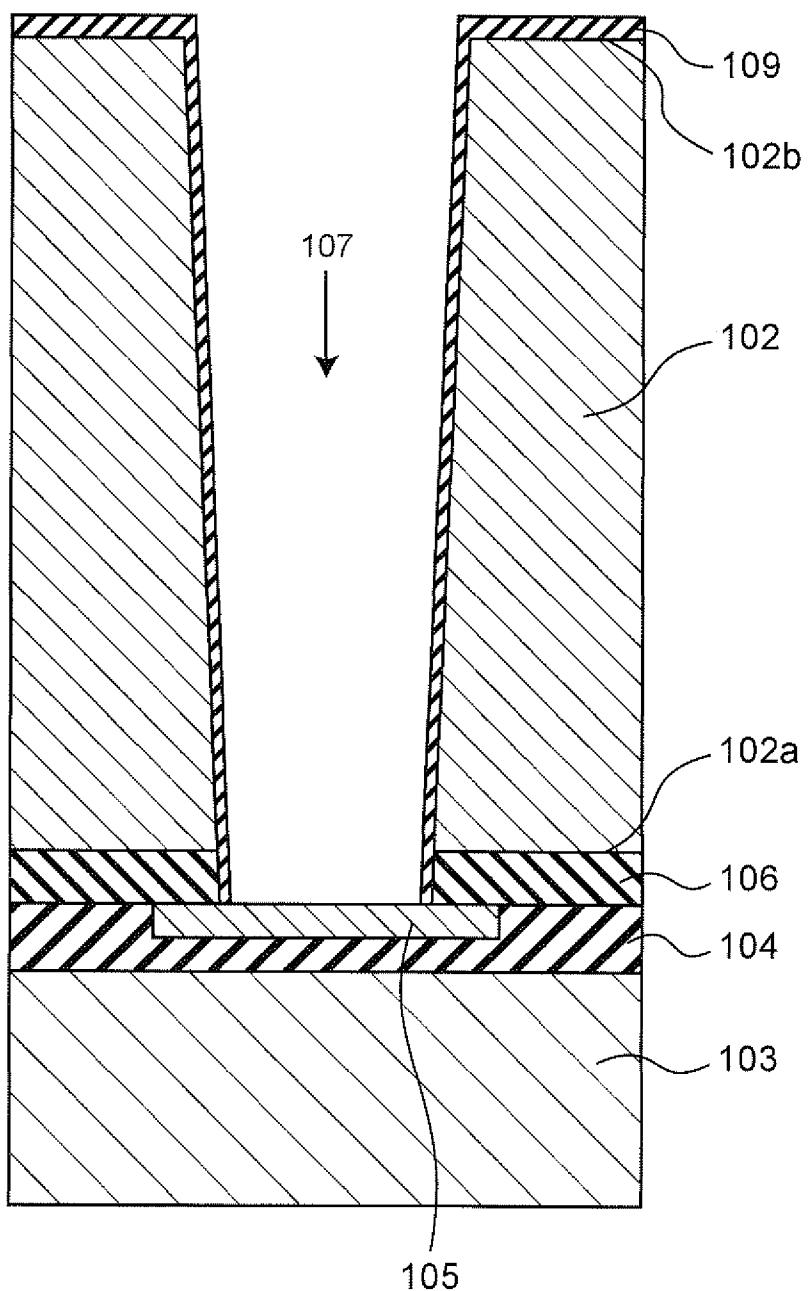
[図23]



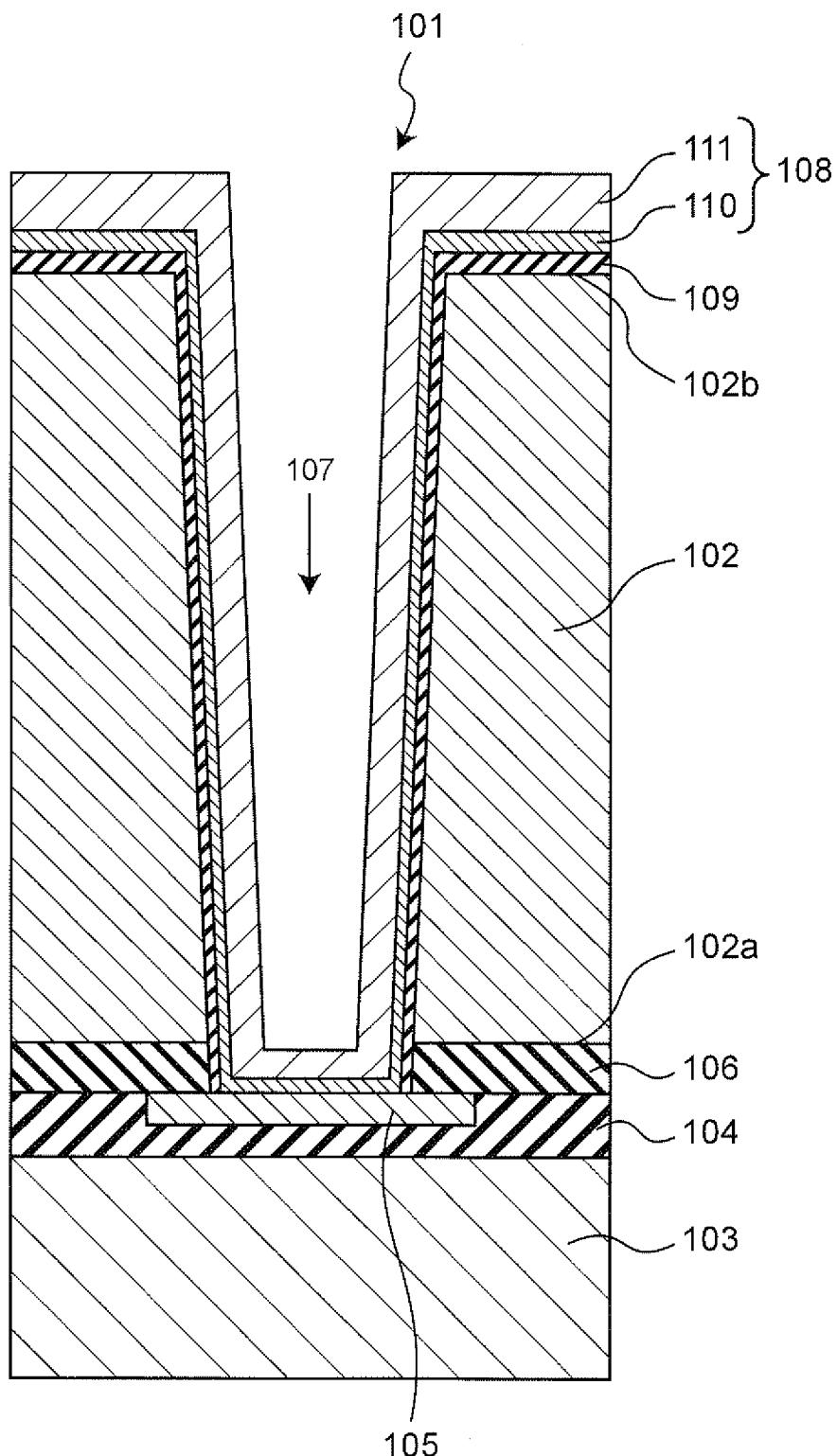
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/006426

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205 (2006.01) i, H01L23/52 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L23/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2011 |
| Kokai Jitsuyo Shinan Koho | 1971-2011 | Toroku Jitsuyo Shinan Koho | 1994-2011 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y | JP 2006-128352 A (Sanyo Electric Co., Ltd.), 18 May 2006 (18.05.2006), entire text; all drawings & US 2006/0108691 A1 & EP 1653510 A2 & KR 10-2006-0052241 A & CN 1779960 A & TW 276187 B | 1-9 |
| Y | JP 2008-288595 A (Samsung Electronics Co., Ltd.), 27 November 2008 (27.11.2008), paragraph [0027] & US 2008/0284041 A1 & DE 102008024443 A & KR 10-2008-0101635 A & CN 101355069 A | 1-9 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 January, 2011 (19.01.11)

Date of mailing of the international search report
01 February, 2011 (01.02.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/006426

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y | JP 2005-277059 A (Rohm Co., Ltd.), 06 October 2005 (06.10.2005), entire text; all drawings & US 2005/0230804 A1 & US 2007/0080457 A1 & KR 10-2006-0044637 A & CN 1674282 A | 1-9 |

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/3205 (2006.01)i, H01L23/52 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/3205, H01L23/52

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2011年 |
| 日本国実用新案登録公報 | 1996-2011年 |
| 日本国登録実用新案公報 | 1994-2011年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|--|----------------|
| Y | JP 2006-128352 A (三洋電機株式会社) 2006.05.18, 全文、全図 & US 2006/0108691 A1 & EP 1653510 A2 & KR 10-2006-0052241 A & CN 1779960 A & TW 276187 B | 1-9 |
| Y | JP 2008-288595 A (三星電子株式会社) 2008.11.27, 段落【0027】 & US 2008/0284041 A1 & DE 102008024443 A & KR 10-2008-0101635 A & CN 101355069 A | 1-9 |

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

| | |
|---|--|
| 国際調査を完了した日 19.01.2011 | 国際調査報告の発送日 01.02.2011 |
| 国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官（権限のある職員） 安田 雅彦 電話番号 03-3581-1101 内線 3498 4L 4040 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y | JP 2005-277059 A (ローム株式会社) 2005.10.06, 全文、全図 & US 2005/0230804 A1 & US 2007/0080457 A1 & KR 10-2006-0044637 A & CN 1674282 A | 1-9 |