(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月2日(02.09.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/172015 A1

(51) 国際特許分類:
H01L 23/36 (2006.01) *H01L 23/373* (2006.01)

(21) 国際出願番号： PCT/JP2021/004939

(22) 国際出願日： 2021年2月10日(10.02.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-029070 2020年2月25日(25.02.2020) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 畑野 舞子(**HATANO Maiko**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

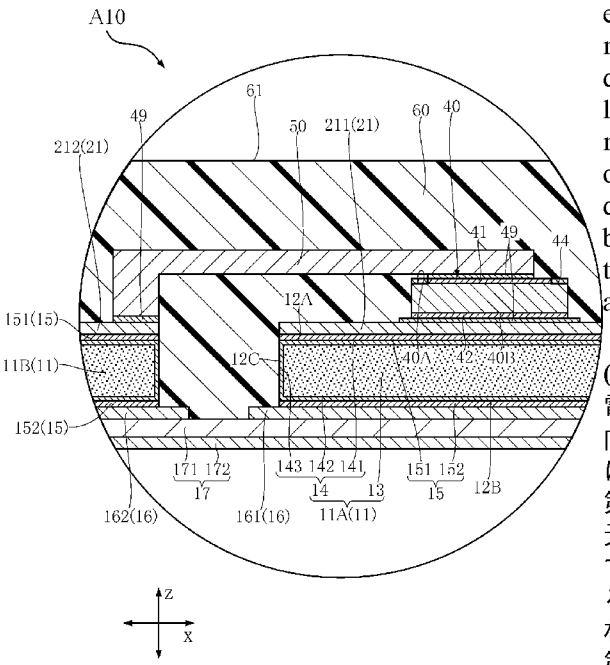
(74) 代理人: 臼井 尚, 外 (**USUI Takashi** et al.); 〒5430014 大阪府大阪市天王寺区玉造元町２番３２－１３０１ Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

FIG.8



(57) **Abstract:** This semiconductor device is provided with a substrate, a first joining layer, an electric conductive layer, and a semiconductor element. The substrate has a main surface oriented in a thickness direction. The first joining layer faces the main surface and contains a metal element. The electric conductive layer is joined to the main surface via the first joining layer and contains a metal element. The semiconductor element is joined to the electric conductive layer and is positioned on the opposite side to the substrate relative to the electric conductive layer in the thickness direction. The substrate has a base layer and a first coating layer that coats the base layer and that includes the main surface. The base layer contains carbon, and the first coating layer contains carbon and a metal element.

(57) 要約：半導体装置は、基材と、第１接合層と、導電層と、半導体素子とを備える。前記基材は、厚さ方向を向く主面を有する。前記第１接合層は、前記主面に対向し、かつ金属元素を含む。前記導電層は、前記第１接合層を介して前記主面に接合され、かつ金属元素を含む。前記半導体素子は、前記厚さ方向において前記導電層に対して前記基材とは反対側に位置するとともに、前記導電層に接合されている。前記基材は、基層と、当該基層を覆い且つ前記主面を含む第１被覆層とを有する。前記基層は炭素を含み、前記第１被覆層は炭素および金属元素を含む。

WO 2021/172015 A1

［続葉有］

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本開示は、基材と、当該基材に接合された導電層と、当該導電層に接合された半導体素子とを備える半導体装置に関する。特に本開示は、基材の組成に炭素を含む半導体装置に関する。

背景技術

[0002] 従来、ＭＯＳＦＥＴやＩＧＢＴなどの半導体素子（スイッチング素子）を搭載した半導体装置が広く知られている。当該半導体装置は、主に電力変換のために利用される。当該半導体装置に搭載される半導体素子は、その駆動時に比較的高い温度の熱を発する。このため、当該半導体装置においては、放熱性を向上させることが求められる。

[0003] 特許文献１には、放熱性を向上させた半導体装置の一例が開示されている。当該半導体装置は、基材（特許文献１では炭素繊維－金属複合材５）と、当該基材に接合された導電層（特許文献１では金属回路板）と、当該導電層に接合された半導体素子とを備える。当該基材は、炭素を含む。これにより、当該基材の厚さ方向の熱伝導率を、銅またはアルミニウムを材料とする基材の熱伝導率よりも大とすることができるため、当該半導体装置の放熱性の向上が可能となる。

[0004] 特許文献１に開示されている半導体装置においては、基材と導電層との接合にろう材が用いられている。当該ろう材は、たとえばＡｇ－Ｃｕ－Ｉｎ系といった合金を含む材料からなる。当該ろう材を介して基材と導電層との接合を行う際は、６５０℃以上８００℃以下の高温条件下で行うことが必要である。このため、基材と導電層との接合界面には、これらの部材の線膨張係数の相違に起因した熱応力が発生する。当該熱応力の一部は、残留応力として基材と導電層との接合界面に蓄積されたままとなる。このため、当該熱応力が比較的大であると、当該半導体装置の使用時において基材と導電層との

接合状態が悪化することがある。このような状態となると、当該半導体装置の放熱性の低下が懸念される。

先行技術文献

特許文献

[0005] 特許文献1：特開２００９－４６６６号公報

発明の概要

発明が解決しようとする課題

[0006] 本開示は上記事情に鑑み、装置の放熱性を向上させつつ、当該装置の製造時において基材と導電層との接合界面に発生する熱応力を低減することが可能な半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0007] 本開示によって提供される半導体装置は、厚さ方向を向く主面を有する基材と、前記主面に対向し、かつ金属元素を含む第１接合層と、前記第１接合層を介して前記主面に接合され、かつ金属元素を含む導電層と、前記厚さ方向において前記導電層に対して前記基材とは反対側に位置するとともに、前記導電層に接合された半導体素子と、備える。前記基材は、基層と、前記基層を覆い、かつ前記主面を含む第１被覆層とを有する。前記基層は、炭素を含み、前記第１被覆層は、炭素および金属元素を含む。

[0008] 好ましくは、前記第１接合層のビッカース硬さは、前記導電層のビッカース硬さよりも小である。

[0009] 好ましくは、前記第１被覆層は、金属炭化物を含む材料からなる。

[0010] 好ましくは、前記第１接合層の融点は、２００℃以上３００℃以下である。

[0011] 好ましくは、前記第１接合層は、錫を含む。

[0012] 好ましくは、前記基層は、複数の層状結晶が積層された多層構造をなし、前記複数の層状結晶の各々の面内方向は、前記厚さ方向を含む。

[0013] 好ましくは、前記基層は、グラファイトを含む材料からなる。

[0014] 好ましくは、前記基材は、前記厚さ方向において前記主面とは反対側を向く裏面と、前記基層を覆い、かつ前記裏面を含む第２被覆層と、を有し、前記第２被覆層は、前記第１被覆層と同一の材料からなる。

[0015] 好ましくは、前記半導体装置は、前記裏面に対向する第２接合層と、前記第２接合層を介して前記裏面に接合された支持層と、をさらに備え、前記第２接合層は、前記第１接合層と同一の材料からなり、前記支持層は、金属元素を含む。

[0016] 好ましくは、前記第２接合層のビッカース硬さは、前記支持層のビッカース硬さよりも小である。

[0017] 好ましくは、前記半導体装置は、前記厚さ方向において前記支持層に対して前記基材とは反対側に位置する絶縁層をさらに備え、前記絶縁層は、前記支持層に接合され、前記厚さ方向に沿って視て、前記絶縁層の周縁の少なくとも一部は、前記支持層の周縁よりも外方に位置する。

[0018] 好ましくは、前記半導体装置は、前記基材と、前記導電層と、前記半導体素子と、前記支持層と、を覆う封止樹脂をさらに備え、前記封止樹脂から前記絶縁層の一部が露出している。

[0019] 好ましくは、前記絶縁層は、前記支持層に接合された絶縁体と、前記厚さ方向において前記絶縁体に対して前記支持層とは反対側に位置する放熱体と、を有し、前記厚さ方向に沿って視て、前記放熱体の周縁の少なくとも一部は、前記絶縁体の周縁よりも内方に位置する。

[0020] 好ましくは、前記基材は、第１部材と、第２部材と、前記厚さ方向において前記第１部材と前記第２部材との間に位置する少なくとも１以上の第３部材と、を含み、前記第１部材、前記第２部材、および前記少なくとも１以上の第３部材の各々は、前記主面と、前記裏面と、前記基層と、前記第１被覆層と、前記第２被覆層と、を有し、前記導電層は、前記第１接合層を介して前記第１部材の前記主面に接合され、前記支持層は、前記第２接合層を介して前記第２部材の前記裏面に接合され、複数の第３接合層をさらに備え、前記複数の第３接合層の各々は、前記第１接合層と同一の材料からなり、前記

少なくとも１以上の第３部材のうち、前記第１部材の隣に位置する当該第３部材の前記主面は、前記複数の第３接合層のいずれかを介して前記第１部材の前記裏面に接合され、前記少なくとも１以上の第３部材のうち、前記第２部材の隣に位置する当該第３部材の前記裏面は、前記複数の第３接合層のいずれかを介して前記第２部材の前記主面に接合されている。

[0021] 好ましくは、複数の中間層をさらに備え、前記複数の中間層の各々は、金属元素を含み、前記複数の第３接合層の各々は、前記厚さ方向において互いに離れた一対の領域を含み、前記複数の中間層の各々は、前記複数の第３接合層のいずれかの前記一対の領域の間に位置する。

[0022] 好ましくは、前記複数の第３接合層の各々のビッカース硬さは、前記複数の中間層の各々のビッカース硬さよりも小である。

[0023] 好ましくは、前記第１部材の前記基層と、前記第２部材の前記基層と、の各々において、前記複数の層状結晶の各々の面内方向は、前記厚さ方向に対して直交する第１方向を含み、前記少なくとも１以上の第３部材のうち、前記第１部材の隣に位置する当該第３部材と、前記第２部材の隣に位置する当該第３部材と、の各々において、前記複数の層状結晶の各々の面内方向は、前記厚さ方向および前記第１方向の双方に対して直交する第２方向を含む。

発明の効果

[0024] 本開示の半導体装置によれば、当該装置の放熱性を向上させつつ、当該装置の製造時において基材と導電層との接合界面に発生する熱応力を低減することが可能である。

[0025] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

[0026] [図1]本開示の第１実施形態にかかる半導体装置の斜視図である。

[図2]図１に示す半導体装置の平面図である。

[図3]図２に対応する平面図であり、封止樹脂を透過している。

[図4]図１に示す半導体装置の底面図である。

[図5]図３のＶ－Ｖ線に沿う断面図である。

[図6]図３のＶＩ－ＶＩ線に沿う断面図である。

[図7]図３の部分拡大図である。

[図8]図７のＶＩＩＩ－ＶＩＩＩ線に沿う断面図である。

[図9]図１に示す半導体装置の基材の基層における結晶構造の模式図である。

[図10]本開示の第２実施形態にかかる半導体装置の平面図であり、封止樹脂を透過している。

[図11]図１０のＸＩ－ＸＩ線に沿う断面図である。

[図12]図１０のＸＩＩ－ＸＩＩ線に沿う断面図である。

[図13]図１１の部分拡大図である。

[図14]図１０に示す半導体装置の基材（第１部材および第２部材）の基層における結晶構造の模式図である。

[図15]図１０に示す半導体装置の基材（第３部材）の基層における結晶構造の模式図である。

[図16]本開示の第３実施形態にかかる半導体装置の断面図である。

[図17]図１６に示す半導体装置の断面図である。

[図18]図１６の部分拡大図である。

発明を実施するための形態

[0027] 本開示を実施するための形態について、添付図面に基づいて説明する。

[0028] 〔第１実施形態〕

図１～図９に基づき、本開示の第１実施形態にかかる半導体装置Ａ１０について説明する。半導体装置Ａ１０は、複数の基材１１、複数の接合層１５、複数の支持層１６、絶縁層１７、複数の導電層２１、第１端子３１、第２端子３２、半導体素子４０、導通部材５１および封止樹脂６０を備える。これらに加え、半導体装置Ａ１０は、基板２２、ゲート配線２３、検出配線２４、ゲート端子３３、検出端子３４、複数のゲートワイヤ５３、および複数の検出ワイヤ５４をさらに備える。これらの図が示す半導体装置Ａ１０は、半導体素子４０がたとえばＭＯＳＦＥＴである電力変換装置（パワーモジュ

ール）である。半導体装置Ａ１０は、モータの駆動源、様々な電気製品のインバータ装置、およびＤＣ／ＤＣコンバータなどに用いられる。図３は、理解の便宜上、封止樹脂６０を透過している。図３において透過した封止樹脂６０を想像線（二点鎖線）で示している。

[0029] 半導体装置Ａ１０の説明においては、複数の基材１１の各々の厚さ方向を「厚さ方向ｚ」と呼ぶ。厚さ方向ｚに対して直交する方向を「第１方向ｘ」と呼ぶ。厚さ方向ｚおよび第１方向ｘの双方に対して直交する方向を「第２方向ｙ」と呼ぶ。図１および図２に示すように、半導体装置Ａ１０は、厚さ方向ｚに沿って視て矩形状である。第１方向ｘは、半導体装置Ａ１０の長手方向に対応する。第２方向ｙは、半導体装置Ａ１０の短手方向に対応する。

[0030] 複数の基材１１の各々には、図３、図５および図６に示すように、複数の導電層２１のいずれかと、複数の支持層１６のいずれかとが接合されている。半導体装置Ａ１０においては、複数の基材１１は、第１基材１１Ａおよび第２基材１１Ｂを含む。第１基材１１Ａおよび第２基材１１Ｂは、第１方向ｘにおいて互いに離れて位置する。第１基材１１Ａの第１方向ｘの寸法は、第２基材１１Ｂの第１方向ｘの寸法よりも大である。

[0031] 図５、図６および図８に示すように、複数の基材１１の各々は、主面１２Ａ、裏面１２Ｂ、および端面１２Ｃを有する。主面１２Ａおよび裏面１２Ｂは、厚さ方向ｚにおいて互いに反対側を向く。主面１２Ａは、複数の導電層２１のいずれかに対向している。裏面１２Ｂは、複数の支持層１６のいずれかに対向している。端面１２Ｃは、主面１２Ａおよび裏面１２Ｂにつながっている。端面１２Ｃは、第１方向ｘを向き、かつ第１方向ｘにおいて互いに離れて位置する一対の領域と、第２方向ｙを向き、かつ第２方向ｙにおいて互いに離れて位置する一対の領域を含む。

[0032] 図５および図８に示すように、複数の基材１１の各々は、基層１３を有する。基層１３は、複数の基材１１の各々の体積の大半を占めている。基層１３は、炭素（Ｃ）を含む。基層１３は、グラファイト（黒鉛）を含む材料からなる。基層１３は、グラファイトのみの単体や、グラファイトに銅（Ｃｕ

）およびアルミニウム（Ａｌ）を混ぜた混合体でもよい。図９に示すように、基層１３は、複数の層状結晶１３１が積層された多層構造をなしている。複数の層状結晶１３１の各々は、グラファイトの結晶１３１Ａが連なっている。複数の層状結晶１３１の各々の面内方向（結晶１３１Ａが連なる方向）は、厚さ方向ｚを含む。半導体装置Ａ１０においては、複数の層状結晶１３１の各々の面内方向は、第１方向ｘを含む。したがって、複数の層状結晶１３１の各々の面外方向（複数の層状結晶１３１の積層方向）は、第２方向ｙである。

[0033] 図５および図８に示すように、複数の基材１１の各々は、複数の被覆層１４を有する。複数の被覆層１４は、基層１３を覆っている。複数の被覆層１４の各々は、炭素および金属元素を含む。半導体装置Ａ１０においては、複数の被覆層１４の各々は、金属炭化物を含む材料からなる。当該金属炭化物の例を列挙すると、炭化チタン（ＴｉＣ）、炭化タンタル（ＴａＣ）、炭化ジルコニウム（ＺｒＣ）、炭化タングステン（ＷＣ）、 炭化モリブデン（Mo_2C）および炭化ニオブ（ＮｂＣ）が挙げられる。複数の被覆層１４は、第１被覆層１４１、第２被覆層１４２および第３被覆層１４３を含む。第２被覆層１４２および第３被覆層１４３の各々は、第１被覆層１４１と同一の材料からなる。第１被覆層１４１は、主面１２Ａを含む。第２被覆層１４２は、厚さ方向ｚにおいて基層１３に対して第１被覆層１４１とは反対側に位置し、かつ裏面１２Ｂを含む。第３被覆層１４３は、第１被覆層１４１および第２被覆層１４２につながり、かつ端面１２Ｃを含む。したがって、複数の基材１１の各々においては、主面１２Ａ、裏面１２Ｂおよび端面１２Ｃの各々は、複数の被覆層１４のいずれかに含まれる構成となっている。さらに、複数の被覆層１４の各々は、導電性を有する。複数の被覆層１４は、スパッタリング法などにより基層１３の表面に金属炭化物を積層させた後、積層された当該金属炭化物を真空、または不活性雰囲気下において熱処理することにより形成することができる。

[0034] 複数の支持層１６の各々は、金属元素を含む。半導体装置Ａ１０において

は、複数の支持層１６の各々は、銅または銅合金からなる金属箔である。したがって、複数の支持層１６の各々は、導電性を有する。図３に示すように、半導体装置Ａ１０においては、複数の支持層１６は、第１支持層１６１、第２支持層１６２および第３支持層１６３を含む。第１支持層１６１および第２支持層１６２は、第１方向ｘにおいて互いに離れて位置する。第１支持層１６１は、複数の基材１１のうち第１基材１１Ａの裏面１２Ｂに接合されている。厚さ方向ｚに沿って視て、第１支持層１６１の周縁は、第１基材１１Ａの周縁よりも外方に位置する。第２支持層１６２は、複数の基材１１のうち第２基材１１Ｂの裏面１２Ｂに接合されている。厚さ方向ｚに沿って視て、第２支持層１６２の周縁は、第２基材１１Ｂの周縁よりも外方に位置する。第３支持層１６３は、第２方向ｙにおいて第１支持層１６１の隣に位置する。第３支持層１６３の第１方向ｘの寸法は、第１支持層１６１の第１方向ｘの寸法と略同一である。

[0035] 絶縁層１７は、図５および図６に示すように、厚さ方向ｚにおいて複数の支持層１６に対して、複数の基材１１とは反対側に位置する。絶縁層１７は、複数の支持層１６に接合されている。図３および図４に示すように、絶縁層１７は、厚さ方向ｚに沿って視て、第１方向ｘを長辺とする矩形状である。厚さ方向ｚに沿って視て、絶縁層１７の周縁の少なくとも一部は、複数の支持層１６の各々の周縁よりも外方に位置する。

[0036] 図５および図６に示すように、絶縁層１７は、絶縁体１７１および放熱体１７２を有する。絶縁体１７１は、複数の支持層１６に接合されている。半導体装置Ａ１０においては、絶縁体１７１は、熱伝導性に優れたセラミックスである。当該セラミックスの一例として、窒化アルミニウム（ＡｌＮ）が挙げられる。放熱体１７２は、厚さ方向ｚにおいて絶縁体１７１に対して、複数の支持層１６とは反対側に位置する。放熱体１７２は、絶縁体１７１に接している。半導体装置Ａ１０においては、放熱体１７２は、銅または銅合金からなる金属箔である。したがって、放熱体１７２は、導電性を有する。放熱体１７２は、封止樹脂６０から露出している。したがって、半導体装置

Ａ１０においては、封止樹脂６０から絶縁層１７の一部が露出する構成となっている。半導体装置Ａ１０をヒートシンクに取り付けたとき、放熱体１７２は、当該ヒートシンクに対向する。放熱体１７２の体積は、複数の支持層１６の体積の合計値よりも大である。さらに、図４に示すように、厚さ方向ｚに沿って視て、放熱体１７２の周縁の少なくとも一部は、絶縁体１７１の周縁よりも内方に位置する。これにより、厚さ方向ｚに沿って視て、絶縁層１７には、放熱体１７２の周縁に沿った段差１７Ａが設けられている。

[0037] 半導体装置Ａ１０においては、複数の支持層１６、および絶縁層１７は、たとえばＤＢＣ（Direct Bonded Copper）基板を用いることにより容易に形成することができる。ＤＢＣ基板は、セラミックス板と、厚さ方向ｚの両側においてセラミックス板に積層された一対の銅箔とにより構成される。当該セラミックス板が絶縁層１７の絶縁体１７１となる。 当該一対の銅箔に各々に対してエッチングにより部分除去することにより、複数の支持層１６、および絶縁層１７の放熱体１７２が形成される。

[0038] 複数の導電層２１は、図５および図６に示すように、複数の基材１１の主面１２Ａに対して個別に接合されている。複数の導電層２１は、第１端子３１、第２端子３２および導通部材５１とともに、半導体装置Ａ１０の外部と、半導体素子４０との導電経路を構成している。複数の導電層２１の各々は、金属元素を含む。半導体装置Ａ１０においては、複数の導電層２１の各々は、銅または銅合金からなる金属箔である。当該金属箔の表面に対して、銀（Ａｇ）めっき、またはアルミニウム層、ニッケル（Ｎｉ）層、銀層の順に積層された複数種の金属めっきを施してもよい。

[0039] 図３および図５に示すように、半導体装置Ａ１０においては、複数の導電層２１は、第１導電層２１１および第２導電層２１２を含む。第１導電層２１１および第２導電層２１２は、第１方向ｘにおいて互いに離れて位置する。第１導電層２１１は、複数の基材１１のうち第１基材１１Ａの主面１２Ａに接合されている。厚さ方向ｚに沿って視て、第１導電層２１１の形状および大きさは、第１基材１１Ａのそれらに等しい。第２導電層２１２は、複数

の基材１１のうち第２基材１１Ｂの主面１２Ａに接合されている。厚さ方向ｚに沿って視て、第２導電層２１２の形状および大きさは、第２基材１１Ｂのそれらに等しい。

[0040] 複数の接合層１５の各々は、金属元素を含む。したがって、複数の接合層１５の各々は、導電性を有する。複数の接合層１５の各々の融点は、２００℃以上３００℃以下である。複数の接合層１５の各々は、錫（Ｓｎ）、銀、銅、アンチモン（Ｓｂ）、ビスマス（Ｂｉ）、ニッケル、インジウム（Ｉｎ）、リン（Ｐ）およびゲルマニウム（Ｇｅ）のいずれか１以上の金属元素を含む。

[0041] 複数の接合層１５は、図５および図６に示すように、第１接合層１５１および第２接合層１５２を含む。第２接合層１５２は、第１接合層１５１と同一の材料からなる。図８に示すように、第１接合層１５１は、複数の基材１１の各々の主面１２Ａに対向している。複数の導電層２１の各々は、第１接合層１５１を介して複数の基材１１のいずれかの主面１２Ａに接合されている。すなわち、複数の導電層２１の各々は、第１接合層１５１を介して複数の基材１１のいずれかの第１被覆層１４１に接合されている。この場合において、第１被覆層１４１の表面には、当該第１被覆層１４１に対する溶融した第１接合層１５１の濡れ性を向上させるための活性層（図示略）を形成してもよい。当該活性層の材料の一例としては、金、銀および錫のいずれかの金属元素を含む材料が挙げられる。当該活性層は、電解めっきにより形成することができる。第１接合層１５１のビッカース硬さ（ＨＶ）は、複数の導電層２１の各々のビッカース硬さよりも小である。

[0042] 図８に示すように、第２接合層１５２は、複数の基材１１の各々の裏面１２Ｂに対向している。複数の支持層１６（第１支持層１６１および第２支持層１６２）の各々は、第２接合層１５２を介して複数の基材１１のいずれかの裏面１２Ｂに接合されている。すなわち、複数の支持層１６の各々は、第２接合層１５２を介して複数の基材１１のいずれかの第２被覆層１４２に接合されている。この場合において、第２被覆層１４２の表面には、当該第２

被覆層１４２に対する溶融した第２接合層１５２の濡れ性を向上させるための活性層（図示略）を形成してもよい。第２接合層１５２のビッカース硬さは、複数の支持層１６の各々のビッカース硬さよりも小である。

[0043] 基板２２は、図３および図６に示すように、複数の支持層１６のうち第３支持層１６３に配置されている。基板２２は、第１方向ｘに延びる帯状である。基板２２の材料の一例として、セラミックスまたはガラスエポキシ樹脂が挙げられる。

[0044] ゲート配線２３は、図３および図６に示すように、基板２２の上に配置されている。ゲート配線２３は、第１方向ｘに延びる帯状である。ゲート配線２３は、銅または銅合金を含む金属箔である。ゲート配線２３の表面には、たとえば銀めっきを施してもよい。

[0045] 検出配線２４は、図３および図６に示すように、基板２２の上に配置されている。検出配線２４は、第１方向ｘに延びる帯状である。検出配線２４の幅は、ゲート配線２３の幅と略等しい。厚さ方向ｚに沿って視て、検出配線２４は、第２方向ｙにおいてゲート配線２３と、複数の導電層２１のうち第１導電層２１１との間に位置する。検出配線２４は、銅または銅合金からなる金属箔である。検出配線２４の表面には、たとえば銀めっきを施してもよい。

[0046] 第１端子３１は、図２、図３および図５に示すように、複数の導電層２１のうち第１導電層２１１に接合されている。厚さ方向ｚに沿って視て、第１端子３１は、第１方向ｘに延びる帯状である。第１端子３１は、銅または銅合金からなる金属板である。第１端子３１は、接続部３１１および端子部３１２を有する。接続部３１１は、封止樹脂６０に覆われている。接続部３１１は、ハンダ接合または超音波接合などにより第１導電層２１１に接合されている。これにより、第１端子３１は、第１導電層２１１に導通している。端子部３１２は、接続部３１１から第１方向ｘのうち第１導電層２１１から離れる向きに延びている。端子部３１２は、封止樹脂６０から露出している。

[0047] 第２端子３２は、図２、図３および図５に示すように、複数の導電層２１のうち第２導電層２１２に接合されている。厚さ方向ｚに沿って視て、第２端子３２は、第１方向ｘに延びる帯状である。第２端子３２は、銅または金属板からなる金属板である。第２端子３２は、接続部３２１および端子部３２２を有する。接続部３２１は、封止樹脂６０に覆われている。接続部３２１は、ハンダ接合または超音波接合により第２導電層２１２に接合されている。これにより、第２端子３２は、第２導電層２１２に導通している。端子部３２２は、接続部３２１から第１方向ｘのうち第２導電層２１２から離れる向きに延びている。端子部３２２は、封止樹脂６０から露出している。

[0048] 半導体素子４０は、図３および図５に示すように、複数の導電層２１のうち第１導電層２１１に接合されている。半導体素子４０は、厚さ方向ｚにおいて第１導電層２１１に対して、複数の基材１１のうち第１基材１１Ａとは反対側に位置する。半導体素子４０は、たとえば、炭化ケイ素（ＳｉＣ）を主とする半導体材料を用いて構成されたＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field-Effect Transistor）である。なお、半導体素子４０は、ＭＯＳＦＥＴに限らずＭＩＳＦＥＴ（Metal-Insulator-Semiconductor Field-Effect Transistor）を含む電界効果トランジスタや、ＩＧＢＴ（Insulated Gate Bipolar Transistor）のようなバイポーラトランジスタでもよい。半導体装置Ａ１０の説明においては、半導体素子４０がｎチャンネル型、かつ縦型構造のＭＯＳＦＥＴである場合を対象とする。

[0049] 図７および図８に示すように、半導体素子４０は、第１面４０Ａ、第２面４０Ｂ、第１電極４１、第２電極４２、ゲート電極４３および絶縁膜４４を有する。第１面４０Ａおよび第２面４０Ｂは、厚さ方向ｚにおいて互いに反対側を向く。これらのうち、第２面４０Ｂは、第１導電層２１１に対向している。

[0050] 図７および図８に示すように、第１電極４１は、第１面４０Ａに設けられている。第１電極４１には、半導体素子４０の内部からソース電流が流れる。

[0051] 図８に示すように、第２電極４２は、第２面４０Ｂの全体にわたって設けられている。 第２電極４２には、半導体素子４０の内部に向けてドレイン電流が流れる。第２電極４２は、導電性を有する接合層４９により第１導電層２１１に接合されている。接合層４９の一例として、錫を主成分とする鉛フリーハンダが挙げられる。これにより、第２電極４２は、第１導電層２１１に導通している。したがって、第１端子３１は、第２電極４２に導通している。このため、第１端子３１は、半導体装置Ａ１０のドレイン端子に相当する。

[0052] 図７に示すように、ゲート電極４３は、第１面４０Ａに設けられている。ゲート電極４３には、半導体素子４０が駆動するためのゲート電圧が印加される。ゲート電極４３の大きさは、第１電極４１の大きさよりも小とされている。

[0053] 図７および図８に示すように、絶縁膜４４は、第１面４０Ａに設けられている。絶縁膜４４は、電気絶縁性を有する。絶縁膜４４は、厚さ方向ｚに沿って視て第１電極４１およびゲート電極４３をそれぞれ囲んでいる。絶縁膜４４は、たとえば二酸化ケイ素（SiO_2）層、窒化ケイ素（Si_3N_4）層、ポリベンゾオキサゾール（ＰＢＯ）層が第１面４０Ａからこの順で積層されたものである。なお、絶縁膜４４においては、当該ポリベンゾオキサゾール層に代えてポリイミド層でもよい。

[0054] 導通部材５１は、図３および図５に示すように、半導体素子４０の第１電極４１と、複数の導電層２１のうち第２導電層２１２とに接合されている。厚さ方向ｚに沿って視て、導通部材５１は、第１方向ｘに延びる帯状である。導通部材５１は、銅または銅合金からなる金属リードである。この他、導通部材５１は、複数のワイヤでもよい。当該複数のワイヤの材料の一例として、アルミニウムまたはアルミニウム合金が挙げられる。導通部材５１の第１方向ｘにおける一端は、接合層４９により第１電極４１に接合されている。導通部材５１の第１方向ｘにおける他端は、接合層４９により第２導電層２１２に接合されている。これにより、第１電極４１は、第２導電層２１２

に導通している。したがって、第２端子３２は、第１電極４１に導通している。このため、第２端子３２は、半導体装置Ａ１０のソース端子に相当する。

[0055] ゲート端子３３および検出端子３４は、図３に示すように、第２方向ｙにおいて絶縁層１７の隣に位置し、かつ複数の支持層１６のうち第３支持層１６３に近接している。ゲート端子３３および検出端子３４は、第１方向ｘに沿って配列されている。ゲート端子３３および検出端子３４は、ともに同一のリードフレームからなる。

[0056] ゲート端子３３には、半導体素子４０が駆動するためのゲート電圧が印加される。ゲート端子３３は、接続部３３１および端子部３３２を有する。接続部３３１は、封止樹脂６０に覆われている。これにより、ゲート端子３３は、封止樹脂６０に支持されている。接続部３３１の表面には、たとえば銀めっきを施してもよい。端子部３３２は、接続部３３１につながり、かつ封止樹脂６０から露出している（図６参照）。第１方向ｘに沿って視て、端子部３３２はＬ字状をなしている。

[0057] 図３に示すように、検出端子３４は、第１方向ｘにおいてゲート端子３３の隣に位置する。検出端子３４から、半導体素子４０の第１電極４１に印加される電圧（ソース電流に対応した電圧）を検出することができる。検出端子３４は、接続部３４１および端子部３４２を有する。接続部３４１は、封止樹脂６０に覆われている。これにより、検出端子３４は、封止樹脂６０に支持されている。接続部３４１の表面には、たとえば銀めっきを施してもよい。端子部３４２は、接続部３４１につながり、かつ封止樹脂６０から露出している（図３および図４参照）。第１方向ｘに沿って視て、端子部３４２はＬ字状をなしている。

[0058] 複数のゲートワイヤ５３は、図３に示すように、第１ワイヤ５３１および第２ワイヤ５　３２を含む。第１ワイヤ５３１は、半導体素子４０のゲート電極４３と、ゲート配線２３とに接合されている。第２ワイヤ５３２は、ゲート配線２３と、ゲート端子３３の接続部３３１とに接合されている。これに

より、ゲート端子３３は、ゲート電極４３に導通している。複数のゲートワイヤ５３の各々の材料の一例として、金、アルミニウムおよびアルミニウム合金のいずれかが挙げられる。

[0059] 複数の検出ワイヤ５４は、図３に示すように、第１ワイヤ５４１および第２ワイヤ５４２を含む。第１ワイヤ５４１は、半導体素子４０の第１電極４１と、検出配線２４とに接合されている。第２ワイヤ５４２は、検出配線２４と、検出端子３４の接続部３４１とに接合されている。これにより、検出端子３４は、第１電極４１に導通している。複数の検出ワイヤ５４の各々の材料の一例として、アルミニウムおよびアルミニウム合金のいずれかが挙げられる。

[0060] 封止樹脂６０は、図５に示すように、複数の基材１１、複数の支持層１６、複数の導電層２１、半導体素子４０および導通部材５１と、絶縁層１７、第１端子３１および第２端子３２のそれぞれ一部ずつとを覆っている。封止樹脂６０はさらに、基板２２、ゲート配線２３、検出配線２４、複数のゲートワイヤ５３、および複数の検出ワイヤ５４と、ゲート端子３３および検出端子３４のそれぞれ一部ずつとを覆っている（図６参照）。封止樹脂６０は、たとえば、黒色のエポキシ樹脂を含む材料からなる。図２～図６に示すように、封止樹脂６０は、頂面６１、底面６２、および複数の側面６３を有する。

[0061] 図５および図６に示すように、頂面６１および底面６２は、厚さ方向ｚにおいて互いに反対側を向く。半導体装置Ａ１０をヒートシンクに取り付けたとき、これらのうち底面６２は、当該ヒートシンクに対向する。図４に示すように、底面６２から絶縁層１７の放熱体１７２が露出している。厚さ方向ｚに沿って視て、底面６２は、放熱体１７２を囲む枠状である。

[0062] 図５および図６に示すように、複数の側面６３の各々は、頂面６１および底面６２につながっている。複数の側面６３は、一対の第１側面６３Ａ、および一対の第２側面６３Ｂを含む。図２および図４に示すように、一対の第１側面６３Ａは、第１方向ｘを向き、かつ第１方向ｘにおいて互いに離れて

位置する。一対の第１側面６３Ａのうち一方の領域からは、第１端子３１の端子部３１２が露出している。一対の第１側面６３Ａのうち他方の領域からは、第２端子３２の端子部３２２が露出している。図２および図４に示すように、一対の第２側面６３Ｂは、第２方向ｙを向き、かつ第２方向ｙにおいて互いに離れて位置する。一対の第２側面６３Ｂの各々の第１方向ｘの両端は、一対の第１側面６３Ａにつながっている。一対の第２側面６３Ｂのうちいずれかの領域からは、ゲート端子３３の端子部３３２、および検出端子３４の端子部３４２が露出している。

[0063] 次に、半導体装置Ａ１０の作用効果について説明する。

[0064] 半導体装置Ａ１０の基材１１は、基層１３と、基層１３を覆い、かつ基材１１の主面１２Ａを含む第１被覆層１４１とを有する。基層１３は、炭素を含む。第１被覆層１４１は、炭素および金属元素を含む。これにより、基層１３に対する第１被覆層１４１の結合状態が、より強固となる。この場合において、第１接合層１５１を介して導電層２１を主面１２Ａに接合させる際、第１接合層１５１は、融点が比較的低い（２００℃以上３００℃以下）材料を用いることができる。このため、従来のろう材を介して導電層２１を基材１１に接合させる場合よりも、より低温条件下でその接合を行うことができる。したがって、半導体装置Ａ１０によれば、半導体装置Ａ１０の放熱性を向上させつつ、半導体装置Ａ１０の製造時において基材１１と導電層２１との接合界面に発生する熱応力を低減することが可能となる。

[0065] 第１接合層１５１のビッカース硬さは、導電層２１のビッカース硬さよりも小である。これにより、半導体装置Ａ１０の製造時において、第１接合層１５１を介して基材１１の主面１２Ａに導電層２１を接合させる際、基材１１と導電層２１との接合界面に発生する熱応力を低減するための緩衝機能を第１接合層１５１が発揮することが可能となる。

[0066] 基材１１の基層１３は、複数の層状結晶１３１が積層された多層構造をなす。複数の層状結晶１３１の各々の面内方向は、厚さ方向ｚを含む。これにより、基材１１の厚さ方向ｚにおける引張強度および熱伝導率の各々を、比

較的大とすることができる。

[0067] 基材１１は、基層１３を覆い、かつ基材１１の裏面１２Ｂを含む第２被覆層１４２を有する。第２被覆層１４２は、第１被覆層１４１と同一の材料からなる。この場合において、半導体装置Ａ１０は、裏面１２Ｂに対向する第２接合層１５２と、第２接合層１５２を介して裏面１２Ｂに接合された支持層１６とをさらに備える。第２接合層１５２は、第１接合層１５１と同一の材料からなる。支持層１６は、金属元素を含む。これにより、第２接合層１５２を介して支持層１６を裏面１２Ｂに接合させる際、当該接合にかかる温度条件は、第１接合層１５１を介して導電層２１を基材１１の主面１２Ａに接合させる際の温度条件と同一とすることができる。したがって、半導体装置Ａ１０の製造時において基材１１と支持層１６との接合界面に発生する熱応力を低減することが可能となる。その結果、基材１１の厚さ方向ｚの反りを低減させることができる。

[0068] 第２接合層１５２のビッカース硬さは、支持層１６のビッカース硬さよりも小である。これにより、半導体装置Ａ１０の製造時において、第２接合層１５２を介して基材１１の裏面１２Ｂに支持層１６を接合させる際、基材１１と支持層１６との接合界面に発生する熱応力を低減するための緩衝機能を第２接合層１５２が発揮することが可能となる。

[0069] 半導体装置Ａ１０は、厚さ方向ｚにおいて支持層１６に対して基材１１とは反対側に位置する絶縁層１７をさらに備える。絶縁層１７は、支持層１６に接合されている。厚さ方向ｚに沿って視て、絶縁層１７の周縁の少なくとも一部は、支持層１６の周縁よりも外方に位置する。これにより、厚さ方向ｚに沿って視て、絶縁層１７の一部が支持層１６よりも外方にはみ出した構成となるため、半導体装置Ａ１０の絶縁耐圧の向上を図ることができる。

[0070] 半導体装置Ａ１０は、基材１１、半導体素子４０および支持層１６を覆う封止樹脂６０をさらに備える。これにより、半導体装置Ａ１０の外部環境から基材１１、半導体素子４０および支持層１６を保護することができる。さらに、封止樹脂６０から絶縁層１７の一部が露出している。これにより、封

止樹脂６０により半導体装置Ａ１０の放熱性が低下することを防止できる。

[0071] 絶縁層１７は、支持層１６に接合された絶縁体１７１と、厚さ方向ｚにおいて絶縁体１７１に対して支持層１６とは反対側に位置する放熱体１７２とを有する。厚さ方向ｚに沿って視て、放熱体１７２の周縁の少なくとも一部は、絶縁体１７１の周縁よりも内方に位置する。これにより、放熱体１７２の一部が封止樹脂６０から露出した場合であっても、絶縁体１７１が封止樹脂６０に覆われた構成となるため、絶縁層１７が封止樹脂６０から脱落することを防止できる。

[0072] 〔第２実施形態〕

図１０～図１５に基づき、本開示の第２実施形態にかかる半導体装置Ａ２０について説明する。これらの図において、先述した半導体装置Ａ１０の同一または類似の要素には同一の符号を付して、重複する説明を省略する。図１０は、理解の便宜上、封止樹脂６０を 透過している。図１０において透過した封止樹脂６０を想像線で示している。

[0073] 半導体装置Ａ２０においては、複数の基材１１、および複数の接合層１５の構成が、先述した半導体装置Ａ１０の構成と異なる。

[0074] 複数の基材１１の各々は、図１１～図１３に示すように、第１部材１１１と、第２部材１１２と、厚さ方向ｚにおいて第１部材１１１と第２部材１１２との間に位置する少なくとも１以上の第３部材１１３と、を含む。半導体装置Ａ２０においては、少なくとも１以上の第３部材１１３の数は単数である。一方、少なくとも１以上の第３部材１１３の数が複数である場合、当該第３部材１１３の数は奇数である。したがって、複数の基材１１の各々は、複数の支持層１６のいずれかから近い順に第２部材１１２、少なくとも１以上の第３部材１１３、第１部材１１１の順に積層された多層構造をなしている。第１部材１１１と、第２部材１１２と、少なくとも１以上の第３部材１１３の各々は、主面１２Ａ、裏面１２Ｂ、端面１２Ｃ、基層１３、および複数の被覆層１４（第１被覆層１４１、第２被覆層１４２および第３被覆層１４３）を有する。

[0075] 図１３に示すように、複数の導電層２１の各々は、第１接合層１５１を介して複数の基材１１のいずれかの第１部材１１１の主面１２Ａに接合されている。複数の支持層１６（第１支持層１６１および第２支持層１６２）の各々は、第２接合層１５２を介して複数の基材１１のいずれかの第２部材１１２の裏面１２Ｂに接合されている。

[0076] 図１４に示すように、第１部材１１１の基層１３と、第２部材１１２の基層１３との各々において、複数の層状結晶１３１の各々の面内方向は、厚さ方向ｚおよび第１方向ｘを含む。したがって、複数の層状結晶１３１の面外方向は、第２方向ｙである。

[0077] 図１５に示すように、少なくとも１以上の第３部材１１３の数が単数である場合、当該第３部材１１３の基層１３において、複数の層状結晶１３１の各々の面内方向は、厚さ方向ｚおよび第２方向ｙを含む。したがって、複数の層状結晶１３１の面外方向は、第１方向ｘである。

[0078] 一方、少なくとも１以上の第３部材１１３の数が複数かつ奇数である場合、第１部材１１１の隣に位置する当該第３部材１１３と、第２部材１１２の隣に位置する当該第３部材１１３との各々において、複数の層状結晶１３１の各々の面内方向は、厚さ方向ｚおよび第２方向ｙを含む（図１５参照）。さらに、互いに隣り合う２つの当該第３部材１１３のうち、一方の当該第３部材１１３の基層１３において、複数の層状結晶１３１の各々の面内方向は、厚さ方向ｚおよび第１方向ｘを含む（図１４参照）。他方の当該第３部材１１３の基層１３において、複数の層状結晶１３１の各々の面内方向は、厚さ方向ｚおよび第２方向ｙを含む（図１５参照）。

[0079] 複数の接合層１５は、図１１～図１３に示すように、複数の第３接合層１５３をさらに含む。複数の第３接合層１５３の各々は、第１接合層１５１と同一の材料からなる。

[0080] 図１３に示すように、少なくとも１以上の第３部材１１３の数が単数である場合、当該第３部材１１３の主面１２Ａは、複数の第３接合層１５３のいずれかを介して第１部材１１１の裏面１２Ｂに接合されている。当該第３部

材１１３の裏面１２Ｂは、第３接合層１５３のいずれかを介して第２部材１１２の主面１２Ａに接合されている。

[0081] 一方、少なくとも１以上の第３部材１１３の数が複数かつ奇数である場合、第１部材１１１の隣に位置する当該第３部材１１３の主面１２Ａは、複数の第３接合層１５３のいずれかを介して第１部材１１１の裏面１２Ｂに接合されている。第２部材１１２の隣に位置 する当該第３部材１１３の裏面１２Ｂは、第３接合層１５３のいずれかを介して第２部材１１２の主面１２Ａに接合されている。さらに、互いに隣り合う２つの当該第３部材１１３においては、一方の当該第３部材１１３の裏面１２Ｂと、他方の当該第３部材１１３の主面１２Ａとが、複数の第３接合層１５３のいずれかを介して互いに接合されている。

[0082] 次に、半導体装置Ａ２０の作用効果について説明する。

[0083] 半導体装置Ａ２０の基材１１は、基層１３と、基層１３を覆い、かつ基材１１の主面１２Ａを含む第１被覆層１４１とを有する。基層１３は、炭素を含む。第１被覆層１４１は、炭素および金属元素を含む。したがって、半導体装置Ａ２０によれば、半導体装置Ａ２０の放熱性を向上させつつ、半導体装置Ａ２０の製造時において基材１１と導電層２１との接合界面に発生する熱応力を低減することが可能となる。

[0084] 半導体装置Ａ２０においては、基材１１は、第１部材１１１と、第２部材１１２と、厚さ方向ｚにおいて第１部材１１１と第２部材１１２との間に位置する少なくとも１以上の第３部材１１３とを含む。半導体装置Ａ２０は、複数の第３接合層１５３を備える。複数の第３接合層１５３の各々は、第１接合層１５１と同一の材料からなる。少なくとも１以上の第３部材１１３のうち、第１部材１１１の隣に位置する当該第３部材１１３の主面１２Ａは、複数の第３接合層１５３のいずれかを介して第１部材１１１の裏面１２Ｂに接合されている。少なくとも１以上の第３部材１１３のうち、第２部材１１２の隣に位置する当該第３部材１１３の裏面１２Ｂは、複数の第３接合層１５３のいずれかを介して第２部材１１２の主面１２Ａに接合されている。こ

れにより、多層構造をなす基材１１を形成する際の温度条件は、半導体装置Ａ１０において第１接合層１５１を介して導電層２１を基材１１の主面１２Ａに接合させる際の温度条件と同一とすることができる。その結果、基材１１が多層構造をなすことにより、厚さ方向ｚに対して直交する方向回りの基材１１の曲げ剛性の向上を図ることができる。

[0085] 第１部材１１１の基層１３と、第２部材１１２の基層１３との各々において、複数の層状結晶１３１の各々の面内方向は、厚さ方向ｚおよび第１方向ｘを含む。さらに、少なくとも１以上の第３部材１１３のうち、第１部材１１１の隣に位置する当該第３部材１１３と、第２部材１１２の隣に位置する当該第３部材１１３との各々において、複数の層状結晶１３１の各々の面内方向は、厚さ方向ｚおよび第２方向ｙを含む。これにより、基材１１の構造が、等方性に近いものとなる。したがって、基材１１において、厚さ方向ｚに対して直交する方向における引張強度および熱伝導率の各々の均一化を図ることができる。

[0086] 〔第３実施形態〕

図１６～図１８に基づき、本開示の第３実施形態にかかる半導体装置Ａ３０について説明する。これらの図において、先述した半導体装置Ａ１０の同一または類似の要素には同一の符号を付して、重複する説明を省略する。図１６の断面位置は、半導体装置Ａ２０を示す図１１の断面位置と同一である。図１７の断面位置は、半導体装置Ａ２０を示す図１２の断面位置と同一である。

[0087] 半導体装置Ａ３０においては、複数の中間層１８をさらに備えることと、複数の第３接合層１５３の各々の構成とが、先述した半導体装置Ａ２０の構成と異なる。

[0088] 複数の中間層１８の各々は、金属元素を含む。半導体装置Ａ３０においては、複数の中間層１８の各々は、銅または銅合金からなる金属箔である。したがって、複数の中間層１８の各々は、導電性を有する。

[0089] 図１６～図１８に示すように、複数の第３接合層１５３の各々は、厚さ方

向ｚにおいて 互いに離れた一対の領域を含む。複数の中間層１８の各々は、複数の第３接合層１５３のいずれかの当該一対の領域の間に位置する。複数の第３接合層１５３の各々のビッカース硬さは、複数の中間層１８の各々のビッカース硬さよりも小である。

[0090] 次に、半導体装置Ａ３０の作用効果について説明する。

[0091] 半導体装置Ａ３０の基材１１は、基層１３と、基層１３を覆い、かつ基材１１の主面１２Ａを含む第１被覆層１４１とを有する。基層１３は、炭素を含む。第１被覆層１４１は、炭素および金属元素を含む。したがって、半導体装置Ａ３０によれば、半導体装置Ａ３０の放熱性を向上させつつ、半導体装置Ａ３０の製造時において基材１１と導電層２１との接合界面に発生する熱応力を低減することが可能となる。

[0092] 半導体装置Ａ３０は、複数の中間層１８をさらに備える。複数の中間層１８の各々は、金属元素を含む。複数の第３接合層１５３の各々は、厚さ方向ｚにおいて互いに離れた一対の領域を含む。複数の中間層１８の各々は、複数の第３接合層１５３のいずれかの当該一対の領域の間に位置する。これにより、多層構造をなす基材１１において、隣り合う２つの層の間に複数の中間層１８のいずれかが介在する場合であっても、半導体装置Ａ１０において第１接合層１５１を介して導電層２１を基材１１の主面１２Ａに接合させる際の温度条件と同一の温度条件にて基材１１を形成することができる。その結果、厚さ方向ｚに対して直交する方向回りの基材１１の曲げ剛性を、半導体装置Ａ２０の基材１１の当該曲げ剛性よりも大とすることができる。あわせて、基材１１の構造が、半導体装置Ａ２０の基材１１の構造よりもさらに等方性に近いものとなる。

[0093] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

符号の説明

[0094] Ａ１０，Ａ２０，Ａ３０：半導体装置

１１：基材

１１Ａ：第１基材

１１Ｂ：第２基材

１１１：第１部材

１１２：第２部材

１１３：第３部材

１２Ａ：主面

１２Ｂ：裏面

１２Ｃ：端面

１３：基層

１３１：層状結晶

１３１Ａ：結晶

１４：被覆層

１４１：第１被覆層

１４２：第２被覆層

１４３：第３被覆層

１５：接合層

１５１：第１接合層

１５２：第２接合層

１５３：第３接合層

１６：支持層

１６１：第１支持層

１６２：第２支持層

１６３：第３支持層

１７：絶縁層

１７Ａ：段差

１７１：絶縁体

１７２：放熱体

１８：中間層

２１：導電層

２１１：第１導電層

２１２：第２導電層

２２：基板

２３：ゲート配線

２４：検出配線

３１：第１端子

３１１：接続部

３１２：端子部

３２：第２端子

３２１：接続部

３２２：端子部

３３：ゲート端子

３３１：接続部

３３２：端子部

３４：検出端子

３４１：接続部

３４２：端子部

４０：半導体素子

４０Ａ：第１面

４０Ｂ：第２面

４１：主面電極

４２：裏面電極

４３：ゲート電極

４４：絶縁膜

４９：接合層

５１：導通部材

５３：ゲートワイヤ

５３１：第１ワイヤ

５３２：第２ワイヤ

５４：検出ワイヤ

５４１：第１ワイヤ

５４２：第２ワイヤ

６０：封止樹脂

６１：頂面

６２：底面

６３：側面

６３Ａ：第１側面

６３Ｂ：第２側面

ｚ：厚さ方向

ｘ：第１方向

ｙ：第２方向

請求の範囲

[請求項1] 厚さ方向を向く主面を有する基材と、

前記主面に対向し、かつ金属元素を含む第１接合層と、

前記第１接合層を介して前記主面に接合され、かつ金属元素を含む導電層と、

前記厚さ方向において前記導電層に対して前記基材とは反対側に位置するとともに、前記導電層に接合された半導体素子と、備え、

前記基材は、基層と、前記基層を覆い、かつ前記主面を含む第１被覆層と、を有し、

前記基層は、炭素を含み、

前記第１被覆層は、炭素および金属元素を含む、半導体装置。

[請求項2] 前記第１接合層のビッカース硬さは、前記導電層のビッカース硬さよりも小である、請求項１に記載の半導体装置。

[請求項3] 前記第１被覆層は、金属炭化物を含む材料からなる、請求項２に記載の半導体装置。

[請求項4] 前記第１接合層の融点は、２００℃以上３００℃以下である、請求項２または３に記載の半導体装置。

[請求項5] 前記第１接合層は、錫を含む、請求項４に記載の半導体装置。

[請求項6] 前記基層は、複数の層状結晶が積層された多層構造をなし、

前記複数の層状結晶の各々の面内方向は、前記厚さ方向を含む、請求項２ないし５のいずれかに記載の半導体装置。

[請求項7] 前記基層は、グラファイトを含む材料からなる、請求項６に記載の半導体装置。

[請求項8] 前記基材は、前記厚さ方向において前記主面とは反対側を向く裏面と、前記基層を覆い、かつ前記裏面を含む第２被覆層と、を有し、

前記第２被覆層は、前記第１被覆層と同一の材料からなる、請求項６または７に記載の半導体装置。

[請求項9] 前記裏面に対向する第２接合層と、

前記第２接合層を介して前記裏面に接合された支持層と、をさらに備え、

前記第２接合層は、前記第１接合層と同一の材料からなり、

前記支持層は、金属元素を含む、請求項８に記載の半導体装置。

[請求項10] 前記第２接合層のビッカース硬さは、前記支持層のビッカース硬さよりも小である、請求項９に記載の半導体装置。

[請求項11] 前記厚さ方向において前記支持層に対して前記基材とは反対側に位置する絶縁層をさらに備え、

前記絶縁層は、前記支持層に接合され、

前記厚さ方向に沿って視て、前記絶縁層の周縁の少なくとも一部は、前記支持層の周縁よりも外方に位置する、請求項１０に記載の半導体装置。

[請求項12] 前記基材と、前記導電層と、前記半導体素子と、前記支持層と、を覆う封止樹脂をさらに備え、

前記封止樹脂から前記絶縁層の一部が露出している、請求項１１に記載の半導体装置。

[請求項13] 前記絶縁層は、前記支持層に接合された絶縁体と、前記厚さ方向において前記絶縁体に対して前記支持層とは反対側に位置する放熱体と、を有し、

前記厚さ方向に沿って視て、前記放熱体の周縁の少なくとも一部は、前記絶縁体の周縁よりも内方に位置する、請求項１２に記載の半導体装置。

[請求項14] 前記基材は、第１部材と、第２部材と、前記厚さ方向において前記第１部材と前記第２部材との間に位置する少なくとも１以上の第３部材と、を含み、

前記第１部材、前記第２部材、および前記少なくとも１以上の第３部材の各々は、前記主面と、前記裏面と、前記基層と、前記第１被覆層と、前記第２被覆層と、を有し、

前記導電層は、前記第１接合層を介して前記第１部材の前記主面に接合され、

前記支持層は、前記第２接合層を介して前記第２部材の前記裏面に接合され、

複数の第３接合層をさらに備え、

前記複数の第３接合層の各々は、前記第１接合層と同一の材料からなり、

前記少なくとも１以上の第３部材のうち、前記第１部材の隣に位置する当該第３部材の前記主面は、前記複数の第３接合層のいずれかを介して前記第１部材の前記裏面に接合され、

前記少なくとも１以上の第３部材のうち、前記第２部材の隣に位置する当該第３部材の前記裏面は、前記複数の第３接合層のいずれかを介して前記第２部材の前記主面に接合されている、請求項１０ないし１３のいずれかに記載の半導体装置。

[請求項15] 複数の中間層をさらに備え、

前記複数の中間層の各々は、金属元素を含み、

前記複数の第３接合層の各々は、前記厚さ方向において互いに離れた一対の領域を含み、

前記複数の中間層の各々は、前記複数の第３接合層のいずれかの前記一対の領域の間に位置する、請求項１４に記載の半導体装置。

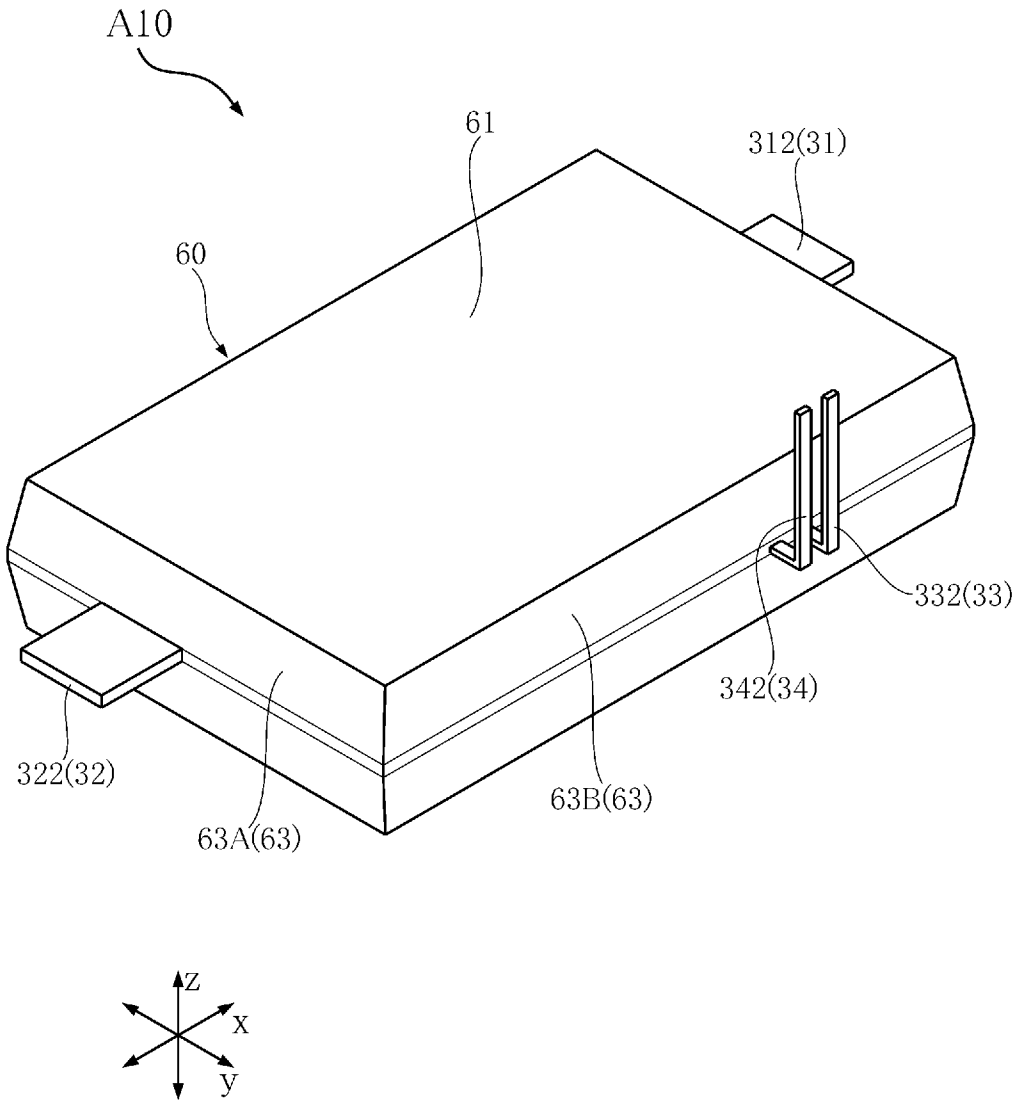
[請求項16] 前記複数の第３接合層の各々のビッカース硬さは、前記複数の中間層の各々のビッカース硬さよりも小である、請求項１５に記載の半導体装置。

[請求項17] 前記第１部材の前記基層と、前記第２部材の前記基層と、の各々において、前記複数の層状結晶の各々の面内方向は、前記厚さ方向に対して直交する第１方向を含み、

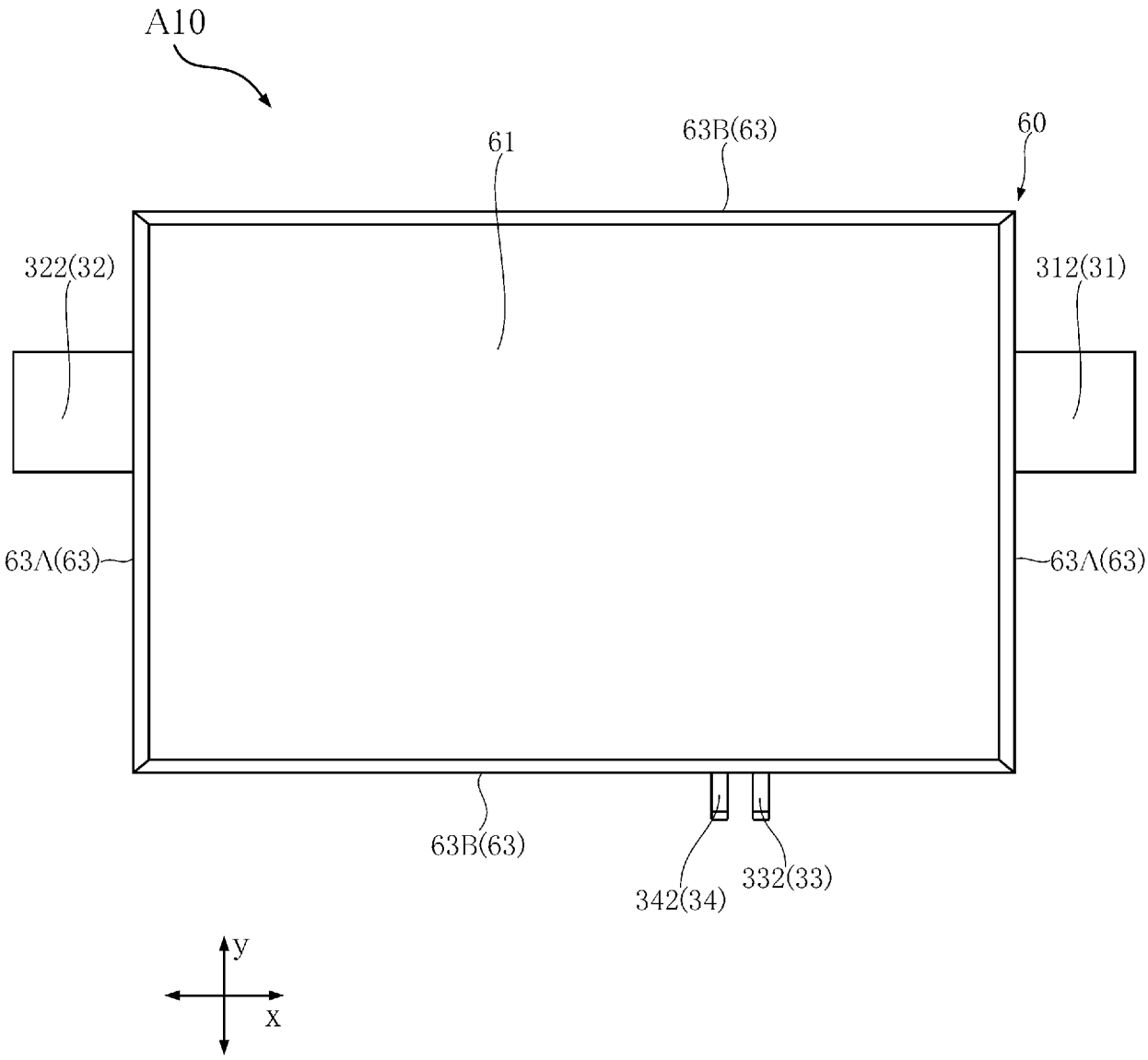
前記少なくとも１以上の第３部材のうち、前記第１部材の隣に位置する当該第３部材と、前記第２部材の隣に位置する当該第３部材と、

の各々において、前記複数の層状結晶の各々の面内方向は、前記厚さ方向および前記第１方向の双方に対して直交する第２方向を含む、請求項１４ないし１６のいずれかに記載の半導体装置。

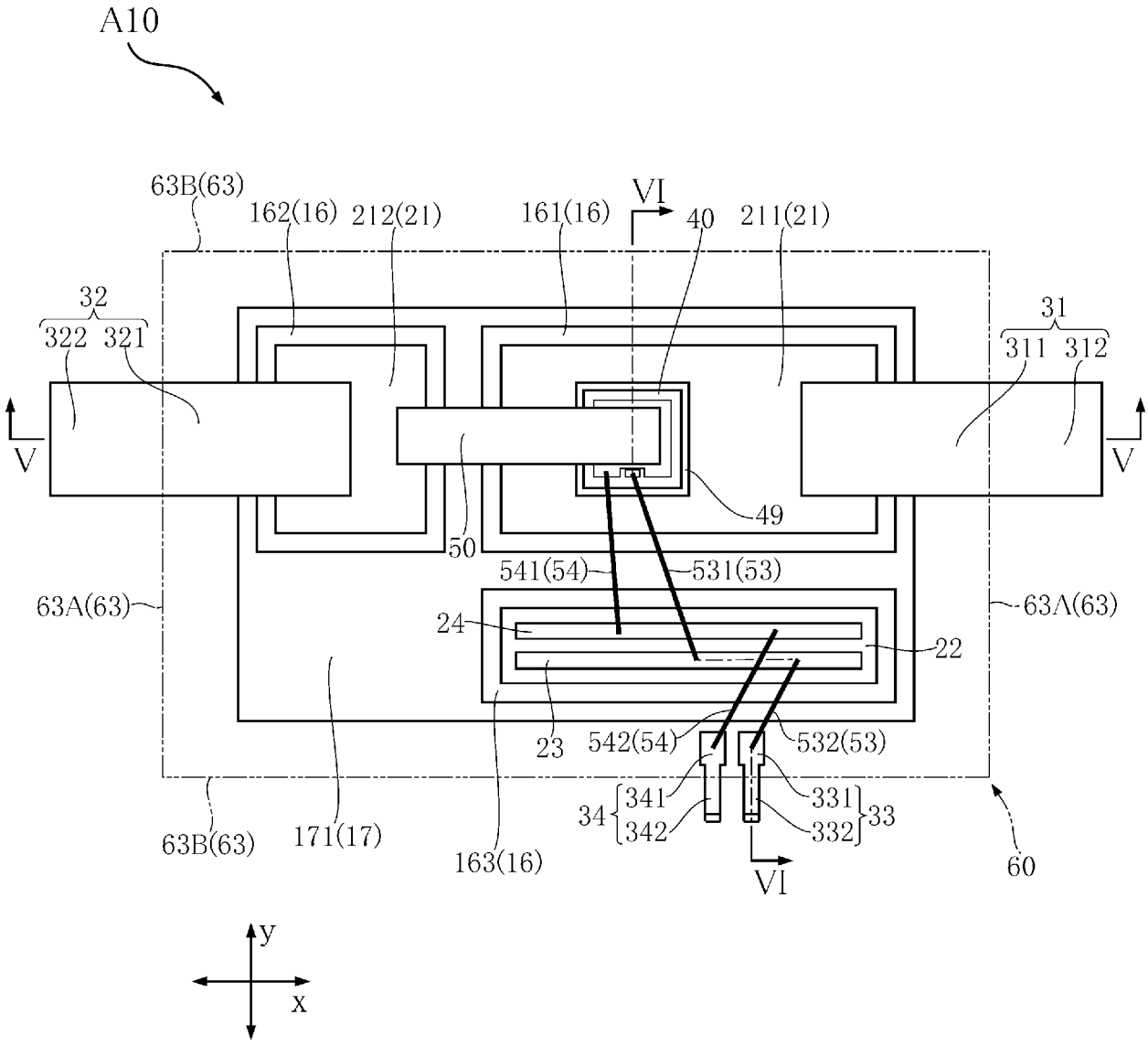
[図1]
FIG.1



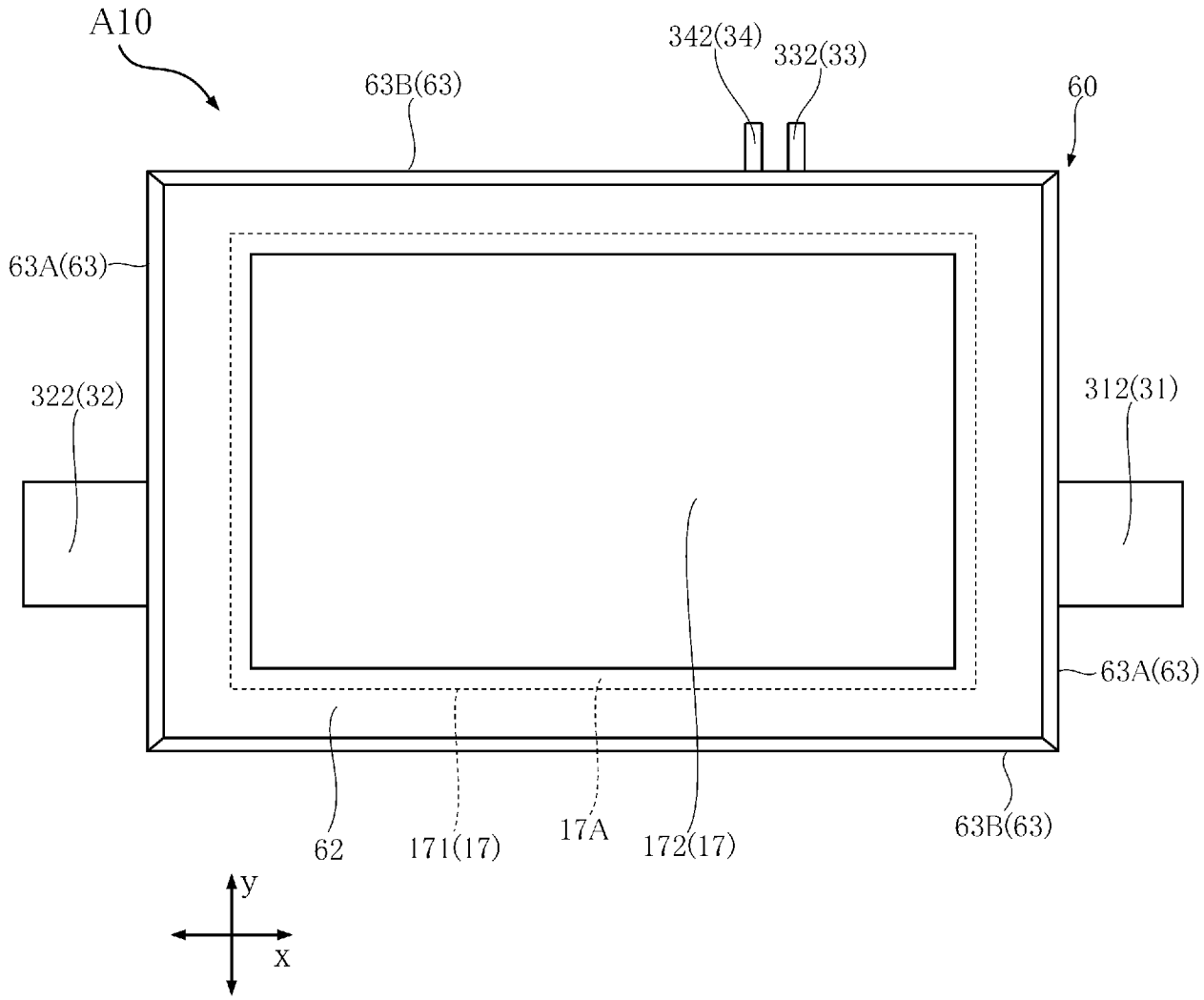
[図2]
FIG.2



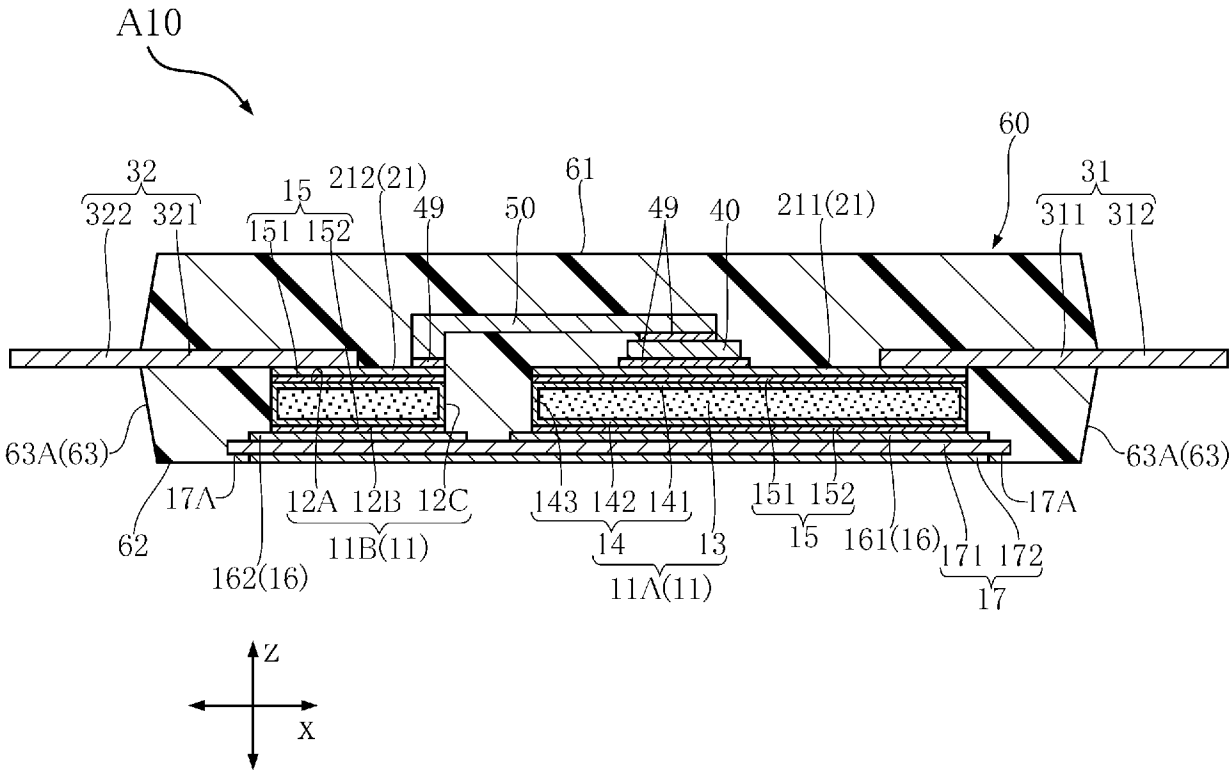
[図3]
FIG.3


A10
63B(63)
162(16)
212(21)
161(16)
VI
40
211(21)
32
322
321
31
311
312
V
V
49
50
541(54)
531(53)
63A(63)
63A(63)
24
22
23
542(54)
532(53)
34
341
342
331
332
33
63B(63)
171(17)
163(16)
VI
60
y
x

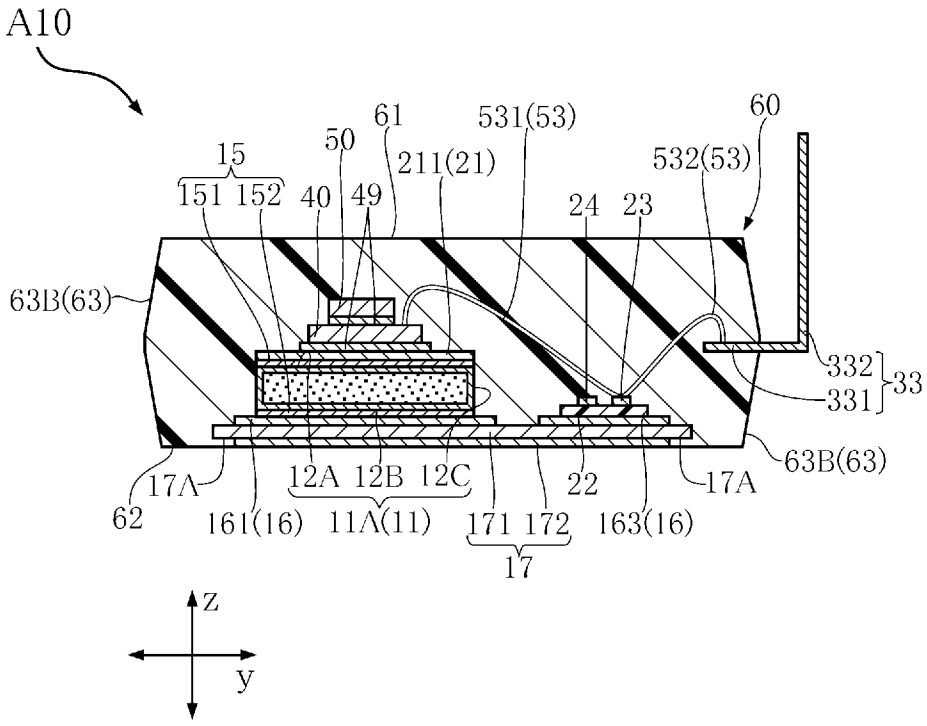
[図4]
FIG.4


A10
342(34)
332(33)
63B(63)
60
63A(63)
322(32)
312(31)
63A(63)
62
171(17)
17A
172(17)
63B(63)
y
x

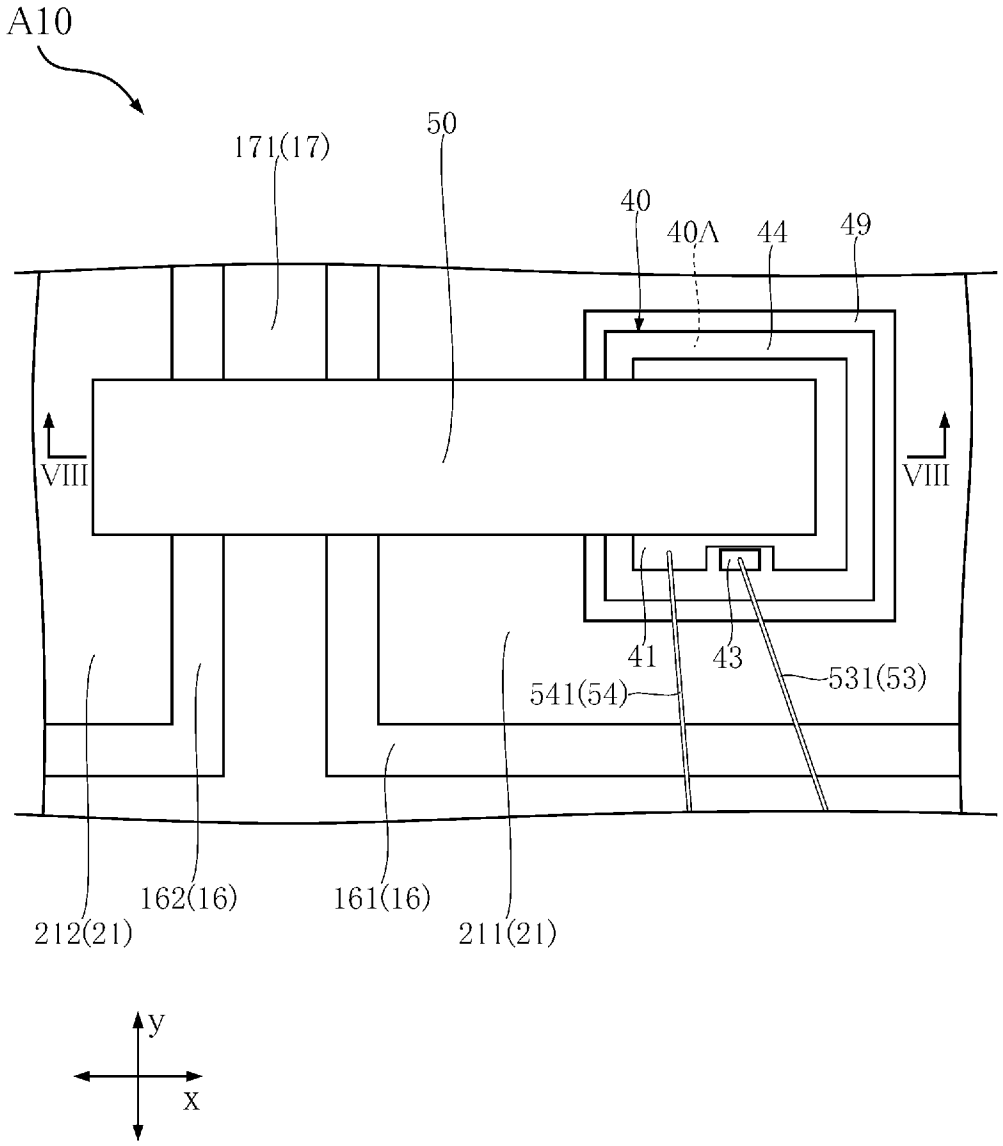
[図5]
FIG.5



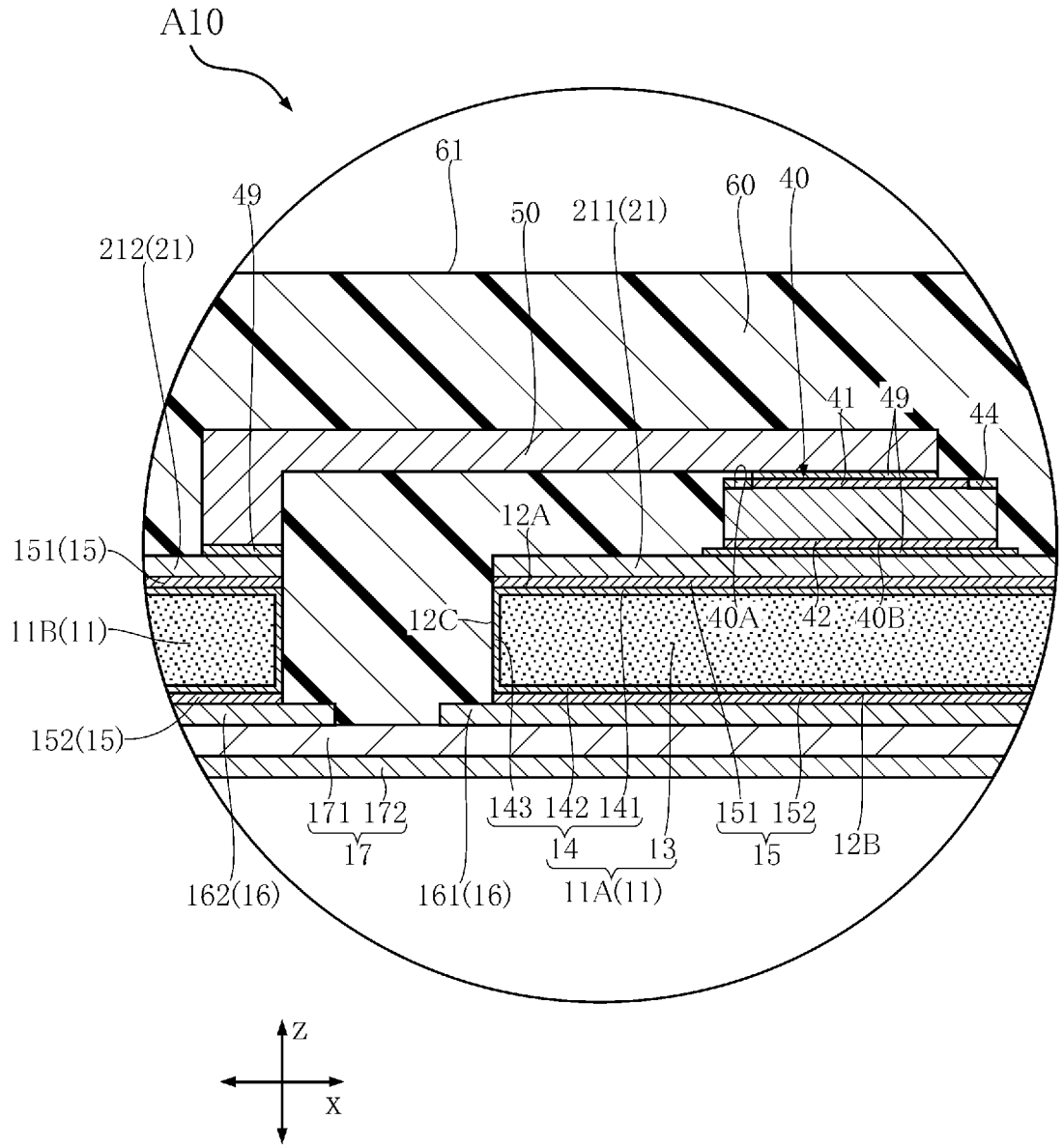
[図6]
FIG.6



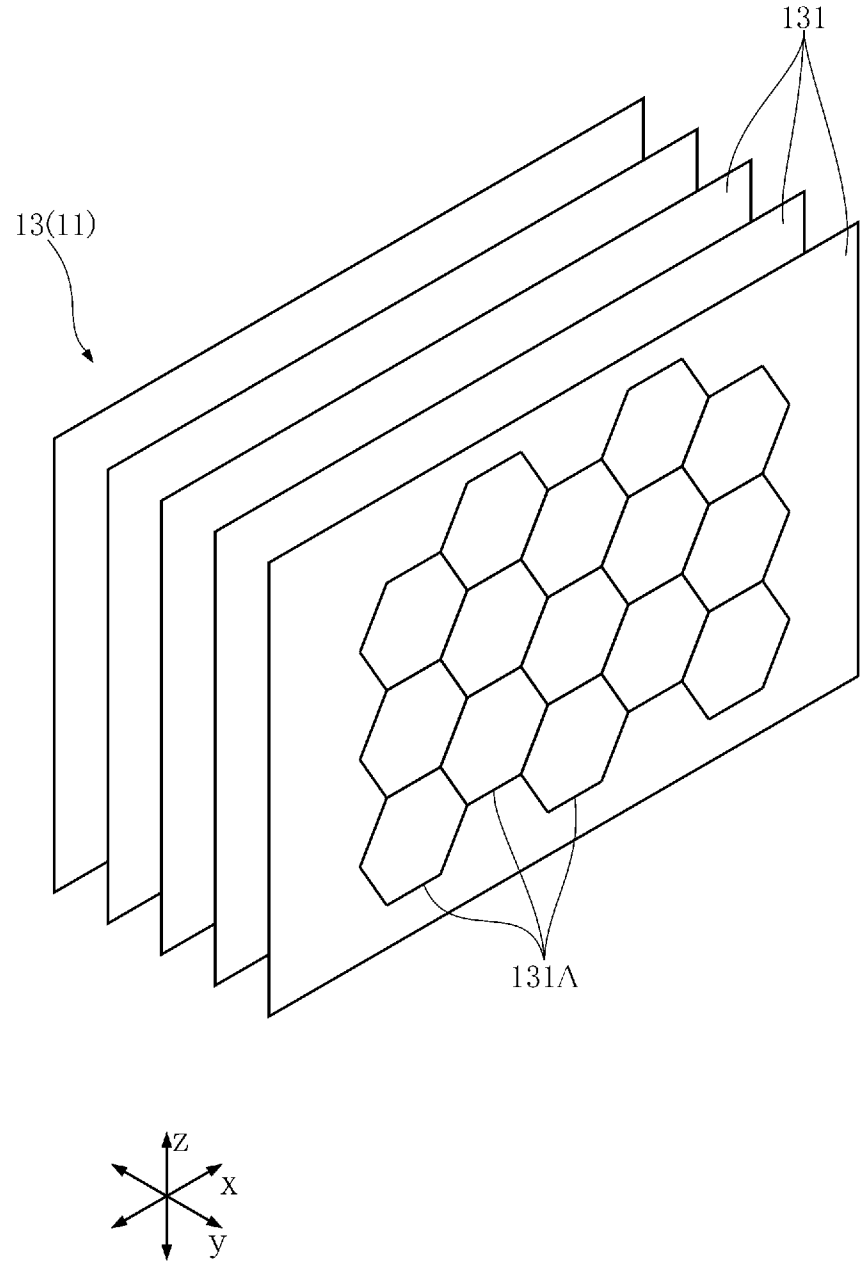
[図7]
FIG.7


A10
171(17)
50
40
40A
44
49
VIII
VIII
41
43
541(54)
531(53)
212(21)
162(16)
161(16)
211(21)
y
x

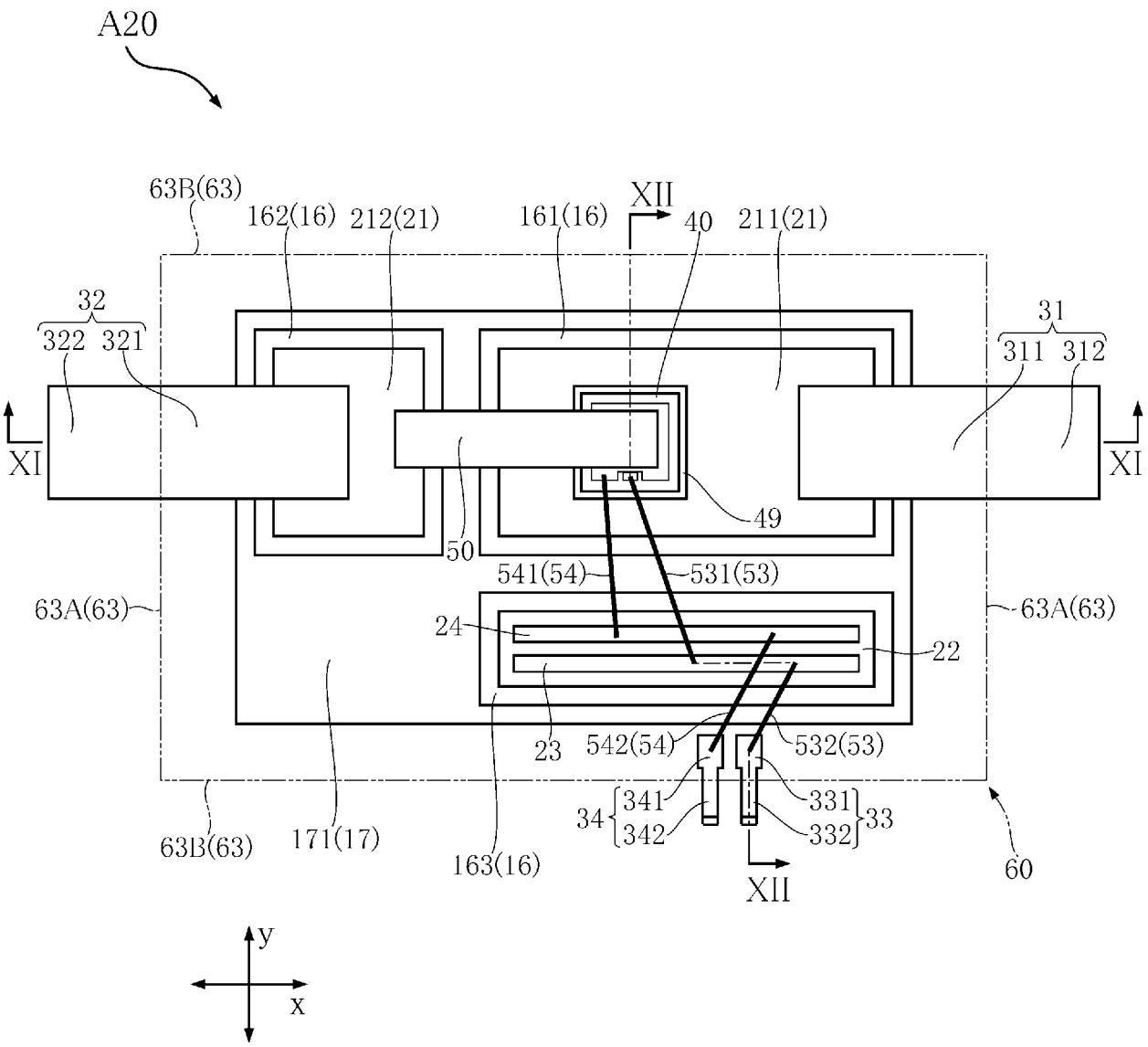
[図8]
FIG.8


A10
61
49
50
211(21)
60
40
212(21)
41
49
44
12A
151(15)
11B(11)
12C
40A
42
40B
152(15)
171
172
17
143
142
141
14
13
151
152
15
12B
162(16)
161(16)
11A(11)
Z
X

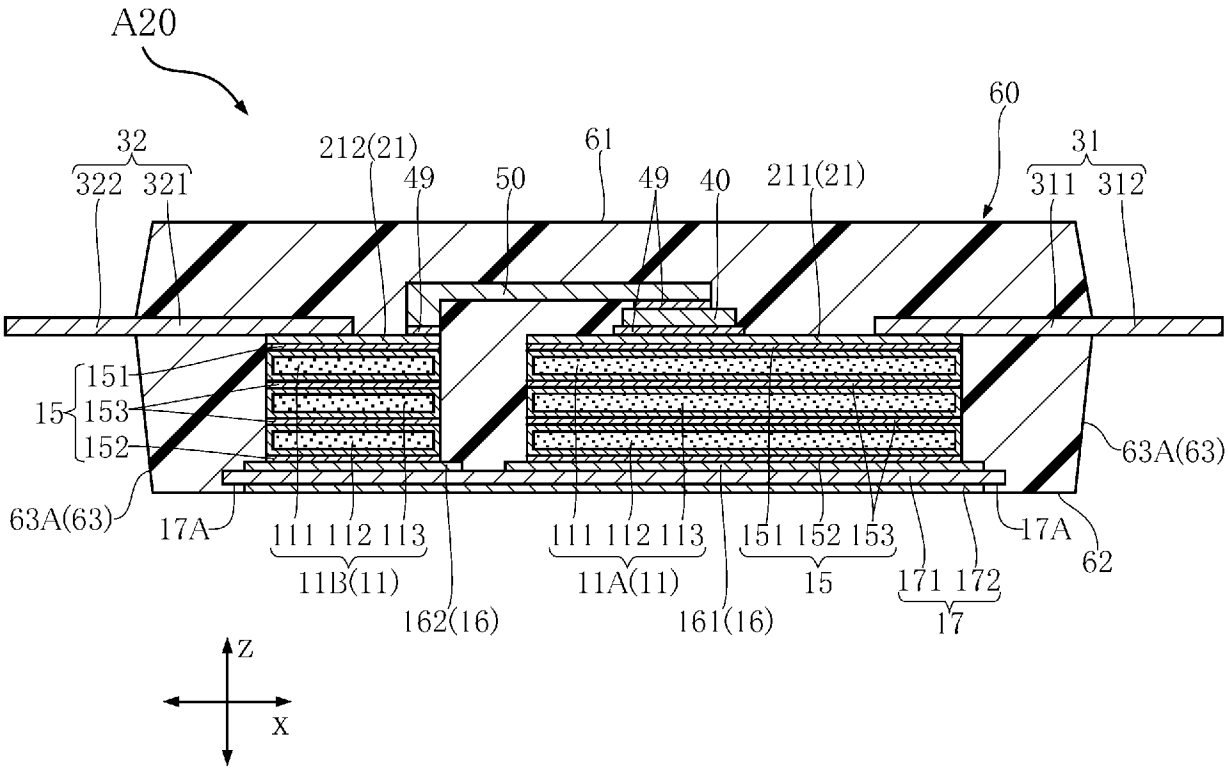
[図9]
FIG.9



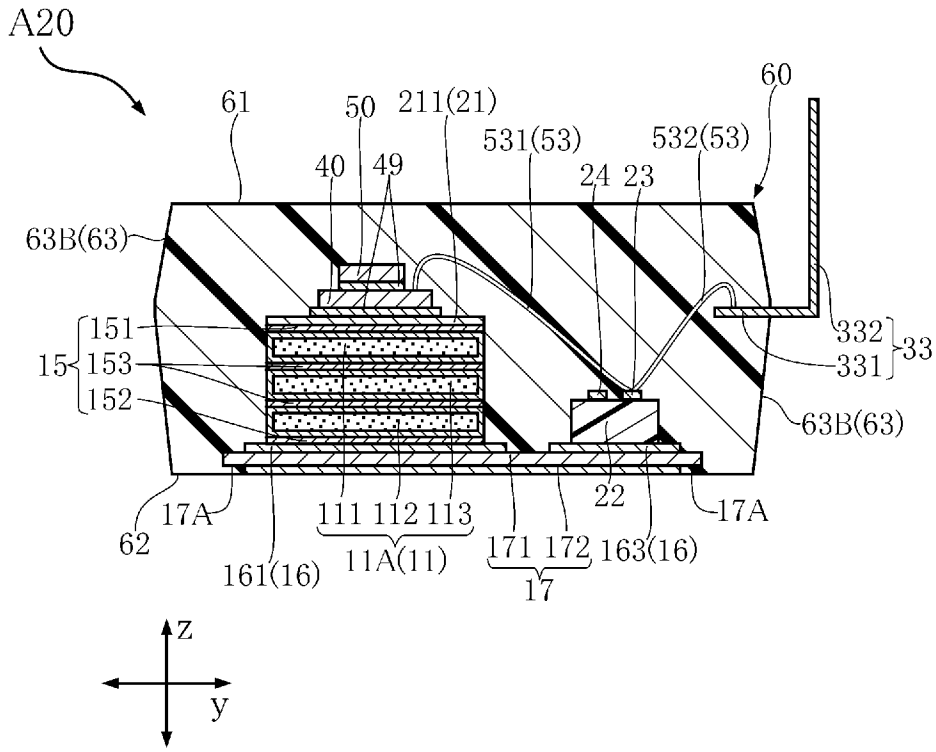
[図10]
FIG.10


A20
63B(63)
162(16)
212(21)
161(16)
XII
40
211(21)
32
322
321
31
311
312
XI
XI
49
50
541(54)
531(53)
63A(63)
24
22
63A(63)
23
542(54)
532(53)
34
341
342
331
332
33
63B(63)
171(17)
163(16)
XII
60
y
x

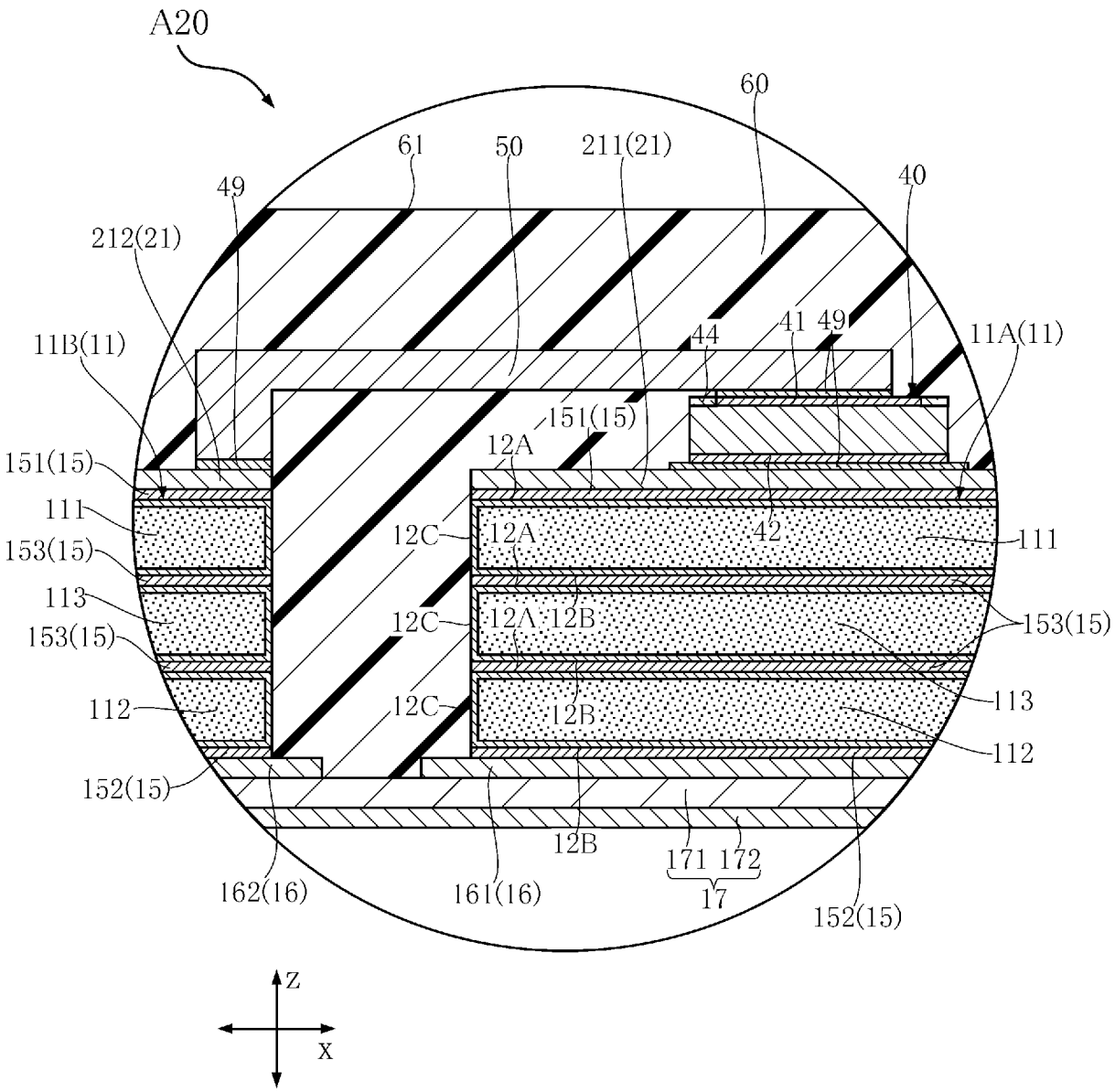
[図11]
FIG.11



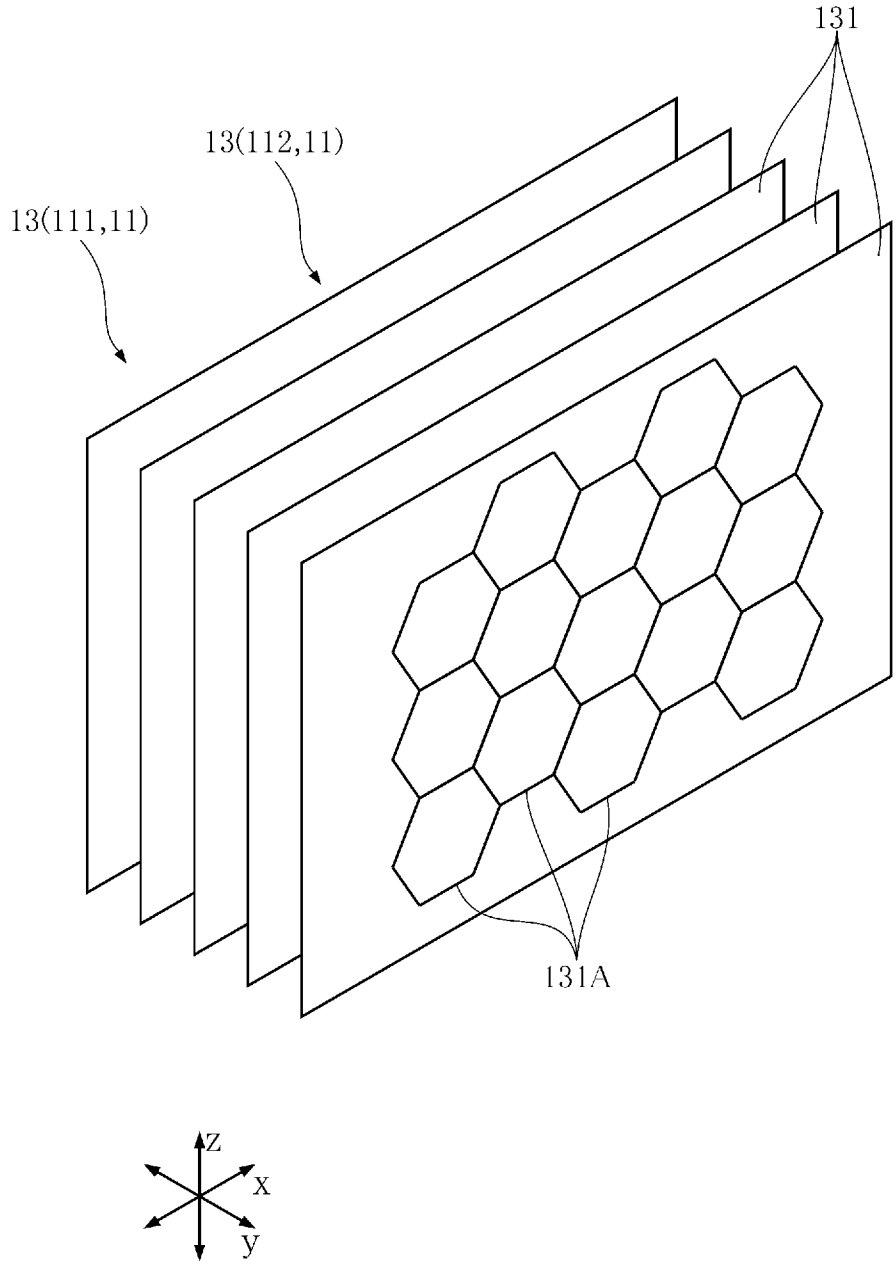
[図12]
FIG.12



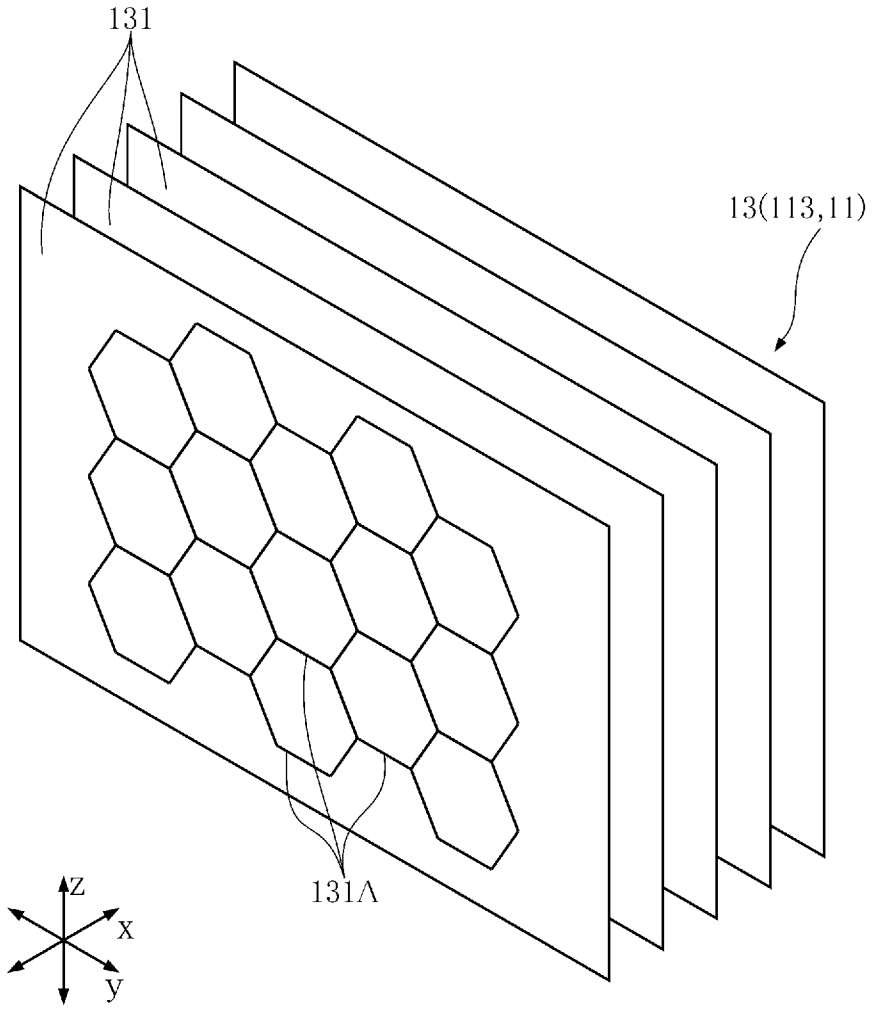
[図13]
FIG.13


A20
60
61
50
211(21)
49
40
212(21)
11B(11)
44
41
49
11A(11)
151(15)
12A
151(15)
111
12C
12A
42
111
153(15)
113
12C
12A
12B
153(15)
153(15)
112
12C
12B
113
112
152(15)
12B
171
172
17
162(16)
161(16)
152(15)
Z
X

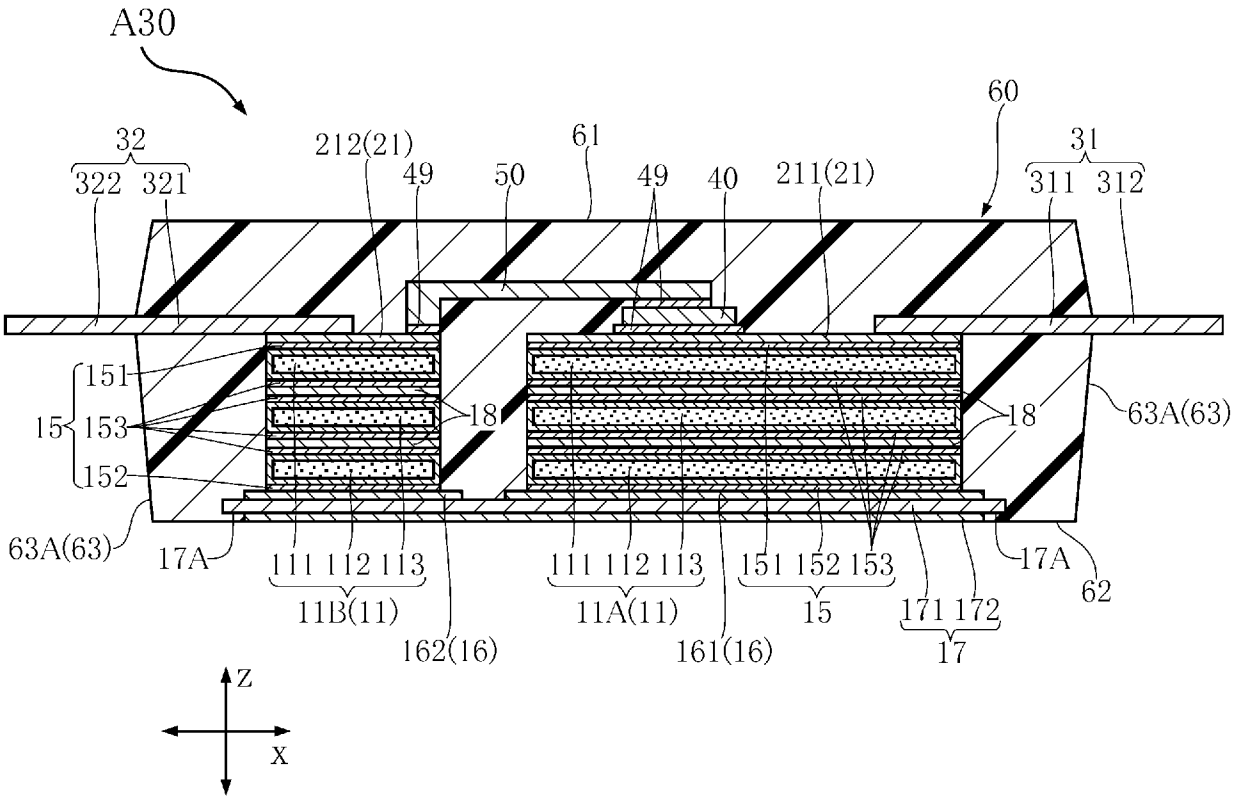
[図14]
FIG.14



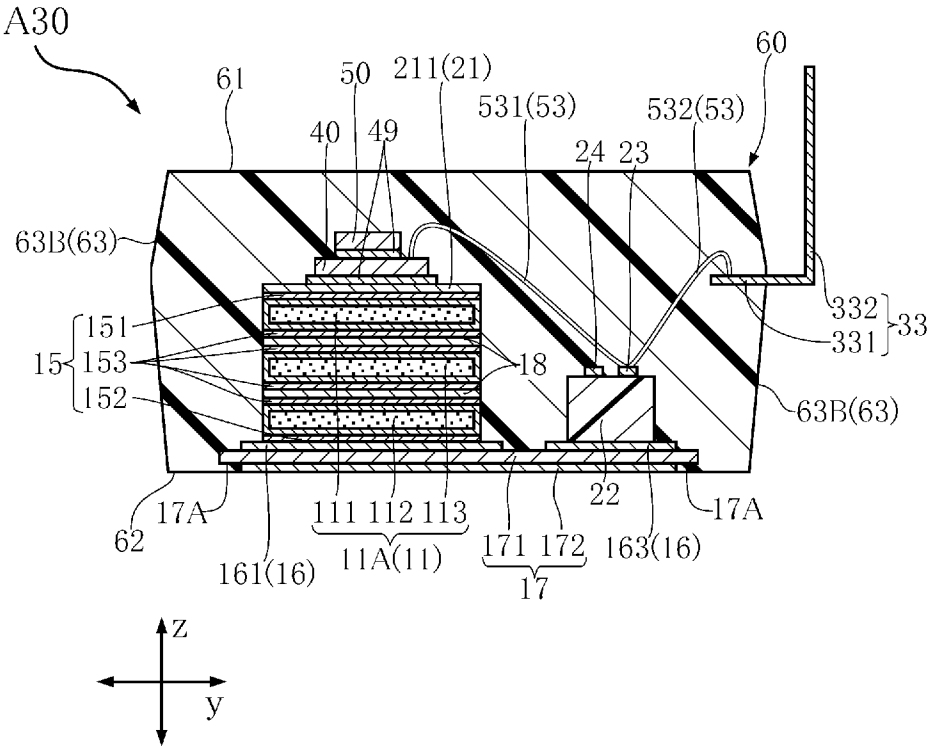
[図15]
FIG.15



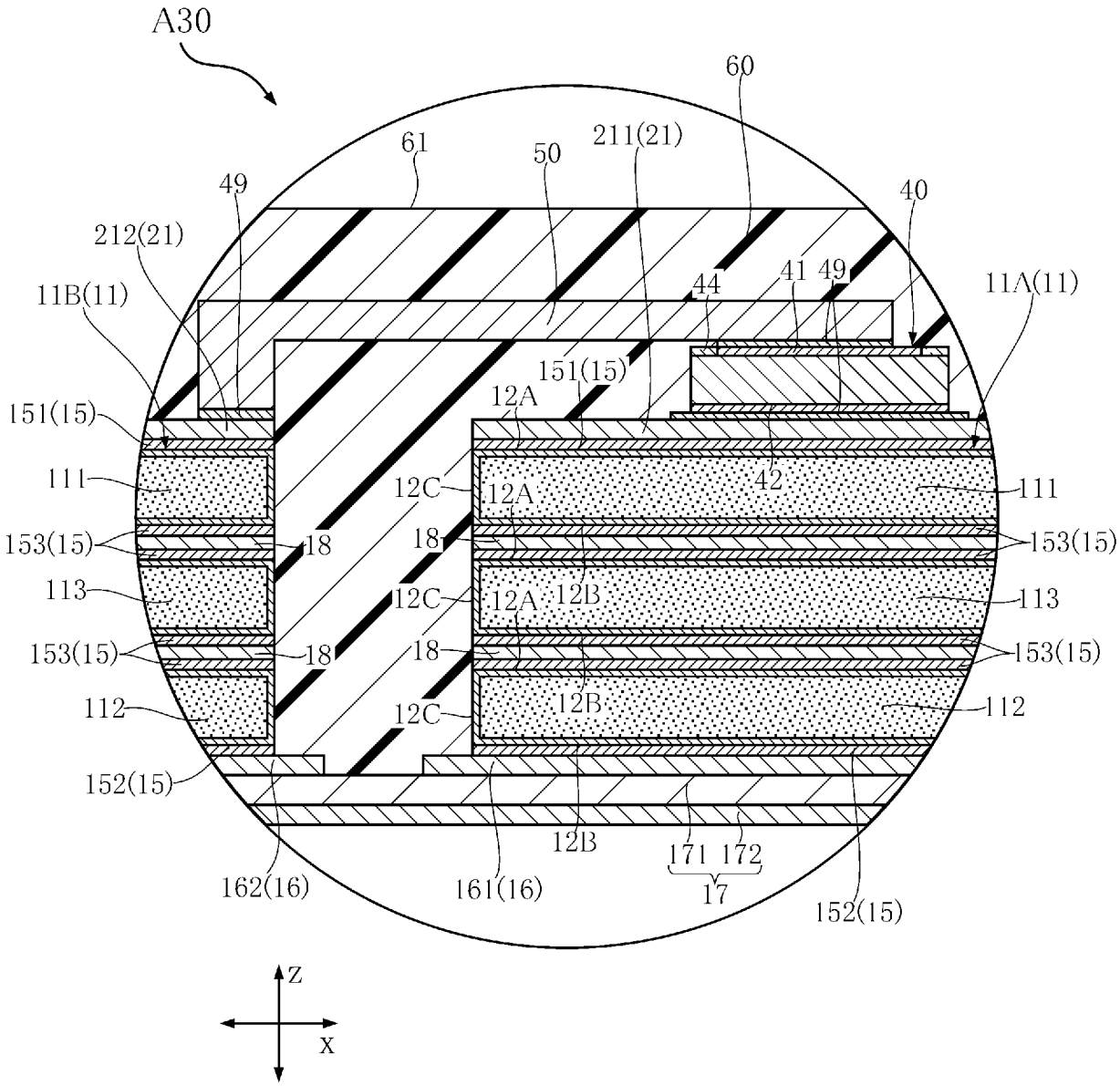
[図16]
FIG.16



[図17]
FIG.17



[図18]
FIG.18


A30
60
61
50
211(21)
49
40
212(21)
11B(11)
44
41
49
11A(11)
151(15)
12A
151(15)
111
12C
12A
42
111
153(15)
18
18
153(15)
113
12C
12A
12B
113
153(15)
18
18
153(15)
112
12C
12B
112
152(15)
12B
171
172
17
162(16)
161(16)
152(15)
Z
X

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/004939

A. CLASSIFICATION OF SUBJECT MATTER
H01L 23/36(2006.01)i; H01L 23/373(2006.01)i
FI: H01L23/36 C; H01L23/36 D; H01L23/36 M

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/36; H01L23/373

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-142547 A (NIPPON SOKEN INC.) 26 July 2012 (2012-07-26) paragraphs [0030]-[0062], [0067]-[0091], fig. 1, 9-11	1-14, 17
Y	paragraphs [0030]-[0062], [0067]-[0091], fig. 1, 9-11	15-16
Y	JP 2017-028207 A (TOSHIBA CORP.) 02 February 2017 (2017-02-02) paragraph [0003]	15-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 April 2021 (15.04.2021)	27 April 2021 (27.04.2021)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/004939

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2012-142547 A	26 Jul. 2012	US 2012/0152510 A1 paragraphs [0032]-[0143], fig. 1, 9-11	
JP 2017-028207 A	02 Feb. 2017	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/004939

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/36(2006.01)i; H01L 23/373(2006.01)i
FI: H01L23/36 C; H01L23/36 D; H01L23/36 M

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/36; H01L23/373

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2012-142547 A (株式会社日本自動車部品総合研究所) 26.07.2012 (2012-07-26) [0030]-[0062],[0067]-[0091],図1,9-11	1-14,17
Y	[0030]-[0062],[0067]-[0091],図1,9-11	15-16
Y	JP 2017-028207 A (株式会社東芝) 02.02.2017 (2017-02-02) [0003]	15-16

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
15.04.2021	27.04.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
多賀　和宏 5F 4451

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/004939

引用文献	公表日	パテントファミリー文献	公表日
JP 2012-142547 A	26.07.2012	US 2012/0152510 A1 [0032]-[0143],図1,9-11	
JP 2017-028207 A	02.02.2017	（ファミリーなし）	