

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141187

(P2010-141187A)

(43) 公開日 平成22年6月24日 (2010.6.24)

(51) Int.Cl.
H01L 21/82 (2006.01)

F I
H01L 21/82

テーマコード (参考)
5F064

審査請求 未請求 請求項の数 12 O L (全 13 頁)

(21) 出願番号 特願2008-316965 (P2008-316965)
(22) 出願日 平成20年12月12日 (2008.12.12)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目6番2号
(74) 代理人 100080001
弁理士 筒井 大和
(72) 発明者 清水 洋治
東京都千代田区大手町二丁目6番2号 株
式会社ルネサステクノロジ内
Fターム(参考) 5F064 AA04 BB02 BB05 BB06 BB07
BB19 BB26 CC09 CC10 CC12
DD05 DD07 DD19 EE09 EE14
EE19 EE23 EE24 EE25 EE27
EE32 EE33 EE34 EE35 EE36
EE52

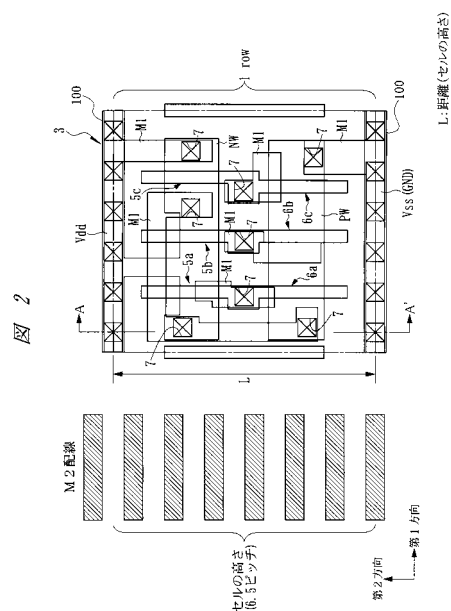
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】スタンダードセルを小型化することのできる技術を提供する。

【解決手段】電源電位 V_{dd} を供給し、第1方向に沿って形成された第1タップと、電源電位 V_{ss} を供給し、第1方向と交差する第2方向に第1タップと対向して配置され、第1方向に沿って形成された第2タップと、第1タップと第2タップとの間に形成されたスタンダードセル3において、第2方向における第1タップの中心と第2方向における第2タップの中心との間のセルの高さ(距離 L)を $[(整数 + 0.5) \times 第2層目の配線の配線ピッチ]$ または $[(整数 + 0.25) \times 第2層目の配線の配線ピッチ]$ とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 電位を供給し、第 1 方向に沿って形成された第 1 タップと、
 前記第 1 電位と異なる電位である第 2 電位を供給し、前記第 1 方向と交差する第 2 方向
 に前記第 1 タップと対向して配置され、前記第 1 方向に沿って形成された第 2 タップと、
 前記第 2 方向における前記第 1 タップの中心と、前記第 2 方向における前記第 2 タップ
 の中心との間に形成されたスタンダードセルとを複数配列して構成されるセルアレイと、
 前記第 1 タップ、前記第 2 タップおよび前記セルアレイ上に形成された複数層の配線と
 を含む半導体集積回路装置であって、
 前記第 1 タップと前記第 2 タップとの間のセルの高さを $[(整数 + 0.5) \times 前記複数$ 10
 $層の配線のうち第 2 層目の配線の配線ピッチ]$ とすることを特徴とする半導体集積回路装
 置。

【請求項 2】

請求項 1 記載の半導体集積回路装置において、前記整数は、前記第 1 タップと前記第 2
 タップとの間を通過できる前記第 1 方向に沿って形成された第 2 層目以上の配線の本数で
 あることを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 記載の半導体集積回路装置において、前記第 1 電位は電源電位、前記第 2 電位
 は接地電位であることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 1 記載の半導体集積回路装置において、前記配線ピッチは、最小加工寸法で形成
 された配線の幅と最小加工寸法で形成された配線の間隔とを足した最小配線ピッチである
 ことを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 記載の半導体集積回路装置において、前記スタンダードセル内は前記複数層の
 配線のうち第 1 層目の配線により結線されていることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 記載の半導体集積回路装置において、前記セルアレイは、前記スタンダードセ
 ルを複数有し、

前記複数のスタンダードセルの相互間は第 2 層目以上の配線により結線されていること
 を特徴とする半導体集積回路装置。

【請求項 7】

第 1 電位を供給し、第 1 方向に沿って形成された第 1 タップと、
 前記第 1 電位と異なる電位である第 2 電位を供給し、前記第 1 方向と交差する第 2 方向
 に前記第 1 タップと対向して配置され、前記第 1 方向に沿って形成された第 2 タップと、
 前記第 2 方向における前記第 1 タップの中心と、前記第 2 方向における前記第 2 タップ
 の中心との間に形成されたスタンダードセルとを複数配列して構成されるセルアレイと、
 前記第 1 タップ、前記第 2 タップおよび前記セルアレイ上に形成された複数層の配線と
 を含む半導体集積回路装置であって、

前記第 1 タップと前記第 2 タップとの間のセルの高さを $[(整数 + 0.25) \times 前記複数$ 40
 $層の配線のうち第 2 層目の配線の配線ピッチ]$ とすることを特徴とする半導体集積回路
 装置。

【請求項 8】

請求項 7 記載の半導体集積回路装置において、前記整数は、前記第 1 タップと前記第 2
 タップとの間を通過できる前記第 1 方向に沿って形成された第 2 層目以上の配線の本数で
 あることを特徴とする半導体集積回路装置。

【請求項 9】

請求項 7 記載の半導体集積回路装置において、前記第 1 電位は電源電位、前記第 2 電位
 は接地電位であることを特徴とする半導体集積回路装置。

【請求項 10】

10

20

30

40

50

請求項 7 記載の半導体集積回路装置において、前記配線ピッチは、最小加工寸法で形成された配線の幅と最小加工寸法で形成された配線の間隔とを足した最小配線ピッチであることを特徴とする半導体集積回路装置。

【請求項 1 1】

請求項 7 記載の半導体集積回路装置において、前記スタンダードセル内は前記複数層の配線のうち第 1 層目の配線により結線されていることを特徴とする半導体集積回路装置。

【請求項 1 2】

請求項 7 記載の半導体集積回路装置において、前記セルアレイは、前記スタンダードセルを複数有し、

前記複数のスタンダードセルの相互間は第 2 層目以上の配線により結線されていることを特徴とする半導体集積回路装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置に関し、特に、スタンダードセルを複数配列して構成されるセルアレイを含む機能装置を備えた半導体集積回路装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

従来、半導体集積回路装置のレイアウト設計にあたり、給電用の拡散層を一方向に延在させ、その間に所望の回路を構成する MOS トランジスタを配置することで、それらをセルとして認識している。このようなセルのレイアウトの一例については、例えば特開 2006-253375 号公報（特許文献 1）に記載されている。また、一方向に延在するように形成された給電用の拡散層を、「タップ」と称することもある。

20

【0003】

また、特開 2006-228982 号公報（特許文献 2）には、回路を形成するための回路用拡散層を有するスタンダードセルを複数配列する半導体集積回路において、隣接するスタンダードセル同士の回路用拡散層が予め定められた拡散層間隔で配置されるとともに位相シフトによって互いに異なる位相で形成される場合に、その隣接する回路用拡散層の近傍において電源電位または接地電位をとるためのタップ用拡散層を非連続的に形成する技術が開示されている。それにより、パターンの解像度を低下させることなく、位相矛盾等の不具合なく比較的容易にパターンを高集積化している。

30

【特許文献 1】特開 2006-253375 号公報

【特許文献 2】特開 2006-228982 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

セルの高さ（タップと直交する方向のセルの長さ）は、スタンダードセル上をタップと平行する方向に通過できる配線の本数によって決められている。特に、第 2 層目以上の配線の配線ピッチ（グリッド、トラック）を基準にして、配線との整合性からセルの高さは決まっている。配線ピッチとは配線の幅と配線の間隔とを足したものであり、配線の整合性が良く、また配線との間で無駄なギャップも生じることがないことから、配線ピッチの整数倍をセルの高さとする概念が用いられている。

40

【0005】

図 10 に、配線ピッチの整数倍をセルの高さとするスタンダードセルの要部平面図を示す。このスタンダードセルでは 7 配線ピッチを例として挙げる。すなわち、上下に配置されたタップ 100 間を 6 本の第 2 層目の配線 M2 が通過可能であり、片方のタップ 100 上の第 2 層目の配線 M2 を加えて、7 本の第 2 層目の配線 M2 が通過可能なスタンダードセルとして認識される。

【0006】

50

しかしながら、この手法では、スタンダードセル内の原始的回路がレイアウトルール上ではもっと小さく形成できるにもかかわらず、配線ピッチの整数倍で規定される領域に原始的回路を配置しなければならない。従って、スタンダードセルが必ずしも最小単位で設計されているとは言えない。すなわち、スタンダードセルに形成される半導体素子自体は、さらに微細化が可能であるのに、配線ピッチでセルの高さを定義しているため、必ずしも最小単位で微細化できているとは言えない。

【 0 0 0 7 】

本発明の目的は、スタンダードセルを小型化することのできる技術を提供することにある。

【 0 0 0 8 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 課題を解決するための手段 】

【 0 0 0 9 】

本願において開示される発明のうち、代表的なものの一実施の形態を簡単に説明すれば、次のとおりである。

【 0 0 1 0 】

この実施の形態は、第 1 電位を供給し、第 1 方向に沿って形成された第 1 タップと、第 2 電位を供給し、第 1 方向と交差する第 2 方向に第 1 タップと対向して配置され、第 1 の方向に沿って形成された第 2 タップと、第 1 タップと第 2 タップとの間に形成されたスタンダードセルとを複数配列して構成されるセルアレイを含む半導体集積回路装置であり、第 2 方向における第 1 タップの中心と第 2 方向における第 2 タップの中心との間のセルの高さを $[(整数 + 0.5) \times 第 2 層目の配線の配線ピッチ]$ または $[(整数 + 0.25) \times 第 2 層目の配線の配線ピッチ]$ とするものである。

【 発明の効果 】

【 0 0 1 1 】

本願において開示される発明のうち、代表的なものの一実施の形態によって得られる効果を簡単に説明すれば以下のとおりである。

【 0 0 1 2 】

スタンダードセルを有する半導体集積回路装置を小型化することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【 0 0 1 4 】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【 0 0 1 5 】

また、以下の実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、以下の実施の形態においては、電界効果トランジスタを代表する M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) を M I S と略し、pチャネル型 M I S F E T を p M I S と略し、nチャネル型 M

10

20

30

40

50

M I S F E T を n M I S と略す。

【 0 0 1 6 】

また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【 0 0 1 7 】

なお、以下の実施の形態においては、一方向に延在するように形成された給電用の拡散層を「タップ」と称する。また、上下のタップ間に複数の M I S F E T を配置している。これら複数の M I S F E T は所望の回路の一部を構成する。上述のスタンダードセルとは、所望の回路を構成するために、これら複数の M I S F E T が第 1 層目の配線によって結線されたものを指す。例えば図 2 に示す 3 入力 N A N D 回路のスタンダードセルは、上下に配置されたタップ 1 0 0 と、各ゲート電極、各ソース領域および各ドレイン領域とを有する 6 つの M I S F E T (p M I S 5 a , 5 b , 5 c および n M I S 6 a , 6 b , 6 c) と、各 M I S F E T とを結線する第 1 層目の配線 M 1 によって構成されている。ここで、各 M I S F E T を結線する配線には、必要であれば第 2 層目の配線 M 2 や、さらに上層の配線層を使用してもよい。なお、セルの高さ方向にスタンダードセルが隣接する場合、タップ 1 0 0 は上下に隣接するセルで共通となり、2 つのタップ 1 0 0 が隣接して配置されることはない。

10

【 0 0 1 8 】

また、セルの高さは、タップと直行する方向のセルの長さであり、1 つのセルの一端のタップの中心から、そのセルの他端のタップの中心までの距離のことである。言い換えれば、一端のタップに配置されたコンタクトホールを中心から、他端のタップに配置されたコンタクトホールを中心までの距離である。

20

【 0 0 1 9 】

また、以下の実施の形態では、セルの例として、上下に配置されたタップ 1 0 0 間を 6 本の第 2 層目の配線 M 2 が通過可能であるスタンダードセルを挙げる。

【 0 0 2 0 】

(実施の形態 1)

本実施の形態 1 に用いるスタンダードセルを構成する原始的回路とは、基本論理回路または基本機能回路であって、例えば N A N D 、 N O R 、 E O R (Exclusive O R : X O R) 、 E N O R 、フリップフロップ (Flip / Flop) 、マルチプレクサ (Multiplexer) 、インバータ (Inverter) 、バッファ (Buffer) などである。

30

【 0 0 2 1 】

本実施の形態 1 による半導体集積回路装置は、ライブラリに登録されているスタンダードセルを半導体チップ上に配置および配線することによって作られる機能装置、例えば演算論理装置 (Arithmetic Logical Unit : A L U) またはマルチプライヤ (Multiplier : M U L) などを備えている。

【 0 0 2 2 】

本実施の形態 1 による半導体集積回路装置の構成の一例を、図 1 に示す概略図を用いて説明する。

40

【 0 0 2 3 】

半導体集積回路装置 1 は、A L U または M U L などの複数の機能装置 2 によって構成されている。これら機能装置 2 は、複数のスタンダードセル 3 が配置および配線されることによって形成されたセルアレイを含んでいる。スタンダードセル 3 は 1 つまたは複数の原始的回路 4 からなる標準化された回路ブロックであり、セルの高さ (回路ブロックの高さ) を揃えることでスタンダードセル 3 の配置および配線を容易とすることができる。そのスタンダードセル 3 の相互間の結線には 2 層目以上の配線が用いられる。そのスタンダードセル 3 内の原始的回路 4 の相互間の結線および原始的回路 4 内の結線には第 1 層目の配線が用いられる。

【 0 0 2 4 】

50

図2に、本実施の形態1による1つのスタンダードセル(1row)の要部平面図を示す。また、図3は、図2を簡略化したもので、第1層目の配線M1およびコンタクトホール7を削除したものを示しており、素子分離領域8で区画される活性領域とゲート電極GEのみを示したものである。また、図4に、本実施の形態1による隣接する2つのスタンダードセル(2row)の要部平面図を示す。スタンダードセルを構成する原始的回路として、図2では3入力NAND回路を例示し、図4では2つの3入力NAND回路を例示しているが、これに限定されるものではない。また、図2および図4の左側に示すパターンは、タップ100と平行する方向に通過可能な第2層目の配線の本数を示している。図2に示すように、3入力NAND回路は、半導体基板に形成されたn型ウェル領域NWに3つのpMIS5a, 5b, 5cが形成され、p型ウェル領域PWに3つのnMIS6a, 6b, 6cが形成されている。pMIS5aのゲート電極とnMIS6aのゲート電極とは共通の導体膜から形成され、その導体膜に接して形成されたコンタクトホール7を介して第1層目の配線M1と電氣的に接続されている。同様に、pMIS5bのゲート電極とnMIS6bのゲート電極とは共通の導体膜から形成されて第1層目の配線M1と電氣的に接続され、pMIS5cのゲート電極とnMIS6cのゲート電極とは共通の導体膜から形成されて第1層目の配線M1と電氣的に接続されている。

10

20

30

40

50

【0025】

図9には、図2のA-A'線に沿った要部断面図が示されている。p型半導体基板p-subには、n型半導体領域NiSOが形成されており、n型半導体領域NiSOによって、各半導体素子が形成されるウェル領域が分離されている。n型半導体領域NiSOには、n型ウェル領域NWとp型ウェル領域PWとが形成されている。

【0026】

p型半導体基板p-subには、素子分離領域8が形成されており、これにより主に半導体素子が形成される活性領域が区画されている。素子分離領域8は、p型半導体基板p-subに形成された溝内に、酸化シリコン膜等の絶縁膜が埋め込まれて形成されている。図2および図3では、活性領域を示す領域として、p型ウェル領域PW、n型ウェル領域NWおよびタップ100を示している。

【0027】

n型ウェル領域NWには、複数のpチャネル型電界効果トランジスタ(pMIS)が形成されており、p型ウェル領域PWには、複数のnチャネル型電界効果トランジスタ(nMIS)が形成されている。pMISおよびnMISは、それぞれp型半導体基板p-sub上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極GEと、p型半導体基板p-sub内に形成されたソース領域およびドレイン領域とを有する。ゲート絶縁膜は、例えば酸化シリコン膜で形成されている。ゲート電極GEは、導電性膜で形成されており、例えば多結晶シリコン膜で形成されている。pMISのゲート電極とnMISのゲート電極とは同一の導電性膜で一体化されて形成されている。p型ウェル領域PW上のゲート電極GEには、燐または砒素などのn型導電性の不純物が導入されており、n型ウェル領域NW上のゲート電極GEには、ボロンまたはフッ化ボロンなどのp型導電性の不純物が導入されている。

【0028】

pMISのソース領域またはドレイン領域は、n型ウェル領域NWに形成された低濃度p型半導体領域と高濃度p型半導体領域p+とからなる。本実施の形態1では、説明簡略化のため、pMISのゲート長方向の図示を行っておらず、低濃度p型半導体領域は図示していない。図2のA-A'線に沿った断面図である図9において、pMISのドレイン領域であるp型半導体領域p+を示している。また、電源電位Vddのタップ100の表面は、n型ウェル領域NWに形成された高濃度n型半導体領域n+が形成されている。この領域は、nMISのソース領域およびドレイン領域と同工程で形成されたものである。タップ100はpMISが形成されるn型ウェル領域NWに電源電位Vddを供給し、一定の電位に固定するように構成されている。これらの高濃度p型半導体領域p+、高濃度n型半導体領域n+およびpMISのゲート電極GEの表面には、シリサイド膜9が形成

されている。このシリサイド膜 9 は、例えばニッケルシリサイド膜、コバルトシリサイド膜またはプラチナシリサイド膜からなる。その後、これらの領域を覆う層間絶縁膜 10 が形成され、層間絶縁膜 10 内にコンタクトホール 7 が形成され、コンタクトホール 7 内にプラグ 11 が形成される。プラグ 11 は、チタン、窒化チタンまたはこれらの積層膜からなる。

【0029】

nMIS のソース領域またはドレイン領域は、p 型ウェル領域 PW に形成された低濃度 n 型半導体領域と高濃度 n 型半導体領域 n+ とからなる。本実施の形態 1 では、説明簡略化のため、nMIS のゲート長方向の図示を行っておらず、低濃度 n 型半導体領域は図示していない。図 2 の A - A' 線に沿った断面図である図 9 において、nMIS のドレイン領域である n 型半導体領域 n+ を示している。また、電源電位 V_{ss} のタップ 100 の表面は、p 型ウェル領域 PW に形成された高濃度 p 型半導体領域 p+ が形成されている。この領域は、pMIS のソース領域およびドレイン領域と同工程で形成されたものである。タップ 100 は nMIS が形成される p 型ウェル領域 PW に電源電位 V_{ss} を供給し、一定の電位に固定するように構成されている。これらの高濃度 n 型半導体領域 n+、高濃度 p 型半導体領域 p+ および nMIS のゲート電極 GE の表面には、シリサイド膜 9 が形成されている。このシリサイド膜 9 は、例えばニッケルシリサイド膜、コバルトシリサイド膜またはプラチナシリサイド膜からなる。その後、これらの領域を覆う層間絶縁膜 10 が形成され、層間絶縁膜 10 内にコンタクトホール 7 が形成され、コンタクトホール 7 内にプラグ 11 が形成される。プラグ 11 は、チタン、窒化チタンまたはこれらの積層膜からなる。

10

20

【0030】

また、図 2 では、一部の pMIS のソース領域を電源電位 V_{dd} のタップ 100 まで延在している。これにより、配線層を用いずに、シリサイド膜を用いて電源電位 V_{dd} を直接ソース領域に接続している。この場合、配線層を用いないので、配線レイアウトの自由度を高めることができる。また、本実施の形態 1 では、pMIS のソース領域の場合を例示しているが、nMIS のソース領域に適用しても、同様の効果を得られる。

【0031】

また、nMIS の駆動電流を増加させる目的で、図 2 の上下方向 (A - A' 方向) において、p 型ウェル領域 PW の幅を n 型ウェル領域 NW の幅よりも広くしても良い。

30

【0032】

また、pMIS 5c のソースは第 1 層目の配線 M1 を介して、第 1 方向に沿って形成された電源電位 V_{dd} (給電用の半導体領域 (第 1 タップ)) に電氣的に接続され、pMIS 5a, 5b のソースは半導体領域を介して電源電位 V_{dd} に電氣的に接続されている。pMIS 5a, 5b, 5c のドレインは第 1 層目の配線 M1 を介して nMIS 6a のドレインに電氣的に接続されている。また、nMIS 6c のソースは第 1 層目の配線 M1 を介して、第 1 方向に沿って形成された電源電位 V_{ss} (給電用の半導体領域 (第 2 タップ)) に電氣的に接続されている。電源電位 V_{ss} は基準電位 (接地電位) GND とすることができる。

40

【0033】

従って、3 入力 NAND 回路を構成する 3 つの pMIS 5a, 5b, 5c および 3 つの nMIS 6a, 6b, 6c の相互間の結線には第 1 層目の配線 M1 が用いられている。また、第 1 層目の配線 M1 は、層間絶縁膜 12 に形成された溝内に、バリアメタル膜および銅を主体とする導電性膜が埋め込まれて形成されている。バリアメタル膜は、タンタル、窒化タンタルまたはそれらの積層膜からなる。また、第 2 層目の配線以降についても、同様の構成である。また、本実施の形態 1 では、配線とプラグとを別々に形成しているが、先にコンタクトホールと配線用の溝を形成し、その後、バリアメタル膜および銅を主体とする導電性膜を埋め込むことで、一体化して形成しても良い。

【0034】

なお、図 4 に示されるように、セルの高さ方向で隣接する 2 つのスタンダードセルを結

50

線する場合は、タップ100と交差する方向に延在し、かつ、タップ100上を通過する配線によって行われる。このような配線は、第1層目の配線M1でも良いし、第2層目の配線M2を使用しても良い。すなわち、各スタンダードセルを繋ぐ配線は、スタンダードセルとして所望の回路を構成するための配線とは、別の配線によって行われている。

【0035】

上述のように、本実施の形態1で説明するスタンダードセル3のセルの高さは、第1タップと第2タップとの間(スタンダードセル3上)を通過できる第2層目以上の配線の本数によって決められる。

【0036】

ここで、セルの高さとは、第1方向と直交する第2方向のセルの長さであって、電源電位V_{dd}を供給する給電用の半導体領域(第1タップ)の中心から、電源電位V_{ss}を供給する給電用の半導体領域(第2タップ)の中心までの距離Lを言う。言い換えれば、第1タップに配置されたコンタクトホール(中心)から、第2タップに配置されたコンタクトホール(中心)までの距離である。

【0037】

しかし、前述した図10に示すスタンダードセルとは異なり、セルの高さは配線ピッチの整数倍ではない。具体的には、セルの高さは(整数+整数分の1)×配線ピッチの高さである。本実施の形態1によるセルの高さは、(整数+0.5)×配線ピッチとしている。ここで整数とは第1タップと第2タップとの間を通過できる第2層目以上の配線の本数であり、特に第2層目の配線M2の本数である。また、このときの配線ピッチとは、第2層目の配線層のピッチである。例えば図2に示すスタンダードセル3では、第1タップと第2タップとの間を通過できる第2層目の配線M2の本数は6本であることから、上記整数は6となり、(6+0.5)×配線ピッチ=6.5配線ピッチがセルの高さとなる。また配線ピッチとは配線の幅と配線の間隔とを足した値である。本実施の形態1で示す配線ピッチは、最小加工寸法で形成された配線の幅と最小加工寸法で形成された配線の間隔とを足した最小配線ピッチを用いている。

【0038】

セルの高さを(整数+0.5)×配線ピッチとした場合は、図4に示すように、第2層目の配線M2の配線ピッチは2セル段(2row)で一旦整数となる。従って、複数のスタンダードセル3を配置および配線して形成されるセルアレイで見ると、第2層目の配線M2とセルの高さとの整合性をとることができる。

【0039】

このように、セルの高さを(整数+0.5)×配線ピッチとすることにより、タップ100と直交する方向のセルアレイの面積を縮小することができる。

【0040】

例えば第2層目の配線M2が等間隔で1000本配置され、セルの高さを配線ピッチの整数倍とした従来のレイアウトの場合、第1タップと第2タップとの間を通過できる第2層目の配線M2の本数が6本のときのセルの高さは、前述の図10に示したように、7配線ピッチとなる。その結果、この場合のセル段は142セル段となる。これに対して、例えば第2層目の配線が等間隔で1000本配置され、セルの高さを(整数+0.5)×配線ピッチとした本実施の形態1のレイアウトの場合、第1タップと第2タップとの間を通過できる第2層目の配線M2の本数が6本のときのセルの高さは6.5配線ピッチとなる。その結果、この場合のセル段は153セル段となり、従来のレイアウトに比べてセル段数は約7.7%増加する。これにより、同じレイアウトルールであれば、本実施の形態1のレイアウトは従来のレイアウトに比べてセルアレイの面積を約7%縮小することができる。

【0041】

また、図5に示すように、セルの高さを7配線ピッチ(配線ピッチの整数倍)から6.5配線ピッチ((整数+0.5)×配線ピッチ)へ変更することにより、最小加工寸法を問わず、セル段数が約7.7%増加する。

10

20

30

40

50

【 0 0 4 2 】

(実施の形態 2)

本実施の形態 2 は、前述の実施の形態 1 のセルの高さを $(\text{整数} + 0.25) \times \text{配線ピッチ}$ とした場合を示している。

【 0 0 4 3 】

図 6 に、本実施の形態 2 による 1 つのスタンダードセル (1 row) の要部平面図を示し、図 7 に、本実施の形態 2 による隣接する 4 つのスタンダードセル (4 row) の要部平面図を示す。スタンダードセルを構成する原始的回路として、図 6 では 3 入力 NAND 回路を例示し、図 7 では 4 つの 3 入力 NAND 回路が例示しているが、これに限定されるものではない。また、前述の実施の形態 1 と同様に、セルの高さ方向で隣接する 2 つのスタンダードセルを結線する場合は、タップ 100 と交差する方向に延在し、かつ、タップ 100 上を通過する配線によって行われる。このような配線は、第 1 層目の配線 M1 でも良いし、第 2 層目の配線 M2 を使用しても良い。すなわち、各スタンダードセルを繋ぐ配線は、スタンダードセルとして所望の回路を構成するための配線とは、別の配線によって行われている。

10

【 0 0 4 4 】

前述した実施の形態 1 では、セルの高さを $(\text{整数} + 0.5) \times \text{配線ピッチ}$ としたが、本実施の形態 2 では、セルの高さを $(\text{整数} + 0.25) \times \text{配線ピッチ}$ としている。

【 0 0 4 5 】

本実施の形態 2 で説明するスタンダードセル 3 のセルの高さは、前述の実施の形態 1 と同様、第 1 タップと第 2 タップとの間 (スタンダードセル 3 上) を通過できる第 2 層目以上の配線の本数によって決められる。しかし、セルの高さを $(\text{配線の整数倍} + 0.25) \times \text{配線ピッチ}$ としている。ここで整数とは第 1 タップと第 2 タップとの間を通過できる第 2 層目以上の配線の本数であり、特に第 2 層目の配線 M2 の本数である。例えば図 6 に示すスタンダードセル 3 では、第 1 タップと第 2 タップとの間を通過できる第 2 層目の配線 M2 の本数は 6 本であることから、上記配線の整数倍は 6 となり、 $(6 + 0.25) \times \text{配線ピッチ} = 6.25 \text{ 配線ピッチ}$ がセルの高さとなる。

20

【 0 0 4 6 】

セルの高さを $(\text{整数} + 0.25) \times \text{配線ピッチ}$ とした場合は、図 7 に示すように、第 2 層目の配線 M2 の配線ピッチは 4 セル段 (4 row) で一旦整数となる。従って、複数のスタンダードセル 3 を配置および配線して形成されるセルアレイでみると、第 2 層目の配線 M2 とセルの高さとの整合性をとることができる。

30

【 0 0 4 7 】

このように、セルの高さを $(\text{整数} + 0.25) \times \text{配線ピッチ}$ とすることにより、タップ 100 と直交する方向のセルアレイの面積を縮小することができる。

【 0 0 4 8 】

図 8 に、配線ピッチの整数倍 $(\text{整数} + 1) \times \text{配線ピッチ}$ で配置されたスタンダードセルのセルの高さ、 $(\text{整数} + 0.5) \times \text{配線ピッチ}$ で配置されたスタンダードセルのセルの高さ、および $(\text{整数} + 0.25) \times \text{配線ピッチ}$ で配置されたスタンダードセルのセルの高さを比較するためのそれぞれの要部平面図を示す。ここでは、第 1 タップと第 2 タップとの間を通過できる第 2 層目の配線 M2 を 6 本としている。

40

【 0 0 4 9 】

4 つのスタンダードセルをタップ 100 と直交する方向に配置した場合、配線ピッチの整数倍で配置されたスタンダードセルのセルの高さは $(4 \times 7) \text{ 配線ピッチ} = 28 \text{ 配線ピッチ}$ となる。また $(\text{整数} + 0.5) \times \text{配線ピッチ}$ で配置されたスタンダードセルのセルの高さは $(4 \times 6.5) \text{ 配線ピッチ} = 26 \text{ 配線ピッチ}$ となる。また $(\text{整数} + 0.25) \times \text{配線ピッチ}$ で配置されたスタンダードセルのセルの高さは $(4 \times 6.25) \text{ 配線ピッチ} = 25 \text{ 配線ピッチ}$ となる。

【 0 0 5 0 】

従って 4 つのスタンダードセルで配線ピッチを比較すると、 $(\text{整数} + 0.25) \times \text{配線}$

50

ピッチで配置されたスタンダードセルでは3配線ピッチ、(整数+0.5)×配線ピッチで配置されたスタンダードセルでは2配線ピッチ、配線ピッチの整数倍で配置されたスタンダードセルよりもセルの高さを縮小することができる。また、4つのスタンダードセルで面積を比較すると、(整数+0.25)×配線ピッチで配置されたスタンダードセルでは約11%、(整数+0.5)×配線ピッチで配置されたスタンダードセルでは約7%、配線ピッチの整数倍で配置されたスタンダードセルよりもセルの面積を縮小することができる。

【0051】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

10

【0052】

例えば、前記実施の形態では、pMISおよびnMISのゲート電極を多結晶シリコン膜で形成する例を示したが、これに限られるものではなく、例えば金属膜で形成してもよい。そのような金属膜としては、Ti、TiN、PtまたはAl等が挙げられる。

【0053】

また、前記実施の形態では、ゲート絶縁膜を酸化シリコン膜で形成した例を示したが、これに限られるものではなく、例えば窒化シリコン膜よりも高い誘電率を有する膜で形成してもよい。そのような高誘電率膜としては、HfO、HfAlO、HfSiAlO、HfSiO、ZrO、ZrAlO、ZrSiO、LaO、LaSiO、TaOまたはTiO等が挙げられる。

20

【産業上の利用可能性】

【0054】

本発明の半導体集積回路装置は、小型化の進んだスタンダードセルから形成された集積回路を有する半導体集積回路装置に適用することができる。

【図面の簡単な説明】

【0055】

【図1】本発明の実施の形態1による半導体集積回路装置の構成の一例を示す概略図である。

【図2】本発明の実施の形態1による1つのスタンダードセル(1row)の要部平面図である。

30

【図3】図2における活性領域およびゲート電極のみを示す簡略図である。

【図4】本発明の実施の形態1による隣接する2つのスタンダードセル(2row)の要部平面図である。

【図5】本発明の実施の形態1によるセル段数の増加をまとめた説明図である。

【図6】本発明の実施の形態2による1つのスタンダードセル(1row)の要部平面図である。

【図7】本発明の実施の形態2による隣接する4つのスタンダードセル(4row)の要部平面図である。

【図8】本発明者が検討したスタンダードセルのセルの高さを比較するための説明図である。

40

【図9】図2のA-A'線に沿った要部断面図である。

【図10】本発明者が検討した配線ピッチの整数倍をセルの高さとするスタンダードセルの要部平面図である。

【符号の説明】

【0056】

- 1 半導体集積回路装置
- 2 機能装置
- 3 スタンダードセル
- 4 原始的回路

50

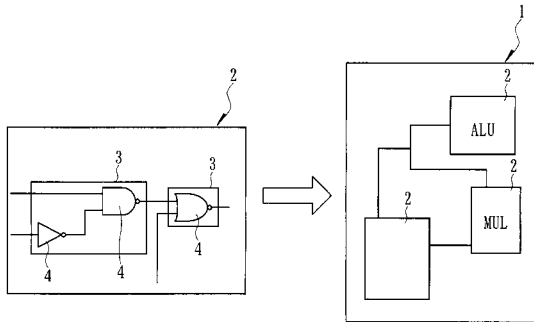
- 5 a , 5 b , 5 c pチャネル型MISFET
- 6 a , 6 b , 6 c nチャネル型MISFET
- 7 コンタクトホール
- 8 素子分離領域
- 9 シリサイド膜
- 10 層間絶縁膜
- 11 プラグ
- 12 層間絶縁膜
- 100 タップ
- GE ゲート電極
- GND 基準電位
- L 距離 (セルの高さ)
- M1 第1層目の配線
- M2 第2層目の配線
- n+ 高濃度n型半導体領域
- NiSO n型半導体領域
- NW n型ウェル領域
- p-sub p型半導体基板
- p+ 高濃度p型半導体領域
- PW p型ウェル領域
- Vdd 電源電位
- Vss 電源電位

10

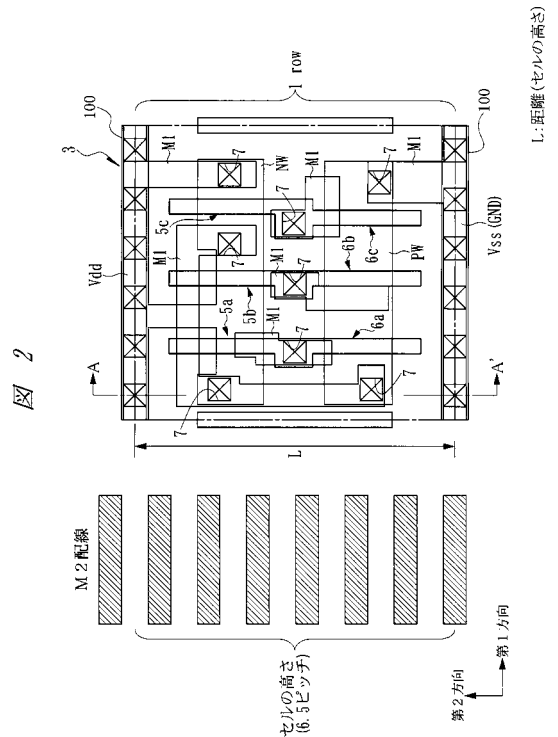
20

【図1】

図 1



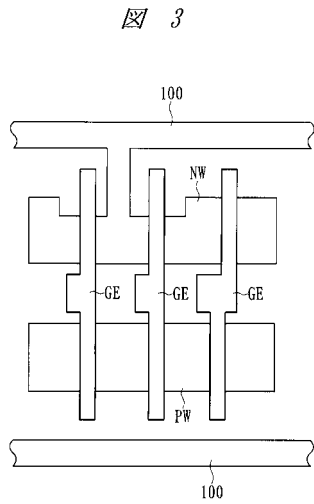
【図2】



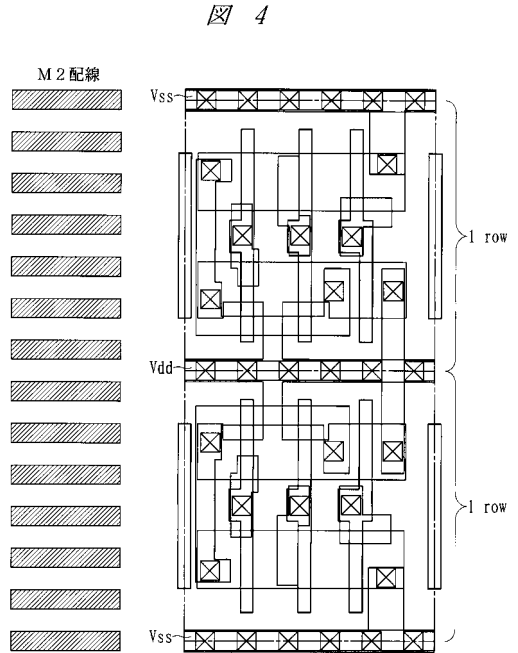
10

20

【 図 3 】



【 図 4 】

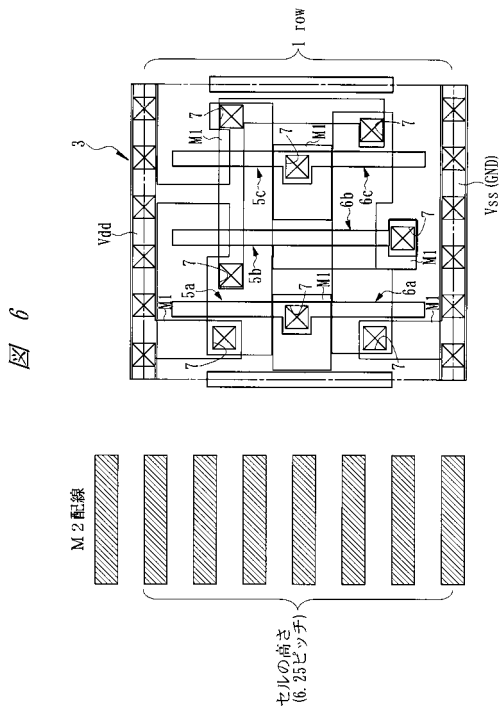


【 図 5 】

図 5

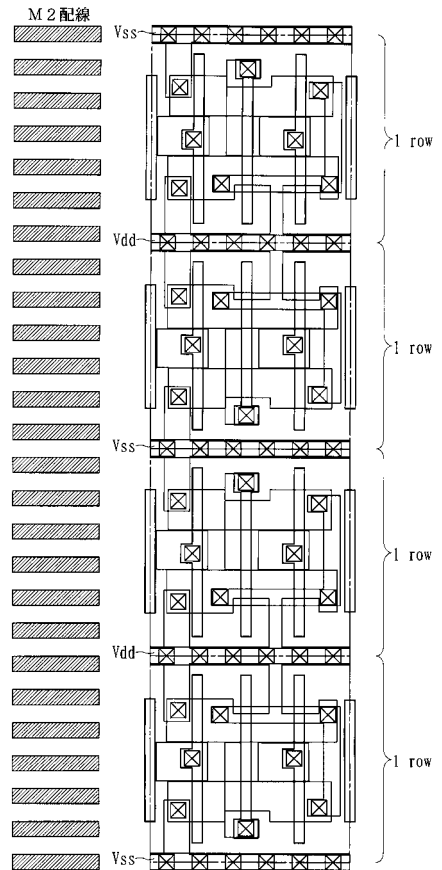
	65 nm	45 nm
7 ピッチ	714 row	1020 row
6.5 ピッチ	769 row	1098 row

【 図 6 】

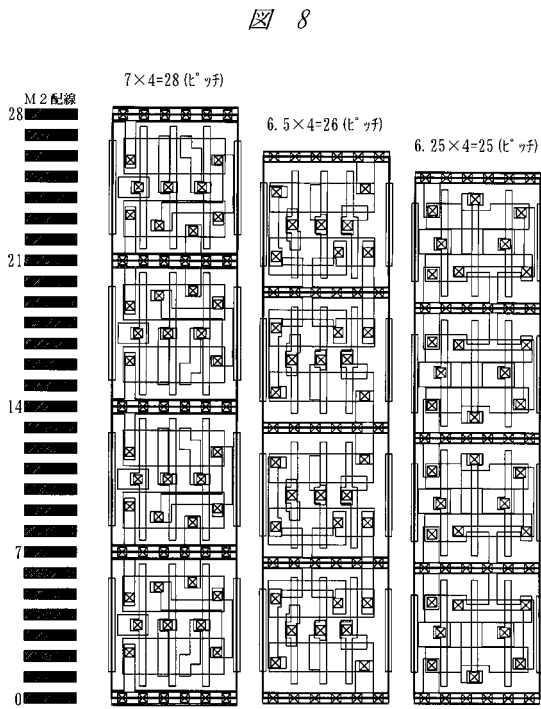


【 図 7 】

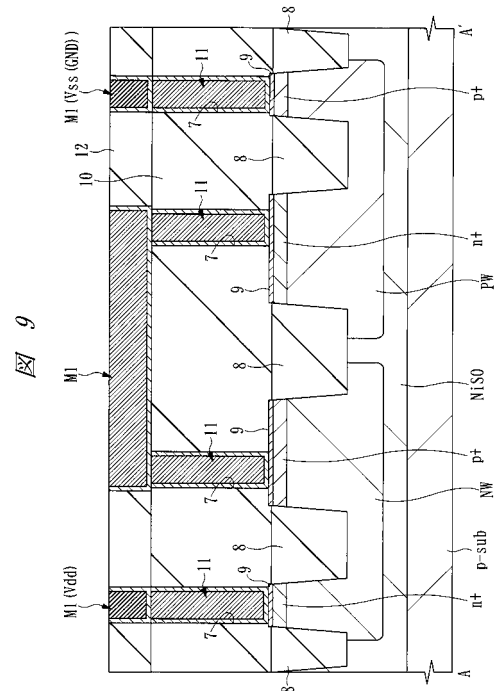
図 7



【 図 8 】



【 図 9 】



【 図 10 】

