



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I416302 B

(45)公告日：中華民國 102 (2013) 年 11 月 21 日

(21)申請案號：098139560

(22)申請日：中華民國 98 (2009) 年 11 月 20 日

(51)Int. Cl. : G06F1/10 (2006.01)

(71)申請人：財團法人工業技術研究院(中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

國立清華大學(中華民國) NATIONAL TSING HUA UNIVERSITY (TW)

新竹市光復路 2 段 101 號

(72)發明人：龍巧玲 LUNG, CHIAO LING (TW)；張世杰 CHANG, SHIH CHIEH (TW)

(74)代理人：詹銘文；蕭錫清

(56)參考文獻：

TW	418329	TW	475319
TW	539965	TW	I227818
TW	200842382A	US	6115823
US	6937530B2	US	7051310B2
US	7117277B2	US	7216322B2
US	7277333B2	US	7350173B1
US	2006/0006917A1	US	2007/0002663A1

審查人員：黃正和

申請專利範圍項數：10 項 圖式數：7 共 0 頁

(54)名稱

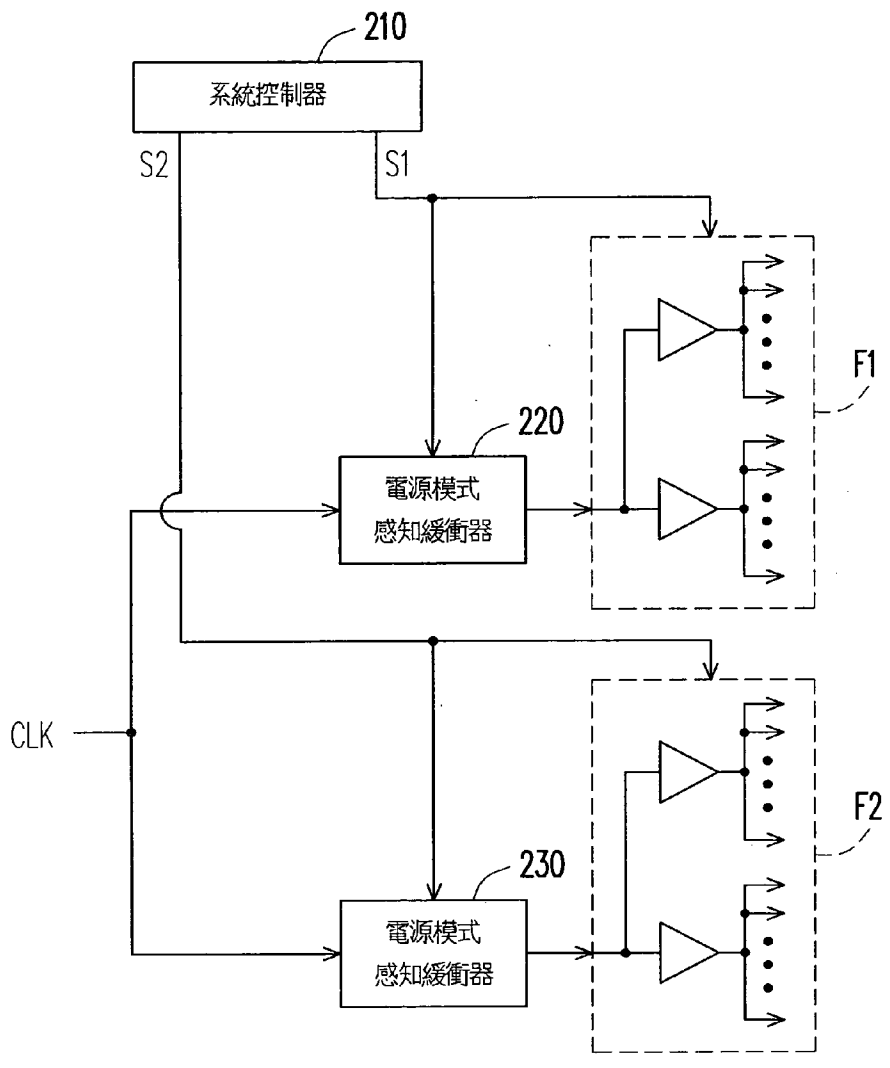
具電源模式感知之時脈樹及其合成方法

POWER-MODE-AWARE CLOCK TREE AND SYNTHESIS METHOD THEREOF

(57)摘要

一種具電源模式感知之時脈樹及其合成方法。此時脈樹包括子時脈樹以及電源模式感知緩衝器。子時脈樹傳遞延遲時脈給功能模組，其中該功能模組依據電源資訊而決定其電源模式。電源模式感知緩衝器耦接至子時脈樹。電源模式感知緩衝器依據該電源資訊而決定系統時脈的延遲時間，並將系統時脈延遲後做為該延遲時脈而輸出給子時脈樹。

A power-mode-aware (PMA) clock tree and a synthesis method thereof are provided. The PMA clock tree includes a sub-clock-tree and a PMA buffer. The sub-clock-tree transmits a delayed clock signal to a function module. A power mode of the function module is decided by power information. The PMA buffer couples to the sub-clock-tree. The PMA buffer decides delay time of a system clock signal according to the power information, and outputs the delayed system clock signal as the delayed clock signal to the sub-clock-tree.



- 210 . . . 系統控制電路
- 220、230 . . . 電源模式感知緩衝器
- CLK . . . 系統時脈
- F1、F2 . . . 功能模組
- S1、S2 . . . 電源資訊

圖 2

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號： 98139560

※申請日： 98.11.20

※IPC 分類：

G06F 1/10 (2006.01)

## 一、發明名稱：

具電源模式感知之時脈樹及其合成方法  
POWER-MODE-AWARE CLOCK TREE AND  
SYNTHESIS METHOD THEREOF

## 二、中文發明摘要：

一種具電源模式感知之時脈樹及其合成方法。此時脈樹包括子時脈樹以及電源模式感知緩衝器。子時脈樹傳遞延遲時脈給功能模組，其中該功能模組依據電源資訊而決定其電源模式。電源模式感知緩衝器耦接至子時脈樹。電源模式感知緩衝器依據該電源資訊而決定系統時脈的延遲時間，並將系統時脈延遲後做為該延遲時脈而輸出給子時脈樹。

## 三、英文發明摘要：

A power-mode-aware (PMA) clock tree and a synthesis method thereof are provided. The PMA clock tree includes a sub-clock-tree and a PMA buffer. The sub-clock-tree transmits a delayed clock signal to a function module. A

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種積體電路，且特別是有關於一種時脈樹(Clock Tree)以及時脈樹的合成方法。

### 【先前技術】

為達到節省能源的目的，採用不同的電源模式(Power Mode)的積體電路設計已經被廣泛採用。圖 1 說明傳統積體電路中時脈樹(或時脈網路)的示意圖。請參照圖 1，同一個積體電路(或晶片)可能會被區分為微處理機單元(micro-processor unit, MPU) 110 與數位信號處理器(digital signal processor, DSP) 120 等多個不同的功能模組。在全速操作(full speed)的電源模式中，基於積體電路內部(或外部)控制電路的操作，微處理機單元 110 與數位信號處理器 120 均操作於最大工作電壓，例如 1.1 V。在某一操作條件的電源模式中，微處理機單元 110 的工作電壓  $V_{MPU}$  維持在 1.1 V，而數位信號處理器 120 的工作電壓  $V_{DSP}$  則可以被調降，例如調降至 1.0 V，以節省電能。在另一操作條件的電源模式中，微處理機單元 110 的工作電壓  $V_{MPU}$  維持在 1.1 V，而數位信號處理器 120 的工作電壓  $V_{DSP}$  則可以被調降至更低電壓，例如調降至 0.9 V。當進入閒置(idle)的電源模式中，微處理機單元 110 的工作電壓  $V_{MPU}$  可以被調降至 0.9 V，而數位信號處理器 120 的工作電壓  $V_{DSP}$  則可以被調降至 0 V，以達到節省能源的目的。

在電路合成時，電子設計自動化(Electronic Design Automation, EDA)軟體可以自動合成出時脈樹。一般時脈樹是使用多個緩衝器(buffer)，例如圖 1 中所繪示的緩衝器 101 ~ 107，以將系統時脈 CLK 增益後傳送至下一個緩衝器或其他元件。系統時脈 CLK 可以透過此時脈樹而被傳送至積體電路內部的各個元件(未繪示)。理想上，系統時脈 CLK 透過此時脈樹而同時地到達各個元件。一般而言，傳遞路徑、負載、...等差異因素，會導致系統時脈 CLK 到達積體電路內部各個元件的時間不一致，而系統時脈 CLK 到達不同元件的時間差異便稱為時脈歪斜(Clock Skew)。

EDA 軟體可以針對某一種操作條件而各別調整緩衝器 101 ~ 107 的延遲時間，使時脈歪斜達到最佳化(最小化)。例如，針對全速操作的電源模式而使時脈歪斜達到最佳化。然而，工作電壓對時脈緩衝器的性能有很大的影響，因此不同的電源模式會使時脈到達模組的時間產生不容忽視的變化。當數位信號處理器 120 的工作電壓  $V_{\text{DSP}}$  從 1.1 V 被調降至 0.9 V，數位信號處理器 120 的時脈延遲會增加，使得時脈歪斜會對應的增加。因此，圖 1 所示時脈樹難以滿足所有可能的電源模式下的時脈歪斜限制。

一般而言，多電源模式設計的時脈同步，可以分成幾類作法：(1)非同步設計(Asynchronous Design)；(2)運用可調延遲緩衝器(Adjustable Delay Buffer, ADB)；(3)運用延時鎖定迴路(Delay Locked Loop, DLL)。若設計採用非同步架構，需要制定「信號交換協議(Handshake Protocol)」，這

會增加系統設計及驗證的困難度，此外，還需要額外的同步電路來處理數據同步。若運用「可調延遲緩衝器」或「延時鎖定迴路」，皆須從時脈樹中多個末端回傳時脈信號來進行相位比較，因此需要額外的可調延遲緩衝器或延時鎖定迴路電路設計及擺置，其付出的面積成本不容忽視。另外，「可調延遲緩衝器」或「延時鎖定迴路」需要額外的參考時脈(Reference Clock)，而參考時脈的選擇亦會影響同步的效應。

#### 【發明內容】

本發明實施例提出一種時脈樹，包括一子時脈樹以及一電源模式感知緩衝器。子時脈樹傳遞一延遲時脈給功能模組，其中該功能模組依據電源資訊而決定其電源模式。電源模式感知緩衝器耦接至子時脈樹，用以依據該電源資訊而決定系統時脈的延遲時間，並將系統時脈延遲後做為該延遲時脈而輸出給子時脈樹。

本發明實施例提出一種時脈樹的合成方法，包括下述步驟。將子時脈樹配置於功能模組中，以傳遞一延遲時脈，其中該功能模組依據一電源資訊而決定電源模式。配置電源模式感知緩衝器，以提供該延遲時脈給子時脈樹。其中，電源模式感知緩衝器依據該電源資訊而決定系統時脈的延遲時間，並將該系統時脈延遲後做為該延遲時脈而輸出給子時脈樹。

基於上述，本發明實施例提供一種時脈樹與該時脈樹的合成方法，其中的電源模式感知緩衝器(power-mode-aware buffer, PMA buffer)可以依據不同的電源模式產生相對於該模式的時脈延遲。因此，本發明實施例之時脈樹可以滿足多種電源模式下的時脈歪斜限制。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

下述實施例主要的想法是希望時脈網路(時脈樹)在「時脈歪斜」與「面積成本」等設計考量下取得一個平衡。下述實施例將積體電路分為兩個層次：晶片級與模組級。在所有不同功率模式，晶片級的時鐘樹最佳化降低模組間的時脈歪斜，而模組級的時鐘樹最佳化則減少單一模組內的時脈歪斜。

圖 2 是依照本發明實施例說明積體電路中時脈樹的示意圖。此積體電路具有第一功能模組 F1 與第二功能模組 F2。功能模組 F1 與 F2 可能是微處理器、微控制器、數位信號處理器、記憶體及/或通訊電路等。例如，第一功能模組 F1 可以是圖 1 的微處理機單元 110，而第二功能模組 F2 則可以是圖 1 的數位信號處理器 120。值得注意的是，雖然圖 2 只繪示出兩個功能模組，應用本實施例者可以依據圖 2 之教示而類推至更多個功能模組。積體電路內部(或外部)的系統控制電路 210 可以藉由電源資訊 S1 與 S2 而改

變功能模組 F1 與 F2 的電源模式。第一功能模組 F1 依據電源資訊 S1 而決定其電源模式，例如操作於 1.1V 或 0.9V。第二功能模組 F2 依據電源資訊 S2 而決定其電源模式，例如操作於 1.1V、1.0 V、0.9V 或 0 V。

圖 2 所示時脈樹包括兩個子時脈樹與兩個電源模式感知緩衝器 220 與 230。在電路合成時，電子設計自動化(EDA)軟體可以自動在功能模組 F1 與 F2 內配置相對應的子時脈樹。EDA 軟體可以針對某一種電源模式(例如全速操作的條件下)而各別調整子時脈樹內各緩衝器的延遲時間，使在模組級的子時鐘樹上，其時脈歪斜達到最佳化(最小化)。

圖 3A 與圖 3B 分別顯示 65nm 製程的兩個不同驅動能力緩衝器在不同工作電壓下的延遲關係。於圖 3A (或圖 3B) 中，縱軸表示工作電壓為某一參考電壓時，緩衝器在各種不同操作環境下(例如不同的輸入信號強度，以及不同的負載)的延遲時間；橫軸表示工作電壓為另一指定電壓時，緩衝器在各種不同操作環境下的延遲時間。透過 SPICE 等模擬工具的協助，可以針對某一個緩衝器在某一操作環境下進行模擬，而求得在不同工作電壓下(某一參考電壓與另一指定電壓)該緩衝器的延遲時間，然後依據這兩個延遲時間在圖 3A (或圖 3B) 中標示出對應點。接著重複地透過 SPICE 等模擬工具的協助，針對同一個緩衝器在另一個操作環境下進行模擬，而求得在不同的工作電壓下，該緩衝器的延遲時間，然後在圖 3A (或圖 3B) 中標示出另一個對應點。

舉例來說，從圖 3A(或圖 3B)中可以觀察出，緩衝器在不同工作電壓下的延遲時間約略呈現線性關係，因此可以依據圖 3A (或圖 3B)中大量點的分布狀況而求得延遲相依參數(Delay Correlation Factor, DCF)，以表示緩衝器在不同工作電壓下的延遲相依關係。例如，透過模擬/最佳化可以求得工作電壓為第一電壓  $V1$  時，緩衝器的延遲時間為  $T1$ 。由上述的分析過程而求得工作電壓為第一電壓  $V1$  與第二電壓  $V2$  的延遲相依參數為  $\alpha$ ，則當緩衝器操作於第二電壓  $V2$  時，其延遲時間  $T2$  約略為  $\alpha \times T1$ 。在模組級的子時鐘樹最佳化上，利用延遲相依參數來達到降低單一模組內因製程偏移(Process Variation)所造成的時脈歪斜的目的。

在時脈樹的合成過程中，於積體電路中配置電源模式感知緩衝器 220 與 230，以及分別在功能模組 F1 與 F2 內配置對應的子時脈樹，如圖 2 所示。電源模式感知緩衝器 220 與 230 可以依據電源資訊 S1 與 S2 而決定系統時脈 CLK 的延遲時間，並將系統時脈 CLK 延遲後做為延遲時脈，然後將該延遲時脈提供給功能模組 F1 與 F2 的子時脈樹。功能模組 F1 與 F2 內的子時脈樹將所接收到的延遲時脈傳遞至功能模組內部各個元件(未繪示)。

當電源資訊 S1 與 S2 所設定的電源模式表示功能模組 F1 與 F2 均操作於第一電壓  $V1$  時(例如操作於 1.1 V)，對時脈樹的時脈延遲進行最佳化，以決定電源模式感知緩衝器 220 與 230 中對應於第一電壓  $V1$  的延遲時間。例如，

對操作於第一電壓  $V1$  的時脈樹進行時脈延遲最佳化後，電源模式感知緩衝器 220 的延遲時間為 20 ps，而電源模式感知緩衝器 230 的延遲時間則為 400 ps。

在晶片級的時鐘樹最佳化上，本實施例運用電源模式感知緩衝器 220 與 230 來改善多重電源模式下的時脈歪斜。電源模式感知緩衝器 220 與 230 可以依據不同的電源模式產生相對於該模式的時脈延遲。例如，當電源資訊  $S1$  與  $S2$  表示目前電源模式為全速模式，即功能模組  $F1$  與  $F2$  均操作於最大電壓時(例如操作於 1.1 V)，電源模式感知緩衝器 220 與 230 依據電源資訊  $S1$  與  $S2$  而分別決定其延遲時間為 20 ps 與 400 ps。若電源資訊  $S1$  與  $S2$  表示目前電源模式會使功能模組  $F1$  操作於最大電壓(例如操作於 1.1 V)，而使功能模組  $F2$  降低其工作電壓(例如操作於 0.9 V)，則較低的工作電壓會使功能模組  $F2$  內的子時脈樹增加延遲時間。電源模式感知緩衝器 220 與 230 依據電源資訊  $S1$  與  $S2$  而分別決定其延遲時間為 20 ps 與 350 ps。在功能模組  $F2$  降低其工作電壓時，電源模式感知緩衝器 230 會對應地減少延遲時間，使得整體時脈樹的時脈歪斜仍然能夠符合設計規範。

圖 4 是依照本發明說明圖 2 中電源模式感知緩衝器 230 的實施範例。電源模式感知緩衝器 220 的實施方式亦可以參照電源模式感知緩衝器 230。請參照圖 4，電源模式感知緩衝器 230 包括多個延遲通道(例如圖 4 所繪示的延遲通道 411、412 與 413)以及切換單元 420。延遲通道 411、

412 與 413 各自具有不同的延遲時間，其中這些延遲通道的輸入端接收系統時脈 CLK。延遲通道 411、412 與 413 可以任何方式實現之，例如用一個或是多個緩衝器來實現延遲通道 411、412 與/或 413。藉由調整緩衝器的尺寸，或是藉由決定緩衝器的串接個數，可以分別設定延遲通道 411、412 與 413 的延遲時間。延遲通道的數量可以對應於電源模式的數量。

切換單元 420 耦接於這些延遲通道與功能模組 F2 的子時脈樹之間。依據電源資訊 S2 的控制，切換單元 420 選擇將這些延遲通道其中一者的輸出端電性連接至功能模組 F2 的子時脈樹。因此，電源模式感知緩衝器 230 可以依據不同的電源模式產生相對於該模式的時脈延遲。

在一些實施例中，上述電源資訊 S1 與 S2 可以是電源模式控制信號(數位邏輯信號)。依據系統控制器 210 所輸出的電源模式控制信號，功能模組 F1 與 F2 對應的改變內部的工作電壓。例如，若電源資訊 S2 為邏輯 1，則功能模組 F2 內部的工作電壓會被調升至最大準位，以進行全速操作；若電源資訊 S2 為邏輯 0，則功能模組 F2 內部的工作電壓會被調降至低工作準位，以進行省電操作。

圖 5 是依照本發明說明圖 4 的其中一種實施範例。在此假設積體電路僅有兩種電源模式，因此電源模式感知緩衝器 230 內配置兩個延遲通道 411、412。在此實施例中，電源資訊 S2 是電源模式控制信號(數位邏輯信號)，因此便以多工器 421 實現切換單元 420。若電源資訊 S2 為邏輯 1，

則多工器 421 選擇將延遲通道 412 的輸出端電性連接至功能模組 F2 的子時脈樹。若電源資訊 S2 為邏輯 0，則多工器 421 選擇將延遲通道 411 的輸出端電性連接至功能模組 F2 的子時脈樹。

在另一些實施例中，上述電源資訊 S1 與 S2 可以是工作電壓。系統控制器 210 輸出工作電壓，以提供操作電能給功能模組 F1 與 F2。因此，系統控制器 210 可以藉由調整工作電壓 S1 與/或 S2 之準位，來決定功能模組 F1 與 F2 的電源模式。例如，系統控制器 210 可以將工作電壓 S2 調整至最大準位，因此功能模組 F2 得以進行全速操作；系統控制器 210 也可以將工作電壓 S2 調整至低工作準位，因此功能模組 F2 得以進行省電操作。

圖 6 是依照本發明說明圖 4 的另一種實施範例。在此依然假設積體電路僅有兩種電源模式，因此電源模式感知緩衝器 230 內配置兩個延遲通道 411、412。在此實施例中，電源資訊 S2 是供應電能給功能模組 F2 的工作電壓，因此便以類比數位轉換器 422 與多工器 423 實現切換單元 420。類比數位轉換器 422 的輸入端接收電源資訊(工作電壓) S2，並輸出對應的邏輯值給多工器 423。多工器 423 的控制端耦接至類比數位轉換器 422 的輸出端。多工器 423 的多個輸入端各自耦接至這些延遲通道 411、412 中的對應者，而多工器 423 的輸出端電性連接至功能模組 F2 的子時脈樹。若電源資訊 S2 為高電壓，則多工器 423 選擇將延遲通道 412 的輸出端電性連接至功能模組 F2 的子時脈

樹。若電源資訊 S2 為低電壓，則多工器 423 選擇將延遲通道 411 的輸出端電性連接至功能模組 F2 的子時脈樹。

若以具有 9 個不同模組的系統做為實作的測試載具，而該系統中每個模組皆可以操作在 1.32V 與 0.9V 兩種不同的工作電壓，則整個系統共有  $2^9$  種電源模式。以此測試條件下，若以傳統時脈樹(沒有電源模式感知緩衝器)傳輸系統時脈 CLK 給系統中每個模組，則在最差狀況下的時脈歪斜達到 495 微微秒(ps)。若以上述實施例所教示的時脈樹者(配置了電源模式感知緩衝器)傳輸系統時脈 CLK 給系統中每個模組，則最差狀況下的時脈歪斜降低至 165 微微秒(ps)，改善幅度達 66.8%。

綜上所述，上述實施例提供了一種在不影響原本系統效能情況下，加入新的「具電源模式感知之時脈樹」，其中的電源模式感知緩衝器可以依據不同的電源模式產生相對於該模式的時脈延遲。因此，此新的時脈樹可以滿足多種電源模式下的時脈歪斜限制，同時兼顧時脈歪斜與設計及面積成本。在某些應用例下，透過上述實施例的作法，僅需增加 0.06% 的面積成本即可達到減少 66.8% 的時脈歪斜的成果。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

圖 1 說明傳統積體電路中時脈樹(或時脈網路)的示意圖。

圖 2 是依照本發明實施例說明積體電路中時脈樹的示意圖。

圖 3A 與圖 3B 分別顯示 65nm 製程的兩個不同驅動能力緩衝器在不同工作電壓下的延遲關係。

圖 4 是依照本發明說明圖 2 中電源模式感知緩衝器的實施範例。

圖 5 是依照本發明說明圖 4 的其中一種實施範例。

圖 6 是依照本發明說明圖 4 的另一種實施範例。

**【主要元件符號說明】**

110：微處理機單元

120：數位信號處理器

101~107：緩衝器

210：系統控制電路

220、230：電源模式感知緩衝器

411、412、413：延遲通道

420：切換單元

421、423：多工器

422：類比數位轉換器

CLK：系統時脈

F1、F2：功能模組

S1、S2：電源資訊

$V_{\text{DSP}}$ 、 $V_{\text{MPU}}$ ：工作電壓

## 七、申請專利範圍：

1. 一種在積體電路中的時脈樹，包括：

至少二子時脈樹，分別配置於該積體電路的至少二功能模組中，其中該子時脈樹傳遞一延遲時脈給在所述至少二功能模組中所屬功能模組內的不同構件；

一系統控制電路，耦接至所述至少二功能模組，分別提供至少二電源資訊給所述至少二功能模組，其中所述至少二功能模組的每一者的一電源模式是分別依照所述至少二電源資訊中所屬電源資訊而決定；以及

至少二電源模式感知緩衝器，每一電源模式感知緩衝器分別耦接至所述至少二功能模組中所對應功能模組的該子時脈樹與該系統控制電路，用以分別依據所述對應功能模組的該電源資訊而決定一系統時脈的延遲時間，並分別將該系統時脈延遲後做為該延遲時脈而分別輸出給所述至少二功能模組中所對應功能模組的該子時脈樹。

2. 如申請專利範圍第 1 項所述之時脈樹，其中該電源資訊為一電源模式控制信號，而該功能模組依據該電源模式控制信號決定一工作電壓。

3. 如申請專利範圍第 1 項所述之時脈樹，其中該電源資訊為一工作電壓，而該工作電壓提供該功能模組所需之操作電能。

4. 如申請專利範圍第 1 項所述之時脈樹，其中該電源模式感知緩衝器包括：

多個延遲通道，各自具有不同的延遲時間，其中該些延遲通道的輸入端接收該系統時脈；以及

一切換單元，耦接於該些延遲通道與該子時脈樹之間，用以依據該電源資訊而選擇將該些延遲通道其中一者的輸出端電性連接至該子時脈樹。

5. 如申請專利範圍第 4 項所述之時脈樹，其中該切換單元為一多工器。

6. 如申請專利範圍第 4 項所述之時脈樹，其中該切換單元包括：

一類比數位轉換器，其輸入端接收該電源資訊；以及

一多工器，其控制端耦接至該類比數位轉換器的輸出端，該多工器的多個輸入端各自耦接至該些延遲通道中的對應者，而該多工器的輸出端電性連接至該子時脈樹。

7. 一種在積體電路中的時脈樹的合成方法，其中所述積體電路包括至少二功能模組，該合成方法包括：

於所述至少二功能模組的每一者中分別配置一子時脈樹，其中所述子時脈樹分別傳遞一延遲時脈給在所述至少二功能模組中所屬功能模組內的不同構件；

配置一系統控制電路，耦接至所述至少二功能模組，其中所述系統控制電路分別提供至少二電源資訊給所述至少二功能模組，其中所述至少二功能模組的每一者的一電源模式是分別依照所述至少二電源資訊中所屬電源資訊而決定；以及

配置至少二電源模式感知緩衝器以提供該延遲時脈給所述至少二功能模組中所對應功能模組的該子時脈樹，每一電源模式感知緩衝器分別耦接至所述至少二功能模組中所對應功能模組的該子時脈樹與該系統控制電路，其中所述至少二電源模式感知緩衝器的每一者分別依據所述至少二電源資訊中所屬電源資訊而決定一系統時脈的延遲時間，並分別將該系統時脈延遲後做為該延遲時脈而分別輸出給所述至少二功能模組中所對應功能模組的該子時脈樹。

8. 如申請專利範圍第 7 項所述時脈樹的合成方法，其中該電源資訊為一電源模式控制信號，而該功能模組依據該電源模式控制信號決定一工作電壓。

9. 如申請專利範圍第 7 項所述時脈樹的合成方法，其中該電源資訊為一工作電壓，而該工作電壓提供該功能模組所需之操作電能。

10. 如申請專利範圍第 7 項所述時脈樹的合成方法，包括：

當該電源模式表示該功能模組操作於一第一電壓時，對該時脈樹的時脈延遲進行最佳化，以決定該電源模式感知緩衝器中對應於該第一電壓的一第一延遲時間。

修正頁(本)  
對線  
2002年5月10日

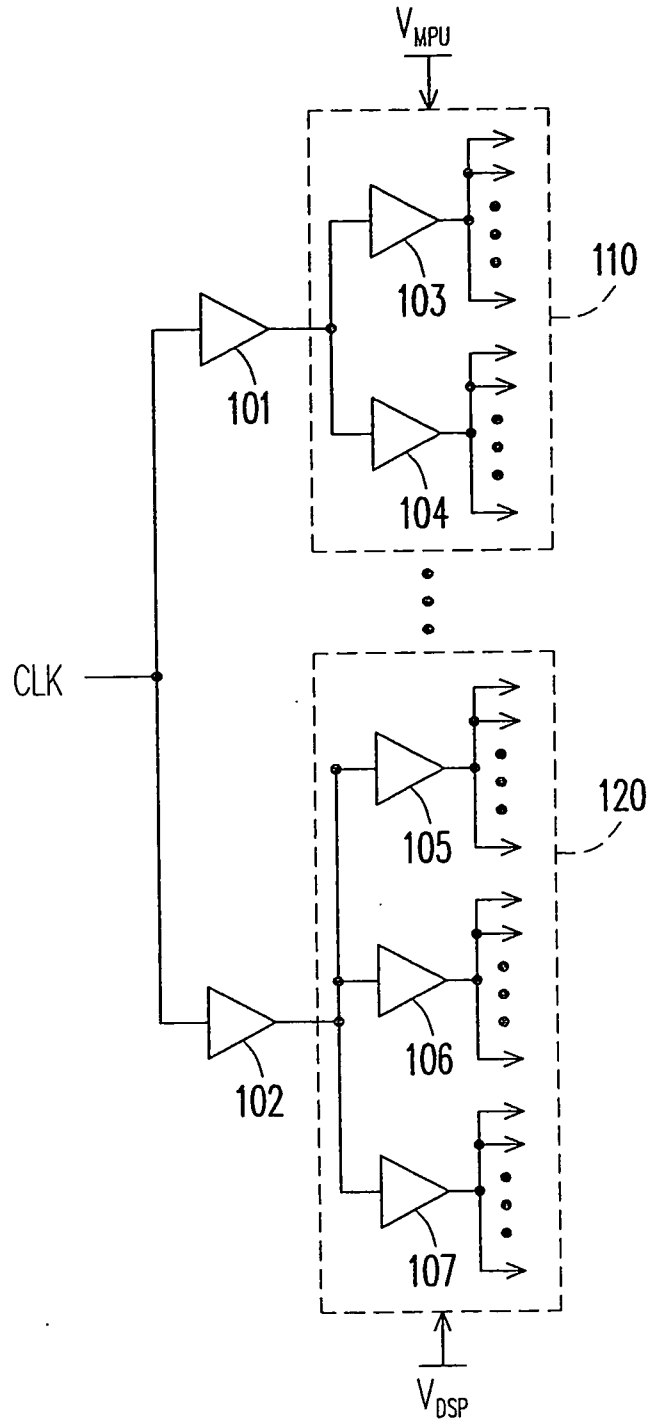


圖 1

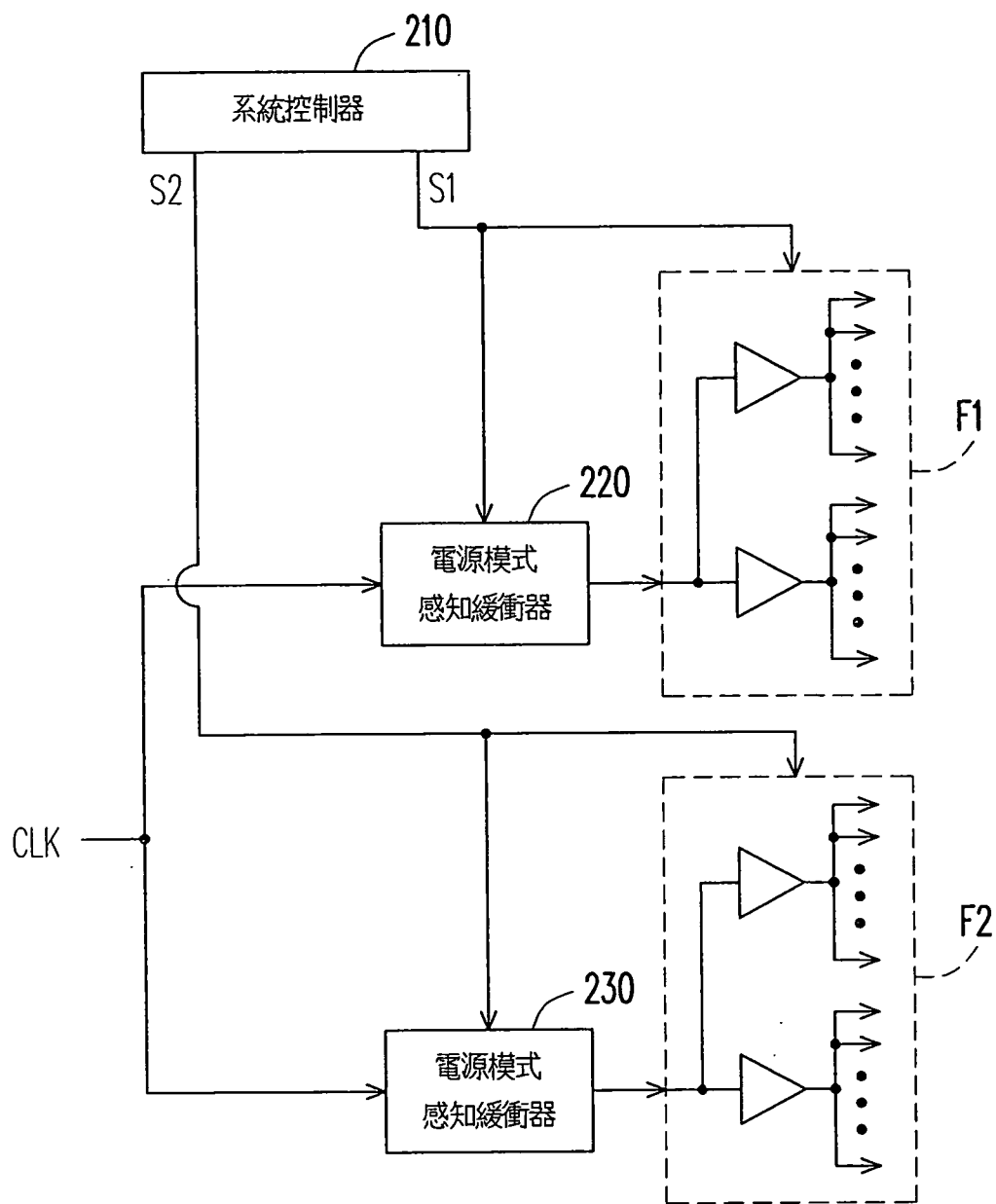


圖 2

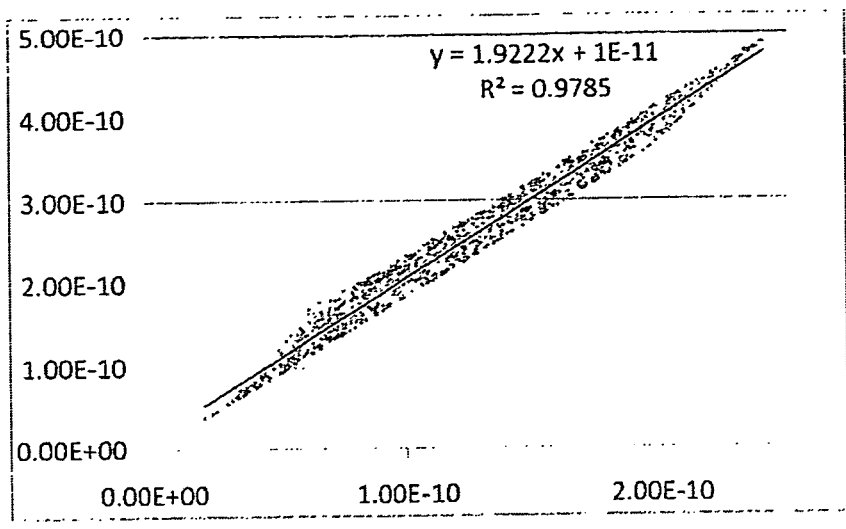


圖 3A

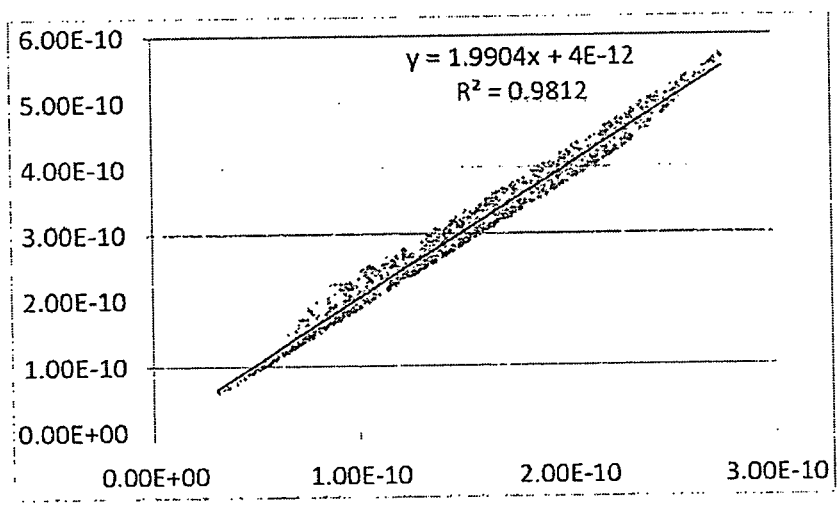


圖 3B

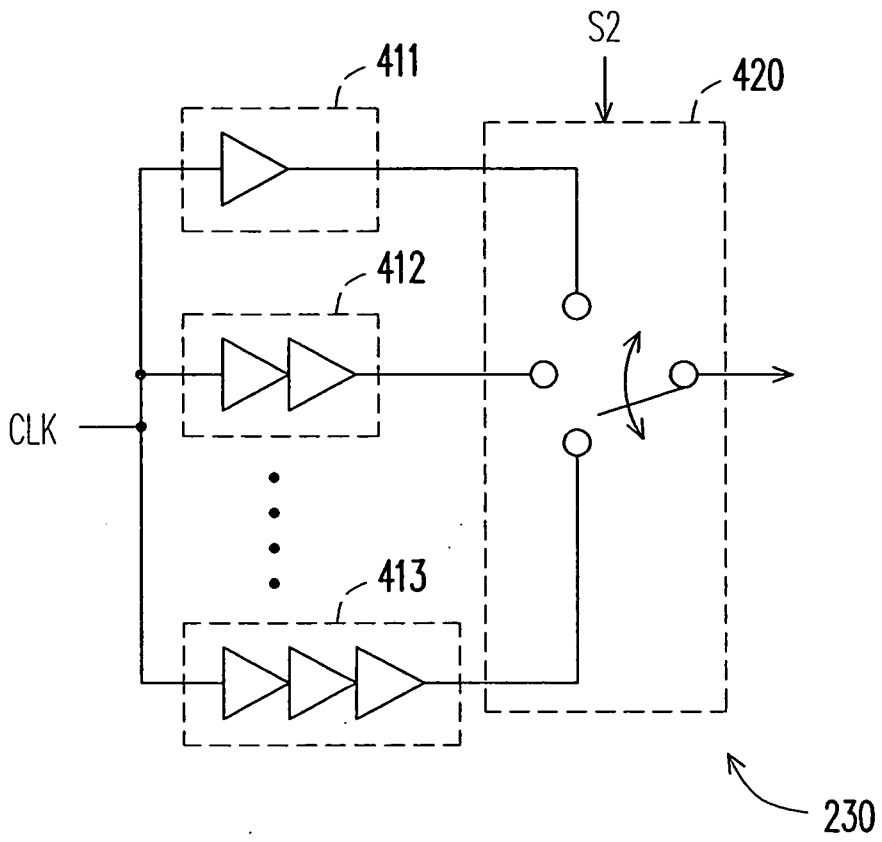


圖 4

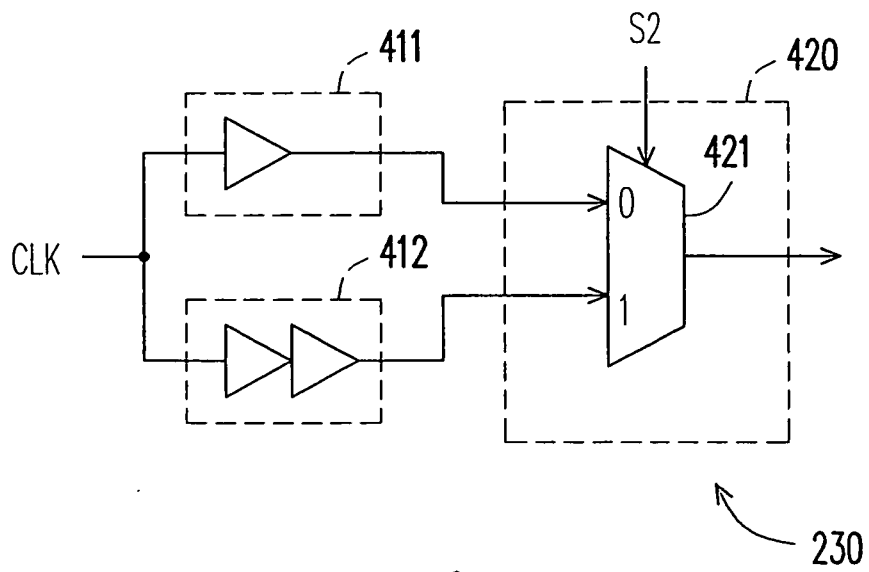


圖 5

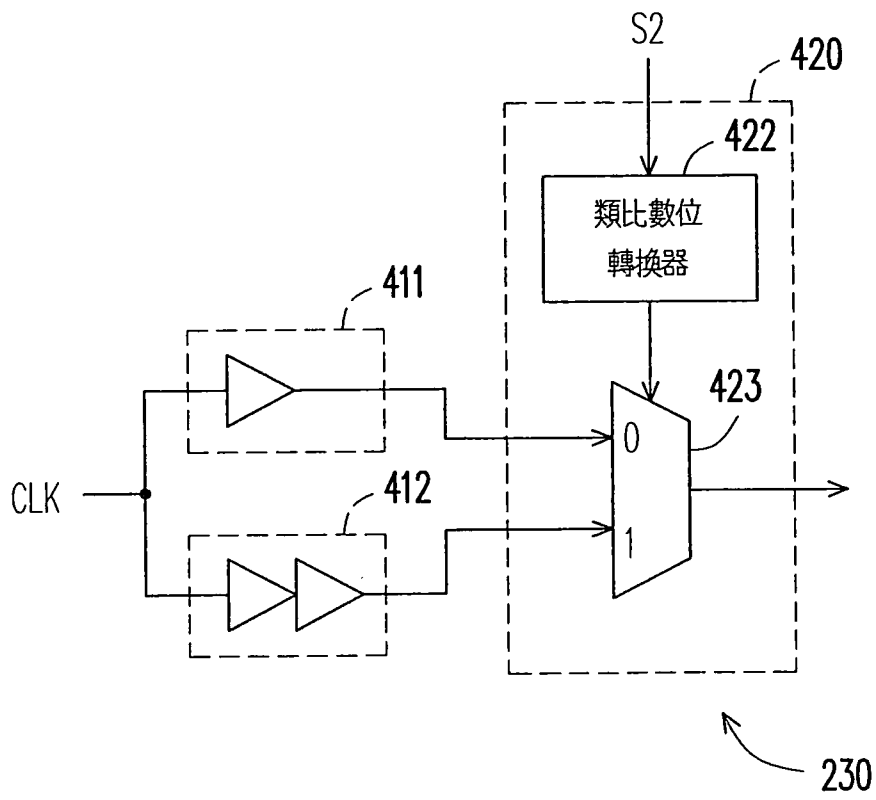


圖 6