

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/768

H01L 23/485



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 96120327.7

[45] 授权公告日 2004 年 6 月 16 日

[11] 授权公告号 CN 1154170C

[22] 申请日 1996.9.28 [21] 申请号 96120327.7

[30] 优先权

[32] 1995. 9. 29 [33] JP [31] 253736/1995

[32] 1996. 8. 12 [33] JP [31] 212332/1996

[71] 专利权人 东芝株式会社

地址 日本国神奈川县

[72] 发明人 猪原正弘 柴田英毅 松能正

审查员 朱芳芳

[74] 专利代理机构 上海专利商标事务所

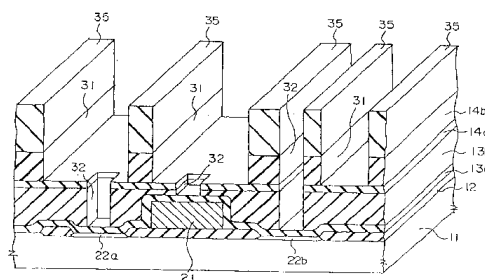
代理人 沈昭坤

权利要求书 3 页 说明书 19 页 附图 29 页

[54] 发明名称 半导体器件及其制造方法

[57] 摘要

本发明半导体器件及其制造方法提供配线宽度、间隔缩小的下一代配线方法。该半导体器件具备半导体基片、形成于半导体基片上的第 1 阻挡层膜、在第 1 阻挡层膜上形成的第 1 绝缘膜、在第一绝缘膜上形成的第 2 阻挡层膜、在第 2 阻挡层膜上形成的第 2 绝缘膜、以及导电构件，其填满设于第 2 阻挡层膜与第 2 绝缘膜的沟槽内和设于第 1 阻挡层膜与第 1 绝缘膜内并从沟槽的底部达到半导体基片的接触内；在由接触孔的底面和侧面限定的角落部的第 1 阻挡层膜具有锥形形状且与接触孔的底面和侧面相交呈钝角，在由沟槽的底面与侧面限定的角落部的第 2 阻挡层膜具有锥形形状且与沟槽的底面和侧面相交呈钝角。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种半导体器件，其特征在于，具备：

半导体基片、

形成于所述半导体基片上的第1阻挡层膜、

在所述第1阻挡层膜上形成的第1绝缘膜、

在所述第1绝缘膜上形成的第2阻挡层膜、

在所述第2阻挡层膜上形成的第2绝缘膜、以及

导电构件，其填满设于所述第2阻挡层膜与所述第2绝缘膜的沟槽内和设于所述第1阻挡层膜与所述第1绝缘膜，并且填满设于从所述沟槽的底部达到所述半导体基片的接触孔内；在由所述接触孔的底面和侧面限定的角落部的所述第1阻挡层膜具有锥形形状且所述第1阻挡层膜的表面与所述接触孔的底面和侧面相交呈钝角，在由所述沟槽的底面与侧面限定的角落部的所述第2阻挡层膜具有锥形形状且所述第2阻挡层膜的表面与所述沟槽的底面和侧面相交呈钝角。

2. 一种半导体器件其特征在于，具有：

半导体基片、

形成于所述半导体基片上的配线、

在所述配线上形成的第1阻挡层膜、

在所述第1阻挡层膜上形成的第1绝缘膜、

所述第1绝缘膜上形成的第2阻挡层膜、

在所述第2阻挡层膜上形成的第2绝缘膜、以及

导电构件，其填满设于所述第2阻挡层膜和所述第2绝缘膜上所设的沟槽内以及设于所述第1阻挡层膜与第1绝缘膜，并且填满设于从所述沟槽的底部达到所述配线的接触孔内；所述接触孔的底面与侧面限定的角落部的所述第1阻挡层膜具有锥形形状且所述第1阻挡层膜的表面与所述接触孔的底面和侧面相交呈钝角，在由所述沟槽的底面与侧面限定的角落部的所述第2阻挡层膜具有锥形形状且所述第2阻挡层膜的表面与所述沟槽的底面和侧面相交呈钝角。

3. 根据权利要求1所述的半导体器件，其特征在于，所述导电构件由在所述接触孔的底面和侧面以及所述沟槽的底面和侧面上形成的底膜、与填满所述接触孔内及所述沟槽内的金属膜构成。

4. 根据权利要求1所述的半导体器件，其特征在于，所述导电构件由填满所述接触孔的金属膜、形成于所述沟槽的底面和侧面及填满接触孔的金属膜上的底膜、以及填满所述沟槽内的金属膜构成。

5. 根据权利要求2所述的半导体器件, 其特征在于, 所述导电构件由形成于所述接触孔的底面及侧面和所述沟槽的底面及侧面的底膜、以及填满所述接触孔内和所述沟槽内的金属膜构成。

6. 根据权利要求2所述的半导体器件, 其特征在于, 所述导电构件由填满所述接触孔的金属膜、形成于所述沟槽的底面和侧面和填满接触孔的金属膜上的底膜、以及填满所述沟槽内的金属膜构成。

7. 一种半导体器件, 其特征在于, 具有:

半导体基片、

形成于所述半导体基片上的阻挡层膜、

形成于所述阻挡层膜上的绝缘膜、以及

导电构件, 填满设在从所述绝缘膜的表面达到所述半导体基片表面的接触孔内;

在由所述接触孔的底面和侧面限定的角落部的所述阻挡层膜具有锥形形状且该阻挡层膜的表面与接触孔的底面和侧面相交呈钝角。

8. 根据权利要求7所述的半导体器件, 其特征在于, 所述导电构件由形成于所述接触孔的底面及侧面的底膜、和填满所述接触孔内的金属膜构成。

9. 一种半导体器件, 其特征在于, 具有

半导体基片、

形成于所述半导体基片上的第1绝缘膜、

形成于所述第1绝缘膜上的阻挡层膜、

形成于所述阻挡层膜上的第2绝缘膜、以及

导电构件, 填满设在从所述第2绝缘膜表面达到所述第1绝缘膜表面的沟槽内;

在由所述沟槽的底面与侧面限定的角落部的所述阻挡层膜具有锥形形状且该阻挡层膜的表面与所述沟槽的底面和侧面相交呈钝角。

10. 根据权利要求9所述的半导体器件, 其特征在于, 所述导电构件由形成于所述沟槽底面及侧面的底膜和填满所述沟槽内的金属膜构成。

11. 一种半导体器件的制造方法, 其特征在于, 具备:

在半导体基片上形成阻挡层膜的工序、

在所述阻挡层膜上形成绝缘膜的工序、

刻蚀所述绝缘膜, 形成从所述绝缘膜表面达到所述阻挡层膜的表面的接触孔的工序、

将所述接触孔底部的所述阻挡层膜, 利用含碳气体氛围中进行的反应性离子刻蚀方法去除、使所述接触孔底面与侧面的角落部留下呈锥状的所述阻挡层膜的工

序、以及

在所述接触孔内填满导电构件的工序。

12. 根据权利要求 11 所述的半导体器件的制造方法，其特征在于，接触孔的底面及侧面形成底膜后，在所述底膜上形成金属膜，以此使所述导电构件填满所述接触孔内。

13. 一种半导体器件的制造方法，其特征在于，具备：

在半导体基片上形成第 1 绝缘膜的工序、

在所述第 1 绝缘膜上形成阻挡层膜的工序、

在所述阻挡层膜上形成第 2 绝缘膜的工序、

刻蚀所述第 2 绝缘膜，形成从第 2 绝缘膜表面达到所述阻挡层膜表面的沟槽的工序、

将所述沟槽底部的所述阻挡层膜利用含碳气体氛围中进行的反应性离子刻蚀方法去除，使所述沟槽底面和侧面的角落部留下呈锥状的所述阻挡层膜的工序、以及

在所述沟槽内填满导电构件的工序。

14. 根据权利要求 13 所述的半导体器件的制造方法，其特征在于，在所述沟槽底面及侧面形成底膜后，用在所述底膜上形成金属膜的方法，使所述导电构件填满所述沟槽内。

15. 根据权利要求 14 所述的半导体器件的制造方法，其特征在于，所述刻蚀工序是以被溅射在绝缘膜上的保护膜为掩膜进行各向异性刻蚀的工序。

半导体器件及其制造方法

技术领域

本发明尤其涉及具有多层配线结构的半导体器件及其制造方法。

背景技术

现在经常使用的配线形成方法，是在绝缘膜上均匀堆积导电膜，再用平版印刷技术和刻蚀技术加工后用化学汽相沉积（CVD）技术在配线之间及配线上面形成绝缘膜的方法。

但是，这样的配线方法，随着半导体集成电路的高度集成化，配线宽度和配线间隔的缩小，要正确进行配线加工和在配线间填满绝缘膜都变得越来越困难。

这里对在绝缘膜形成的构槽里充满导电膜形成配线的配线方法（下称埋入配线方法）进行探讨。

图 39 至图 42 表示埋入配线形成方法的各工序。

首先，如图 39 所示，在硅基片 1 1 上形成电场(field)氧化膜 1 2。在被场氧化膜包围的元件区域，形成例如 MOS 晶体管。在硅基板 1 1 上的整个面上形成硅氧化膜 1 3、1 4。

而后，用照像刻蚀工艺加工硅氧化膜 1 4，形成配线形成的沟槽 3 1 和接触孔 3 2。接着，用照像刻蚀工艺加工硅氧化膜 1 3，形成从沟槽 3 1 的底部分别达到 MOS 晶体管的栅极 2 1、源极-漏极区域 2 2 a、2 2 b 的接触孔 3 2。

接着，如图 40 所示，在硅基片 1 1 上面整个面上形成导电膜 1 6，并且，使用 CMP（化学机械研磨）技术使这种导电膜 1 6 只留在沟槽 3 1 内及接触孔 3 2 内。

接着，如图 41 所示，在硅氧化膜 1 4 及导电膜 1 6 上形成硅氧化膜 1 7、1 8。然后，用照像刻蚀工艺加工硅氧化膜 1 8，形成用于形成配线的沟槽 3 3 及接触孔 3 4。接着用照像刻蚀工艺加工硅氧化膜 1 7，形成从沟槽 3 3 底部到导电膜 1 4 的接触孔 3 4。

然后，在硅基片 1 1 上部的整个面上形成导电膜 2 0、并且用 CMP（化学机械研磨）技术使这一导电膜 2 0 只在沟槽 3 3 内和接触孔 3 4 内留下。然后，在硅氧化膜 1 8 上及导电膜 2 0 上形成配线保护膜 1 9。

在上述配线形成方法中，用于形成配线的沟槽 3 1、3 3 和形成于该沟槽 3 1、3 3 内、连接上层配线和下层配线用的接触孔 3 2、3 4 分别用照像刻蚀工艺形成。

在这种情况下，如图 42 所示，在形成接触孔 3 2、3 4 的照像刻蚀工艺中，存在如下缺点：由于用来形成配线的沟槽 3 1、3 3 的台阶状高差，保护膜 3 5 正确解像发生困难。

又，硅氧化膜 1 4，1 8 上形成的沟槽 3 1、3 3 底面与侧面成直角相交，而且硅氧化膜 1 3，1 7 上形成的接触孔 3 2、3 4 的底面与侧面也成直角相交，因此，导电膜 1 6、2 0 的敷层（Coverage）变坏。

发明内容

本发明点是为解决上述缺点而作出的，其目的在于，提供即使在由于半导体集成电路的高集成化，配线宽度和配线间隔变窄的情况下，也能以高精度、高成品率、低成本提供多层配线的半导体器件的下一代配线方法，以及提供用来将导体膜完全填满接触孔内或用于形成配线的沟槽内的半导体器件及其制造方法。

为了达到上述目的，本发明的半导体器件其特征在于，具备：半导体基片、形成于所述半导体基片上的第 1 阻挡层膜、在所述第 1 阻挡层膜上形成的第 1 绝缘膜、在所述第 1 绝缘膜上形成的第 2 阻挡层膜、在所述第 2 阻挡层膜上形成的第 2 绝缘膜、以及导电构件，其填满设于所述第 2 阻挡层膜与所述第 2 绝缘膜的沟槽内和设于所述第 1 阻挡层膜与所述第 1 绝缘膜并填满设于从所述沟槽的底部达到所述半导体基片的接触孔内；在由所述接触孔的底面和侧面限定的角落部的所述第 1 阻挡层膜具有锥形形状且其表面与所述接触孔的底面和侧面相交呈钝角，在由所述沟槽的底面与侧面限定的角落部的所述第 2 阻挡层膜具有锥形形状且其表面与所述沟槽的底面和侧面相交呈钝角。

又，本发明的半导体器件其特征在于，具有：半导体基片、形成于所述半导体基片上的配线、在所述配线上形成的第 1 阻挡层膜、在所述第 1 阻挡层膜上形成的第 1 绝缘膜、所述第 1 绝缘膜上形成的第 2 阻挡层膜、在所述第 2 阻挡层膜上形成的第 2 绝缘膜、以及导电构件，其填满设于所述第 2 阻挡层膜和所述第 2 绝缘膜上所设的沟槽内以及设于所述第 1 阻挡层膜与第 1 绝缘膜，并且填满设于从所述沟槽的底部达到所述配线的接触孔内；所述接触孔的底面与侧面限定的角落部的所述第 1 阻挡层膜具有锥形形状且其表面与所述接触孔的底面和侧面相交呈钝角，在由所述沟槽的底面与侧面限定的角落部的所述第 2 阻挡层膜具有锥形形状且其表面与所述沟槽的底面和侧面相交呈钝角。

最好，所述导电构件由在所述接触孔的底面和侧面以及所述沟槽的底面和侧面上形成的底膜、与填满所述接触孔内及所述沟槽内的金属膜构成。

最好，所述导电构件由填满所述接触孔的金属膜、形成于所述沟槽的底面和侧面及填满接触孔的金属膜上的底膜、以及填满所述沟槽内的金属膜构成。

最好,所述导电构件由形成于所述接触孔的底面及侧面和所述沟槽的底面及侧面的底膜、以及填满所述接触孔内和所述沟槽内的金属膜构成。

最好,所述导电构件由填满所述接触孔的金属膜、形成于所述沟槽的底面和侧面和填满接触孔的金属膜上的底膜、以及填满所述沟槽内的金属膜构成。

本发明的半导体器件,其特征在于,具有:半导体基片、形成于所述半导体基片上的阻挡层膜、形成于所述阻挡层膜上的绝缘膜、以及导电构件,填满设在从所述绝缘膜的表面达到所述半导体基片表面的接触孔内;在由所述接触孔的底面和侧面限定的角落部的所述阻挡层膜具有锥形形状且该阻挡层膜的表面与接触孔的底面和侧面相交呈钝角。

最好,所述导电构件由形成于所述接触孔的底面及侧面的底膜、和填满所述接触孔内的金属膜构成。

本发明的半导体器件,其特征在于,具有:半导体基片、形成于所述半导体基片上的第1绝缘膜、形成于所述第1绝缘膜上的阻挡层膜、形成于所述阻挡层膜上的第2绝缘膜、以及导电构件,填满设在从所述第2绝缘膜表面达到所述第1绝缘膜表面的沟槽内;在由所述沟槽的底面与侧面限定的角落部的所述阻挡层膜具有锥形形状且与所述沟槽的底面和侧面相交呈钝角。

最好,所述导电构件由形成于所述沟槽底面及侧面的底膜和填满所述沟槽内的金属膜构成。

又,本发明的半导体器件的制造方法,其特征在于,具备:在半导体基片上形成阻挡层膜的工序、在所述阻挡层膜上形成绝缘膜的工序、刻蚀所述绝缘膜,形成从所述绝缘膜表面达到所述阻挡层膜的表面的接触孔的工序、将所述接触孔底部的所述阻挡层膜,利用含碳气体氛围中进行的反应性离子刻蚀方法去除、使所述接触孔底面与侧面的角落部留下呈锥状的所述阻挡层膜的工序、以及在所述接触孔内填满导电构件的工序。

最好,接触孔的底面及侧面形成底膜后,在所述底膜上形成金属膜,以此使所述导电构件填满所述接触孔内。

本发明的半导体器件的制造方法,其特征在于,具备:在半导体基片上形成第1绝缘膜的工序、在所述第1绝缘膜上形成阻挡层膜的工序、在所述阻挡层膜上形成第2绝缘膜的工序、刻蚀所述第2绝缘膜,形成从第2绝缘膜表面达到所述阻挡层膜表面的沟槽的工序、将所述沟槽底部的所述阻挡层膜利用含碳气体氛围中进行的反应性离子刻蚀方法去除,使所述沟槽底面和侧面的角落部留下呈锥状的所述阻挡层膜的工序、以及在所述沟槽内填满导电构件的工序。

最好,在所述沟槽底面及侧面形成底膜后,用在所述底膜上形成金属膜的方法,使所述导电构件填满所述沟槽内。

最好，所述刻蚀工序是以被溅射在绝缘膜上的保护膜为掩膜进行各向异性刻蚀的工序。

附图说明

图 1 表示本发明第 1 实施例的半导体器件的剖面图。

图 2 表示本发明第 2 实施例的半导体器件的剖面图。

图 3 表示本发明第 3 实施例的半导体器件的剖面图。

图 4 表示本发明第 4 实施例的半导体器件的剖面图。

图 5 是表示本发明的第 1 实施例的制造方法的一种工艺的剖面图。

图 6 是表示本发明第 1 实施例的制造方法的一种工艺的剖面图。

图 7 是表示本发明第 1 实施例的制造方法的一种工艺的立体图。

图 8 是表示本发明第 1 实施例的制造方法的一种工艺的剖面图。

图 9 是表示本发明第 1 实施例的制造方法的一种工艺的立体图。

图 10 是表示本发明第 1 实施例的制造方法的一种工艺的立体图。

图 11 是表示本发明第 1 实施例的制造方法的一种工艺的剖面图。

图 12 是表示本发明第 2 实施例的制造方法的一种工艺的剖面图。

图 13 是表示本发明第 3 实施例的制造方法的一种工艺的剖面投影图。

图 14 是表示本发明第 3 实施例的制造方法的一种工艺的剖面投影图。

图 15 是表示本发明第 3 实施例的制造方法的一种工艺的剖面投影图。

图 16 是表示本发明第 3 实施例的制造方法的一种工艺的剖面投影图。

图 17 是表示本发明第 4 实施例的制造方法的一种工艺的剖面投影图。

图 18 是表示本发明第 4 实施例的制造方法的一种工艺的剖面投影图。

图 19 是表示本发明第 4 实施例的制造方法的一种工艺的剖面投影图。

图 20 是表示本发明第 4 实施例的制造方法的一种工艺的剖面投影图。

图 21 是表示本发明第 4 实施例的制造方法的一种工艺的剖面投影图。

图 22 是表示本发明第 3 实施例的制造方法的一种工艺的剖面图。

图 23 是表示本发明第 4 实施例的制造方法的一种工艺的剖面图。

图 24 是表示本发明第 5 实施例的制造方法的、在并行的两条配线上形成对向的两个接点的情况下的配线用沟槽及接触孔的平面图。

图 25 是沿图 24 的 F25~F25 线的剖面投影图。

图 26 是表示本发明第 5 实施例的制造方法的一种工艺的剖面图。

图 27 是表示本发明第 5 实施例的制造方法的一种工艺的剖面图。

图 28 是表示本发明第 5 实施例的制造方法的一种工艺的剖面图。

图 2 9 是表示本发明第 5 实施例的制造方法的一种工艺的剖面图。
图 3 0 是表示本发明第 6 实施例的制造方法的一种工艺的剖面图。
图 3 1 是表示本发明第 6 实施例的制造方法的一种工艺的剖面图。
图 3 2 是用于说明本发明第 7 实施例的制造方法的剖面图。
图 3 3 是表示本发明第 8 实施例的一种工艺的剖面图。
图 3 4 是表示本发明第 8 实施例的制造方法的一种工艺的剖面图。
图 3 5 是表示本发明第 8 实施例的制造方法的一种工艺的剖面图。
图 3 6 是用于说明本发明第 9 实施例的制造方法的剖面图。
图 3 7 是用于说明本发明的实施例的应用例的剖面图。
图 3 8 是用于说明本发明的实施例的应用例的剖面图。
图 3 9 是表示已有的制造方法的一种工艺的剖面图。
图 4 0 是表示已有的制造方法的一种工艺的剖面图。
图 4 1 是表示已有的制造方法的一种工艺的剖面图。
图 4 2 是表示已有的制造方法的一种工艺的剖面图。
图 4 3 是表示形成接触孔的已有的制造方法的一种工艺的剖面图。
图 4 4 是表示形成接触孔的已有的制造方法的一种工艺的剖面图。
图 4 5 是表示形成接触孔的已有的制造方法的一种工艺的剖面图。
图 4 6 (a)、(b) 分别为表示配线沟槽与接触孔的关系的平面图。
图 4 7 (a)、(b) 分别为表示配线沟槽与接触孔的关系的平面图。
图 4 8 是表示形成的具有平版印刷工艺的析像极限间隔的配线沟槽与接触孔的关系的平面图。
图 4 9 表示具有能够应付平版印刷工艺的偏离的接触孔的配线沟槽与接触孔的关系的平面图。

具体实施方式

下面参照附图对本发明的实施例加以详细说明。

图 1 表示本发明第 1 实施例的半导体器件。

在硅基片 1 1 上形成场氧化膜 1 2。在该场氧化膜 1 2 包围的元件区域，形成例如 MOS 晶体管。

在硅基片 1 1 的整个面上，形成厚度约 0.2 微米的阻挡层膜（例如 SiN、SiON、含杂质的 SiO₂等）1 3 a。在阻挡层膜 1 3 a 上形成厚度约 1.2 微米的介电常数低的绝缘膜（例如含氟的 SiO₂等）1 3 b。

而阻挡层膜 1 3 a，必须使用对于绝缘膜 1 3 b 反应性离子刻蚀（RIE）的选择比大的。而且绝缘膜 1 3 b 的表面平整。

在绝缘膜 1 3 上形成约 0.2 微米厚的阻挡层膜（例如 SiN、SiON、含杂质的 SiO₂等）1 4 a。在阻挡层膜 1 4 a 上面，形成厚度约 1.5 微米的介电常数低的绝缘膜（例如含氟 SiO₂等）1 4 b。

又，阻挡层膜 1 4 a 必须使用对于绝缘膜 1 4 b 反应性离子刻蚀（RIE）的选择比大的。而且绝缘膜 1 4 b 的表面平整。

在绝缘膜 1 4 b 及阻挡层膜 1 4 a 上形成用于形成配线的沟槽 3 1。在该沟槽 3 1 的底面与侧面的角落部的阻挡层膜 1 4 a 具有锥形，使沟槽 3 1 的底面与侧面的角落部消失。亦即，沟槽 3 1 底面或侧面与阻挡层膜 1 4 a 的锥形面成钝角相交。

在绝缘膜 1 3 b 及阻挡层膜 1 3 a 上，形成从用于形成配线的沟槽 3 1 的底面到达 MOS 晶体管的栅极 2 1 或源-漏极区域 2 2 a 的接触孔 3 2。又在绝缘膜 1 4 b、1 3 b 及阻挡层膜 1 4 a、1 3 a 上形成从绝缘膜 1 4 a 表面到达源-漏极区域 2 2 a 的接触孔 3 2。

在接触孔 3 2 的底面与侧面的角落部的阻挡层膜 1 3 a 呈锥状，使接触孔 3 2 的底面与侧面的角落部消失。亦即，接触孔 3 2 的底面或侧面与阻挡层膜 1 3 a 的锥面成钝角相交。

在沟槽 3 1 的内表面及接触孔 3 2 的内表面，形成厚度约 0.1 微米的配线底膜（例如 Ti、Co、W 等）1 6 a。该底膜 1 6 a 在沟槽 3 1 的内表面（包括阻挡层膜 1 4 a 的锥面）及接触孔 3 2 的内表面（包含阻挡层膜 1 3 a 的锥面）以均匀的膜厚和良好的敷层（Coverage）形成。

在底膜 1 6 a 上形成完全填满沟槽 3 1 或接触孔 3 2 的导电膜（例如 Al-Cu-Si、Al-Cu、Cu 等）1 6 b。又由底膜 1 6 a 与导电膜 1 6 b 构成配线及接点（Conduct plug）。

在绝缘膜 1 4 b 及导电膜 1 6 b 上形成用来保护配线的配线保护膜 1 9。

采用所述结构的半导体器件，配线和上下配线的接点形成一体，因此，这些配线和接点可以同时形成，因而有降低成本的好处。而沟槽的角落部及接触孔的角落部的阻挡层膜 1 3 a、1 4 a 呈锥状。即沟槽 3 1 到接触孔 3 2 的底面或侧面与阻挡层膜 1 3 a 的锥面成钝角相交。

从而，配线的底膜 1 6 a，可以在沟槽 3 1 的内表面（包括阻挡层膜 1 4 a 的锥面）及接触孔 3 2 的内表面（包括阻挡层膜 1 3 a 的锥面）以均匀的膜厚和良好的敷面形成。

图 2 表示本发明第 2 实施例的半导体器件。硅基片 1 1 上形成有场氧化膜 1 2。在该场氧化膜 1 2 包围的元件区域 7 形成例如 MOS 晶体管。

在硅基片 1 1 的整个面上形成厚度约为 0.2 微米的阻挡层膜（例如 SiN、SiON、含杂质的 SiO₂等）1 3 a。在阻挡层膜 1 3 a 上形成厚度约为 1.2 微米

的低介电常数绝缘膜（例如含氟的 SiO_2 等）13b。

而且，阻挡层膜13a必须使用对绝缘膜13b反应性离子刻蚀的选择比大的。而且绝缘膜13b的表面平整。

在绝缘膜13上形成厚度约0.2微米的阻挡层膜（例如 SiN 、 SiON 、含杂质的 SiO_2 等）14a。在阻挡层膜14a上形成厚度约1.5微米的介电常数低的绝缘膜（例如含氟 SiO_2 等）14b。

还有，阻挡层膜14a必须使用对绝缘膜14b反应性离子刻蚀的选择比大的。而且绝缘膜14b的表面平整。

在绝缘膜14b及阻挡层膜14a上形成用于形成配线的沟槽31。在该沟槽31的底面与侧面的角落部的阻挡层膜14a呈锥状，消除了沟槽31的底面与侧面的角落部。亦即，沟槽31的底面或侧面与阻挡层膜14a的锥面成钝角相交。

在绝缘膜13b及阻挡层膜13a形成从用于形成配线的沟槽31底面达到MOS晶体管栅极21或源极-漏极区域22a的接触孔31。而绝缘膜14b、13b及阻挡层膜14a、13a上形成从绝缘膜14a表面达到源极-漏极区域22a的接触孔32。

接触孔32底面和侧面的角落部的阻挡层膜13a呈锥状，消除了接触孔32底面与侧面的角落部。亦即，接触孔32的底面或侧面与阻挡层膜13a的锥面成钝角相交。

在设于绝缘膜13的接触孔32内，形成完全填满该接触孔32的导电膜（例如钨等）16c。导电膜正下方的源-漏极区域22a、22b上形成硅化物层（例如硅化钨）25。

在设于绝缘膜13的沟槽31的内表面及接触孔32的内表面形成厚度约0.1微米的配线的底膜（例如 Ti 、 Co 、 W 等）16a。这底膜16a在沟槽31的内表面（包括阻挡层膜14a的锥面）及接触孔32内表面以均匀的膜厚及良好的敷层形成。

在底膜16a上形成完全填满沟槽31或接触孔32的导电膜（例如 Al-Cu-Si 、 Al-Cu 、 Cu 等）16b。而由底膜16a及导电膜16b构成配线及接点。

绝缘膜16b上及导电膜16b上形成保护配线用的配线保护膜19。

采用上述结构的半导体器件、沟槽角落部及接触孔的角落部的阻挡层膜13a、14a呈锥状。亦即，沟槽31或接触孔32的底面或侧面与阻挡层膜13a的锥面成钝角相交。

从而，配线的底膜16a可以在沟槽31的内表面（包括阻挡层膜14a的锥面）以均匀的膜厚和良好的敷层形成，可以在沟槽31内及接触孔32内完全填满导电膜16b、16c。

图3表示本发明第3实施例的半导体器件。这一半导体器件是图1的半导体器件的变形例。

亦即，这一实施例的半导体器件与第1实施例的半导体器件的不同点在于使用埋入硅基片11内的埋入氧化膜12'代替场氧化膜12。

该实施例的半导体器件的其他结构与第1实施例的半导体器件的结构相同。

上述结构也能取得与第1实施例的半导体器件相同的效果。

图4表示本发明第4实施例的半导体器件。该半导体器件是图2的半导体器件的变形例。

亦即，该实施例的半导体器件与第2实施例的半导体器件的不同点在于，用埋入硅基片11内的埋入氧化膜12'代替场氧化膜12。

本实施例的半导体器件的其他结构与第2实施例的半导体器件的结构相同。

上述结构也可以得到与第2实施例的半导体器件相同的效果。

下面对本发明第1实施例的半导体器件的制造方法加以详细说明。在实施例中，以所述第1实施例的半导体器件为例加以说明。

首先，如图5所示，使用LOCOS（硅的局部氧化）法，在硅基片11上形成场氧化膜12。在场氧化膜12包围的元件区域，例如MOS晶体管。21是MOS晶体管的栅极，22a、22b是MOS晶体管的源极-漏极区域。

接着，如图6所示，使用等离子体化学汽相沉积法在硅基片11上的整个面上形成厚度约0.2微米的阻挡层膜（例如SiN、SiON、含杂质的SiO₂等）13a。

接着用等离子体化学汽相沉积法在阻挡层膜13a上形成其厚度约为1.2微米的低介电常数的绝缘膜（例如SiO₂、含氟SiO₂等）13b。

而后，使用化学机械研磨（CMP）方法和保护刻蚀（resist etching）方法等表面平整技术将绝缘膜13b的上表面加工平整。

阻挡层膜13a必须使用对绝缘膜13b反应性离子刻蚀的选择比大的。而且将绝缘膜13b加工平整的工序在绝缘膜13b的厚度十分厚的性况下不一定必要。

接着，如图7所示，用等离子体化学汽相沉积法在绝缘膜13b上形成厚度约为0.2微米的阻挡层膜（例如SiN、SiON、含杂质的SiO₂等）14a。

又用平版印刷技术与反应性离子刻蚀技术进行照像刻蚀工序，在阻挡层膜14a上形成用来形成接点的开口36。

接着，如图8所示，使用等离子化学汽相沉积法在阻挡层膜14a上形成厚度约为1.5微米，介电常数低的绝缘膜（例如SiO₂、含氟SiO₂等）14b。

而后，用化学机械研磨法及保护刻蚀法等平整化技术将绝缘膜14b的上表面弄平整。

还有，阻挡层膜 1 4 a 必须使用对绝缘膜 1 4 b 反应性离子刻蚀的选择比大的。而且在绝缘膜 1 4 b 的厚度十分厚的情况下绝缘膜 1 4 b 的平整化工序不一定必要。

接着，如图 9 所示，在绝缘膜 1 4 b 上形成保护膜 3 5，用平版印刷技术使保护膜形成图案，以此在保护膜 3 5 上形成配线图案。

而后，用反应性离子刻蚀法同时刻蚀绝缘膜 1 4 b 与绝缘膜 1 3 b。结果，在绝缘膜 1 4 b 上形成具有与配线图案相同的图案的沟槽 3 1，在绝缘膜 1 3 b 上形成用来形成接点的接触孔 3 2。

这时，阻挡层膜 1 3 a、1 4 a 为对于绝缘膜 1 3 b、1 4 b 反应性离子刻蚀的选择比大的。即阻挡层膜 1 3 a、1 4 a 在成为反应性离子刻蚀的阻挡层膜的同时，阻挡层膜 1 4 a 成为用来形成接触孔 3 2 的掩膜。

从而，可以同时形成用于形成配线的沟槽 3 1、和用于形成连接上下配线（或基片与配线）的接点的接触孔 3 2。亦即，能够自我调整地形成接触孔 3 2，因此，能够降低造价。

又，保护膜 3 5 形成于表面平整的绝缘膜 1 4 b 上、因而能够在绝缘膜 1 4 b 上形成正确的配线图案（沟槽）。亦即能够在正确的位置上形成沟槽 3 1 及接触孔 3 2，因而，即使对于元件精细的情况也能充分对付。

接着，如图 10 所示，刻蚀时在侧壁保护膜形成的条件下进行反应性离子刻蚀，除去沟槽 3 1 的底部及接触孔的底部阻挡层膜 1 3 a、1 4 a。

其结果是，沟槽 3 1 的底面与侧面的角落部的阻挡层膜 1 4 a 的形状呈锥状。即阻挡层膜 1 4 a 的锥面与沟槽 3 1 的底面或侧面成钝角相交。

同样，接触孔 3 2 的底面与侧面的角落部的阻挡层膜 1 3 a 的形状也成锥状。亦即，阻挡层膜 1 3 a 的锥面与接触孔 3 2 的底面或侧面成钝角相交。

还有，作为刻蚀时侧壁形成保护膜的条件，有例如在含碳气体氛围中进行反应性离子刻蚀。

此后剥离防护膜 3 5。

接着，如图 11 所示，用溅射法或化学汽相沉积法形成厚度约 0.1 微米的配线及接点的底膜（例如 Ti、Co、W 等）1 6 a。

这时，沟槽 3 1 及接触孔 3 2 的角落部的阻挡层膜 1 3 a、1 4 a 的形状呈锥状，因此，底膜 1 6 a 以均匀的厚度和良好的敷层覆盖沟槽 3 1 的内表面和接触孔 3 2 的内表面。

又用溅射法及化学汽相沉积法在底膜 1 6 a 上形成厚度约 2.0 微米的导电膜（例如 Al-Cu-Si、Al-Cu、Cu 等）1 6 b。

又使用化学机械研磨法，刻蚀导电膜 1 6 b，只使沟槽 3 1 内及接触孔 3 2 内

留下导电膜 1 6 b。结果，配线和接点同时形成。

而后，用等离子体化学汽相沉积法形成膜厚约 0.3 微米的配线保护膜（例如 SiO_2 等）。

采用上述制造方法，以保护膜 3 5 为掩膜，形成用于形成配线的沟槽 3 1，同时以该保护膜 3 5 及阻挡层膜 1 4 a 为掩膜，自动调整地形成用于形成接点的接触孔 3 2。

从而，可同时形成配线图案（沟槽）和接点图案（接触孔），可以对工序的简化导致的成本降低作出贡献。

又，沟槽 3 1 的角落部及接触孔 3 2 的角落部的阻挡层膜 1 3 a，1 4 a 有可能做成锥状。即沟槽 3 1 或接触孔 3 2 的底面或侧面与阻挡层膜 1 3 a 的锥面成钝角相交。

从而，配线的底膜 1 6 a 可以以均匀的膜厚和良好的敷层形成于沟槽 3 1 的内表面（包括阻挡层膜 1 4 a 的锥面）和接触孔 3 2 的内表面（包括阻挡层膜 1 3 a 的锥面），可以使导电膜 1 6 b、1 6 c 完全填满沟槽 3 1 内和接触孔 3 2 内。

下面，对本发明的第 2 实施例的半导体器件和制造方法进行详细说明。还有，本实施例中以上述第 2 实施例的半导体器件为例加以说明。

首先，用与上述第 1 实施例的制造方法相同的方法进行，直到形成沟槽 3 1 及接触孔 3 2 为止。

亦即，如图 5 所示，使用 LOCOS 方法，在硅基片 1 1 上形成场氧化膜 1 2。在场氧化膜 1 2 包围的元件区域形成例如 MOS 晶体管。2 1 为 MOS 晶体管的栅极，2 2 a、2 2 b 为 MOS 晶体管的源极-漏极区域。

接着，如图 6 所示，用等离子体 CVD 法，在硅基片 1 1 上的整个面上形成厚度约 0.2 微米的阻挡层膜（例如 SiN 、 SiON 、含杂质 SiO_2 等）1 3 a。

接着用等离子体 CVD 法在阻挡层膜 1 3 a 上形成膜厚约 1.2 微米的低介电常数的绝缘膜（例如 SiO_2 含氟 SiO_2 等）1 3 b。

而后，用 CMP 法及保护膜刻蚀方法等平整化技术使绝缘膜 1 3 b 上表面平整。

再者，阻挡层膜 1 3 a 必须使用对于绝缘膜 1 3 b RIE 选择比大的。而绝缘膜 1 3 b 的平整化工序在绝缘膜 1 3 b 的厚度十分厚的情况下就不一定必要。

接着，如图 7 所示，用等离子体 CVD 法在绝缘膜 1 3 b 上形成厚度约为 0.2 微米的阻挡层膜（例如 SiN 、 SiON 、不含杂质的 SiO_2 等）1 4 a。

又进行使用平版印刷技术和 RIE 技术的照像刻蚀工序，在阻挡层膜 1 4 a 上形成形成接点的开口 3 6。

接着，如图 8 所示，用等离子体 CVD 法在阻挡层膜 1 4 a 上形成厚度约为 1.5 微米的低介电常数的绝缘膜（例如 SiO_2 、含氟 SiO_2 等）1 4 b。

此后，用 CMP 法及保护膜刻蚀法等平整化技术使绝缘膜 1 4 b 上表面平整。

还有，阻挡层膜 1 4 a 必须使用对绝缘膜 RIE 的选择比大的。又，在绝缘膜 1 4 b 的厚度十分厚的情况下，绝缘膜 1 4 b 的平整化工序不一定必要。

如图 9 所示，接着在绝缘膜 1 4 b 上形成保护膜 3 5，用平版印刷技术使保护膜 3 5 形成图案，以此在保护膜 3 5 上形成配线图案。

而后，用 RIE 法同时对绝缘膜 1 4 b 和绝缘膜 1 3 b 进行刻蚀。其结果是，在绝缘膜 1 4 b 上形成具有与配线图案相同的图案的沟槽 3 1，在绝缘膜 1 3 b 上形成用于形成接点的接触孔 3 2。

这时，阻挡层膜 1 3 a，1 4 a 对绝缘膜 1 3 b、1 4 b RIE 的选择比大。亦即在阻挡层膜 1 3 a、1 4 a 成为 RIE 的阻挡层膜的同时，阻挡层膜 1 4 a 成为用来形成接触孔 3 2 的掩膜。

从而，用来形成配线的沟槽 3 1 和用来形成连接上下配线（或基片与配线）的接点用的接触孔 3 2 可以同时形成。亦即，由于可以自我调整形成接触孔 3 2，可以降低制造成本。

又，保护膜 3 5 由于形成于表面平整的绝缘膜 1 4 b 上，可以在绝缘膜 1 4 b 上形成正确的配线图案（沟槽）。亦即，可以在正确的位置上形成沟槽 3 1 及接触孔 3 2，因此也足以对付元件微细化的情况。

接着，如图 10 所示，在刻蚀时形成侧壁保护膜的条件下进行 RIE，除去沟槽 3 1 底部及接触孔 3 2 底部的阻挡层膜 1 3 a、1 4 a。

其结果是，沟槽 3 1 的底面与侧面的角落部的阻挡层膜 1 4 a 的形状呈锥状。即阻挡层膜 1 4 a 的锥面与沟槽 3 1 的底面或侧面成钝角相交。

同样，接触孔 3 2 的底面与侧面的角落部的阻挡层膜 1 3 a 的形状也呈锥状。即阻挡层膜 1 3 a 的锥面与接触孔 3 2 的底面或侧面成钝角相交。

作为刻蚀时侧壁保护膜形成的条件，可以举出在例如含碳的气体氛围中进行 RIE 的情况。

而后将保护膜 3 5 剥离。

接着，如图 12 所示，用溅射法和 CVD 法，至少在接触孔 3 2 内形成高熔点金属膜（例如 Ti、Co、W 等）。而后，在约 600℃分温度下退火约 30 分钟，在接触孔 3 2 底部的栅极 2 1 和源极-漏极区域 2 2 a、2 2 b 形成氧化硅层 2 5。

而后，用例如硫酸与过氧化氢的混和液完全去除与硅基片 1 1 不起反应的残存的高熔点金属膜。

用等离子体 CVD 法只在接触孔 3 2 内有选择地形成导电膜（例如钨）1 6 c。其结果是，在接触孔 3 2 内形成接点。

还有，本实施例中，不形成导电膜 1 6 c 的底膜为好。

使用溅射法和 CVD 法形成膜厚约 0.1 微米的配线和接点的底膜（例如 Ti、Co、W 等）16a。

这时，沟槽 31 角落部的阻挡层膜 14a 的形状为锥状，因此，底膜 16a 以均匀的厚度和良好的敷层被覆沟槽 31 的内表面。

又用溅射法和 CVD 法在底膜 16a 上形成膜厚约 2.0 微米的导电膜（例如 Al-Cu-Si、Al-Cu、Cu 等）16b。

又用 CMP 法，刻蚀导电膜 16b，只让沟槽 31 内和接触孔 32 内留下导电膜 16b。其结果是，同时形成配线及接点。

而后，使用等离子体 CVD 法，以约 0.3 微米的膜厚形成配线保护膜（例如 SiO₂等）。

采用上述制造方法，以保护膜 35 为掩膜，形成用于形成配线的沟槽 31，同时，以该防护膜 35 及阻挡层膜 14a 为掩膜，自我调整地形成用来形成接点的接触孔 32。

从而，可以同时形成配线图案（沟槽）和接点图案（接触孔），因而可以简化工序，从而降低制造成本。

又，将沟槽 13 的角落部及接触孔 32 的角落部的阻挡层膜 13a，14a 加工成锥状。亦即，沟槽 31 或接触孔 32 的底面或侧面与阻挡层膜 13a 的锥面以钝角相交。

从而，可以在沟槽 31 的内表面（包括阻挡层膜 14a 的锥面）上以均匀的膜厚和良好的敷层形成配线的底膜 16a，可以使导电膜 16b、16c 完全充满沟槽 31 内和接触孔 32 内。

下面对本发明半导体器件的制造方法的第 3 实施例加以说明。

图 13～图 16 为依序表示上述第 3 实施例的接触孔形成工序的剖面投影图。

如图 13 所示，在半导体基片上形成绝缘膜 41、下层配线 42。在包含该下层配线 42 的绝缘膜 41 上依序层积绝缘膜 43、阻挡层膜 44。阻挡层膜 44 是对于后面进行的配线沟槽刻蚀的绝缘性保护膜。

对于上述阻挡层膜 44，用感光平版印刷工艺、刻蚀工艺预先形成包含后来形成（作为形成接点用的）接触孔的区域的开孔区域 51。该开孔区域以大于后来形成的上层配线用的沟槽的刻蚀宽度的尺寸形成。

接着，如图 14 所示，形成绝缘膜 45 覆盖着阻挡层膜 44 及开孔区域 51。接着在绝缘膜 54 的规定区域、即包含下层线 42 上方的区域形成用于形成上层配线的沟槽的保护膜 47。

保护膜 47 用感光平版印刷技术形成图案。这时，阻挡层膜 44 与绝缘膜相比非常薄，由于绝缘膜 45 做得厚，开孔区域 51 的梯级差影响几乎不存在，绝缘膜

4 5 的平整性没有受到影响。从而, 防护膜 4 5 以均匀的厚度形成于大致平整的绝缘膜 4 5 上, 不会导致析像度下降, 可得到精确的图案。

下面, 如图所示, 以保护膜 4 7 为掩膜用 RIE 法刻蚀绝缘膜 4 5。刻蚀的进行受到阻挡层的阻止。从而形成阻挡层膜 4 4 露出的配线用的沟槽 4 6。又在沟槽 4 6 上, 存在与阻挡层膜 4 4 的开孔区域 5 1 重叠的区域, 只通过与该沟槽 4 6 共有的开孔区域 5 1 的部分再进行 RIE。以此形成沟槽 4 6, 同时形成达到下层配线 4 2 的接触孔 4 8。

接着, 如图 1 6 所示, 以同一工序在所述沟槽 4 6 及接触孔 4 8 埋入导电构件 (例如 Al-Cu、Al-Cu-Si 合金等) 4 9。接着, 用 CMP 法除去多余的导电构件 4 9, 只在沟槽 4 6 内及接触孔 4 8 内留下导电构件。以此形成接触孔 4 8 内的接点 4 9 1 和埋入沟槽 4 6 内的上层配线 4 9 2。

采用这样的制造方法, 上层配线 4 9 2 和连接到下层配线 4 2 的接点 4 9 1 被做成一体, 可用同一工序形成, 因而有降低制造成本的好处。

上述工序中的阻挡层膜 4 4 使用对绝缘膜 4 3、4 5 RIE 选择比大的。例如, 绝缘膜 4 3、4 5 为氧化硅膜 (也有含氟、碳等的情况), 阻挡层膜 4 4 为氮化硅膜等。

还有, 在该实施例中, 首先接触孔 4 8 通过与沟槽 4 6 共有的开孔区域 5 1 的一部分, 对沟槽 4 6 自为调整形成。其次, 将阻挡层膜 4 4 的开孔区域 5 1 的尺寸在配线的宽度方向上做得大, 对上下层配线配合偏差留有余地。第三, 保护膜 4 7 厚度均匀地形成, 图案的精度良好, 因而不会使析像度变坏。根据以上情况, 充分考虑使细微的配线层中间的接点的接触面积不因位置配合偏差而变小的制造工艺得以实现。

下面对本发明半导体器件的制造方法的第 4 实施例加以说明。图 1 7 ~ 图 2 1 是依序表示上述第 4 实施例的接触孔形成的工序的剖面投影图。与所述第 3 实施例不同之处在于, 阻挡层膜还设于下层配线 4 2 上。

如图 1 7 所示, 在半导体基片上形成了绝缘膜 4 1、下层配线 4 2。在包含该下层配线 4 2 的绝缘膜 4 1 上依次层积阻挡层膜 5 4、绝缘膜 4 3、阻挡层膜 4 4。阻挡层膜 4 4 和 4 5 是对尔后进行的配线的沟槽的刻蚀和接触孔的刻蚀的绝缘性保护层。阻挡层膜 4 4 和 4 5 具有同等性质。

对上述阻挡层膜 4 4, 用感光平版印刷工艺、刻蚀工艺预先形成包含 (用于形成接点的) 接触孔的区域的开孔区域 5 1。该开孔区域 5 1 以比尔后形成的上层配线用的沟槽的刻蚀宽度大的尺寸形成。

接着, 如图 1 8 所示, 形成覆盖阻挡层膜 4 4 和开孔区域 5 1 的绝缘膜 4 5。接着在绝缘膜 4 5 的规定区域、即包含下层配线 4 2 上方的区域形成用于形成上层

配线的沟槽的防护膜 4 7。

防护膜 4 7 用感光平版印刷工艺形成图案。这时，阻挡层膜 4 4 与绝缘膜 4 5 相比非常薄，由于绝缘膜 4 5 做得厚，开孔区域 5 1 的梯极差的影响几乎不存在，绝缘膜 4 5 的平整性没有受到损害。从而，保护膜 4 7 的均匀的厚度形成于大致平整的绝缘膜 4 5 上，不会招致析像度的下降，能得到精确的图案。

接着，如图 1 9 所示，以保护膜 4 7 为掩膜，用 RIE 法刻蚀绝缘膜 4 5。刻蚀的进行受到阻挡层膜 4 4 的阻止。从而，形成阻挡层膜露出的配线用的沟槽 4 6。再者，在沟槽 4 6 有与阻挡层膜 4 4 的开孔区域 5 1 重叠的区域，只通过与该沟槽 4 6 共有的开孔区域 5 1 的部分进一步进行 RIE。为此，在形成沟槽 4 6 的同时，形成达到阻挡层膜 5 4 的接触孔 4 8。

接着，如图 2 0 所示，同时刻蚀去除上述沟槽 4 6 及接触孔 4 8 的底部露出的阻挡层膜 4 4 及 5 4，使接触孔 4 8 底部露出下层配线 4 2。

接着，如图 2 1 所示，在沟槽 4 6 及接触孔 4 8 以同一工序埋入导电构件（例如 Al-Cu、Al-Cu-Si 合金等）4 9。接着，用 CMP 法除去多余的导电构件 4 9，使导电构件 4 9 只在沟槽 4 6 以及接触孔 4 8 内存留。以此形成接触孔 4 8 内的接点 4 9 1 以及埋入沟槽 4 6 中的上层配线 4 9 2。

上述工序中的阻挡层膜 5 4，4 4 使用对绝缘膜 4 3、4 5 RIE 的选择比大的。例如绝缘膜 4 3、4 5 用氧化硅膜（也有含氟、碳等的情况），阻挡层膜 5 5、5 4 用氮化硅膜等。

采用上述第 4 实施例例的方法，可以得到与第 3 实施例相同的效果。而本第 4 实施例，与第 3 实施例相比，阻挡层膜 5 4 增加了一些，刻蚀工序增加了一次。但是接触孔 4 8 的过度刻蚀的危险性减少了。

也就是说，假如沟槽 4 6 的形成位置偏离，其结果是，发生与接触孔 4 8 的位置配合偏差，于是，在第 3 实施例，如图 2 2 所示，有可能发生过度刻蚀（5 5）。但是，在第 4 实施例，阻挡层膜 5 4 的去除作为选择性的刻蚀工序存在，因此，如图 2 3 所示，不会发生过度刻蚀。在第 3 实施例，作为接点的结构，如果可以成为图 2 2 所示的形状，即使接触孔 4 8 的位置配合有偏离，下层配线 4 2 和导电构件 4 9 的接触面积也不减少。

下面对本发明半导体器件的制造方法的第 5 实施例加以说明。图 2 4 为表示并行的两条配线上形成对向的两个接点的情况下配线用的沟槽及接触孔的平面图。图 2 5 是沿图 2 4 的 F 2 5—F 2 5 线的剖面投影图。而图 2 5 为了说明，表示出沟槽 4 6 及接触孔 4 8 底部露出的阻挡层膜去除前的状态。

在图 2 4、2 5，与图 1 7～图 2 1 相同的地方标以同一符号。应该注意的是，阻挡层膜 4 4 的开孔区域 5 1 横越 2 条配线用的沟槽 4 6 形成的结构（如图 2 4 的

虚线所示)。该开孔区 5 1 在这里称为切口区域 5 1。下面对形成这样的结构用的制造方法加以说明。

图 2 6 ~ 图 2 9 是依序分别表示上述第 5 实施例的接触孔及埋入配线的形成工序的剖面图。

如图 2 6 所示,在绝缘膜 4 1 内的配线沟槽中用铝合金(例如 Al-Cu-Si、Al-Cu 等)构成两条下层配线 4 2。在包含这些下层配线 4 2 的绝缘膜 4 1 依序层积阻挡层膜 5 4、绝缘膜 4 3、阻挡层膜 4 4。阻挡层膜 5 4、4 4 是尔后进行的配线沟槽刻蚀时的绝缘性保护膜。

接着,如图 2 7 所示,在阻挡层膜 4 4 上涂布保护膜 5 6,使用平版印刷技术,使包含在两条配线 4 2 上对向的(用于形成接点的)两个接触孔的区域的切口区域 5 1 的保护膜形成图案。在这里,保护膜 5 6 在平整的阻挡层膜 4 4 上以均匀的厚度涂布。在该保护膜的图案上,宽曝光聚焦范围和高析像度得到实现。

接着,如图 2 8 所示,以保护膜为掩膜进行阻挡层膜 4 4 的刻蚀。亦即,使用阻挡层膜 4 4 比绝缘膜 4 3 刻蚀速度快得多的条件下的 RIE。以此形成切口区域 5 1。其后,形成覆盖阻挡层膜 4 4 及切口区域 5 1 的绝缘膜 4 5。

接着,在绝缘膜 4 5 的规定区域,即包含下层配线 4 2 各自的上方的区域,形成上层配线用的沟槽所需的保护膜 4 7 形成图案。这时,阻挡层膜 4 4 与绝缘膜 4 5 相比非常薄,由于绝缘膜 4 5 做得厚,切口区域 5 1 的梯级差的影响几乎不存在,绝缘膜 4 5 的平整性没有受到损害。从而保护膜 4 7 在大致平整的绝缘膜 4 5 上以均匀的厚度形成,不会招致析像度下降,精确的图案得以实现。

接着,以保护膜 4 7 为掩膜用 RIE 法刻蚀绝缘膜 4 5。刻蚀的进行除切口区域 5 1 外,都被阻挡层膜 4 4 所阻。从而形成露出阻挡层膜 4 4 的配线用的沟槽 4 6。还有,在沟槽 4 6 有与阻挡层膜 4 4 上的开口区域 5 1 重叠的区域,只通过与该沟槽 4 6 共有的切口区域 5 1 的部分,进一步进行 RIE。以此,在形成沟槽 4 6 的同时,形成达到阻挡层膜 5 4 的接触孔 4 8 (参见图 2 5)。其后,进行有选择地去除在接触孔 4 8 底部露出的阻挡层膜 5 4 的条件下的刻蚀工序,使接触孔 4 8 底部露出下层配线 4 2。这时,也可以同时刻蚀沟槽 4 6 底部露出的阻挡层膜 4 4。

接着,如图 2 9 所示,在沟槽 4 6 及接触孔 4 8 同时埋入导电构件(例如 Al-Cu、Al-Cu-Si 合金等) 4 9。接着,用 CMP 技术、RIE 技术、CDE 电化学干刻蚀(Chemical Dry Etching)等技术,除去多余的导电构件,只让沟槽 4 6 内及接触孔 4 8 内留下导电构件 4 9。以此,形成接触孔 4 8 内的接点 4 9 1 和埋在沟槽 4 6 内的上层配线 4 9 2。

上述工序中的阻挡层膜 5 4, 4 4 使用对绝缘膜 4 3、4 5 RIE 的选择比大的。例如绝缘膜 4 3、4 5 用氧化硅膜(有时也用含氟、碳等的);阻挡层膜 5 4、4

4 用氮化硅膜。这里，以所述阻挡层膜 4 4 的刻蚀速度为 E_3 ，所述绝缘膜 4 3 的厚度为 T ，该绝缘膜 4 3 的刻蚀速度为 E_2 ，则阻挡层膜 4 4 的膜厚必须大于用 $(E_3 / E_2) \times T$ 求得的值。

绝缘膜 4 3、4 5、阻挡层膜 5 4、4 4 也可以使用硅系薄膜以外的材料。例如，可以考虑有机系薄膜。绝缘膜 4 3 和 4 5 不一定要与阻挡层膜 5 4、4 4 使用同一材料。而在形成配线用的沟槽 4 6 和接触孔 4 8 的刻蚀工序中，阻挡层膜 5 4 和 4 4 的刻蚀速度必须比绝缘膜 4 3 和 4 5 的刻蚀速度慢。

采用上述第 5 实施例，可以得到与第 3 实施例相同的效果，同时，阻挡层膜 5 1 的结构特长强调如下。切口区域 5 1 可以做成横越两条配线，具有位置配合的余量。保护膜 4 7 以均匀的厚度形成，图案精度良好，因而析像度不下降。而且对向的接触孔 4 8 的间隔必然与配线沟槽 4 6 的间隔相等。此外，即使在形成在并行的各配线上对向的接触孔的情况下，也能以析像极限间隔 L_1 形成配线沟槽 4 6 的间隔（参看图 2 4）。结果是，可以使半导体器件的集成度比以往高。

作为上述第 5 实施例的变形例，以不形成阻挡层膜 5 4 的结构作为第 6 实施例示于图 3 0。假如沟槽 4 6 的形成位置有偏差，结果，接触孔 4 8 的位置配合发生偏差，如图所示，则有可能发生过度刻蚀（5 5）。如果允许形成这样的形状，则即使接触孔 4 8 的位置配合有偏差，也能够实现使下层配线 4 2 与导电构件 4 9 的接触面积不减少的结构。

下面对本发明半导体器件的制造方法的第 7 实施例加以说明。作为配线的埋入材料，使用电阻率比铝合金低的铜。铜是在氧化硅膜中扩散速度非常大的材料，因此，在氧化硅膜中形成配线时，必须有用于阻止铜向氧化硅膜扩散的防扩散膜。

图 3 1 是上述第 7 实施例的剖面图，下层配线 6 2 用 Cu 构成，因此，铜的周围覆盖着防扩散膜 7 1。在含有该下层配线 6 2 的绝缘膜 4 1 上形成防扩散膜 7 2。在该防扩散膜 7 2 上依序层积阻挡层膜 5 4、绝缘膜 4 3、阻挡层膜 4 4（具有切口区域 5 1）、绝缘膜 5 4、制造工序与上述第 5 实施例相同。

亦即，在形成配线沟槽 4 6 及接触孔 4 8 后、埋入铜之前，使用 CVD 技术、溅射技术等，在配线沟槽及接触孔内壁上被覆防扩散膜 4 3 作为底膜。尔后，同时在沟槽 4 6 及接触孔 4 8 埋入导电构件 6 9（铜）。

接着，用 CMP 技术、RIE 技术、CDE 技术等，去除多余的导电构件 6 9，只在沟槽 4 6 内接触孔 4 8 内留下导电构件 6 9。以此在接触孔 4 8 内形成接点 6 9 1；在沟槽 4 6 形成埋入其中的上层配线 6 9 2。

接着，在包含上层配线 6 9 2 的绝缘膜 4 5 上被覆防扩散膜 7 4。在该图中，在防扩散膜 7 4 上再形成上层配线用的阻挡层膜 6 4。

上述防扩散膜 7 1，7 3 是导电性的，考虑使用 Ti 系、W 系、Co 系的金属。

作为防扩散膜 7 1、7 3 的厚度为 1 0 毫微米～1 0 0 毫微米。上述防扩散膜 7 2、7 4 是绝缘性的，考虑使用氮化硅膜、或含 Ti 或 W 的微晶的氮化硅膜。这里所说的微晶，是 Ti（或 W）分离存在于 SiN 中的结构，导入的目的在于捕捉 Cu 原子。

在图 3 1 的结构中分别设置防扩散膜和阻挡层膜，如果是使用兼备刻蚀阻挡层和防扩散两种功能的材料，则以一种膜构成亦可。例如，图 3 1 的阻挡层膜 5 4 如果是氮化硅膜，则可以考虑不形成防扩散膜 7 2。

下面对本发明半导体器件的制造方法的第 8 实施例加以说明。这是与形成上层配线一起，将决定接触孔的形成的阻挡层膜（4 4）按设计加工成接触孔的大小的方法。

图 3 2～图 3 5 是依序表示所示第 8 实施例的接触孔及埋入配线的形成工序的剖面图。基本制造工序与所述第 5 实施例相同，标以相同符号。

如图 3 2 所示，在绝缘膜 4 1 内的配线沟槽形成两条由铝合金构成的下层配线。在包含该下层配线 4 2 的绝缘膜 4 1 上依序层积阻挡层膜 5 4，绝缘膜 4 3、阻挡层膜 4 4。阻挡层膜 5 4、4 4 是尔后进行的配线沟槽刻蚀时的绝缘性保护膜。

接着，如图 3 3 所示，在阻挡层膜 4 4 上涂布保护膜 5 6，用平版印刷技术，使在 2 条配线 4 2 上对向的两个（用于形成接点的）接触孔的区域的保护膜图案形成。在这里，保护膜 5 6 以均匀的厚度在平整的阻挡层膜 4 4 上涂布，因而在保护膜图案上，宽曝光聚焦范围和高析像度得以实现。

接着，如图 3 4 所示，以保护膜 5 6 为掩膜对阻挡层膜 4 4 进行刻蚀。借助于此，在各下层配线 4 2 的上方形成导通（Conduct）区域。而后形成覆盖阻挡层膜 4 4 和导通区域 8 1 的绝缘膜 4 5。

接着，使用于形成通过绝缘膜 4 5 的规定区域，即导通区域 8 1 的上层配线用的沟槽的保护膜 4 7 形成图案。这时，阻挡层膜 4 4 要比绝缘膜 4 5 薄得多，绝缘膜 4 5 由于做得厚，切口区域 5 1 的梯级差的影响几乎不存在，绝缘膜 4 5 的平整性没有受到损害。从而，保护膜 4 7 以均匀的厚度在大致平整的绝缘膜 4 5 上形成，没有招致析像度下降，图案精确地形成。

接着，以保护膜为掩膜用 RIE 法对绝缘膜 4 5 进行刻蚀。刻蚀的进行除了导通区域 8 1 外都被阻挡层膜 4 4 阻止。从而，形成阻挡层膜 4 4 露出的配线用的沟槽 4 6。随之，通过与导通区域 8 1 重迭的区域，再进行 RIE。以此与形成沟槽 4 6 一起，形成达到阻挡层膜 5 4 的接触孔 4 8。

此后，有选择地去除露出于接触孔 4 8 底部的阻挡层膜 5 4，使接触孔底部露出下层配线 4 2。这时，也可以同时去除沟槽 4 6 底部露出的阻挡层膜 4 4。

接着，如图 3 5 所示，在沟槽 4 6 和接触孔 4 8 同时埋入导电构件（例如 Al-Cu、Al-Cu-Si 合金等）4 9。接着，用 CMP 技术、RIE 技术、CDE 技术等去除

多余的导电构件49，只让沟槽46内及接触孔48内留下导电构件49。以此形成接触孔48内的接点491和埋入沟槽46的上层配线492。

上述制造方法具有与其他实施例相同的制造成本降低的好处。还有，本实施例在制造时位置配合精度极好，适于可靠性要求高的制造工艺。当然，采用本发明，保护膜47和56由于图案精度良好，析像度不会变坏。以此，使位置配合精度高，从而能够形成符合设计的接触孔。

作为本发明的半导体器件的制造方法的第9实施例，参看图36。图36是将上述第8实施例应用于所述第7实施例的结构而成的。

在图36中，下层配线62用铜形成，因而在铜的周围用防扩散膜71覆盖。在包含该下层配线62的绝缘膜41上形成防扩散膜72。在该防扩散膜72上依序层积阻挡层膜54、绝缘膜43、阻挡层膜44（具有导通区域81）、绝缘膜45，制造工艺和前述第8实施例相同。

亦即，在形成配线沟槽46及接触孔48之后，埋入铜之前，用CVD技术、溅射技术等，在配线沟槽及接触孔内壁被覆防扩散膜73作为底膜。而后，在沟槽46及接触孔48上同时埋入导电构件69（铜）。

接着，用CMP技术，RIE技术、CDE技术等，去除多余的导电构件69，只在沟槽46内及接触孔48内留下导电构件69。以此在接触孔48内形成接点691，在沟槽46形成埋于其中的上层配线692。

接着，在包含上层配线692的绝缘膜45上被覆防扩散膜74。在这一图中，在防扩散膜74上还形成上层的配线用的阻挡层膜64。

在图36的结构中分别设置防扩散膜和阻挡层膜，但是，如果是用兼有刻蚀阻挡层和防扩散两种功能的材料，则用一种膜构成也可以。

各实施例中的下层配线，作为导电区域，通常考虑各种结构。也就是说，不仅是层间绝缘膜之间的配线层，也可以是基片上的杂质扩散层、元件的栅极。图37、图38是作为其应用例出示的剖面图。

在图37中，MOS晶体管的栅极91、基片90上的扩散层92、绝缘膜93上的配线层94上分别形成接点491。在层间绝缘膜（绝缘膜43、45）中，与形成上层的配线沟槽46同时，形成决定接触孔48的位置的、具有开孔区域的阻挡层膜44。而阻挡层膜54是接触孔48的刻蚀工序的保护膜。最终，按与接触孔48相应的大小分别有选择地刻蚀去除。图38是采用铜构成的导电构件69代替图37的结构中的导电材料49。铜的周围由防扩散膜73所覆盖。

如上所述，采用本发明的半导体器件及其制造方法，具有如下效果：

（1）以保护膜为掩膜，在形成用来形成配线的沟槽的同时，以该保护膜及阻挡层膜为掩膜，对上层配线沟槽自我调整地形成接触孔。从而可以同时形成配线图

案（沟槽）和接点图案（接触孔），可以对简化工序、从而降低制造成本作出贡献。

（2）分别形成上述阻挡层膜和上述配线用的沟槽的保护膜以均匀的厚度形成，因而形成的图案精度良好，所述极不容易引起析像度劣化。

（3）在配线沟槽下部的阻挡层膜上对切口区域开孔开得比配线沟槽的宽度大，因此，即使在平版印刷工序中位置配合发生偏离，也可以避免接点与该上层配线的接触面积减少。

（4）在并行的配线下形成对向的接触孔的情况下，切口区域横越并行的两条配线形成，从而接触孔的间隔必然与配线沟槽的间隔相等。从而，即使在使用上述（3）的方法、在并行的各配线上形成对向的接触孔的情况下，也能够以析像极限间隔形成配线沟槽的间隔。其结果有助于半导体器件的高度集成化。

（5）沟槽的角落部及接触孔的角落部的阻挡层膜加工成锥状。亦即，沟槽或接触孔的低面或侧面与阻挡层膜的锥面以成钝角相交的方式构成。从而，配线的底膜可以在沟槽的内表面及接触孔的内表面以均一膜厚和良好的敷层形成。

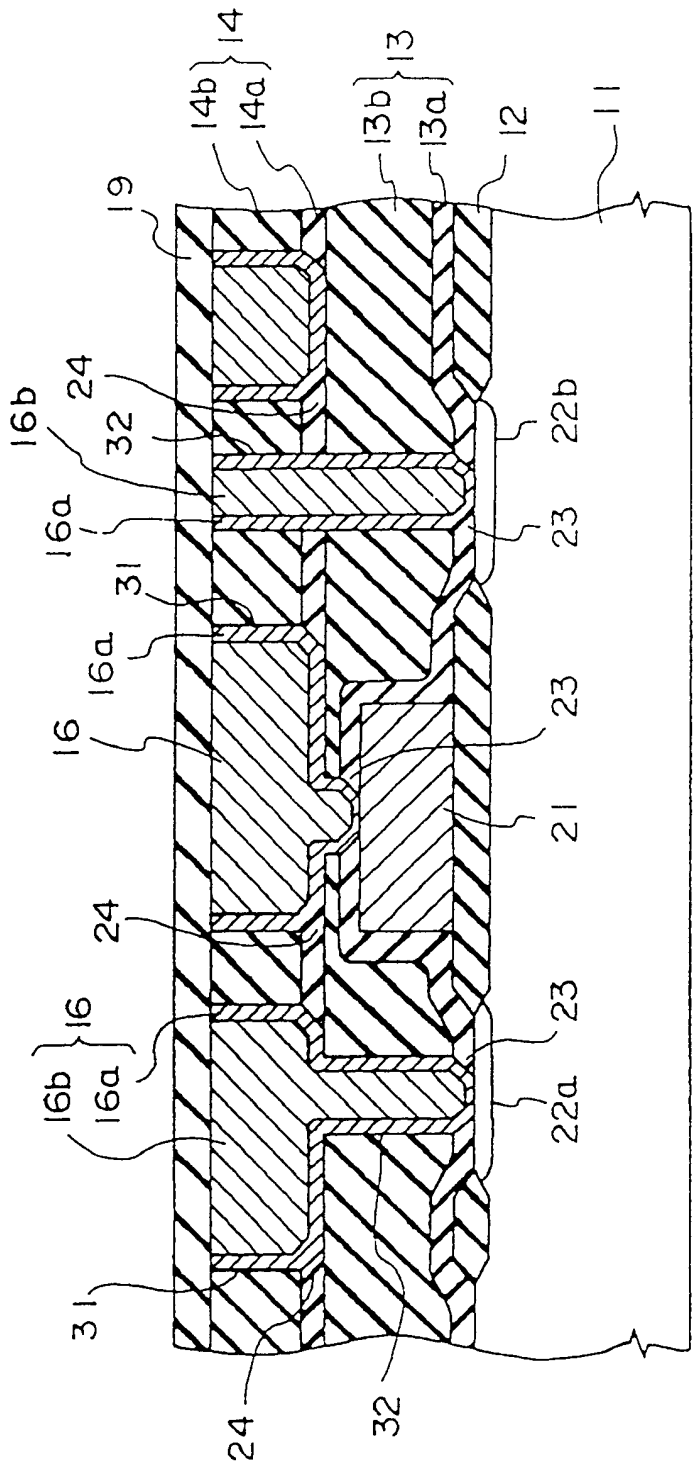


图 1

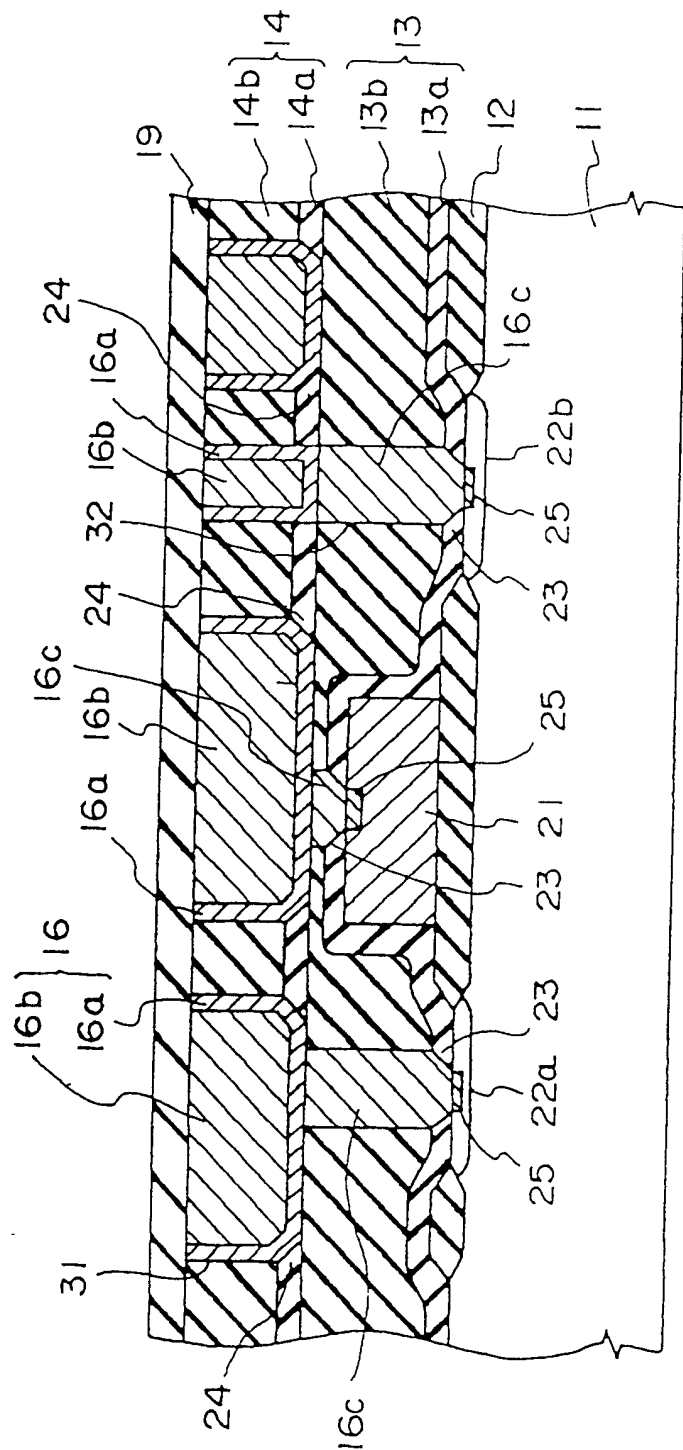


图 2

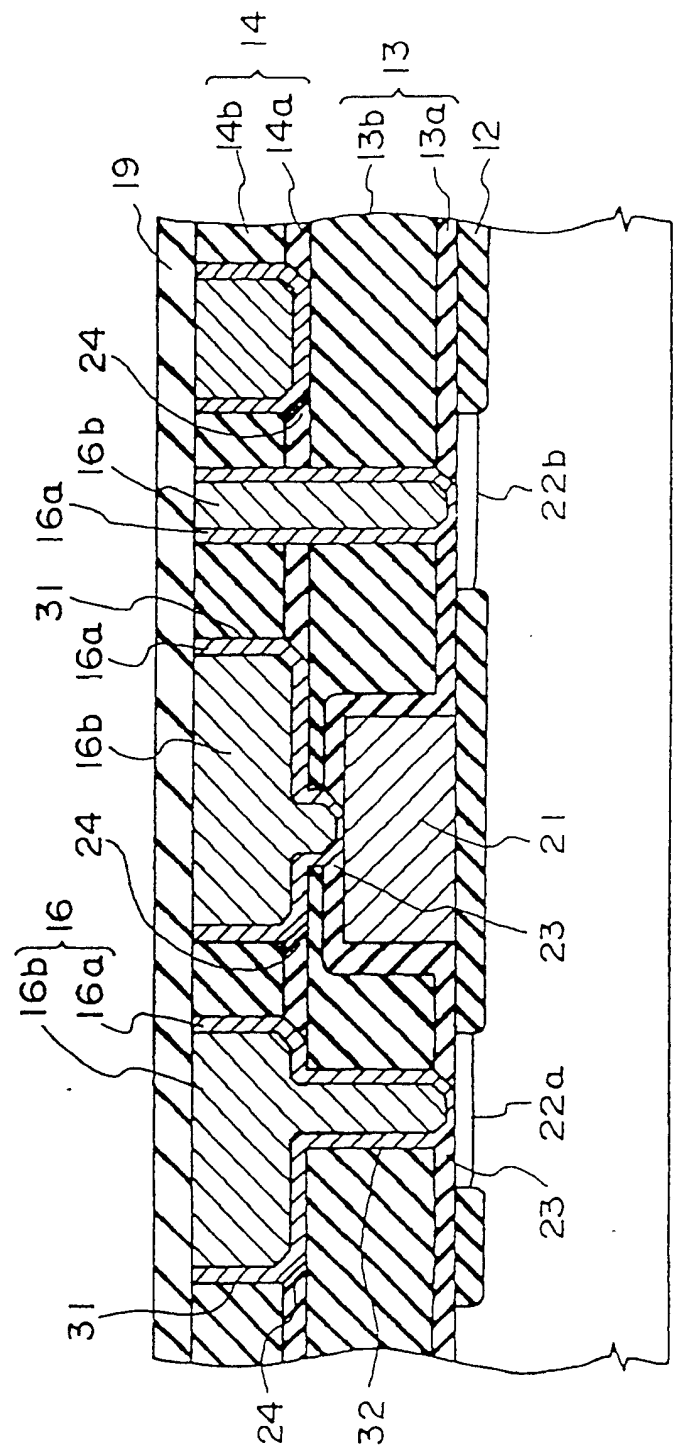


图 3

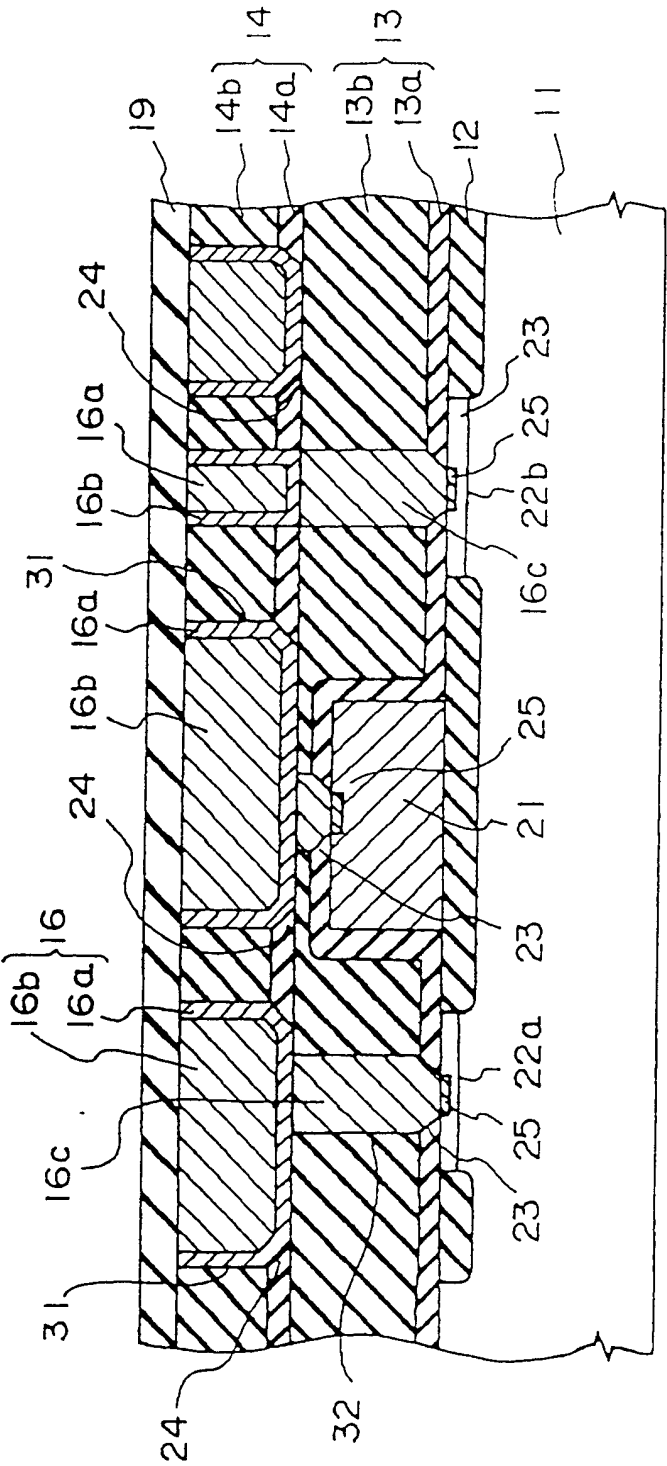


图 4

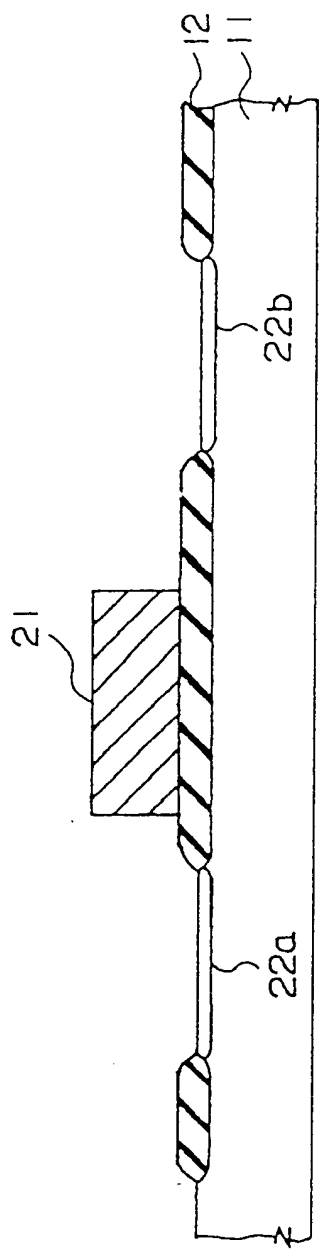


图 5

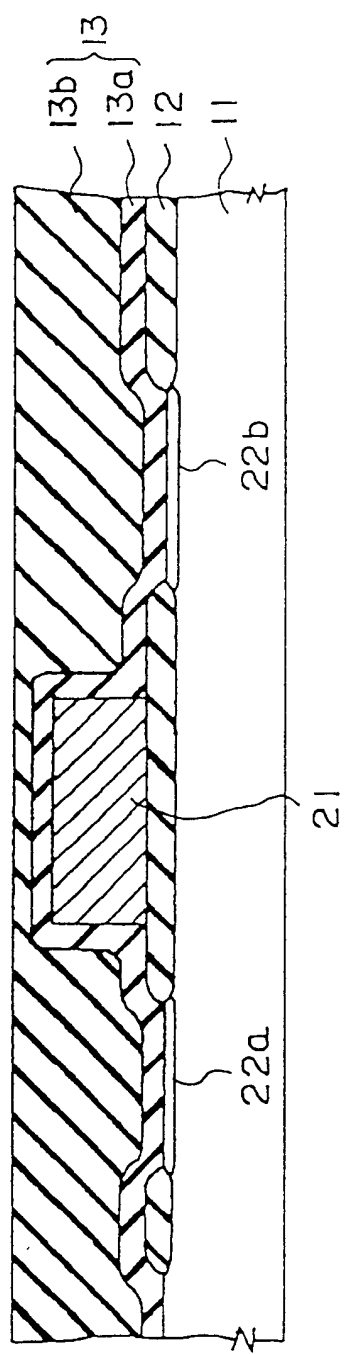


图 6

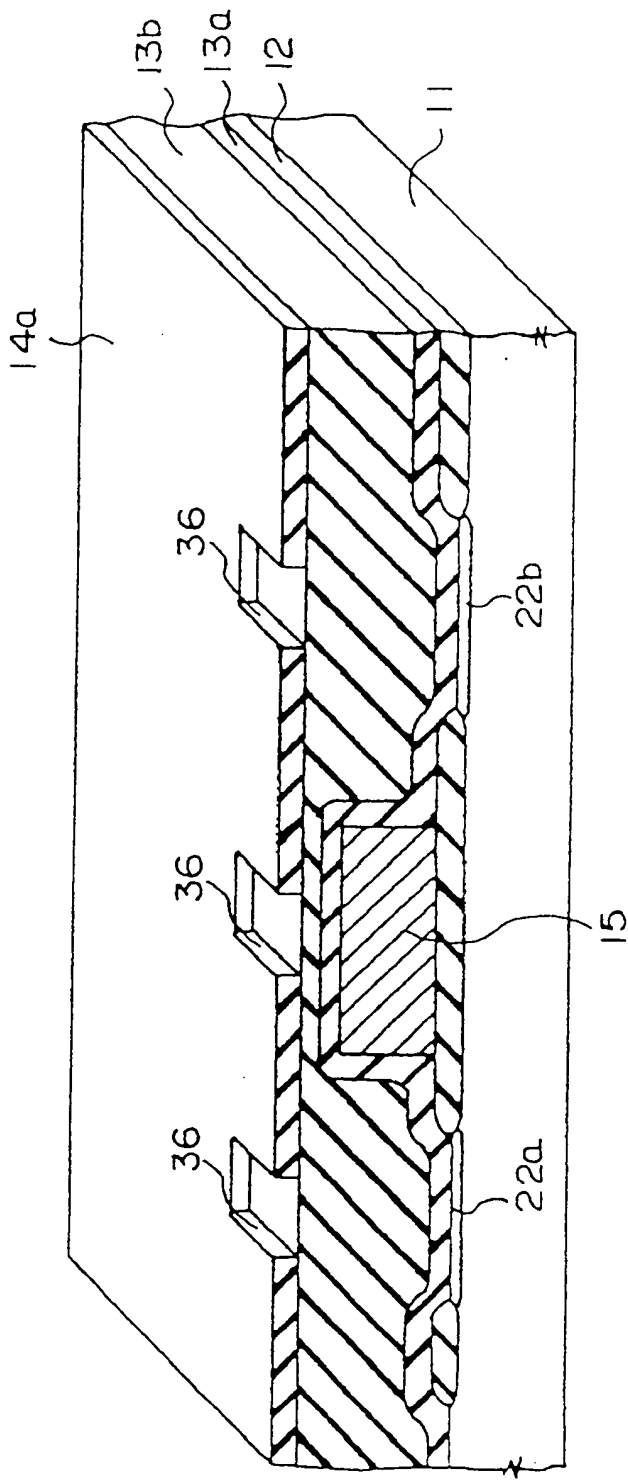


图 7

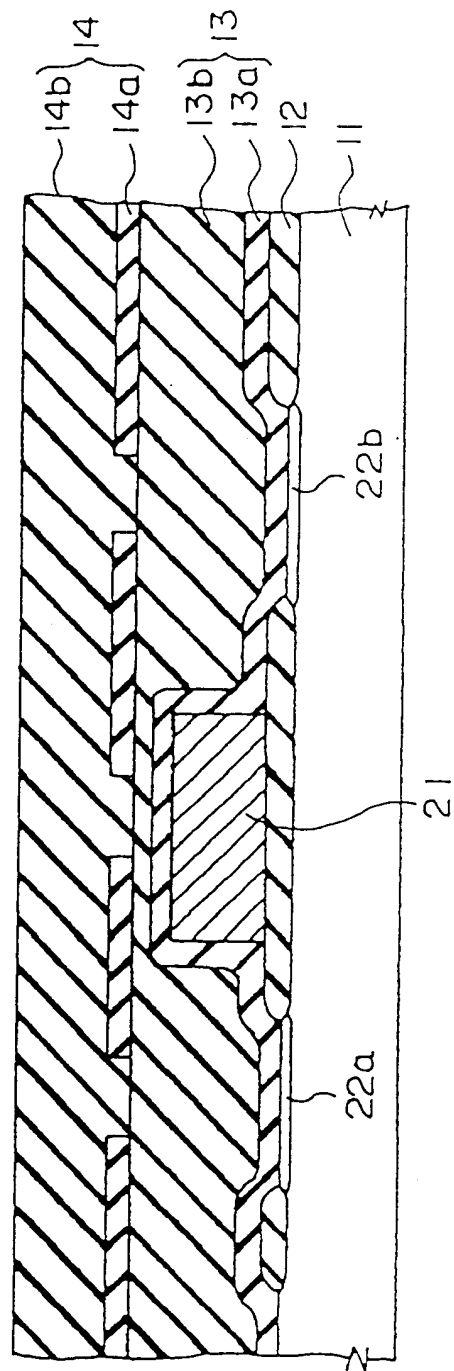


图 8

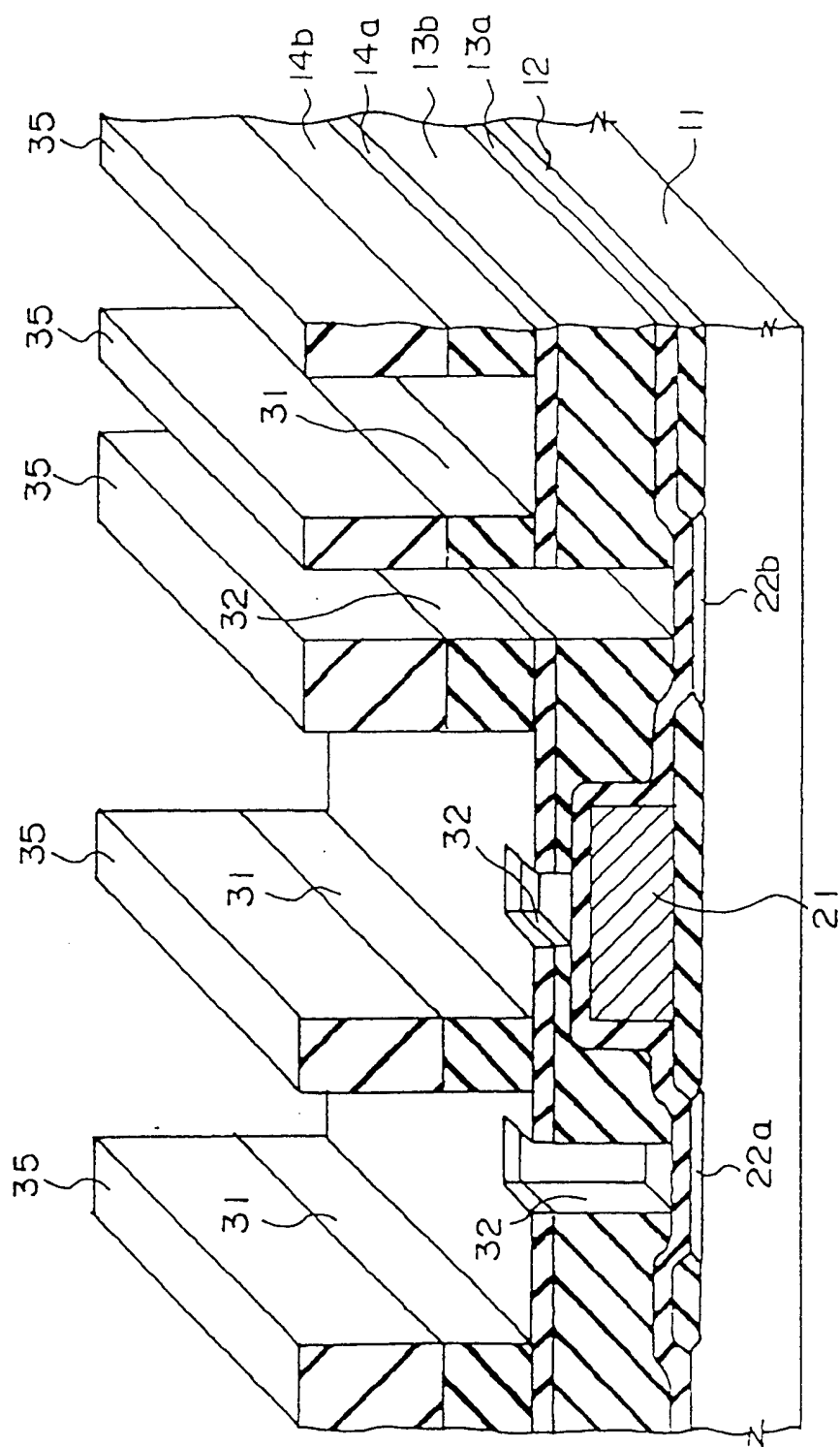


图 9

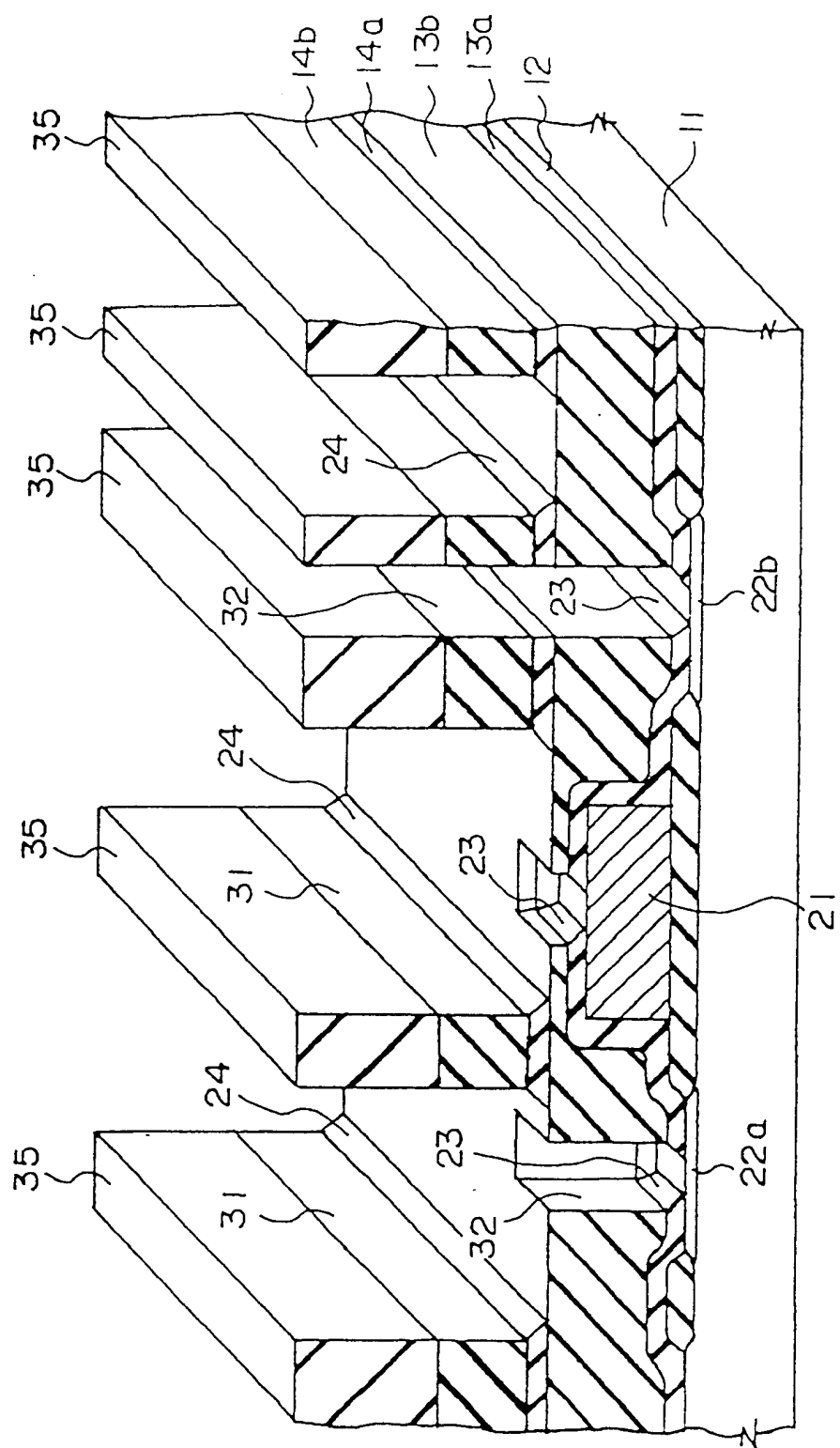


图 10

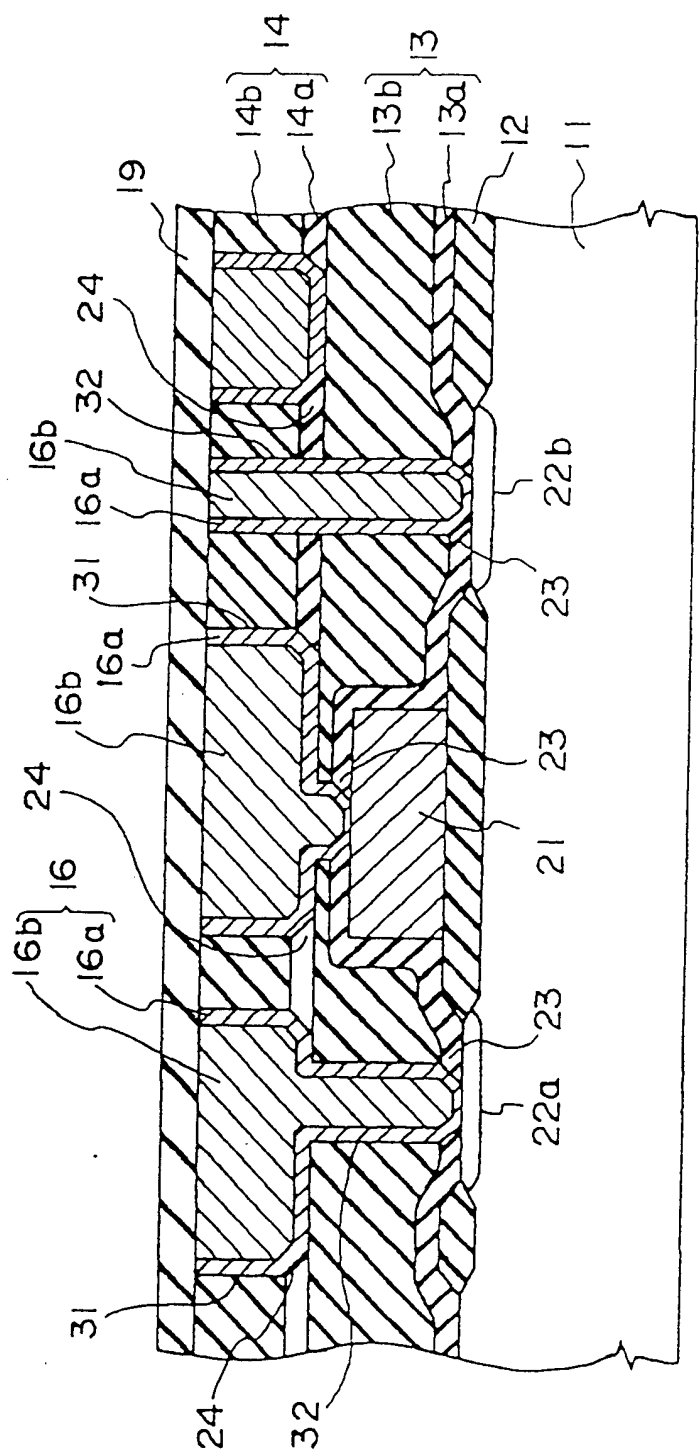


图 11

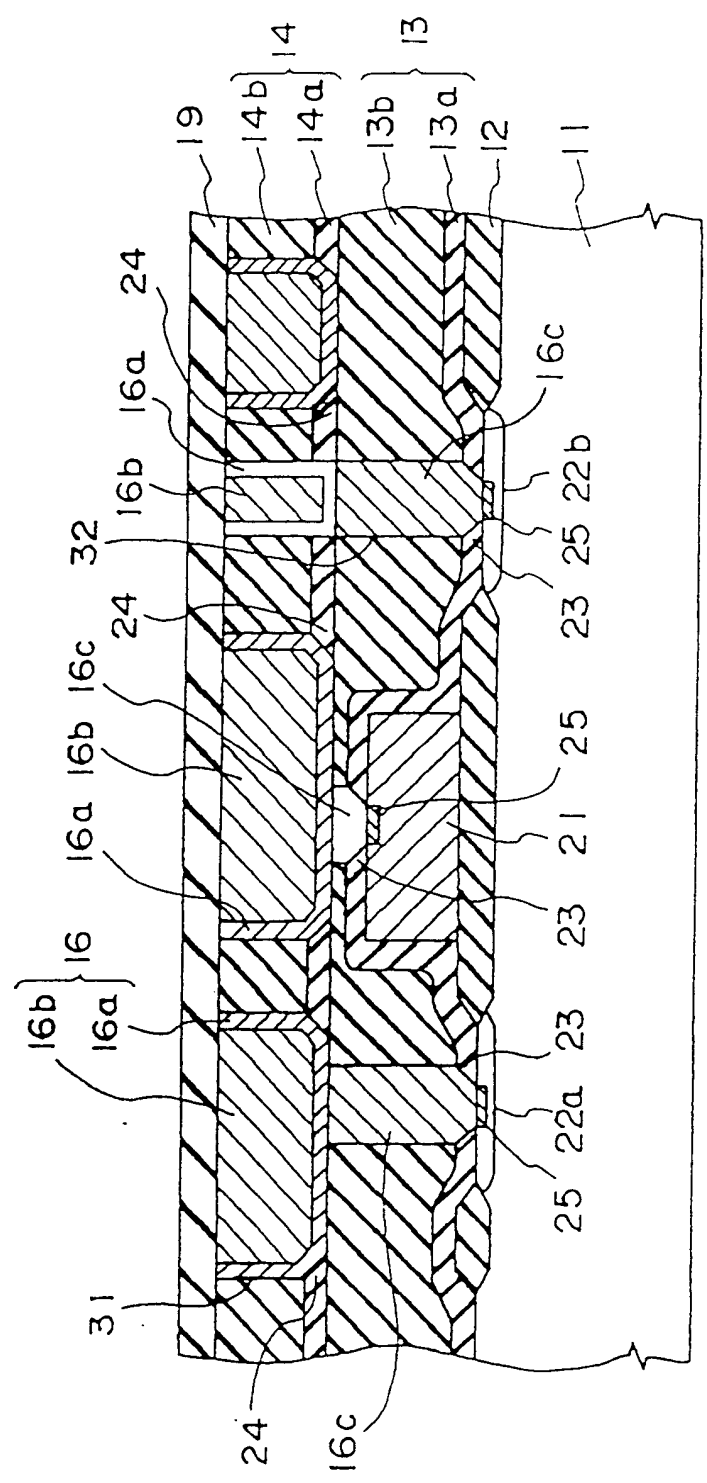


图 12

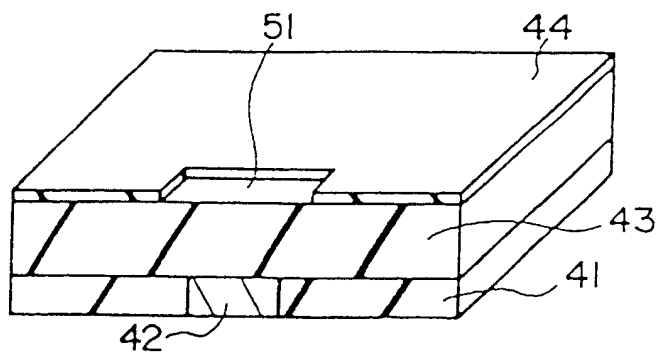


图 13

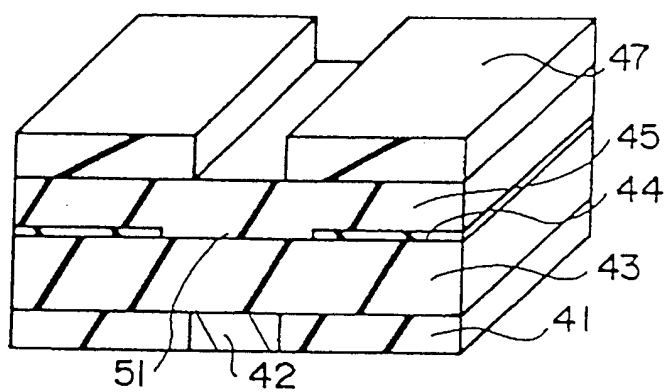


图 14

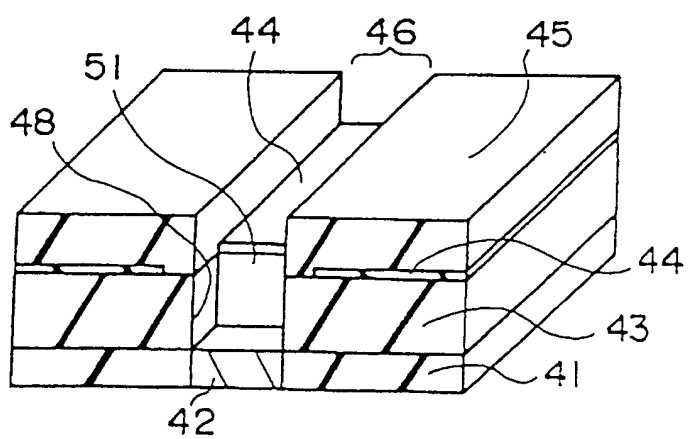


图 15

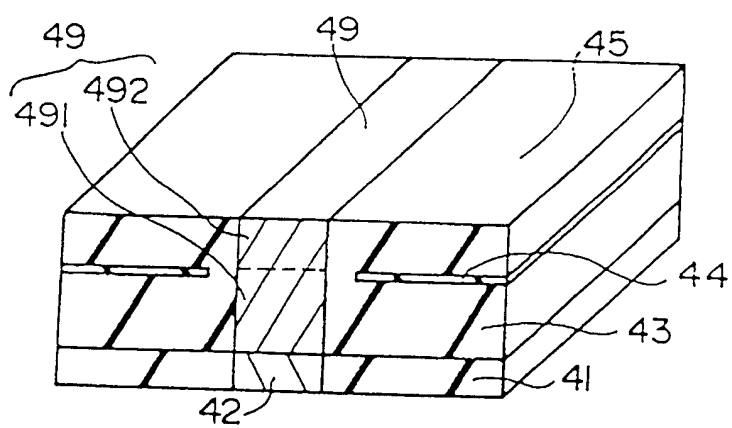


图 16

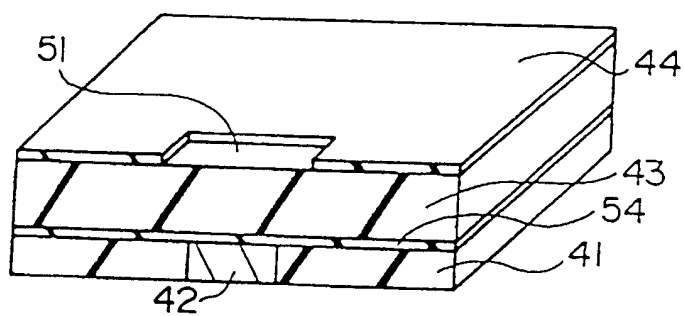


图 17

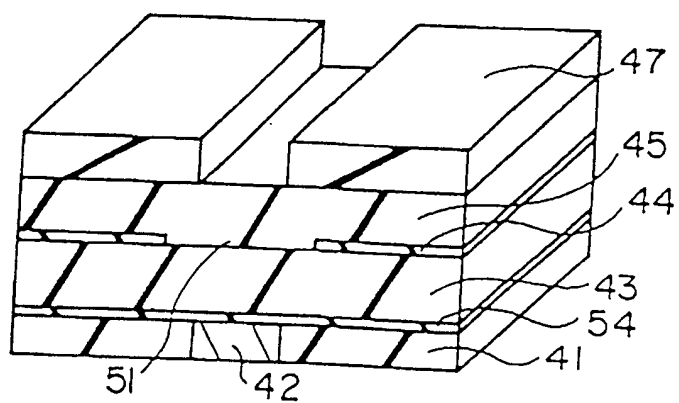


图 18

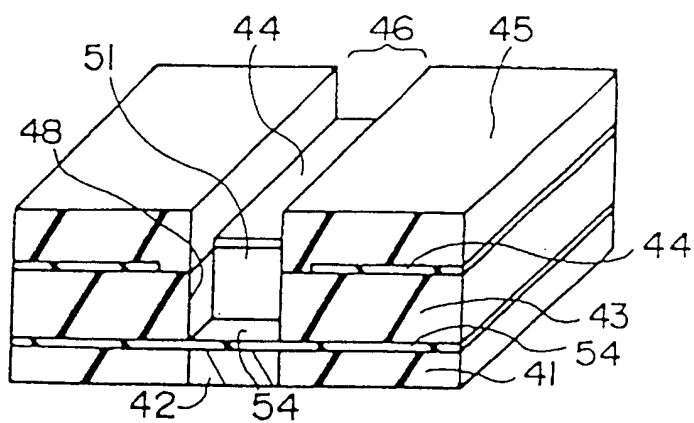


图 19

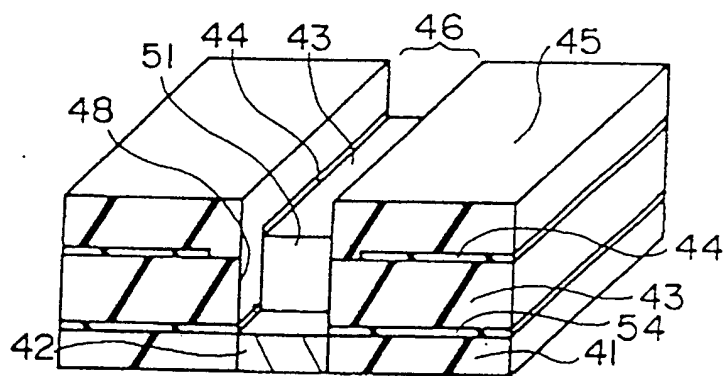


图 20

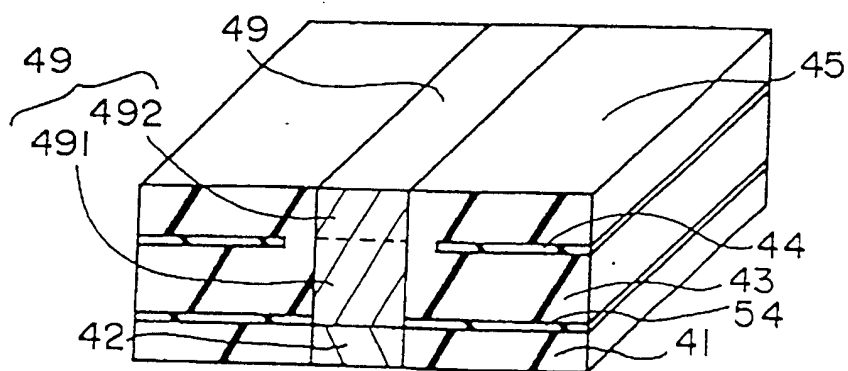


图 21

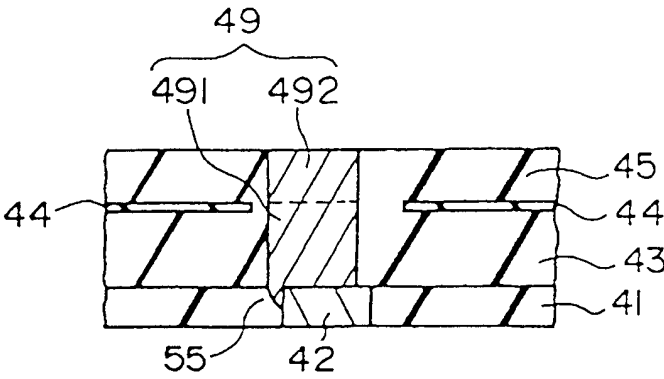


图 22

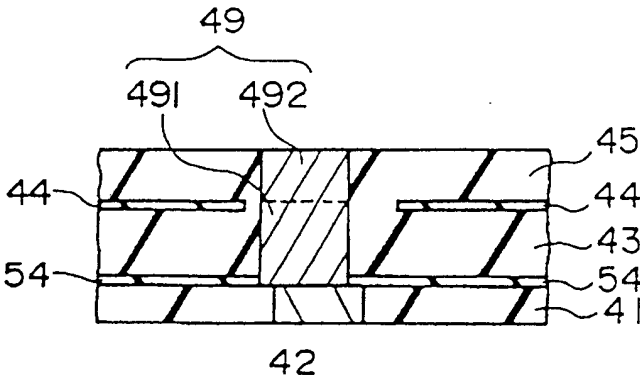


图 23

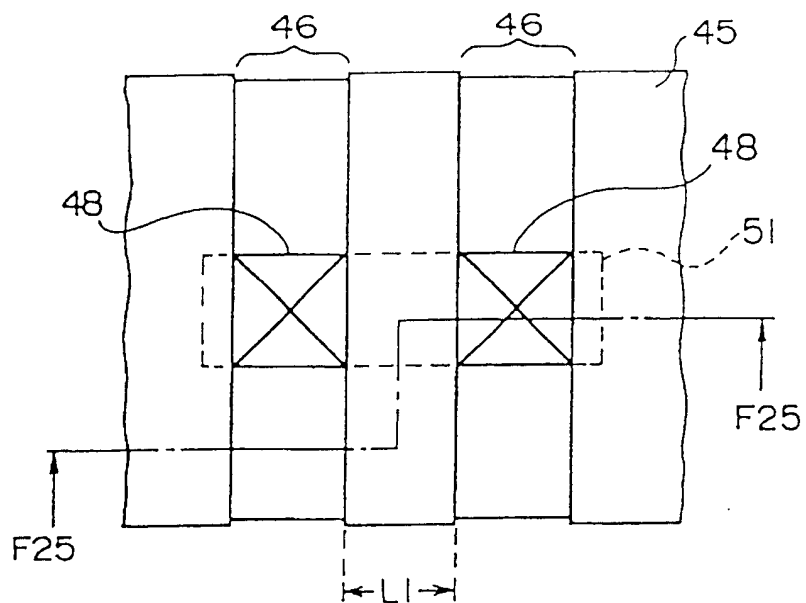


图 24

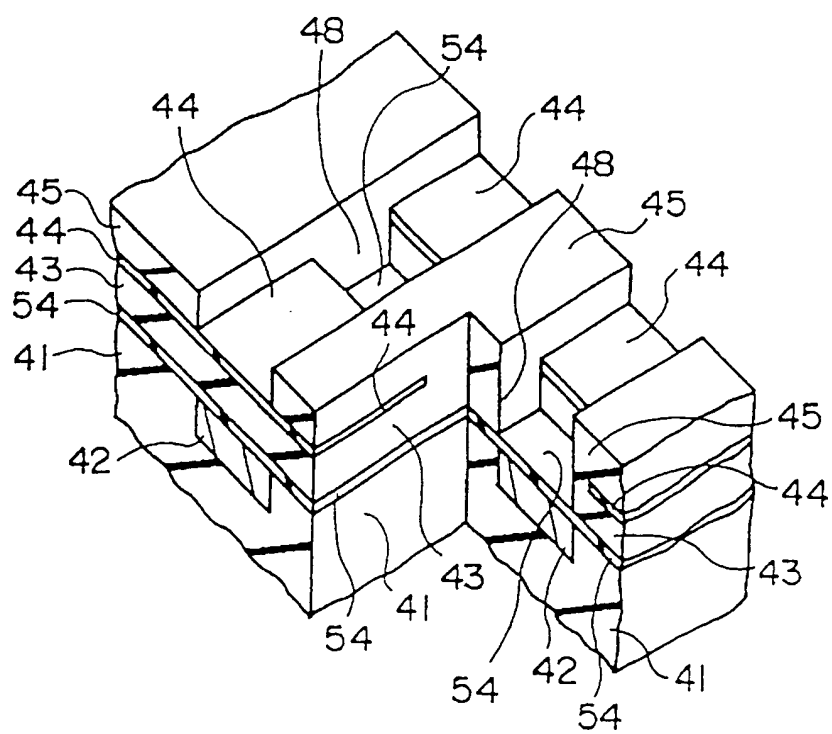


图 25

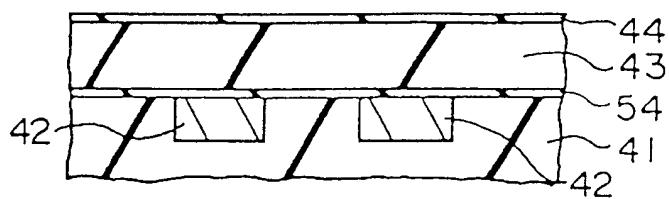


图 26

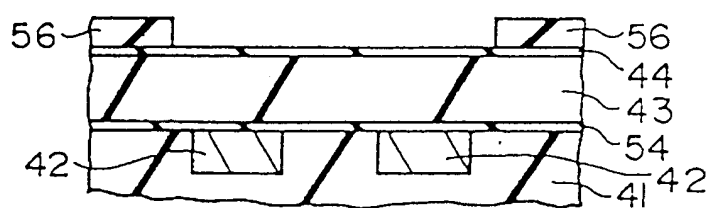


图 27

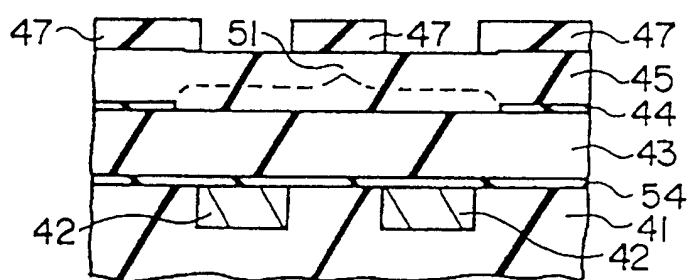


图 28

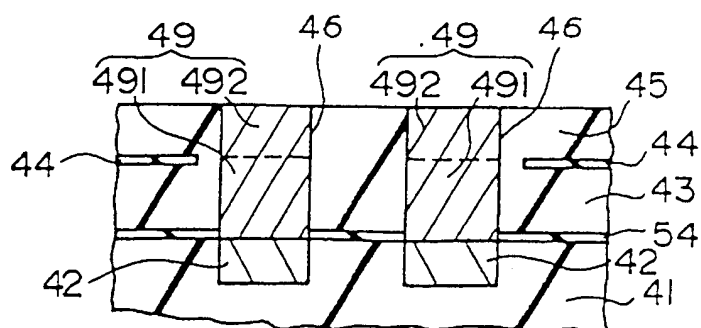


图 29

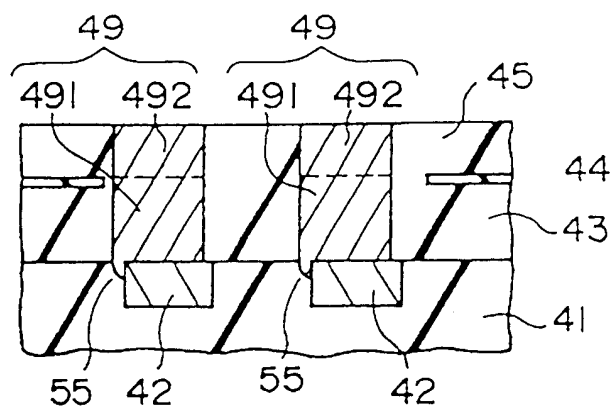


图 30

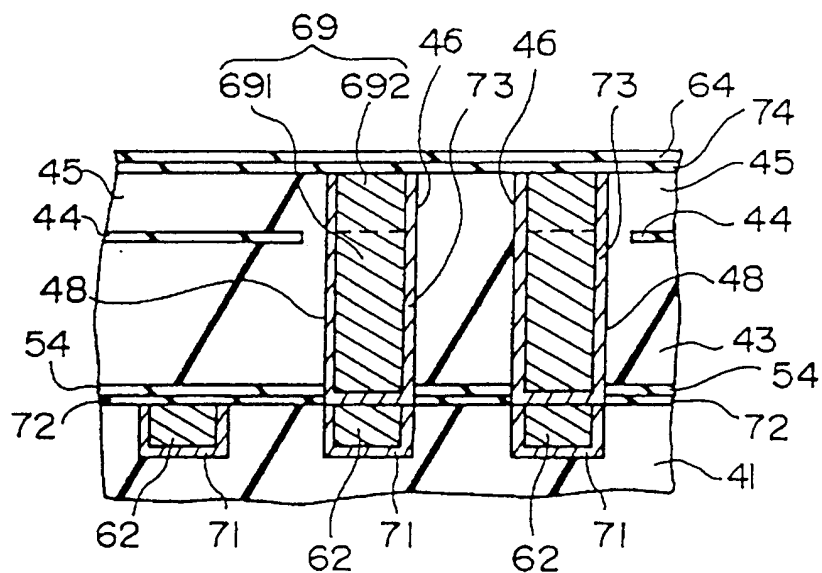


图 31

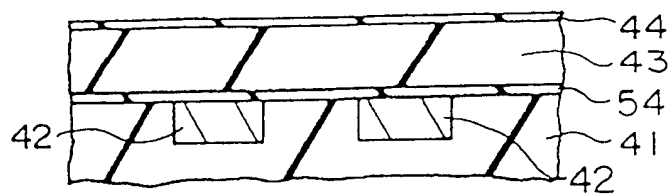


图 32

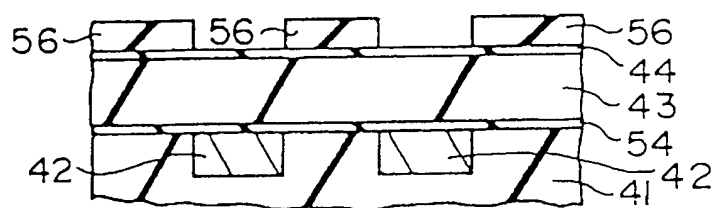


图 33

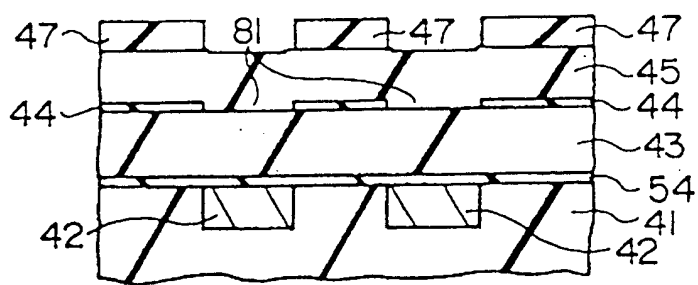


图 34

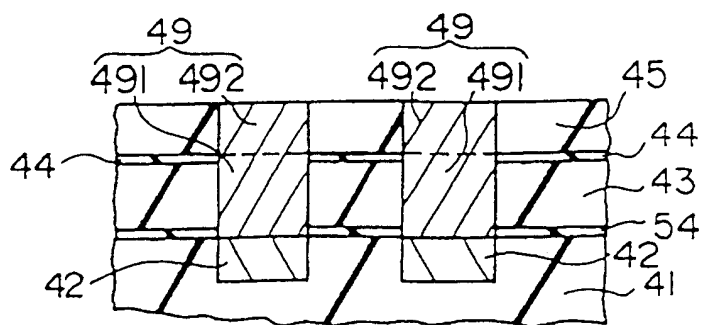


图 35

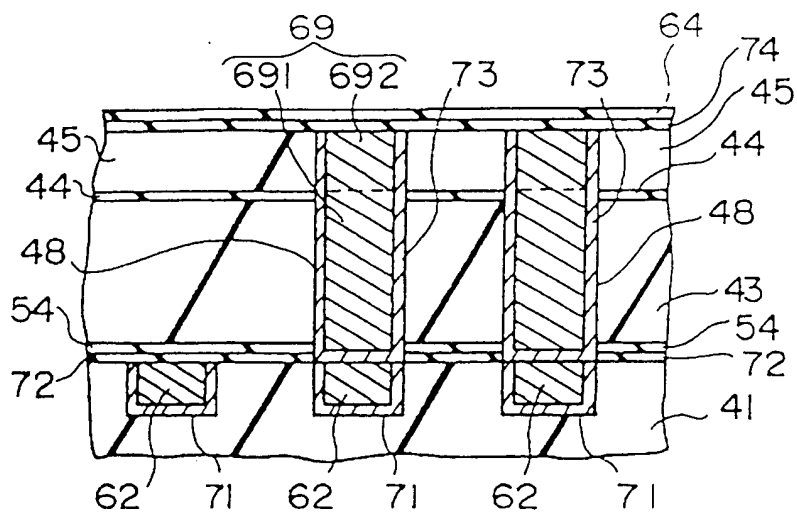


图 36

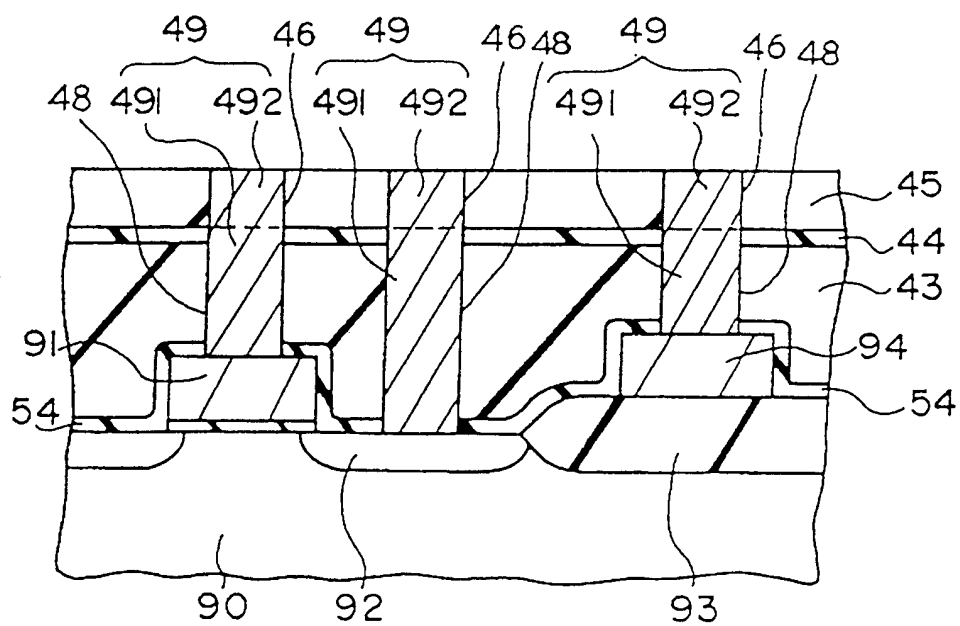


图 37

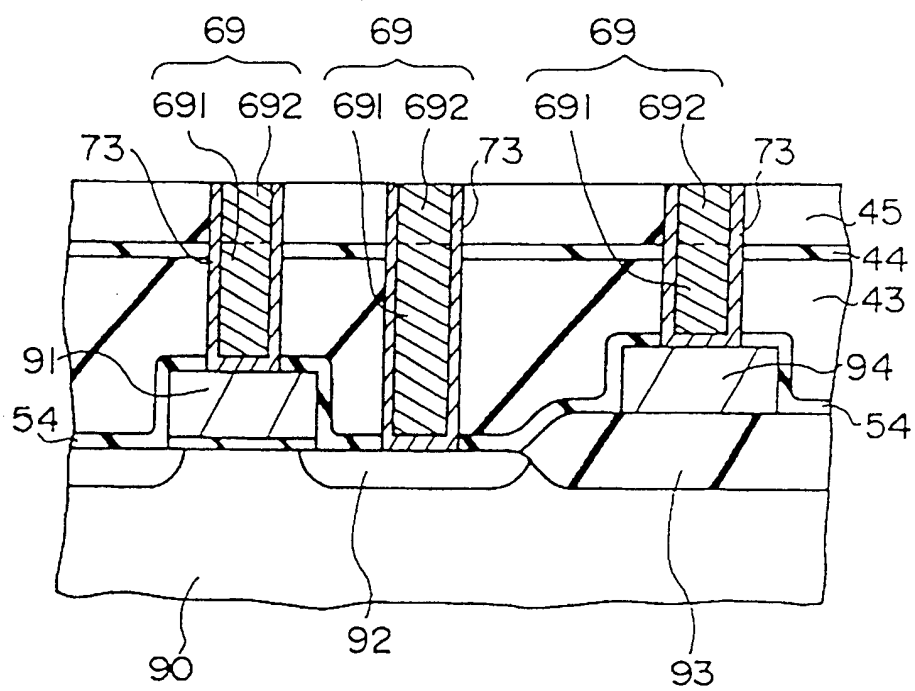


图 38

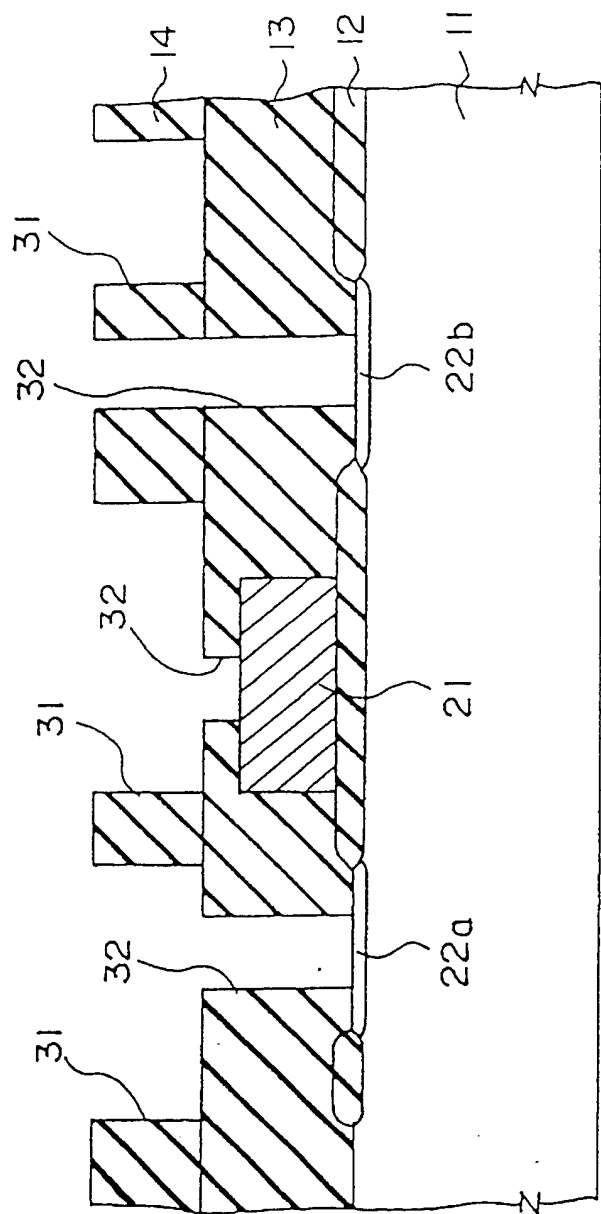


图 39

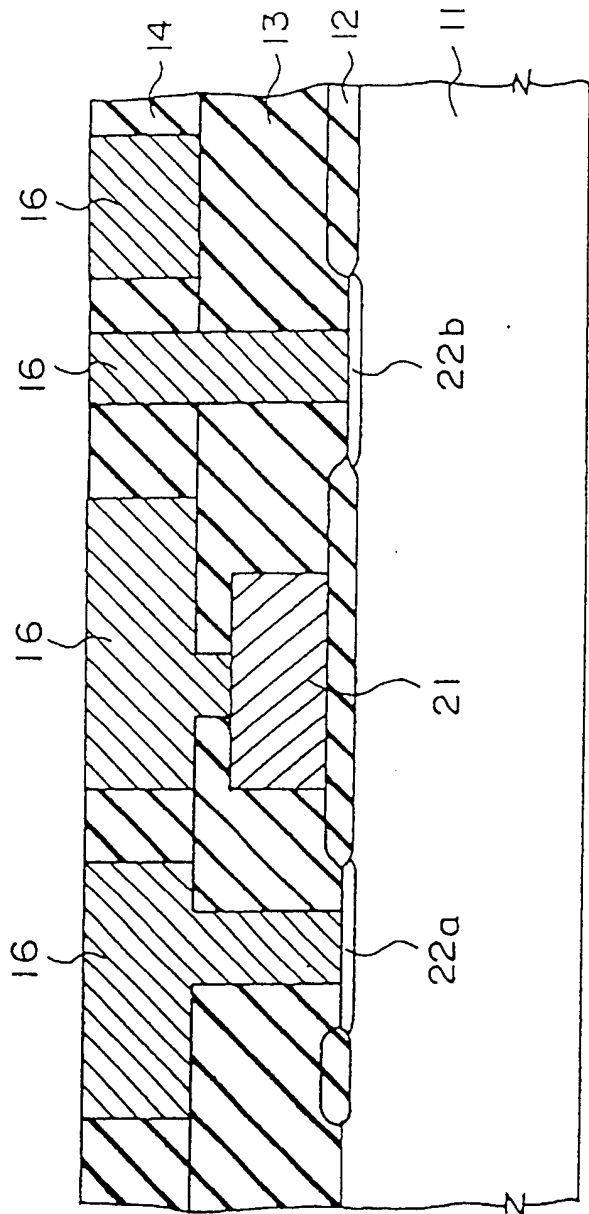


图 40

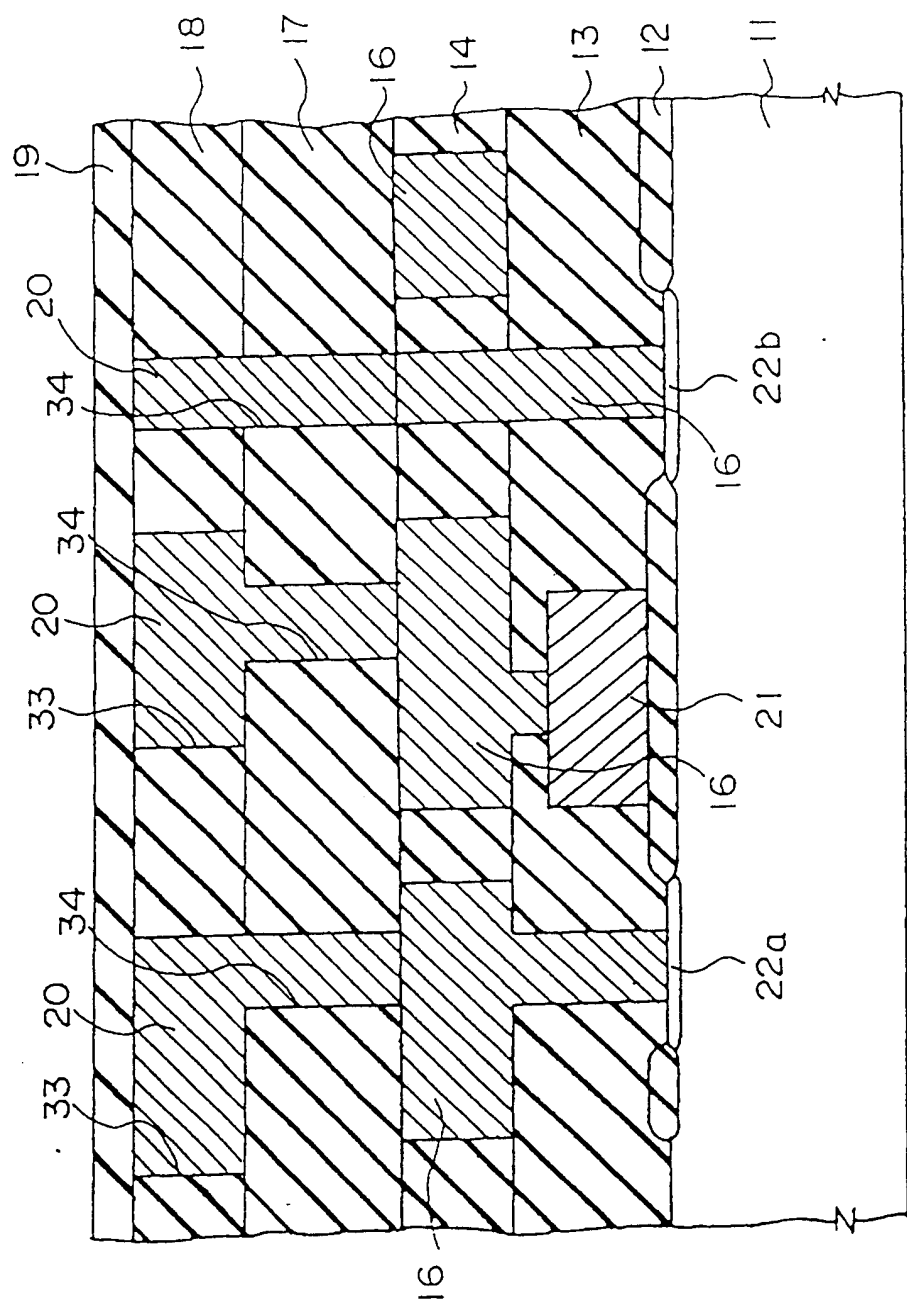


图 41

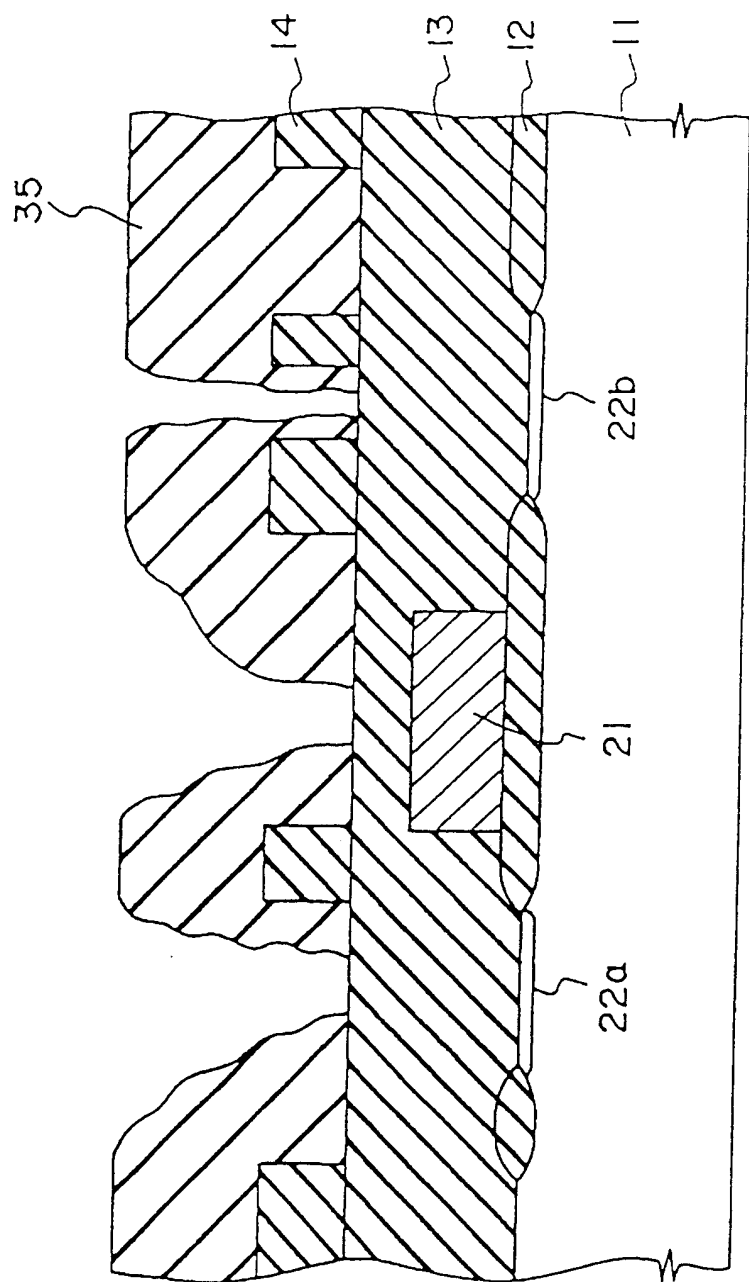


图 42

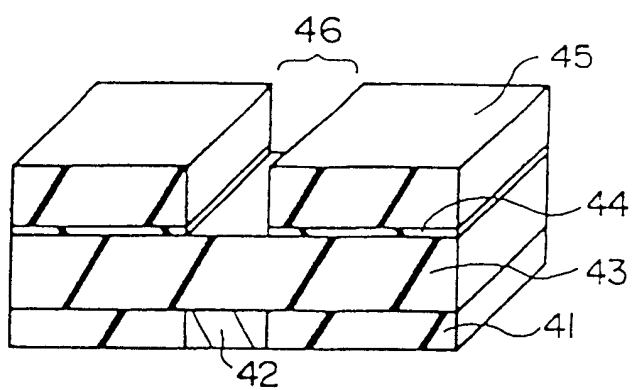


图 43

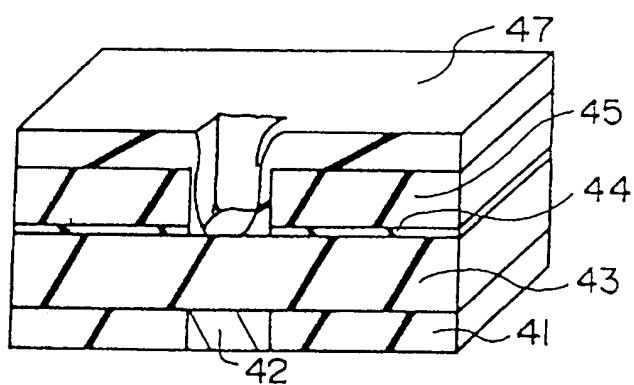


图 44

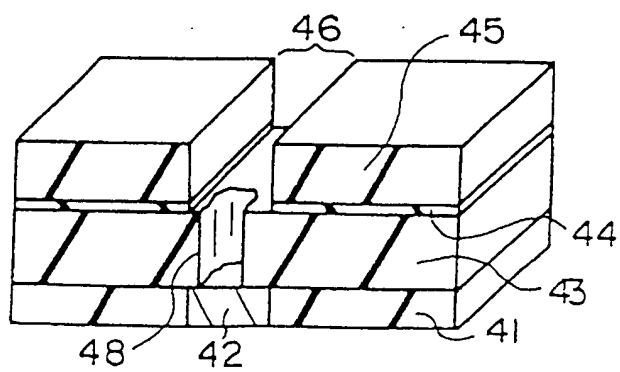


图 45

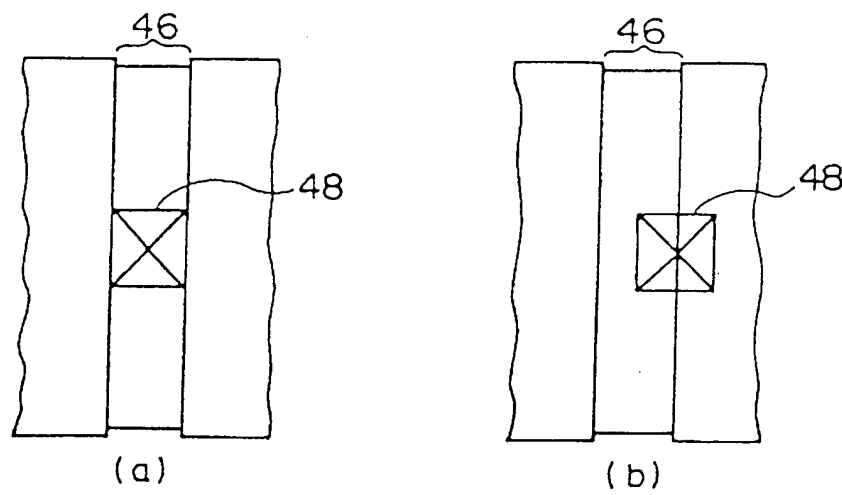


图 46

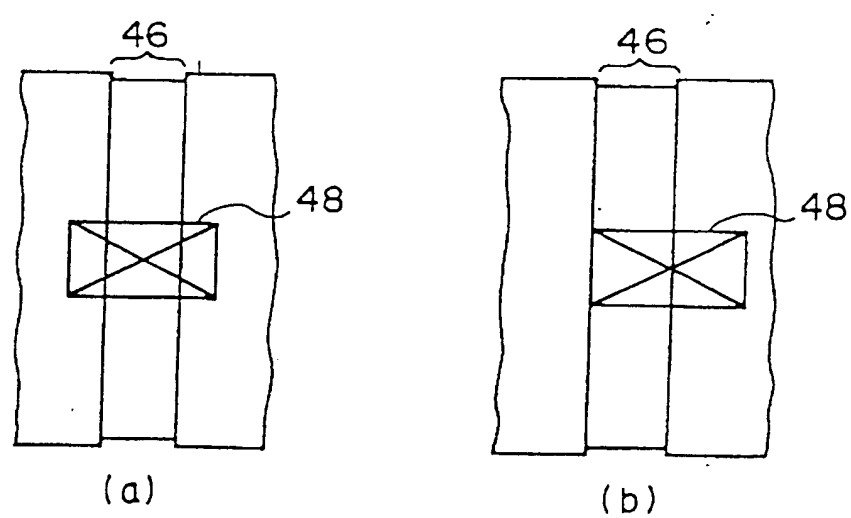


图 47

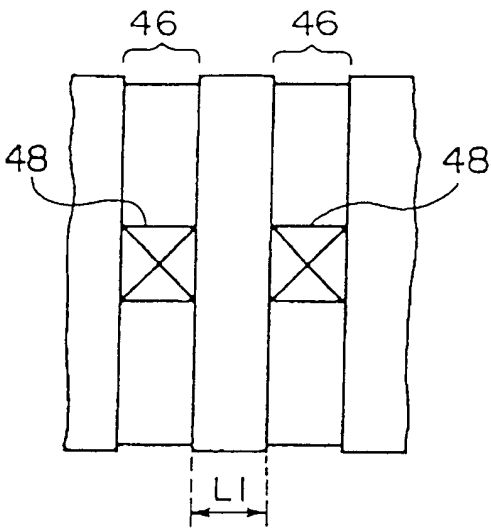


图 48

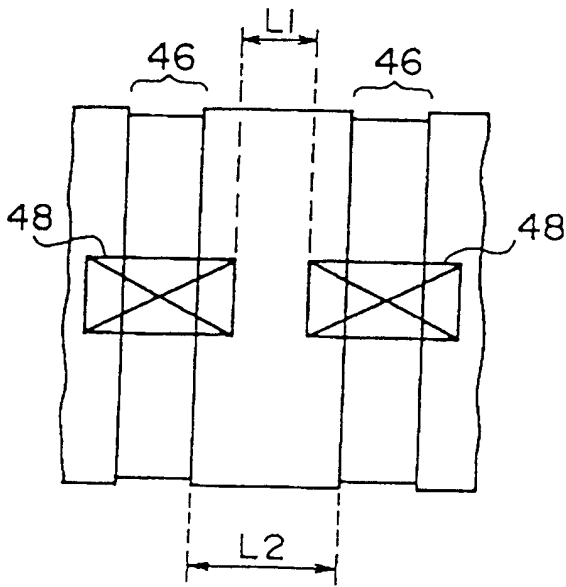


图 49