

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. <i>H01L 21/8247</i> (2006.01)	(45) 공고일자 2006년08월01일
	(11) 등록번호 10-0607222
	(24) 등록일자 2006년07월24일
(21) 출원번호 10-2004-0115243	(65) 공개번호 10-2006-0075874
(22) 출원일자 2004년12월29일	(43) 공개일자 2006년07월04일
(73) 특허권자 한양대학교 산학협력단 서울 성동구 행당동 17번지	
(72) 발명자 김태환 서울시 마포구 성산동 181-7	
	김영호 서울시 송파구 문정동 훼미리 아파트 217동 1201호
	김재호 서울시 동대문구 제기2동 226
	정재훈 서울시 광진구 자양2동 607-31 영성연립 A-301
(74) 대리인 이경란	
(56) 선행기술조사문현 JP10065024 A KR1020000011748 A US5969380 A * 심사관에 의하여 인용된 문현	JP2004311969 A KR1020050040534 A US6670659 B1

심사관 : 이시근

---

**(54) 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법**

---

**요약**

본 발명은 논리 소자 또는 기억 소자 및 그 제조 방법에 관한 것으로, 특히 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법에 관한 것이다. 본 발명에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법은 (a) 반도체 기판상에 제1전극을 증착하는 단계, (b) 상기 증착된 백금속의 상부에 제1절연막을 증착하는 단계, (c) 상기 절연막의 상부에 나노 크기의 결정체로 생성될 수 있는 백금속을 증착하는 단계, (d) 상기 백금속의 상부에 제2절연막을 증착하는 단계, (e) 상기 백금속에 미리 설정된 온도와 시간으로 열을 가하여 분산된 나노 결정체를 생성하는 단계, (f) 상기 제2절연막의 상부에 상기 제1전극과 평행하지 않게 제2전극을 증착하는 단계를 포함할 수 있다. 본 발명에 따르면, 나노 크기의 결정체를 포함한 박막 구조에서 박막 내에 전자를 포획하는 성질을 이용하여 논리 소자 또는 기억 소자를 구현할 수 있다.

**대표도**

도 2b

**색인어**

논리 소자, 기억 소자, 나노 결정체, 반도체, 백금속.

**명세서****도면의 간단한 설명**

도 1은 종래 기술에 따른 교차하는 전극 사이에 절연막을 이용한 논리 소자 또는 기억 소자의 단면도.

도 2a는 본 발명의 바람직한 실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자의 평면도.

도 2b는 본 발명의 바람직한 실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자의 단면도.

도 3은 본 발명의 바람직한 제1실시예에 따른 적층된 교차하는 전극 사이에 나노 결정체를 이용한 기억 소자의 단면도.

도 4는 본 발명의 바람직한 제2실시예에 따른 적층된 교차하는 전극 사이에 나노 결정체를 이용한 기억 소자의 단면도.

도 5는 본 발명의 바람직한 제3실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자의 단면도.

도 6은 본 발명의 바람직한 제4실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자의 단면도.

**<도면의 주요 부분에 대한 부호의 설명>**

210 : 보호막

220 : 제2전극

230 : 제1전극

240 : 절연막

250 : 나노 결정체

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 논리 소자 또는 기억 소자 및 그 제조 방법에 관한 것으로, 특히 교차하는 전극 사이에 자발적으로 형성된 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법에 관한 것이다.

일반적으로 플래시 메모리는 소비전력이 작고, 전원이 꺼지더라도 저장된 정보가 사라지지 않은 채 유지되는 특성을 지닌 기억장치(반도체)이다. 따라서 디램과 달리 전원이 끊기더라도 저장된 정보를 그대로 보존할 수 있을 뿐 아니라 정보의 입출력도 자유로워 현재 디지털 텔레비전, 디지털 캠코더, 휴대전화, 디지털 카메라, 개인 휴대 단말기(PDA), 게임기, MP3 플레이어 등에 널리 이용된다.

플래시 메모리 소자의 구조는 일반적인 모스 트랜지스터 구조에 전하를 축적할 수 있는 플로팅 게이트(Floating gate)를 포함하고 있다. 즉, 플래시 메모리 소자에 있어서 반도체 기판 상에 터널 산화막이라고 불리는 얇은 게이트 산화막을 개재하여 플로팅 게이트가 형성되어 있고, 플로팅 게이트 상부에 게이트 층간 유전막을 개재하여 컨트롤 게이트(Control gate) 전극이 형성되어 있다. 따라서, 플로팅 게이트는 터널 산화막 및 게이트 산화막에 의해 반도체 기판 및 컨트롤 게이트 전극과 전기적으로 절연이 되어 있다. 그러나 종래 기술에 따른 Si 기반의 플래시 메모리는 소스(source), 드레인(drain) 및 게이트(gate)를 생성하기 위한 복잡한 석판인쇄술(lithography) 공정을 수행해야 하는 문제점이 있다.

이를 극복하기 위해 종래 기술에 따르면 교차하는 전극을 이용한 메모리 소자가 제시된다. 도 1은 종래 기술에 따른 교차하는 전극 사이에 절연막을 이용한 논리 소자 또는 기억 소자의 단면도이다. 미국 특허 US6541869에 개시된 도 1을 참조하면, 교차하는 전극(7, 8)의 사이에 절연막(6)을 두어 절연막(6)을 저장 영역으로 사용한다. 교차하는 전극 사이에 존재할 강한 전기력에 의해서 전류의 흐름이 정해지며, 절연막내에 삽입되어 있는 강유전물질의 전기쌍 모먼트의 변화를 사용해서 정보가 저장될 수 있다. 여기서 절연막(6)이 문자 물질, 탄소 유기물 등인 경우 물성에 따라서 다양한 특성이 존재한다.

또한, 현재 화합물 반도체 박막에 자발 형성된 양자점(D. Leonard, M. Krishnamurthy, C. M. Reaves, S. P. Denbaars, and P. M. Petroff, Appl. Phys. Lett. 63, 3203 (1993)),  $\text{SiO}_2$  내에 형성된 Si 나노 결정체(Sandip Tiwari, Farhan Rana, Hussein Hanfi, Allan Hartstein, Emmanuel F. Carbone, Appl. Phys. Lett. 68, 1377 (1996)), 단락된 나노결정체(R. G. Osifchin, W. J. Mahoney, J. D. Bielefeld, R. P. Andres, J. I. Henderson, and C. P. Kubiak, Superlattices and Microstructures, 18, 283 (1995)) 또는  $\text{SiO}_2$ 와  $\text{Si}_2\text{N}_4$  박막층 사이의 결합점(V. A. Gritsenko, K. A. Nasirov, Yu. N. Novikov, A. L. Aseev, S. Y. Yoon, Jo-Woon Lee, E.-H. Lee, C. W. Kim, 47, 1651 (2003))과 같은 나노 크기의 결정체의 구조가 가능한 박막 구조에 대해서는 다양한 종래 기술에서 개시되어 있다. 나노 크기의 결정체의 구조가 가능한 박막 구조에서는 박막 내에 전자를 포획하는 성질이 있으며, 이는 나노 결정체와 박막 사이에 화학적 또는 열역학적인 반응을 하여 응집되는 성질이다.

그러나 상술한 바와 같은 교차하는 전극 사이에서 자발적으로 형성된 나노 결정체를 이용하여 데이터를 저장하는 장치 또는 이를 이용한 논리 소자에 대한 기술은 아직 개발되어 있지 않다.

또한, 종래 기술에 따른 정보 저장 장치들은 기계적, 열적 및 공정상의 이유로 2차원 평면상에서 정보를 저장하는 단위 구조를 작게 만들어서 자장 장치의 저장 능력을 향상하였다. 특히, 현재 대량 생산되는 금속, 절연체, 반도체 및 트랜지스터 기반의 논리 회로 장치와 플래시 메모리 소자는 비약적인 공정 기술의 발전으로 게이트의 크기가 수십 나노미터에 이르게 되었다. 따라서 이제 2차원적인 단위 구조를 줄이는 방법으로 소자의 집적도를 높이는 기술은 물리적인 한계에 도달하였다.

### 발명이 이루고자 하는 기술적 과제

따라서, 상술한 문제점을 해결하기 위해, 본 발명의 목적은 나노 크기의 결정체의 구조가 가능한 박막 구조에서 박막 내에 전자를 포획하는 성질을 이용하여 논리 소자 또는 기억 소자를 구현할 수 있는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법을 제시하는데 있다.

본 발명의 다른 목적은 고분자 내에 분산된 나노 결정체의 크기 또는 밀도를 조절하여 나노 플로팅 게이트의 성능을 향상 시킨 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법을 제시하는데 있다.

본 발명의 또 다른 목적은 종래의 Si 기반의 플래시 메모리에 비해 소자 제작이 간단한 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법을 제시하는데 있다.

본 발명의 또 다른 목적은 적층 구조에 따른 3차원 구조로 소자를 제작하여 정보 저장량 한계를 극복할 수 있는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법을 제시하는데 있다.

본 발명의 또 다른 목적은 전극과 나노 결정체 사이에 양자 터널링 효과를 이용하여 전하를 저장함으로써 작은 전력 소비와 빠른 속도로 소자를 작동할 수 있는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법을 제시하는데 있다.

본 발명의 다른 목적들은 이하에 서술되는 바람직한 실시예를 통하여 보다 명확해질 것이다.

## 발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명의 일 측면에 따르면, 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법을 제시할 수 있다.

바람직한 실시예에 따르면, 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법은 (a) 반도체 기판상에 제1전극을 증착하는 단계, (b) 상기 증착된 백금속의 상부에 제1절연막을 증착하는 단계, (c) 상기 절연막의 상부에 나노 크기의 결정체로 생성될 수 있는 백금속을 증착하는 단계, (d) 상기 백금속의 상부에 제2절연막을 증착하는 단계, (e) 상기 백금속에 미리 설정된 온도와 시간으로 열을 가하여 분산된 나노 결정체를 생성하는 단계, (f) 상기 제2절연막의 상부에 상기 제1전극과 평행하지 않게 제2전극을 증착하는 단계를 포함할 수 있다.

여기서 상기 제1전극 및 제2전극은 백금속일 수 있으며, 상기 (e) 단계에서 상기 미리 설정된 온도와 시간은 각각 400°C, 1시간일 수 있다.

또한, 상기 (f) 단계에서 선택 식각 공정을 이용하여 상기 제2전극을 상기 제1전극과 수직으로 증착할 수 있고, 상기 제2전극은 상기 제2절연막의 상부에 상기 제1전극과 수직하게 증착될 수 있으며, 상기 나노 결정체는 상기 제1절연막 또는 제2절연막간에 화학적 또는 열역학적인 성질을 이용하여 전자를 포획할 수 있다.

또한, 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법은 (g) 상기 제2전극의 상부에 보호막을 증착하는 단계를 더 포함할 수 있다.

여기서 상기 (a) 내지 (f) 단계를 미리 설정된 회수만큼 반복하여 상기 제조된 논리 소자 또는 기억 소자가 수직으로 적층될 수 있다.

상기 목적들을 달성하기 위하여, 본 발명의 다른 측면에 따르면, 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자를 제시할 수 있다.

바람직한 실시예에 따르면, 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자는 반도체 기판상에 증착된 제1전극, 상기 증착된 백금속의 상부에 증착된 제1절연막, 상기 절연막의 상부에 증착되고, 미리 설정된 온도와 시간으로 열을 가하여 나노 크기의 결정체로 생성된 백금속, 상기 백금속의 상부에 증착된 제2절연막, 상기 제2절연막의 상부에 상기 제1전극과 평행하지 않게 증착된 제2전극을 포함할 수 있다.

여기서 상기 제1전극 및 제2전극은 백금속일 수 있고, 상기 미리 설정된 온도와 시간은 각각 400°C, 1시간일 수 있으며, 선택 식각 공정을 이용하여 상기 제2전극을 상기 제1전극과 수직으로 증착할 수 있다.

또한, 상기 제2전극은 상기 제2절연막의 상부에 상기 제1전극과 수직하게 증착될 수 있고, 상기 나노 결정체는 상기 제1절연막 또는 제2절연막간에 화학적 또는 열역학적인 성질을 이용하여 전자를 포획할 수 있다.

또한, 상기 제2전극의 상부에 증착된 보호막을 더 포함할 수 있고, 상기 제조된 논리 소자 또는 기억 소자가 미리 설정된 수만큼 수직으로 반복적으로 적층될 수 있다.

이하, 본 발명에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 상관없이 동일하거나 대응하는 구성 요소는 동일한 참조번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

도 2a는 본 발명의 바람직한 실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자의 평면도이다. 도 2a를 참조하면, 본 발명의 바람직한 실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자는 제1전극(230), 제2전극(220), 절연막(240)을 포함하여 구성된다.

산소와 반응이 없는 반도체(Si) 기판의 윗면에 제1전극(230)을 증착하고, 제1전극(230)의 상부에 절연막(240)을 증착하며, 이후 제1전극(230)과 교차하여 배열되는 제2전극(220)를 증착한다. 여기서 제2전극(220)은 제1전극(230)과 평행하지 않게 교차되며, 바람직하게는 수직으로 교차될 수 있다. 제1전극(230)과 제2전극(220)은 메모리 소자의 케이트 역할을 하기 때문에 본 발명에 따르면 기억 소자뿐만 아니라 논리 소자도 구현될 수 있다.

도 2b는 본 발명의 바람직한 실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자의 단면도이다. 도 2b는 도 2a의 A-A선에 따른 단면도이며, 도 2b를 참조하면, 본 발명의 바람직한 실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자는 보호막(210), 제2전극(220), 제1전극(230), 절연막(240) 및 나노 결정체(250)를 포함하여 구성된다.

보호막(210)은 본 발명에 따른 기억 소자 또는 논리 소자가 작동하는 활성 영역에서 발생하는 열을 제거하고 전기적인 잡음과 누설 전류를 차단하는 역할을 한다.

나노 결정체(250)는 자발적으로 형성되어 전자를 구속함으로써 절연막(240)의 박막 내에 전자를 포획하는 성질을 가지며, 교차하는 제2전극(220)과 제1전극(230) 사이의 전류 변화를 이용하여 데이터를 저장하거나 논리 소자로 이용된다. 전자를 포획하는 구조는 가진 총은 단층 또는 다층으로 구성될 수 있다. 또한, 나노 결정체(250)와 박막 사이에 화학적 또는 열역학적인 반응을 하여 응집되는 성질을 이용하여 박막 내에 전자를 포획한다. 이러한 전자를 포획하는 성질은 촉매를 이용함으로써 효율적으로 수행될 수 있다.

이러한 소자 제조 방법을 자세히 살펴보면, 산소와 반응이 없는 Si 반도체 기판상에 제1전극(230)을 증착한다. 여기서 제1전극(230)은 백금족 금속일 수 있다. 백금족 금속으로 백금, 이리듐, 오스뮴, 로듐, 루테늄 등이 사용될 수 있다. 이후 증착된 제1전극(230)의 상부에 절연막(240)을 증착하며, 여기서 절연막(240)은 Biphenyltetracarboxylic Dianhydride-p-Phenylenediamine(BPDA-PDA)형의 폴리아미드산이 될 수 있다. 절연막(240)의 상부에 나노 크기의 결정체로 생성될 수 있는 백금족 금속을 증착하며, 백금족 금속의 두께는 1nm 내지 10nm가 될 수 있다. 이후 다시 BPDA-PDA형의 폴리아미드산인 절연막(240)을 증착하고 경화작용을 위해 400°C에서 한시간 동안 열을 가하여 폴리아미드 박막 내에 분산된 고밀도 나노 결정체(250)를 형성한다. 이후 절연막(240)의 상부에 제1전극(230)과 평행하지 않게 제2전극(220)을 증착함으로써 매트릭스(matrix) 형태의 전극 구조를 생성한다.

또한, 매트릭스 형태의 소자의 상부에, 활성 영역에서 발생하는 열을 제거하고 전기적인 잡음과 누설 전류를 차단하는 역할을 하는 보호막(210)을 증착하여 이후 동일한 구조의 소자가 수직으로 적층될 수 있도록 할 수 있다.

따라서 본 발명에서 제시하는 논리 소자 또는 기억 소자의 효율성은 나노 결정체(250)를 얼마나 효율적으로 균일하고 작게 제작하는가와 제1전극(230)과 제2전극(220)의 구조, 그 재료의 특성 및 게이트 역할을 할 전극의 구조 설계에 따라 영향을 받는다.

이상에서 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법을 일반적으로 도시한 평면도와 단면도를 설명하였으며, 이하에서는 첨부 도면을 참조하여, 본 발명에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법을 구체적인 실시예를 기준으로 설명하기로 한다. 본 발명에 따른 바람직한 실시예는 크게 두가지로 구분된다. 즉, 본 발명의 바람직한 실시예는 첫째, 기억 소자로서 교차하는 전극 사이에 나노 결정체를 이용하는 방법과 둘째, 논리 소자로서 교차하는 전극 사이에 나노 결정체를 이용하는 방법으로 구분된다. 이하에서 기술되는 제1실시예와 제2실시예는 기억 소자에 관련되며, 제3실시예와 제4실시예는 논리 소자에 관련된다. 이를 차례대로 설명한다.

도 3은 본 발명의 바람직한 제1실시예에 따른 적층된 교차하는 전극 사이에 나노 결정체를 이용한 기억 소자의 단면도이고, 도 4는 본 발명의 바람직한 제2실시예에 따른 적층된 교차하는 전극 사이에 나노 결정체를 이용한 기억 소자의 단면도이다. 도 3 또는 4를 참조하면, 본 발명의 바람직한 제1실시예 또는 제2실시예에 따른 적층된 교차하는 전극 사이에 나노 결정체를 이용한 기억 소자는 보호막(210), 제2전극(220), 제1전극(230), 절연막(240) 및 나노 결정체(250)를 포함하여 구성된다.

각 소자의 단위는 보호막(210), 제2전극(220), 제1전극(230), 절연막(240) 및 나노 결정체(250)를 포함하여 하나의 단위가 되며, 도 3을 참조하면, 3개의 단위 소자가 적층되어 있으며, 따라서 3차원의 데이터 저장 소자를 구현할 수 있다. 여기서 각 단위 소자에 포함된 제1전극(230)은 상하로 동일한 위치에 설치되어 있다.

또한, 도 4를 참조하면, 3개의 단위 소자가 적층되어 있으며, 각각의 단위 소자에 데이터를 저장할 수 있다. 여기서 각 단위 소자에 포함된 제1전극(230)은 상하로 엇갈린 형태로 구현되어 있다. 제1전극(230)의 위치 및 배열은 각 소자의 이용상 필요에 따라 여러 가지로 조합될 수 있다.

도 5는 본 발명의 바람직한 제3실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자의 단면도이다. 도 5를 참조하면, 본 발명의 바람직한 제3실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자는 트랜지스터의 전극(510), 제1전극(530) 및 제2전극(520)을 포함하여 구성된다.

제1전극(530)과 제2전극(520)은 주 전류가 흐르는 전극이며, 제1전극(530)과 제2전극(520)간에 도시된 화살표는 실제 전류가 흐르는 방향을 나타냄으로써 그 위치가 활성층임을 표현한다. 트랜지스터의 전극(510)은 주변의 변형된 게이트 전극을 사용하며, 이를 연결함으로써 다양한 실시예를 표현할 수 있다. 예를 들어, 적층된 단위 소자의 특정한 전극과 다른 단위 소자의 특정한 전극들을 이용하여 트랜지스터의 각각 전극을 구현할 수 있다.

도 6은 본 발명의 바람직한 제4실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자의 단면도이다. 도 6을 참조하면, 본 발명의 바람직한 제4실시예에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자는 제2전극(620), 제1전극(630), 연결 전극(660), 나노 결정체(650) 및 트랜지스터의 전극(670)을 포함하여 구성된다.

구현할 논리 소자의 필요에 따라 제2전극(620)과 제1전극(630)은 연결 전극(660)을 이용하여 서로 연결될 수 있고, 트랜지스터의 전극(670)도 주변의 변형된 게이트 전극을 사용하여 다양한 실시예를 표현할 수 있다. 도 6을 참조하면, 3층으로 적층된 소자 중 아래에서 첫번째 단위 소자의 특정한 전극과 아래에서 세번째 단위 소자의 특정한 전극들을 이용하여 트랜지스터의 각각 전극을 구현할 수 있다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 물론이다.

### 발명의 효과

상술한 바와 같이 본 발명에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법은 나노 크기의 결정체를 포함한 박막 구조에서 박막 내에 전자를 포획하는 성질을 이용하여 논리 소자 또는 기억 소자를 구현할 수 있다.

또한, 본 발명에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법은 고분자 내에 분산된 나노 결정체의 크기 또는 밀도를 조절하여 나노 플로팅 게이트의 성능을 향상시킬 수 있다.

또한, 본 발명에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법은 종래의 Si 기반의 플래시 메모리에 비해 소자 제작이 간단하다.

또한, 본 발명에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법은 적층 구조에 따른 3차원 구조로 소자를 제작하여 정보 저장량 한계를 극복할 수 있다.

또한, 본 발명에 따른 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 및 그 제조 방법은 전극과 나노 결정체 사이에 양자 터널링 효과를 이용하여 전하를 저장함으로써 작은 전력 소비와 빠른 속도로 소자를 작동할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

논리 소자 또는 기억 소자를 제조하는 방법에 있어서,

- (a) 반도체 기판상에 제1전극을 증착하는 단계;
- (b) 상기 증착된 제1전극의 상부에 제1절연막을 증착하는 단계;
- (c) 상기 제1절연막의 상부에 나노 크기의 결정체로 생성될 수 있는 백금족 금속을 증착하는 단계;

- (d) 상기 백금족 금속의 상부에 제2절연막을 증착하는 단계;
- (e) 상기 백금족 금속에 열을 가하여 분산된 나노 결정체를 생성하는 단계; 및
- (f) 상기 제2절연막의 상부에 상기 제1전극과 평행하지 않게 제2전극을 증착하는 단계를 포함하는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법.

## 청구항 2.

제1항에 있어서,

상기 제1전극 및 제2전극은 백금족 금속인 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법.

## 청구항 3.

제1항에 있어서,

상기 (e) 단계에서

상기 백금족 금속에 1시간동안 400°C의 열을 가하여 분산된 나노 결정체를 생성하는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법.

## 청구항 4.

제1항에 있어서,

상기 (f) 단계에서

선택 식각 공정을 이용하여 상기 제2전극을 상기 제1전극과 수직으로 증착하는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법.

## 청구항 5.

제1항에 있어서,

상기 (f) 단계에서

상기 제2전극은 상기 제2절연막의 상부에 상기 제1전극과 수직하게 증착되는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법.

## 청구항 6.

제1항에 있어서,

상기 나노 결정체는 상기 제1절연막 또는 제2절연막간에 화학적 또는 열역학적인 성질을 이용하여 전자를 포획하는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법.

## 청구항 7.

제1항에 있어서,

(g) 상기 제2전극의 상부에 보호막을 증착하는 단계를 더 포함하는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법.

## 청구항 8.

제1항에 있어서,

상기 (a) 내지 (f) 단계를 미리 설정된 회수만큼 반복하여 상기 제조된 논리 소자 또는 기억 소자가 수직으로 적층되는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자 제조 방법.

## 청구항 9.

논리 소자 또는 기억 소자에 있어서,

반도체 기판상에 증착된 제1전극;

상기 증착된 제1전극의 상부에 증착된 제1절연막;

상기 제1절연막의 상부에 증착되고, 열을 가하여 나노 크기의 결정체로 생성된 백금족 금속;

상기 백금족 금속의 상부에 증착된 제2절연막; 및

상기 제2절연막의 상부에 상기 제1전극과 평행하지 않게 증착된 제2전극을 포함하는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자.

## 청구항 10.

제9항에 있어서,

상기 제1전극 및 제2전극은 백금족 금속인 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자.

## 청구항 11.

제9항에 있어서,

상기 백금족 금속은 1시간동안 400°C의 열을 가하여 분산된 나노 결정체로 생성되는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자.

## 청구항 12.

제9항에 있어서,

선택 식각 공정을 이용하여 상기 제2전극을 상기 제1전극과 수직으로 중첩하는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자.

### 청구항 13.

제9항에 있어서,

상기 제2전극은 상기 제2절연막의 상부에 상기 제1전극과 수직하게 중첩되는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자.

### 청구항 14.

제9항에 있어서,

상기 나노 결정체는 상기 제1절연막 또는 제2절연막간에 화학적 또는 열역학적인 성질을 이용하여 전자를 포획하는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자.

### 청구항 15.

제9항에 있어서,

상기 제2전극의 상부에 중첩된 보호막을 더 포함하는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자.

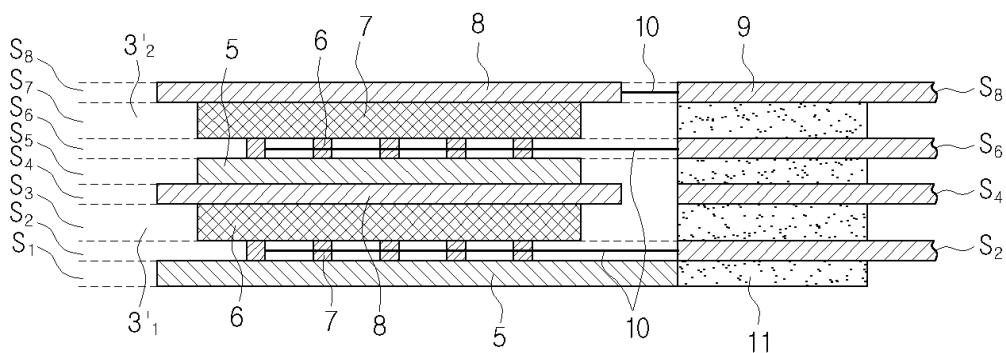
### 청구항 16.

제9항에 있어서,

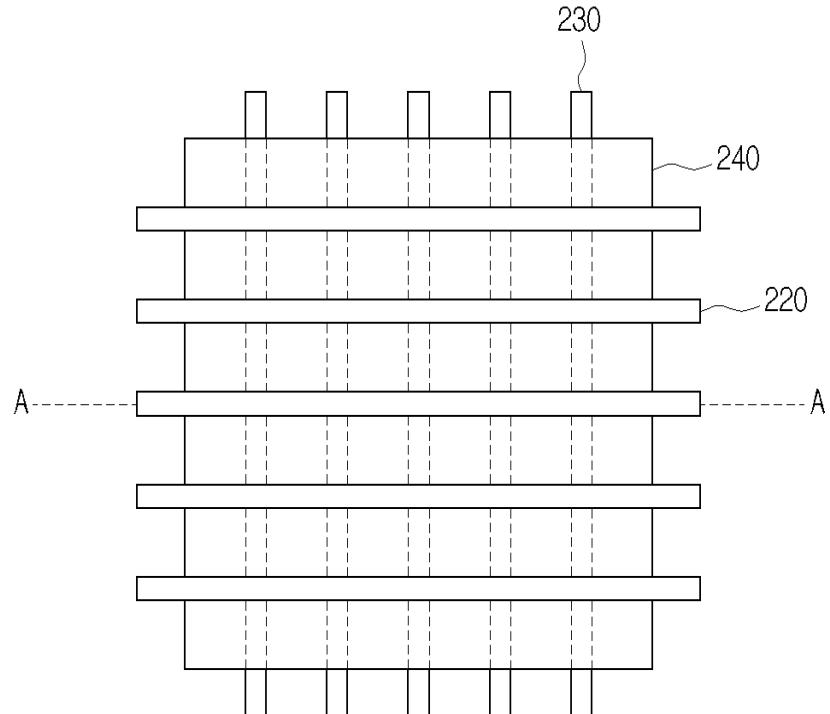
상기 제조된 논리 소자 또는 기억 소자가 미리 설정된 수만큼 수직으로 반복적으로 적층되는 것을 특징으로 하는 교차하는 전극 사이에 나노 결정체를 이용한 논리 소자 또는 기억 소자.

도면

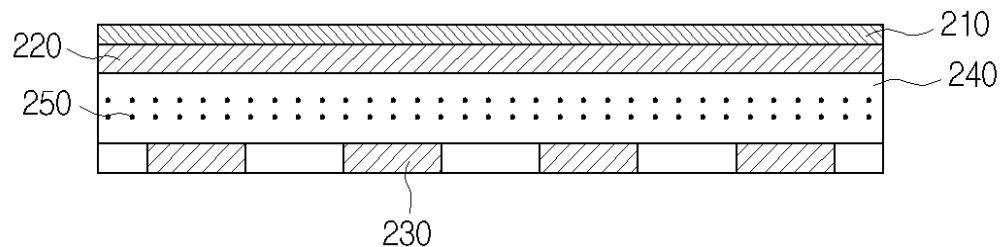
도면1



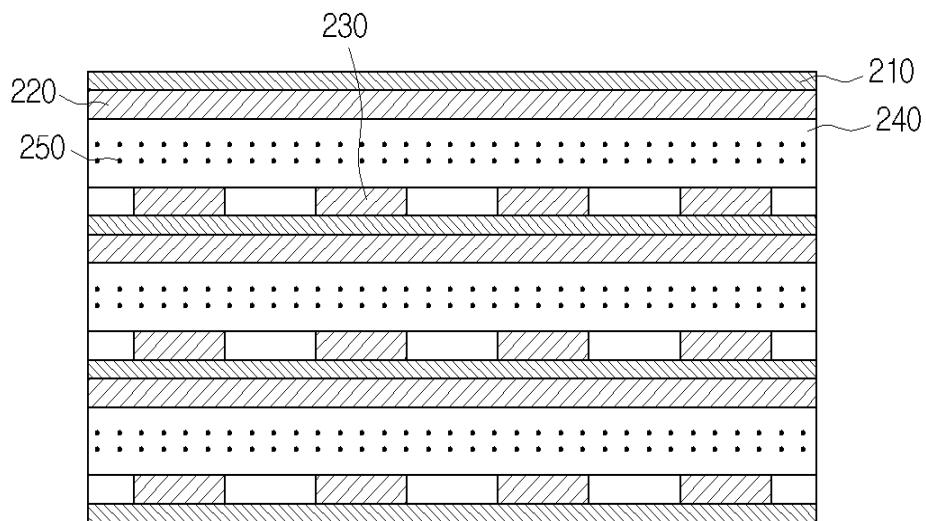
도면2a



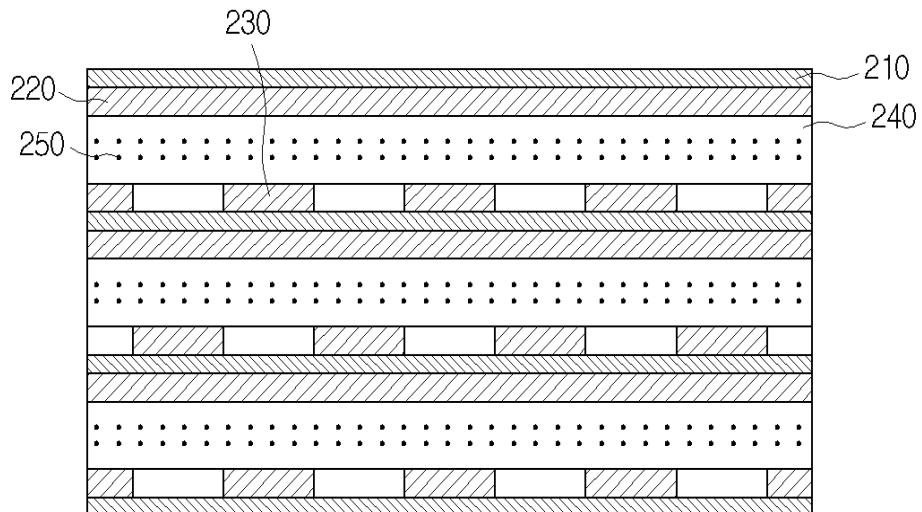
도면2b



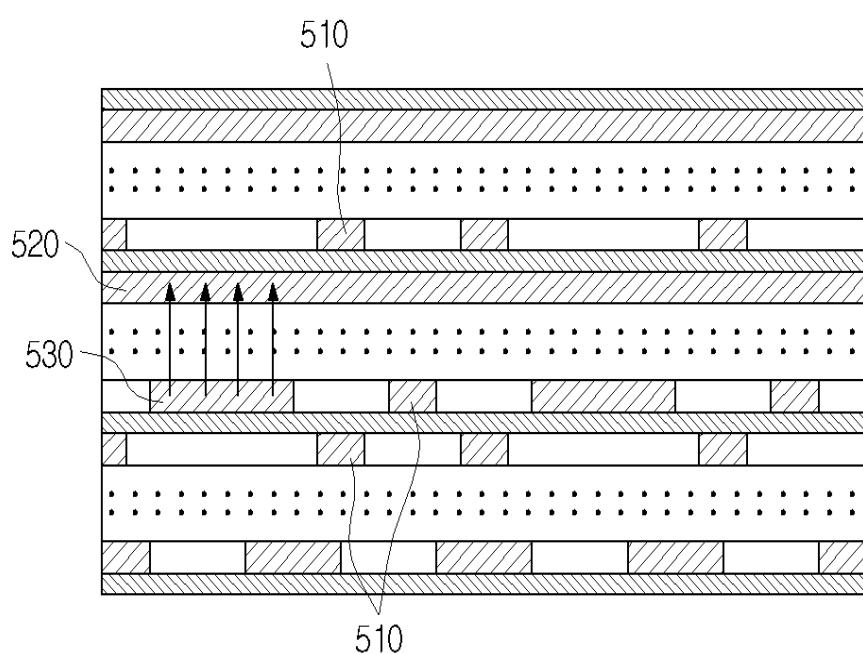
도면3



도면4



도면5



도면6

