

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 4 月 4 日 (04.04.2024)



(10) 国际公布号
WO 2024/066450 A1

- (51) 国际专利分类号:
H10B 12/00 (2023.01)
- (21) 国际申请号: PCT/CN2023/098361
- (22) 国际申请日: 2023 年 6 月 5 日 (05.06.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202211216819.2 2022年9月30日 (30.09.2022) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 杨蒙蒙 (YANG, Mengmeng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区苏州街3号大恒科技大厦南座五层503, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,

IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME

(54) 发明名称: 半导体结构及其形成方法

提供叠层结构和与叠层结构连接的有源区; 有源区将叠层结构划分为沿第一方向排列的第一台阶区域和第二台阶区域; 第一台阶区域和第二台阶区域均包括沿第一方向间隔排列的M个初始台阶结构

依次同时刻蚀第一台阶区域和第二台阶区域中远离有源区的前i个初始台阶结构, 对应形成位于第一台阶区域中的M个第一台阶结构和第二台阶区域中的M个第二台阶结构; 其中, 沿远离有源区的方向, 第一台阶结构在第三方向上的尺寸依次减小; 位于第一台阶区域和第二台阶区域中远离有源区的第i个第一台阶结构在第三方向上的尺寸不相等

S101 Provide a stacked structure and an active region connected to the stacked structure, wherein the active region divides the stacked structure into a first staircase region and a second staircase region arranged in a first direction, and the first staircase region and the second staircase region each comprise M initial staircase structures arranged at intervals in the first direction

S102 Simultaneously etch the first i initial staircase structures, in the first staircase region and the second staircase region, away from the active region in sequence to correspondingly form M first staircase structures located in the first staircase region and M first staircase structures located in the second staircase region, wherein in a direction away from the active region, the sizes of the first staircase structures decrease in sequence in a third direction, and the sizes of the i-th first staircase structures, in the first staircase region and the second staircase region, away from the active region, are not equal in the third direction

图 1

(57) Abstract: Provided are a semiconductor structure and a method for forming same. The method comprises: providing a first staircase region, an active region, and a second staircase region which are arranged in a first direction; and etching the first staircase region and the second staircase region to respectively form M first staircase structures, wherein in a direction away from the active region, the sizes of the first staircase structures decrease in sequence in a third direction, the sizes of the i-th first staircase structures in the first staircase region and the second staircase region are not equal in the third direction, and $i=1, 2, \dots, M$.

(57) 摘要: 提供一种半导体结构及其形成方法, 方法包括: 提供沿第一方向排列的第一台阶区域、有源区和第二台阶区域; 刻蚀第一台阶区域和第二台阶区域, 分别形成M个第一台阶结构; 远离有源区, 第一台阶结构在第三方向上的尺寸依次减小; 位于第一台阶区域和第二台阶区域中的第i个第一台阶结构在第三方向上的尺寸不相等; $i=1, 2, \dots, M$ 。

WO 2024/066450 A1

半导体结构及其形成方法

相关申请的交叉引用

本公开基于申请号为 202211216819.2、申请日为 2022 年 09 月 30 日、发明名称为“半
导体结构及其形成方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国
5 专利申请的的全部内容在此引入本公开作为参考。

技术领域

本公开实施例涉及但不限于一种半导体结构及其形成方法。

背景技术

目前，通常采用台阶（Staircase）结构辅助实现三维半导体器件的堆叠（stacking）结
10 构，以提高半导体器件的集成度。然而，对于堆叠的三维半导体器件来说，无论是位线（Bit
Line, BL）台阶结构还是字线（Word Line, WL）台阶结构均面临较大的耦合问题。

发明内容

本公开实施例提供一种半导体结构及其形成方法。

第一方面，本公开实施例提供一种半导体结构的形成方法，所述方法包括：

15 提供叠层结构和与所述叠层结构连接的有源区；所述有源区将所述叠层结构划分为沿
第一方向排列的第一台阶区域和第二台阶区域；所述第一台阶区域和所述第二台阶区域均
包括沿所述第一方向间隔排布的 M 个初始台阶结构；

依次同时刻蚀所述第一台阶区域和所述第二台阶区域中远离所述有源区的前 i 个初始
台阶结构，对应形成位于所述第一台阶区域中的 M 个第一台阶结构和所述第二台阶区域
20 中的 M 个第一台阶结构；

其中，沿远离所述有源区的方向，所述第一台阶结构在第三方向上的尺寸依次减小；
位于所述第一台阶区域和所述第二台阶区域中远离所述有源区的第 i 个所述第一台阶结构
在所述第三方向上的尺寸不相等； $i=1, 2 \dots M$ ；所述第一方向平行于所述有源区所在平面，
所述第三方向垂直于所述有源区所在的平面。在一些实施例中，所述方法还包括：

25 沿第二方向对所述第一台阶结构进行多次刻蚀，于每一所述第一台阶结构中形成沿所
述第三方向依次堆叠的多个第二台阶结构；沿所述第三方向从上至下，所述第二台阶结构
在所述第二方向上的尺寸依次增大；

所述第二方向平行于所述有源区所在平面、且与所述第一方向相交。

30 在一些实施例中，所述叠层结构沿所述第三方向上的投影区域为梳齿形；所述第一台
阶区域中位于每一第一台阶结构的连接端部的第二台阶结构沿所述第三方向上的投影区
域互连，且与所述有源区连接；所述第二台阶区域中位于每一第一台阶结构的连接端部的
第二台阶结构沿所述第三方向上的投影区域互连，且与所述有源区连接；所述叠层结构通
过以下步骤形成：

提供初始叠层结构，所述初始叠层结构位于所述有源区沿所述第一方向的两侧；

35 在所述有源区的表面形成保护层；

刻蚀所述初始叠层结构，形成所述初始台阶结构、以及位于相邻两个所述初始台阶结
构之间、且位于所述初始台阶结构与有源区之间的隔离凹槽；所述隔离凹槽在所述第二方

向上具有一个开口。

在一些实施例中，所述方法还包括：

在所述隔离凹槽中形成隔离结构；

在所述第二台阶区域中的所述 M 个初始台阶结构和所述隔离结构的表面形成具有预设厚度的阻挡层。

在一些实施例中，所述第一台阶结构通过以下步骤形成：

在所述第一台阶区域、所述保护层和所述阻挡层的表面形成第一光刻胶层；

通过所述第一光刻胶层对部分所述初始台阶结构、部分所述阻挡层和部分所述隔离结构进行 M 次刻蚀，在所述第一台阶区域和所述第二台阶区域中均形成所述 M 个第一台阶结构和刻蚀后的隔离结构；

其中，在第 i 次刻蚀之前，对第 $i-1$ 次刻蚀过程中使用的所述第一光刻胶层进行修剪，以使得第 i 次刻蚀过程中的所述第一光刻胶层至少暴露出所述第一台阶区域中的前 i 个初始台阶结构、以及所述第二台阶区域中的第 i 个初始台阶结构表面的所述阻挡层、以及前 $i-1$ 个初始台阶结构。

在一些实施例中，通过所述第一光刻胶层对部分所述初始台阶结构和部分所述阻挡层进行 M 次刻蚀，在所述第一台阶区域和所述第二台阶区域中均形成所述 M 个第一台阶结构，包括：

通过所述第一光刻胶层，沿靠近所述有源区方向对所述第一台阶区域和所述第二台阶区域中远离所述有源区的第 i 个初始台阶结构进行 $M-i+1$ 次刻蚀，在所述第一台阶区域和所述第二台阶区域中均形成所述 M 个第一台阶结构。

在一些实施例中，所述第二台阶结构通过以下步骤形成：

在所述第一台阶结构、所述保护层和所述刻蚀后的隔离结构表面形成第二光刻胶层；

通过所述第二光刻胶层对所述第一台阶结构和所述刻蚀后的隔离结构进行 $N-1$ 次刻蚀，形成所述第二台阶结构和剩余的隔离结构；

其中，在第 j 次刻蚀之前，对第 $j-1$ 次刻蚀过程中使用的所述第二光刻胶层进行修剪，以使得第 j 次刻蚀过程中的所述第二光刻胶层至少暴露出每一所述第一台阶结构中远离所述连接端部的前 j 个部分； $j=1, 2 \dots N$ 。

在一些实施例中，所述第一台阶结构包括沿所述第二方向从右至左依次排列的 j 个部分，通过所述第二光刻胶层对所述第一台阶结构进行 $N-1$ 次刻蚀，形成所述第二台阶结构，包括：

沿所述第二方向依次对远离所述连接端部的第 j 个部分进行 $N-j$ 次刻蚀，形成所述第二台阶结构。

在一些实施例中，在形成所述第二台阶结构之后，所述方法还包括：

去除所述第二光刻胶层和所述保护层。

在一些实施例中，在去除所述保护层之后，所述方法还包括：

在所述第二台阶结构、所述剩余的隔离结构和所述有源区的表面形成介质层；

刻蚀所述介质层，形成 $2M \times N$ 个刻蚀孔；其中，每一所述刻蚀孔暴露出一个所述第二台阶结构；

在所述刻蚀孔中形成导电柱。

第二方面，本公开实施例提供一种半导体结构，所述半导体结构包括：第一台阶区域、第二台阶区域、以及位于所述第一台阶区域和所述第二台阶区域之间的有源区；

所述第一台阶区域和所述第二台阶区域均包括 M 个沿第一方向依次排布的第一台阶结构、且所述第一台阶结构均与所述有源区连接；

沿远离所述有源区的方向，所述第一台阶结构在第三方向上的尺寸依次减小；位于所述第一台阶区域和所述第二台阶区域中远离所述有源区的第 i 个所述第一台阶结构在所述第三方向上的尺寸不相等； $i=1, 2 \dots M$ ；

所述第一方向平行于所述有源区所在平面内的任意一个方向，所述第三方向垂直于所述有源区所在的平面相交。

在一些实施例中，每一所述第一台阶结构包括 N 个沿所述第三方向依次堆叠的第二台阶结构；

5 位于所述第一台阶区域沿所述第三方向自下而上第 j 个所述第二台阶结构与位于所述第二台阶区域沿所述第三方向自下而上第 j 个所述第二台阶结构在第二方向上的尺寸相等或者不相等；

所述第二方向位于所述有源区所在平面内、且与所述第一方向相交。

10 在一些实施例中，所述第一台阶区域中的第 i 个所述第一台阶结构包括第 $(2i-2) \times N+1$ 个第二台阶结构至第 $(2i-1) \times N$ 个第二台阶结构；每一所述第二台阶结构在所述第三方向上具有预设尺寸；

位于所述第一台阶区域远离所述有源区的第 i 个所述第一台阶结构的顶面和所述第二台阶区域中远离所述有源区的第 i 个所述第一台阶结构的顶面，在所述第三方向上的尺寸之差为 N 倍的所述预设尺寸。

15 在一些实施例中，所述半导体结构还包括隔离结构；

所述隔离结构位于相邻的所述第一台阶结构之间、以及所述第一台阶结构与所述有源区之间。

20 在一些实施例中，所述第一台阶结构沿所述第三方向上的投影区域为梳齿形；所述第一台阶区域中每一第一台阶结构的连接端部的第二台阶结构沿所述第三方向上的投影区域互连，且与所述有源区连接；所述第二台阶区域中每一第一台阶结构的连接端部的第二台阶结构沿所述第三方向上的投影区域互连，且与所述有源区连接。

在一些实施例中，所述半导体结构还包括介质层和导电柱；

所述介质层位于所述第一台阶结构、所述隔离结构和所述有源区的表面；

所述导电柱位于所述介质层中、且位于每一所述第二台阶结构的表面。

25 本公开实施例提供的半导体结构及其形成方法，在有源区两侧的第一台阶区域和第二台阶区域均形成了间隔排布的 M 个第一台阶结构。由于 M 个第一台阶结构是间隔排布的，因此，可以减小所形成的台阶结构整体在第三方向上的投影面积，从而可以降低台阶结构之间的耦合作用，进而减少信号串扰，提升半导体结构的性能。

附图说明

30 在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1 为本公开实施例提供的半导体结构形成方法的流程示意图；

图 2a~图 2l 为本公开实施例提供的半导体结构形成过程中的结构示意图；

35 图 3a~图 3d 为本公开实施例提供的另一种半导体结构形成过程中的结构示意图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够

40 能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在

其它的例子中,为了避免与本公开发生混淆,对于本领域公知的一些技术特征未进行描述;即,这里不描述实际实施例的全部特征,不详细描述公知的功能和结构。

在附图中,为了清楚,层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白,当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本公开教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时,并不表明本公开必然存在第一元件、部件、区、层或部分。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用时,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

在介绍本公开实施例之前,先定义一下以下实施例可能用到的描述立体结构的三个方向,以笛卡尔坐标系为例,三个方向可以包括X轴、Y轴和Z轴方向。有源区可以包括处于正面的顶表面以及处于与正面相对的背面的底表面;在忽略顶表面和底表面的平整度的情况下,定义与有源区顶表面和底表面的相交(例如垂直)的方向为第三方向。在有源区的顶表面和底表面(即有源区所在的平面)方向上,定义两彼此相交(例如彼此垂直)的方向,例如可以定义第一台阶结构排列的方向为第一方向,基于第二方向和第一方向可以确定有源区的平面方向。本公开实施例中,第一方向、第二方向和第三方向可以两两相互垂直,例如可以定义第一方向为X轴方向,定义第二方向为Y轴方向,定义第三方向为Z轴方向。在其它实施例中,第一方向、第二方向和第三方向也可以不垂直。

本公开实施例提供一种半导体结构的形成方法,图1为本公开实施例提供的半导体结构形成方法的流程示意图,图2a~图2l为本公开实施例提供的半导体结构形成过程中的结构示意图,图3a~图3d为本公开实施例提供的另一种半导体结构形成过程中的结构示意图,如图1、图2a~图2l和图3a~图3d所示,半导体结构的形成方法包括以下步骤:

步骤S101,提供叠层结构13和与叠层结构13连接的有源区10;有源区10将叠层结构13划分为沿第一方向排列的第一台阶区域A和第二台阶区域B;第一台阶区域A和第二台阶区域B均包括沿第一方向间隔排布的M个初始台阶结构14。

在一些实施例中,有源区10中形成有包括晶体管结构和电容器结构等的存储单元阵列,叠层结构13与有源区10连接,叠层结构13用于形成与存储单元阵列连接的字线台阶或者位线台阶。本公开实施例中,有源区10将叠层结构13划分为沿第一方向排列的第一台阶区域A和第二台阶区域B,其中,第一台阶区域A和第二台阶区域B的面积大小可以相等,也就是说,有源区10可以将叠层结构13平分为两个面积相等的区域。在其它实施例中,第一台阶区域A和第二台阶区域B的面积也可以不等。

本公开实施例中,叠层结构13沿第三方向上的投影区域为梳齿形,初始台阶结构14构成梳齿形叠层结构13的梳齿部,且初始台阶结构14沿第二方向延伸。位于第一台阶区域A中的M个初始台阶结构14的在第二方向上的连接端部相互连接,且位于第二台阶区域B中的M个初始台阶结构14在第二方向上的连接端部相互连接。位于第一台阶区域A

和第二台阶区域 B 中的初始台阶结构 14 的连接端部均与有源区 10 连接, 与有源区 10 连接

的连接端部构成梳齿形叠层结构 13 的梳背部。
叠层结构 13 (或者初始台阶结构 14) 包括沿第三方向交替排列的导电层和绝缘层; 导电层的材料可以是钴 (Co)、钛 (Ti)、钽 (Ta)、镍 (Ni)、钨 (W)、铂 (Pt) 以及钯 (Pd) 中的任意一种金属材料, 也可以是掺杂的多晶硅、掺杂的硅、氧化铜镓锌等中任意一种半

导体材料; 绝缘层的材料可以是氧化硅、氮氧化硅。绝缘层用于隔离沿第三方向相邻的导电层, 防止漏电。
本公开实施例中, 叠层结构 13 中的每一导电层可以与有源区 10 中的一列 (或者一行) 字线结构 101 (或者栅极结构) 连接, 形成字线台阶。或者, 叠层结构 13 中的每一导电层

可以与有源区 10 中的一行 (或者一列) 位线结构 102 连接, 形成位线台阶。
本公开实施例中, 第一台阶区域 A 包括沿第一方向间隔排布的 M 个初始台阶结构 14, 第二台阶区域 B 包括沿第一方向间隔排布的 M 个初始台阶结构 14; 需要说明的是, M 可以根据半导体结构中存储单元的堆叠层数确定, M 可以是任意大于 1 的整数, 例如 M 为 2、3 或者更多。

步骤 S102, 依次同时刻蚀第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的前 i 个初始台阶结构 14, 对应形成位于第一台阶区域 A 中的 M 个第一台阶结构 18 和第二台阶区域 B 中的 M 个第一台阶结构 18; 其中, 沿远离有源区 10 的方向, 第一台阶结构 18 在第三方向上的尺寸依次减小; 位于第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 在第三方向上的尺寸不相等。

本公开实施例中, 依次同时刻蚀第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的前 i 个初始台阶结构 14 是指: 沿靠近有源区 10 方向, 对第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 i 个初始台阶结构 14 进行 M-i+1 次刻蚀。i=1、2...M。

例如, 当 M 等于 3 时, 沿靠近有源区 10 方向, 对第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 1 个初始台阶结构 14 进行了 3 次刻蚀, 第 1 个初始台阶结构 14 位于第一台阶区域 A 和第二台阶区域 B 的最外侧; 对第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 2 个初始台阶结构 14 进行了 2 次刻蚀; 对第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 3 个初始台阶结构 14 进行了 1 次刻蚀, 第 3 个初始台阶结构 14 位于第一台阶区域 A 和第二台阶区域 B 的最内侧。

本公开实施例中, 通过依次同时刻蚀第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的前 i 个初始台阶结构 14, 形成的位于第一台阶区域 A 中的 M 个第一台阶结构 18 和第二台阶区域 B 中的 M 个第一台阶结构 18, 沿远离有源区 10 的方向, 在第三方向上第一台阶结构 18 的尺寸依次减小。例如, 当 M 等于 3 时, 沿远离有源区 10 的方向, 位于第一台阶区域 A 中的 3 个第一台阶结构 18 在第三方向上的尺寸依次减小, 且位于第二台阶区域 B 中的 3 个第一台阶结构 18 在第三方向上的尺寸依次减小。

在一些实施例中, 位于第一台阶区域 A 远离有源区 10 的第 i 个第一台阶结构 18 的顶面和第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 的顶面, 在第三方向上的尺寸不相等。例如, 当 M 等于 3 时, 位于第一台阶区域 A 远离有源区 10 的第 1 个第一台阶结构 18 的顶面和第二台阶区域 B 中远离有源区 10 的第 1 个第一台阶结构 18 的顶面, 在第三方向上的尺寸不相等; 位于第一台阶区域 A 远离有源区 10 的第 3 个第一台阶结构 18 的顶面和第二台阶区域 B 中远离有源区 10 的第 3 个第一台阶结构 18 的顶面, 在第三方向上的尺寸也不相等。

本公开实施例提供的半导体结构的形成方法, 通过刻蚀叠层结构 13 中的初始台阶结构 14, 在第一台阶区域 A 和第二台阶区域 B 均形成沿第一方向间隔排布的 M 个第一台阶结构 18。由于 M 个第一台阶结构 18 是间隔排布的, 因此, 可以减小形成的台阶结构整体在第三方向的投影面积, 从而可以降低台阶结构之间的耦合作用, 进而减少信号串扰, 提升半导体结构的性能。

另外，本公开实施例中，在有源区 10 两侧的第一台阶区域 A 和第二台阶区域 B 均形成了台阶结构，且位于第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 在第三方向上的尺寸不相等。因此，可以使相邻层的布线设置在有源区 10 两侧，从而可以降低布线的密度，进而简化了半导体结构的布线设置。

下面结合图 2a~图 2l 对本公开实施例提供的半导体结构的形成过程进行详细的说明。

首先，可以参考图 2a~图 2e，执行步骤 S101，提供叠层结构 13 和与叠层结构 13 连接的有源区 10；有源区 10 将叠层结构 13 划分为沿第一方向排列的第一台阶区域 A 和第二台阶区域 B；第一台阶区域 A 和第二台阶区域 B 均包括沿第一方向间隔排布的 M 个初始台阶结构 14。

在一些实施例中，叠层结构 13 可以通过以下步骤形成：提供初始叠层结构 11，初始叠层结构 11 位于有源区 10 沿第一方向的两侧；在有源区 10 的表面形成保护层 12；刻蚀初始叠层结构 11，形成初始台阶结构 14、以及位于相邻两个初始台阶结构 14 之间、且位于初始台阶结构 14 与有源区 10 之间的隔离凹槽 15a；隔离凹槽 15a 在第二方向上具有一个开口 b。

本公开实施例中，初始叠层结构 11 可以用于形成字线台阶或者位线台阶。

如图 2a 所示，初始叠层结构 11 位于有源区 10 沿 X 轴方向的两侧，且与有源区 10 中的字线结构 101（或者栅极结构）连接；初始叠层结构 11 包括在 Z 轴方向上依次堆叠的多个台阶 110，台阶 110 包括绝缘层 112 和位于绝缘层 112 表面的导电层 111。台阶 110 在 Z 轴方向上具有预设尺寸 L1。

如图 2b 所示，初始叠层结构 11 还可以与有源区 10 中的位线结构 102 连接。

接下来，本公开实施例以字线台阶为例，说明半导体结构的具体过程。

在一些实施例中，初始叠层结构 11 中导电层 111 和绝缘层 112（或者台阶 110）的层数可以根据的半导体结构中存储单元的层数来设置，位于同一层的字线结构 101 可以通过一个导电层 111 将其信号引出。本公开实施例中，以有源区 10 中字线结构 101 的层数为 18 层为例进行说明。

请继续参考图 2a 和图 2c 所示，在有源区 10 的表面沉积介质材料形成保护层 12；采用干法刻蚀技术刻蚀初始叠层结构 11，形成叠层结构 13。实施时，在叠层结构 13 表面的表面形成具有预设图案的掩膜层（未示出），其中，预设图案暴露出部分初始叠层结构 11，通过掩膜层，刻蚀去除暴露出的部分初始叠层结构 11，以将预设图案转移至初始叠层结构 11 中，形成叠层结构 13。

本公开实施例中，介质材料可以是任意一种适合的惰性材料，例如，光刻胶、硬掩膜材料。保护层 12 用于在后续形成字线台阶的过程中保护有源区 10 不被刻蚀损伤。

本公开实施例中，叠层结构 13 包括 6 个沿 X 轴方向排列的初始台阶结构 14 和位于相邻两个初始台阶结构 14 之间、且位于初始台阶结构 14 与有源区 10 之间的隔离凹槽 15a。隔离凹槽 15a 在 Y 轴方向上具有一个开口 b。有源区 10 将叠层结构 13 划分为沿 X 轴方向排列的第一台阶区域 A 和第二台阶区域 B，第一台阶区域 A 和第二台阶区域 B 均包括 3 个初始台阶结构 14，即本公开实施例中的 M=3。

需要说明的是，由于本公开实施例中，以有源区 10 中字线结构 101 的层数为 18 层为例进行说明，且本公开实施例中的初始台阶结构 14 的总个数为 2M 个，因此，后续每一初始台阶结构 14 需要形成 N（N 为 $18/2M$ ）个小的台阶结构（对应后续形成的第二台阶结构 181），以将每一层字线结构 101 电引出。由于 M 为 3，因此 N 为 3。

本公开实施例中，位于第一台阶区域 A 中的 3 个初始台阶结构 14 的连接端部 c 相互连接，位于第二台阶区域 B 中的 3 个初始台阶结构 14 的连接端部 c 相互连接，且每一初始台阶结构 14 通过连接端部 c 与有源区 10（即字线结构 101）连接。

在一些实施例中，在形成初始台阶结构 14 之后，半导体结构的形成方法还包括：在隔离凹槽 15a 中形成隔离结构 15；在第二台阶区域 B 中的 M 个初始台阶结构 14 和隔离结

构 15 的表面形成具有预设厚度的阻挡层 16。

如图 2c 和图 2d 所示, 在隔离凹槽 15a 中沉积隔离材料, 形成隔离结构 15。隔离材料可以是任意一种绝缘材料, 例如为氧化硅或者氮氧化硅。隔离结构 15 可以隔离相邻的初始台阶结构 14, 防止台阶结构之间的漏电。

5 需要说明的是, 本公开实施例中的隔离结构 15 还形成于隔离凹槽 15a 之外, 本公开中仅示出了位于隔离凹槽 15a 中的隔离结构 15, 未示出隔离凹槽 15a 之外的隔离结构 15。

如图 2e 所示, 在第二台阶区域 B 中的 3 个初始台阶结构 14 和位于第二台阶区域 B 中的隔离结构 15 的表面沉积阻挡层材料, 形成阻挡层 16; 阻挡层材料可以是氧化硅, 阻挡层 16 用于实现第一台阶区域 A 和第二台阶区域 B 之间的具有一定的高度差。

10 本公开实施例中, 阻挡层 16 具有预设厚度 L_2 , 当阻挡层 16 相对于叠层结构 13 的刻蚀选择比等于 1 时, 预设厚度 L_2 可以是 $3 \times L_1$ (即 $N \times L_1$)。

本公开实施例中, 阻挡层 16 用于在后续形成第一台阶结构 18 的过程中, 使位于第一台阶区域 A 中远离有源区 10 的第 i 个第一台阶结构 18 和位于第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 的刻蚀停止在不同层上。进而使得第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 在 Z 轴方向上的尺寸不相等。

接下来, 可以参考图 2f~图 2l, 执行步骤 S102, 依次同时刻蚀第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的前 i 个初始台阶结构 14, 对应形成位于第一台阶区域 A 中的 M 个第一台阶结构 18 和第二台阶区域 B 中的 M 个第一台阶结构 18。

在一些实施例中, 第一台阶结构 18 可以通过以下步骤形成: 在第一台阶区域 A、保护层 12 和阻挡层 16 的表面形成第一光刻胶层; 通过第一光刻胶层对部分初始台阶结构 14、部分阻挡层 16 和部分隔离结构 15 进行 M 次刻蚀, 在第一台阶区域 A 和第二台阶区域 B 中均形成 M 个第一台阶结构 18 和刻蚀后的隔离结构 19; 其中, 在第 i 次刻蚀之前, 对第 $i-1$ 次刻蚀过程中使用的第一光刻胶层进行修剪, 以使得第 i 次刻蚀过程中的第一光刻胶层至少暴露出第一台阶区域 A 中的前 i 个初始台阶结构 14、以及第二台阶区域 B 中的第 i 个初始台阶结构 14 表面的阻挡层 16、以及前 $i-1$ 个初始台阶结构 14。

本公开实施例中, 第一台阶区域 A 和第二台阶区域 B 均包括 3 个初始台阶结构 14 (即 $M=3$), 因此, 共需要进行 3 次刻蚀, 才能形成位于第一台阶区域 A 中的 3 个第一台阶结构 18 和第二台阶区域 B 中的 3 个第一台阶结构 18。

首先, 参考图 2f 和图 2g, 进行第 1 次纵向刻蚀过程, 在第一台阶区域 A、保护层 12 和阻挡层 16 的表面形成第一光刻胶层 17a。第一光刻胶层 17a 位于不同区域的表面可以位于同一平面或不同平面, 第一光刻胶层 17a 的厚度满足多次纵向刻蚀过程所需要的厚度。第一光刻胶层 17a 暴露出位于第一台阶区域 A 中, 远离有源区 10 的第 1 个初始台阶结构 14 和第 1 个隔离结构 15、以及暴露出位于第二台阶区域 B 中, 远离有源区 10 的第 1 个初始台阶结构 14 表面的阻挡层 16 和位于第 1 个隔离结构 15 表面的阻挡层 16, 对暴露出的初始台阶结构 14、隔离结构 15 和阻挡层 16 进行第 1 次刻蚀, 形成位于第一台阶区域 A 中的第一刻蚀结构 14a, 以及位于第二台阶区域 B 中的第一刻蚀结构 14a。其中, 位于第一台阶区域 A 中的第一刻蚀结构 14a 包括第 1 次刻蚀后的初始台阶结构 14 和第 1 次刻蚀后的隔离结构 15; 位于第二台阶区域 B 中的第一刻蚀结构 14a 包括第 1 次刻蚀后的初始台阶结构 14 和第 1 次刻蚀后的隔离结构 15。

40 其中, 第 1 次纵向刻蚀的刻蚀深度为 $6 \times L_1$ (即 $2N$ 个台阶 110)。由于阻挡层 16 相对于叠层结构 13 的刻蚀选择比等于 1, 且 $L_2 = N \times L_1 = 3 \times L_1$; 因此, 在第 1 次纵向刻蚀时, 位于第一台阶区域 A 中的第一刻蚀结构 14a 在 Z 轴方向的尺寸比位于第二台阶区域 B 中的第一刻蚀结构 14a 在 Z 轴方向的尺寸低 $3 \times L_1$; 也就是说, 位于第一台阶区域 A 中的第一刻蚀结构 14a 比位于第二台阶区域 B 中的第一刻蚀结构 14a 低 3 个台阶。

45 接下来, 参考图 2h, 进行第 2 次纵向刻蚀过程, 在第 2 次纵向刻蚀之前, 对第 1 次纵向刻蚀过程中使用的第一光刻胶层 17a 沿靠近有源区 10 方向进行修剪, 形成第一光刻胶

层 17b; 使得第 2 次纵向刻蚀过程中的第一光刻胶层 17b 暴露出第一台阶区域 A 中的第一刻蚀结构 14a, 以及远离有源区 10 的第 2 个初始台阶结构 14 和第 2 个隔离结构 15、以及暴露出第二台阶区域 B 中的第一刻蚀结构 14a、位于远离有源区 10 的第 2 个初始台阶结构 14 表面的阻挡层 16 和位于第 2 个隔离结构 15 表面的阻挡层 16; 对暴露出的第一刻蚀结构 14a、初始台阶结构 14、隔离结构 15 以及阻挡层 16 进行第 2 次纵向刻蚀; 形成位于第一台阶区域 A 中的第二刻蚀结构 14b, 以及位于第二台阶区域 B 中的第二刻蚀结构 14b。其中, 位于第一台阶区域 A 中的第二刻蚀结构 14b 包括位于第 2 次刻蚀后的 2 个初始台阶结构 14 和第 2 次刻蚀后的 2 个隔离结构 15; 位于第二台阶区域 B 中的第二刻蚀结构 14b 包括第 2 次刻蚀后的 2 个初始台阶结构 14 和第 1 次刻蚀后的 2 个隔离结构 15。

本开始实施例中, 第 2 次纵向刻蚀的刻蚀深度为 $6 \times L1$ (即 $2N$ 个台阶), 且 $L2 = N \times L1 = 3 \times L1$, 因此, 在第 2 次纵向刻蚀时, 位于第一台阶区域 A 中的第二刻蚀结构 14b 在 Z 轴方向的尺寸比位于第二台阶区域 B 中的第二刻蚀结构 14b 在 Z 轴方向的尺寸低 $3 \times L1$; 也就是说, 位于第一台阶区域 A 中的第二刻蚀结构 14b 比位于第二台阶区域 B 中的第二刻蚀结构 14b 低 3 个台阶 110。

最后, 进行第 3 次纵向刻蚀过程, 参考图 2i, 在第 3 次纵向刻蚀之前, 对第 2 次纵向刻蚀过程中使用的第一光刻胶层 17b 沿靠近有源区 10 方向进行修剪, 形成第一光刻胶层 17c, 使得第 3 次纵向刻蚀过程中的第一光刻胶层 17c 暴露出第一台阶区域 A 中的第二刻蚀结构 14b, 以及远离有源区 10 的第 3 个初始台阶结构 14 和第 3 个隔离结构 15; 以及暴露出第二台阶区域 B 中的第二刻蚀结构 14b, 以及位于远离有源区 10 的第 3 个初始台阶结构 14 表面的阻挡层 16 和位于第 3 个隔离结构 15 表面的阻挡层 16; 对暴露出的第二刻蚀结构 14b、初始台阶结构 14、隔离结构 15 以及阻挡层 16 进行第 3 次刻蚀, 形成位于第一台阶区域 A 中远离有源区 10 方向交替排布的第一台阶结构 18 和刻蚀后的隔离结构 19, 以及位于第二台阶区域 B 中远离有源区 10 方向交替排布的第一台阶结构 18 和刻蚀后的隔离结构 19。

本开始实施例中, 第 3 次纵向刻蚀的刻蚀深度为 $3 \times L1$ (即 N 个台阶 110), 且 $L2 = 3 \times L1$; 因此, 在第 3 次纵向刻蚀之后, 位于第一台阶区域 A 远离有源区 10 的第 i 个第一台阶结构 18 的顶面和第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 的顶面, 在第三方向上的尺寸之差为 $3 \times L1$, 其中, $i=1、2、3$ 。也就是说, 位于第一台阶区域 A 远离有源区 10 的第 i 个第一台阶结构 18 比位于第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 低 3 个台阶 110。

需要说明的是, 由于每一层字线结构 101 均需通过台阶 110 结构连出, 因此, 第一台阶结构 18 中台阶 110 的最大层数与字线结构 101 的层数需要相等。由于第二台阶区域 B 中第 i 个第一台阶结构 18 的高度大于第一台阶区域 A 中第 i 个第一台阶结构 18 的高度, 因此, 第 3 次过程中, 不需要对第二台阶区域 B 中远离有源区 10 的第 3 个初始台阶结构 14 进行刻蚀, 只需要去除初始台阶结构 14 表面的阻挡层 16 即可, 因此第 3 次刻蚀过程的深度为阻挡层 16 的厚度 $N \times L1$ 。

本公开实施例提供的半导体结构的形成方法, 通过刻蚀叠层结构 13 中的初始台阶结构 14, 在第一台阶区域 A 和第二台阶区域 B 均形成沿第一方向间隔排布的 M 个第一台阶结构 18。由于 M 个第一台阶结构 18 是间隔排布的, 因此, 可以减小形成的台阶结构整体在第三方向的投影面积, 从而可以降低台阶结构之间的耦合作用, 进而减少信号串扰, 提升半导体结构的性能。

在一些实施例中, 在形成第一台阶结构 18 之后, 半导体结构的形成方法还包括: 去除第一光刻胶层 17c。本公开实施例中, 可以通过湿法 (例如, 采用浓硫酸、氢氟酸、浓硝酸等强酸刻蚀) 或者干法刻蚀技术去除第一光刻胶层 17c。

在一些实施例中, 去除第一光刻胶层 17c 之后, 半导体结构的形成方法还包括: 沿第二方向对第一台阶结构 18 进行多次刻蚀, 于每一第一台阶结构 18 中形成沿第三方向依次

堆叠的多个第二台阶结构 181；沿第三方向从上至下，第二台阶结构 181 在第二方向上的尺寸依次增大。

在一些实施例中，第二台阶结构 181 可以通过以下步骤形成：在第一台阶结构 18、保护层 12 和刻蚀后的隔离结构 19 表面形成第二光刻胶层；通过第二光刻胶层对第一台阶结构 18 和刻蚀后的隔离结构 19 进行 N-1 次刻蚀，形成第二台阶结构 181 和剩余的隔离结构 191；其中，在第 j 次刻蚀之前，对第 j-1 次刻蚀过程中使用的第二光刻胶层进行修剪，以使得第 j 次刻蚀过程中的第二光刻胶层至少暴露出每一第一台阶结构 18 中远离连接端部的前 j 个部分；j=1、2...N。

参考图 2j，第一台阶结构 18 包括沿 Y 轴方向从右至左依次排列的 3 个部分，分别为 d、e、f（如图 2j 中虚线划分的部分），因此，共需要进行 2 次刻蚀，才能形成对应于每一第一台阶结构 18 中的 3 个第二台阶结构 181。

首先，请继续参考图 2j，进行第 1 次横向刻蚀过程，在第一台阶结构 18 和刻蚀后的隔离结构 19 表面形成第二光刻胶层 20a，第二光刻胶层 20a 暴露远离连接端部的第一部分 d；对暴露出的第一部分 d 进行第 1 次横向刻蚀，形成第一子台阶结构 18a 和第一子隔离结构 19a。其中，第 1 次横向刻蚀的刻蚀深度为 L1（即 1 个台阶 110）。

接下来，参考图 2j 至图 2l，进行第 2 次横向刻蚀过程，在第 2 次横向刻蚀之前，对第 1 次横向刻蚀过程中使用的第二光刻胶层 20a 沿 Y 轴方向中靠近连接端部方向修剪，形成第二光刻胶层 20b；使得第 2 次刻蚀过程中的第二光刻胶层 20b 暴露第一子台阶结构 18a、第一子隔离结构 19a 和第二部分 e；对暴露出的第一子台阶结构 18a、第一子隔离结构 19a 和第二部分 e 进行第 2 次横向刻蚀，并去除第二光刻胶层 20b，形成第二台阶结构 181 和剩余的隔离结构 191。其中，第 2 次横向刻蚀的刻蚀深度为 L1（即 1 个台阶 110）。

本公开实施例中，位于第一台阶区域 A 沿 Z 轴方向自下而上第 j 个第二台阶结构 181 与位于第二台阶区域 B 沿 Z 轴方向自下而上第 j 个第二台阶结构 181 在 Y 轴方向上的尺寸相等。例如，位于第一台阶区域 A 沿 Z 轴方向自下而上第 2 个第二台阶结构 181 与位于第二台阶区域 B 沿 Z 轴方向自下而上第 2 个第二台阶结构 181 在 Y 轴方向上的尺寸相等。

如图 2l 所示，在形成第二台阶结构 181 之后，半导体结构的形成方法还包括：去除保护层 12。

本公开实施例中，可以通过湿法（例如，采用浓硫酸、氢氟酸、浓硝酸等强酸刻蚀）或者干法刻蚀技术依次去除第二光刻胶层 20b 和保护层 12。

请继续参考图 2l，在去除保护层 12 之后，半导体结构的形成方法还包括：在第二台阶结构 181、剩余的隔离结构 191 和有源区 10 的表面沉积介质层材料形成介质层 22；刻蚀介质层 22，形成 $2M \times N$ 个刻蚀孔（未示出）；其中，每一刻蚀孔暴露出一个第二台阶结构 181；在刻蚀孔中填充导电材料形成导电柱 21。

本公开实施例中，介质层材料可以是任意一种绝缘材料，例如为氧化硅或者氮氧化硅。导电材料可以是任意一种适合的金属材料，例如可以是钨、钴、铜等。

本公开实施例中，在有源区 10 两侧的第一台阶区域 A 和第二台阶区域 B 均形成了台阶结构，且位于第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 在第三方向上的尺寸不相等，从而使得沿第三方向自下而上第 j 个第二台阶结构 181 在第三方向上的高度不同。因此，可以使相邻层的布线设置在有源区 10 两侧，从而可以降低布线的密度，进而简化了半导体结构的布线设置。

下面结合图 3a~图 3d 对本公开实施例提供的半导体结构的形成过程进行详细的说明。

在一些实施例中，在形成如图 2i 所示的结构之后，半导体结构的形成方法还可以包括：第一台阶结构 18 包括沿第二方向从右至左依次排列的 j 个部分；沿第二方向依次对远离连接端部的第 j 个部分进行 N-j 次刻蚀，形成第二台阶结构 181。

结合图 2i 和图 3a 所示，第一台阶结构 18 包括沿 Y 轴方向从右至左 3 个部分，分别为第一部分 d、第二部分 e、第三部分 f（如图 3a 中虚线划分的部分），因此，共需要进行

2次刻蚀,才能形成对应于每一第一台阶结构18中的3个第二台阶结构181。其中,位于第一台阶区域A中的第三部分f与位于第二台阶区域B中的第三部分f沿Y轴方向的尺寸不相等;位于第一台阶区域A中的第一部分d与位于第二台阶区域B中的第一部分d沿Y轴方向的尺寸不相等。

首先,参考图3a,进行第1次横向刻蚀过程,在第一台阶结构18和刻蚀后的隔离结构19表面形成第三光刻胶层23a,其中,位于第一台阶区域A中的部分第三光刻胶层23a沿Y轴方向的尺寸小于位于第二台阶区域B中的部分第三光刻胶层23a沿Y轴方向的尺寸,以使第三光刻胶层23a暴露出位于第一台阶区域A中的第一部分d的尺寸L3大于位于第二台阶区域B中的第一部分d的尺寸L4;对暴露出的第一部分d进行第1次横向刻蚀,形成第二子台阶结构18b和第二子隔离结构19b。其中,第1次横向刻蚀的刻蚀深度为L1(即1个台阶110)。

接下来,参考图3b和图3c,进行第2次横向刻蚀过程,在第2次横向刻蚀之前,对第1次刻蚀过程中使用的第三光刻胶层23a沿靠近连接端部方向(Y轴方向)修剪,形成修剪后的第三光刻胶层23b,其中,位于第一台阶区域A中的部分第三光刻胶层23b沿Y轴方向的尺寸小于位于第二台阶区域B中的部分第三光刻胶层23b沿Y轴方向的尺寸,以使得第2次横向刻蚀过程中的第三光刻胶层23b暴露第二子台阶结构18b、第二子隔离结构19b和第二部分e,本公开实施例中,位于第一台阶区域A中的第二部分e沿Y轴方向的尺寸L5和位于第二台阶区域B中的第二部分e沿Y轴方向的尺寸L6相等,在其他实施例中,位于第一台阶区域A和位于第二台阶区域B中的第二部分e沿Y轴方向的尺寸还可以不相等。对暴露出的第二子台阶结构18b、第二子隔离结构19b和第二部分e进行第2次横向刻蚀并去除第三光刻胶层23b,形成第二台阶结构181和剩余的隔离结构191。其中,第2次横向刻蚀的刻蚀深度为L1(即1个台阶110)。

需要说明的是,随着对第三光刻胶层修剪次数的增加,第三光刻胶层的面积逐渐缩小,且位于第一台阶区域A中的第三光刻胶层沿X轴暴露的区域逐渐增大(请参考图3a和图3b),由有源区10的面积限制,位于第一台阶区域A中的第三光刻胶层沿X轴暴露的区域不能超过有源区10所在的区域。

本公开实施例中,请继续参考图3c,位于第一台阶区域A和位于第二台阶区域B中沿Z轴方向由下至上的第1个的第二台阶结构181沿Y轴方向的尺寸不相等、且位于第一台阶区域A和位于第二台阶区域B中沿Z轴方向由下至上的第3个的第二台阶结构181沿Y轴方向的尺寸不相等。因此,位于第一台阶区域A中沿Z轴方向由下至上的第j个的第二台阶结构181,和位于第二台阶区域B中沿Z轴方向由下至上的第j个的第二台阶结构181沿X轴方向错位分布。

如图3c所示,在形成第二台阶结构181之后,半导体结构的形成方法还包括:去除保护层12。如图3d所示,在去除保护层12之后,半导体结构的形成方法还包括:在第二台阶结构181、剩余的隔离结构191和有源区10的表面沉积介质层材料形成介质层22;刻蚀介质层22,形成 $2M \times N$ 个刻蚀孔(未示出);其中,每一刻蚀孔暴露出一个第二台阶结构181;在刻蚀孔中填充导电材料形成导电柱21。

本公开实施例提供的半导体结构的形成方法与上述实施例中的半导体结构的形成方法类似,对于本公开实施例未详尽披露的技术特征,请参照上述实施例进行理解,这里,不再赘述。

通过本公开实施例提供的半导体结构的形成方法,形成位于第一台阶区域A中沿Z轴方向由下至上的第j个的第二台阶结构181、和位于第二台阶区域B中沿Z轴方向由下至上的第j个的第二台阶结构181沿X轴方向错位分布,从而可以使形成的位于第一台阶区域A与位于第二台阶区域B中的导电柱21在X轴方向错位分布,从而可以降低布线的密度,进而简化了半导体结构的布线设置。

本公开实施例还提供一种半导体结构,通过上述实施例中半导体结构的形成方法形成,

请继续参考图 21, 半导体结构包括: 第一台阶区域 A、第二台阶区域 B、以及位于第一台阶区域 A 和第二台阶区域 B 之间的有源区 10。

在一些实施例中, 有源区 10 中形成有字线结构 101、位线结构 102 和栅极结构等, 第一台阶区域 A 和第二台阶区域 B 与有源区 10 连接。

5 请继续参考图 21, 第一台阶区域 A 和第二台阶区域 B 与有源区 10 中的字线结构 101 连接, 在其他实施例中, 第一台阶区域 A 和第二台阶区域 B 与有源区 10 中的位线结构 102 (可以参考图 2b) 连接。

请继续参考图 21, 第一台阶区域 A 和第二台阶区域 B 的面积大小可以相等。在其它实施例中, 第一台阶区域 A 和第二台阶区域 B 的面积也可以不等。

10 在一些实施例中, 请继续参考图 21, 第一台阶区域 A 和第二台阶区域 B 均包括 M (例如 M 为 3) 个沿 X 轴方向依次排布的第一台阶结构 18, 且第一台阶结构 18 均与有源区 10 连接; 沿远离有源区 10 的方向, 第一台阶结构 18 在 Z 轴方向上的尺寸依次减小。

15 在一些实施例中, 位于第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 在第三方向上的尺寸不相等; $i=1, 2 \dots M$ 。例如, 位于第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的第 1 个第一台阶结构 18 在 Z 轴方向上的尺寸不相等。

本公开实施例中, 第一台阶结构 18 包括在 Z 轴方向上依次堆叠的台阶 (未示出), 每一台阶包括在 Z 轴方向上依次排列的一层导电层 (未示出) 和一层绝缘层 (未示出)。绝缘层用于隔离沿第三方向相邻的导电层, 防止漏电。

20 在一些实施例中, 请继续参考图 21, 第一台阶结构 18 包括 N (例如 N 为 3) 个沿 Z 轴方向依次堆叠的第二台阶结构 181; 位于第一台阶区域 A 沿 Z 轴方向自下而上第 j 个第二台阶结构 181 与位于第二台阶区域 B 沿第三方向自下而上第 j 个第二台阶结构 181 在 Y 轴方向上的尺寸相等。例如, 位于第一台阶区域 A 沿 Z 轴方向自下而上第 2 个第二台阶结构 181 与位于第二台阶区域 B 沿第三方向自下而上第 2 个第二台阶结构 181 在 Y 轴方向上的尺寸相等。

25 在一些实施例中, 第一台阶区域 A 中的第 i 个第一台阶结构 18 包括第 $(2i-2) \times N+1$ (例如 N 为 3) 个第二台阶结构 181 至第 $(2i-1) \times N$ (例如 N 为 3) 个第二台阶结构 181; 每一第二台阶结构 181 在 Z 轴方向上具有预设尺寸 $L1$; 位于第一台阶区域 A 远离有源区 10 的第 i 个第一台阶结构 18 的顶面和第二台阶区域 B 中远离有源区 10 的第 i 个第一台阶结构 18 的顶面, 在 Z 轴方向上的尺寸之差为 3 倍的预设尺寸 $L1$; 例如, 位于第一台阶区域 A 远离有源区 10 的第 1 个第一台阶结构 18 的顶面和第二台阶区域 B 中远离有源区 10 的第 1 个第一台阶结构 18 的顶面, 在第三方向上的尺寸之差为 3 倍的预设尺寸 $L1$ 。

30 在一些实施例中, 请继续参考图 21, 半导体结构还包括隔离结构 (对应上述实施例中剩余的隔离结构 191); 隔离结构位于相邻的第一台阶结构 18 之间、以及第一台阶结构 18 与有源区 10 之间。隔离结构可以隔离相邻的第一台阶结构 18, 防止台阶结构之间的漏电。

35 在一些实施例中, 请继续参考图 21, 第一台阶结构 18 沿 Z 轴方向上的投影区域为梳齿形; 第一台阶区域 A 中每一第一台阶结构 18 的连接端部 c 的第二台阶结构 181 沿 Z 轴方向上的投影区域互连, 且与有源区 10 连接; 第二台阶区域 B 中每一第一台阶结构 18 的连接端部 c 的第二台阶结构 181 沿 Z 轴方向上的投影区域互连, 且与有源区 10 连接。

40 在一些实施例中, 请继续参考图 21, 半导体结构还包括介质层 22 和导电柱 21; 介质层 22 位于第一台阶结构 18、隔离结构和有源区 10 的表面; 导电柱 21 位于介质层 22 中、且位于每一第二台阶结构 181 的表面。

45 本公开实施例提供半导体结构, 第一台阶区域 A 和第二台阶区域 B 均包括沿第一方向间隔排布的 M 个第一台阶结构 18。由于 M 个第一台阶结构 18 是间隔排布的, 因此, 可以减小形成的台阶结构整体在第三方向的投影面积, 从而可以降低台阶结构之间的耦合作用, 进而减少信号串扰, 提升半导体结构的性能。

另外, 本公开实施例中, 位于第一台阶区域 A 和第二台阶区域 B 中远离有源区 10 的

第 i 个第一台阶结构 18 在第三方向上的尺寸不相等。因此，可以使相邻层的布线设置在有源区 10 两侧，从而可以降低布线的密度，进而简化了半导体结构的布线设置。

本公开实施例还提供一种半导体结构，通过上述实施例中半导体结构的形成方法形成，请继续参考图 3c，第一台阶结构 18 包括 N （例如 N 为 3）个沿 Z 轴方向依次堆叠的第二台阶结构 181；位于第一台阶区域 A 和位于第二台阶区域 B 中沿 Z 轴方向由下至上的第 1 个的第二台阶结构 181 沿 Y 轴方向的尺寸不相等；位于第一台阶区域 A 和位于第二台阶区域 B 中沿 Z 轴方向由下至上的第 3 个的第二台阶结构 181 沿 Y 轴方向的尺寸不相等；位于第一台阶区域 A 和位于第二台阶区域 B 中沿 Z 轴方向由下至上的第 2 个的第二台阶结构 181 沿 Y 轴方向的尺寸相等。

由于部分位于第一台阶区域 A 和位于第二台阶区域 B 中沿 Z 轴方向由下至上的第 i 个的第二台阶结构 181 沿 Y 轴方向的尺寸不相等，因此，使得位于第一台阶区域 A 中沿 Z 轴方向由下至上的第 j 个的第二台阶结构 181，和位于第二台阶区域 B 中沿 Z 轴方向由下至上的第 j 个的第二台阶结构 181 沿 X 轴方向错位分布。

本公开实施例提供的半导体结构与上述实施例中的半导体结构类似，对于本公开实施例未详尽披露的技术特征，请参照上述实施例进行理解，这里，不再赘述。

本公开实施例提供半导体结构，包括位于第一台阶区域 A 中沿 Z 轴方向由下至上的第 j 个的第二台阶结构 181，和位于第二台阶区域 B 中沿 Z 轴方向由下至上的第 j 个的第二台阶结构 181 沿 X 轴方向错位分布，从而可以使形成的位于第一台阶区域 A 与位于第二台阶区域 B 中的导电柱 21 沿 X 轴方向错位分布，从而可以降低布线的密度，进而简化了半导体结构的布线设置。

在本公开所提供的几个实施例中，应该理解到，所揭露的结构和方法，可以通过非目标的方式实现。以上所描述的结构实施例仅仅是示意性的，例如，单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合。

本公开所提供的几个方法或结构实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或结构实施例。

以上，仅为本公开的一些实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

工业实用性

本公开实施例提供一种半导体结构及其形成方法，该方法包括：提供叠层结构和与叠层结构连接的有源区；有源区将叠层结构划分为沿第一方向排列的第一台阶区域和第二台阶区域；第一台阶区域和第二台阶区域均包括沿第一方向间隔排布的 M 个初始台阶结构；依次同时刻蚀第一台阶区域和第二台阶区域中远离有源区的前 i 个初始台阶结构，对应形成位于第一台阶区域中的 M 个第一台阶结构和第二台阶区域中的 M 个第一台阶结构；其中，沿远离有源区的方向，第一台阶结构在第三方向上的尺寸依次减小；位于第一台阶区域和第二台阶区域中远离有源区的第 i 个第一台阶结构在第三方向上的尺寸不相等； $i=1, 2 \dots M$ 。由于 M 个第一台阶结构是间隔排布的，因此，可以减小所形成的台阶结构整体在第三方向上的投影面积，从而可以降低台阶结构之间的耦合作用，进而减少信号串扰，提升半导体结构的性能。

权利要求书

1.一种半导体结构的形成方法,所述方法包括:

提供叠层结构(13)和与所述叠层结构(13)连接的有源区(10);所述有源区(10)将所述叠层结构(13)划分为沿第一方向排列的第一台阶区域(A)和第二台阶区域(B);
5 所述第一台阶区域(A)和所述第二台阶区域(B)均包括沿所述第一方向间隔排布的M个初始台阶结构(14);

依次同时刻蚀所述第一台阶区域(A)和所述第二台阶区域(B)中远离所述有源区(10)的前i个初始台阶结构(14),对应形成位于所述第一台阶区域(A)中的M个第一台阶结构(18)和所述第二台阶区域(B)中的M个第一台阶结构(18);

10 其中,沿远离所述有源区(10)的方向,所述第一台阶结构(18)在第三方向上的尺寸依次减小;位于所述第一台阶区域(A)和所述第二台阶区域(B)中远离所述有源区(10)的第i个所述第一台阶结构(18)在所述第三方向上的尺寸不相等; $i=1,2\ldots M$;所述第一方向平行于所述有源区(10)所在平面,所述第三方向垂直于所述有源区(10)所在的平面。

2.根据权利要求1所述的方法,其中,所述方法还包括:

15 沿第二方向对所述第一台阶结构(18)进行多次刻蚀,于每一所述第一台阶结构(18)中形成沿所述第三方向依次堆叠的多个第二台阶结构(181);沿所述第三方向从上至下,所述第二台阶结构(181)在所述第二方向上的尺寸依次增大;

所述第二方向平行于所述有源区(10)所在平面、且与所述第一方向相交。

3.根据权利要求2所述的方法,其中,所述叠层结构(13)沿所述第三方向上的投影区域为梳齿形;所述第一台阶区域(A)中位于每一第一台阶结构(18)的连接端部的第二台阶结构(181)沿所述第三方向上的投影区域互连,且与所述有源区(10)连接;所述第二台阶区域(B)中位于每一第一台阶结构(18)的连接端部的第二台阶结构(181)沿所述第三方向上的投影区域互连,且与所述有源区(10)连接;所述叠层结构(13)通过以下步骤形成:

25 提供初始叠层结构(11),所述初始叠层结构(11)位于所述有源区(10)沿所述第一方向的两侧;

在所述有源区(10)的表面形成保护层(12);

刻蚀所述初始叠层结构(11),形成所述初始台阶结构(14)、以及位于相邻两个所述初始台阶结构(14)之间、且位于所述初始台阶结构(14)与有源区(10)之间的隔离凹槽(15a);

30 所述隔离凹槽(15a)在所述第二方向上具有一个开口(b)。

4.根据权利要求3所述的方法,其中,所述方法还包括:

在所述隔离凹槽(15a)中形成隔离结构(15);

在所述第二台阶区域(B)中的所述M个初始台阶结构(14)和所述隔离结构(15)的表面形成具有预设厚度的阻挡层(16)。

35 5.根据权利要求4所述的方法,其中,所述第一台阶结构(18)通过以下步骤形成:

在所述第一台阶区域(A)、所述保护层(12)和所述阻挡层(16)的表面形成第一光刻胶层;

40 通过所述第一光刻胶层对部分所述初始台阶结构(14)、部分所述阻挡层(16)和部分所述隔离结构(15)进行M次刻蚀,在所述第一台阶区域(A)和所述第二台阶区域(B)中均形成所述M个第一台阶结构(18)和刻蚀后的隔离结构(19);

其中,在第i次刻蚀之前,对第i-1次刻蚀过程中使用的所述第一光刻胶层进行修剪,以使得第i次刻蚀过程中的所述第一光刻胶层至少暴露出所述第一台阶区域(A)中的前i个初始台阶结构(14)、以及所述第二台阶区域(B)中的第i个初始台阶结构(14)表面的所述阻挡层(16)、以及前i-1个初始台阶结构(14)。

6.根据权利要求5所述的方法,其中,通过所述第一光刻胶层对部分所述初始台阶结构(14)和部分所述阻挡层(16)进行M次刻蚀,在所述第一台阶区域(A)和所述第二台阶区域(B)中均形成所述M个第一台阶结构(18),包括:

通过所述第一光刻胶层,沿靠近所述有源区(10)方向对所述第一台阶区域(A)和所述
5 第二台阶区域(B)中远离所述有源区(10)的第i个初始台阶结构(14)进行M-i+1次刻蚀,在所述第一台阶区域(A)和所述第二台阶区域(B)中均形成所述M个第一台阶结构(18)。

7.根据权利要求3至6任一项所述的方法,其中,所述第二台阶结构(181)通过以下步骤形成:

10 在所述第一台阶结构(18)、所述保护层(12)和所述刻蚀后的隔离结构(19)表面形成第二光刻胶层;

通过所述第二光刻胶层对所述第一台阶结构(18)和所述刻蚀后的隔离结构(19)进行N-1次刻蚀,形成所述第二台阶结构(181)和剩余的隔离结构(191);

其中,在第j次刻蚀之前,对第j-1次刻蚀过程中使用的所述第二光刻胶层进行修剪,以使得第j次刻蚀过程中的所述第二光刻胶层至少暴露出每一所述第一台阶结构(18)中
15 远离所述连接端部的前j个部分; $j=1, 2 \dots N$ 。

8.根据权利要求7所述的方法,其中,所述第一台阶结构(18)包括沿所述第二方向从右至左依次排列的j个部分,通过所述第二光刻胶层对所述第一台阶结构(18)进行N-1次刻蚀,形成所述第二台阶结构(181),包括:

20 沿所述第二方向依次对远离所述连接端部的第j个部分进行N-j次刻蚀,形成所述第二台阶结构(181)。

9.根据权利要求8所述的方法,其中,在形成所述第二台阶结构(181)之后,所述方法还包括:

去除所述第二光刻胶层和所述保护层(12)。

25 10.根据权利要求7至9任一项所述的方法,其中,在去除所述保护层(12)之后,所述方法还包括:

在所述第二台阶结构(181)、所述剩余的隔离结构(191)和所述有源区(10)的表面形成介质层(22);

30 刻蚀所述介质层(22),形成 $2M \times N$ 个刻蚀孔;其中,每一所述刻蚀孔暴露出一个所述第二台阶结构(181);

在所述刻蚀孔中形成导电柱(21)。

11.一种半导体结构,包括:第一台阶区域(A)、第二台阶区域(B)、以及位于所述第一台阶区域(A)和所述第二台阶区域(B)之间的有源区(10);

35 所述第一台阶区域(A)和所述第二台阶区域(B)均包括M个沿第一方向依次排布的第一台阶结构(18)、且所述第一台阶结构(18)均与所述有源区(10)连接;

沿远离所述有源区(10)的方向,所述第一台阶结构(18)在第三方向上的尺寸依次减小;位于所述第一台阶区域(A)和所述第二台阶区域(B)中远离所述有源区(10)的第i个所述第一台阶结构(18)在所述第三方向上的尺寸不相等; $i=1, 2 \dots M$;

40 所述第一方向平行于所述有源区(10)所在平面内的任意一个方向,所述第三方向垂直于所述有源区(10)所在的平面相交。

12.根据权利要求11所述的半导体结构,其中,每一所述第一台阶结构(18)包括N个沿所述第三方向依次堆叠的第二台阶结构(181);

45 位于所述第一台阶区域(A)中沿所述第三方向自下而上第j个所述第二台阶结构(181)与位于所述第二台阶区域(B)中沿所述第三方向自下而上第j个所述第二台阶结构(181)在第二方向上的尺寸相等或者不相等;

所述第二方向位于所述有源区(10)所在平面内、且与所述第一方向相交。

13.根据权利要求 12 所述的半导体结构,其中,所述第一台阶区域(A)中的第*i*个所述第一台阶结构(18)包括第 $(2i-2) \times N+1$ 个第二台阶结构(181)至第 $(2i-1) \times N$ 个第二台阶结构(181);每一所述第二台阶结构(181)在所述第三方向上具有预设尺寸;

5 位于所述第一台阶区域(A)远离所述有源区(10)的第*i*个所述第一台阶结构(18)的顶面和所述第二台阶区域(B)中远离所述有源区(10)的第*i*个所述第一台阶结构(18)的顶面,在所述第三方向上的尺寸之差为*N*倍的所述预设尺寸。

14.根据权利要求 12 或 13 所述的半导体结构,其中,所述半导体结构还包括隔离结构;

所述隔离结构位于相邻的所述第一台阶结构(18)之间、以及所述第一台阶结构(18)与

10 所述有源区(10)之间。
15 15.根据权利要求 14 所述的半导体结构,其中,所述第一台阶结构(18)沿所述第三方向上的投影区域为梳齿形;所述第一台阶区域(A)中每一第一台阶结构(18)的连接端部的第二台阶结构(181)沿所述第三方向上的投影区域互连,且与所述有源区(10)连接;所述第二台阶区域(B)中每一第一台阶结构(18)的连接端部的第二台阶结构(181)沿所述第三方向上的投影区域互连,且与所述有源区(10)连接。

15 16.根据权利要求 14 或 15 所述的半导体结构,其中,所述半导体结构还包括介质层(22)和导电柱(21);

所述介质层(22)位于所述第一台阶结构(18)、所述隔离结构(15)和所述有源区(10)的表面;

20 所述导电柱(21)位于所述介质层(22)中、且位于每一所述第二台阶结构(181)的表面。

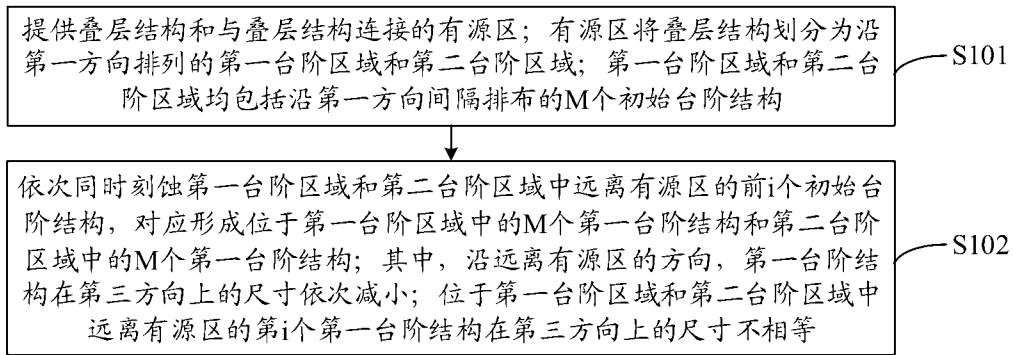


图 1

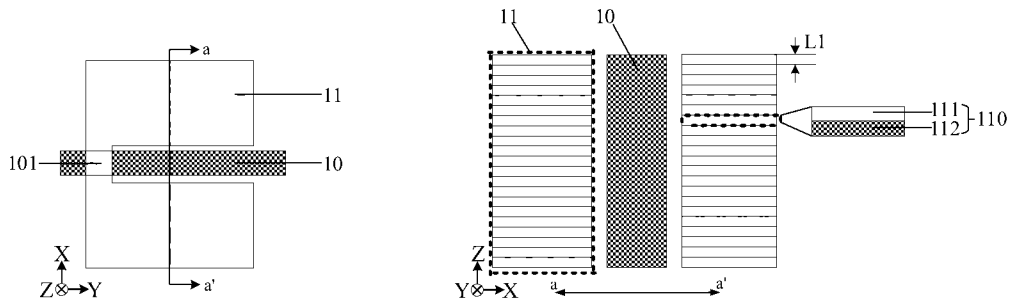


图 2a

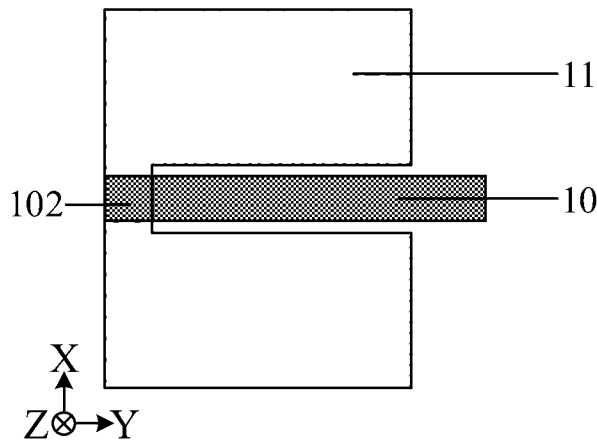


图 2b

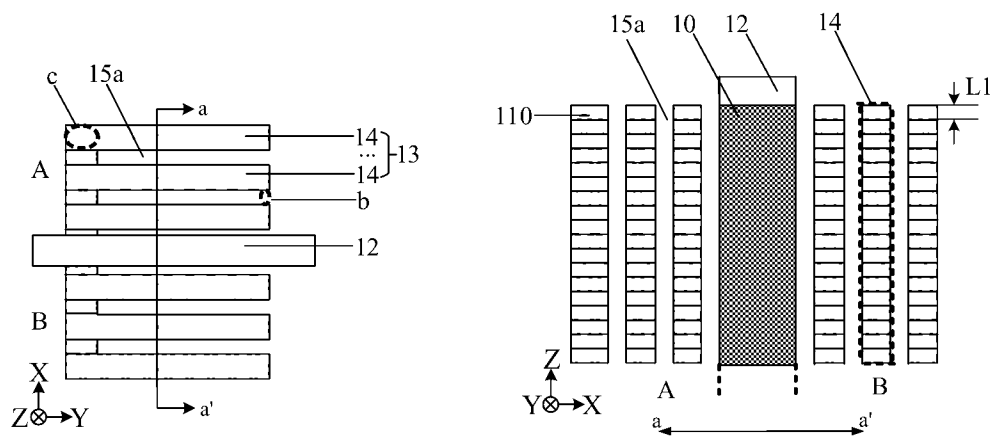


图 2c

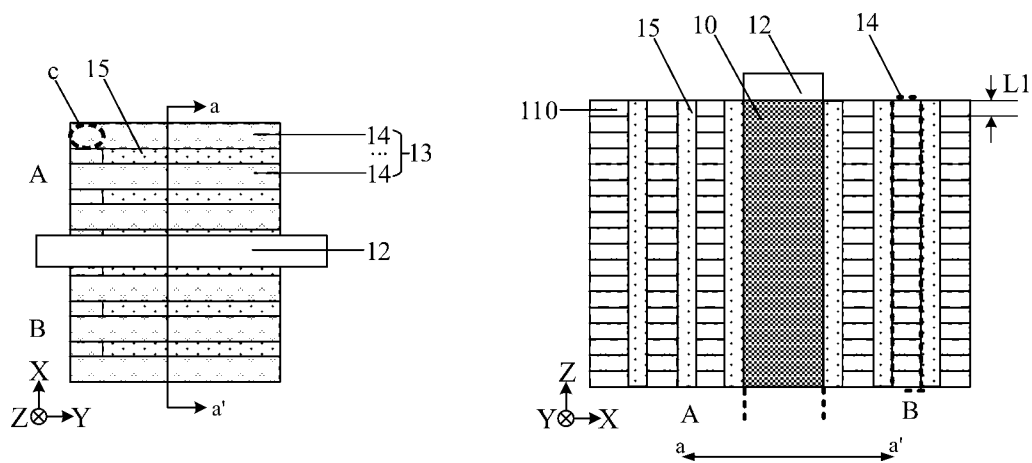


图 2d

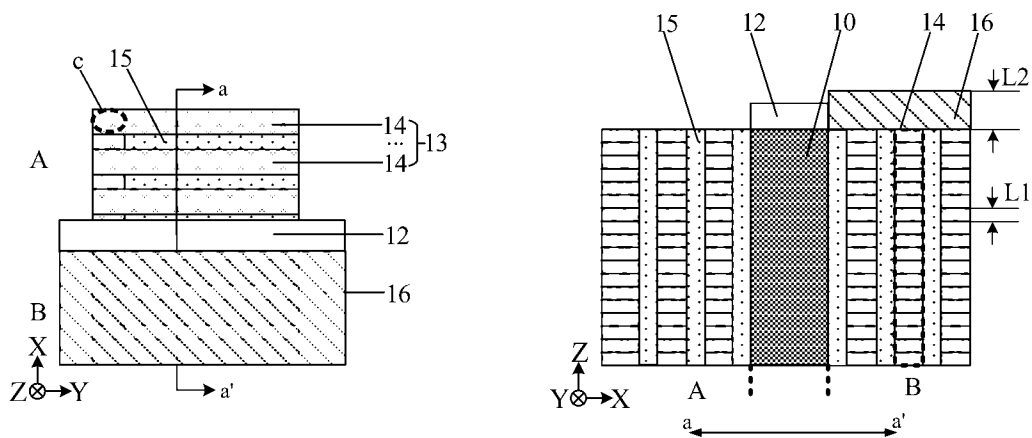


图 2e

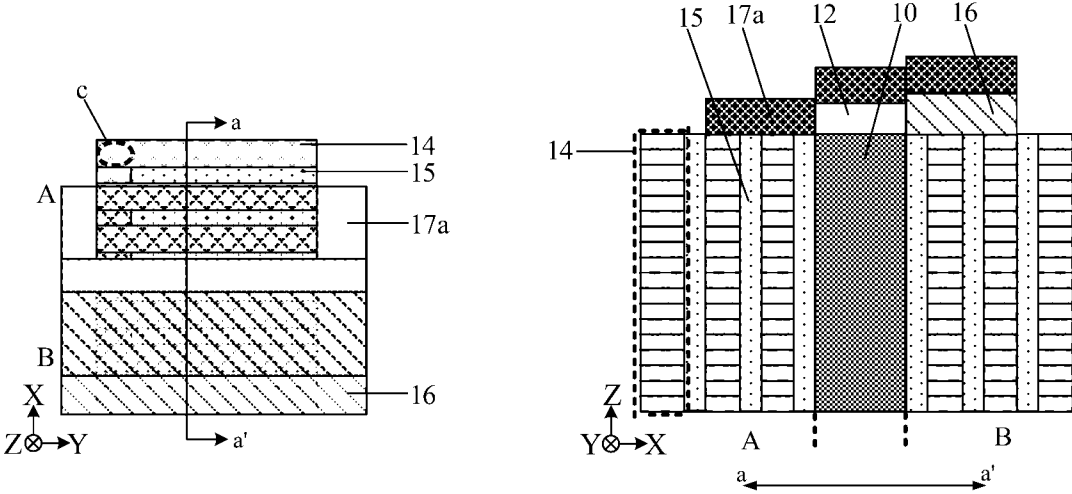


图 2f

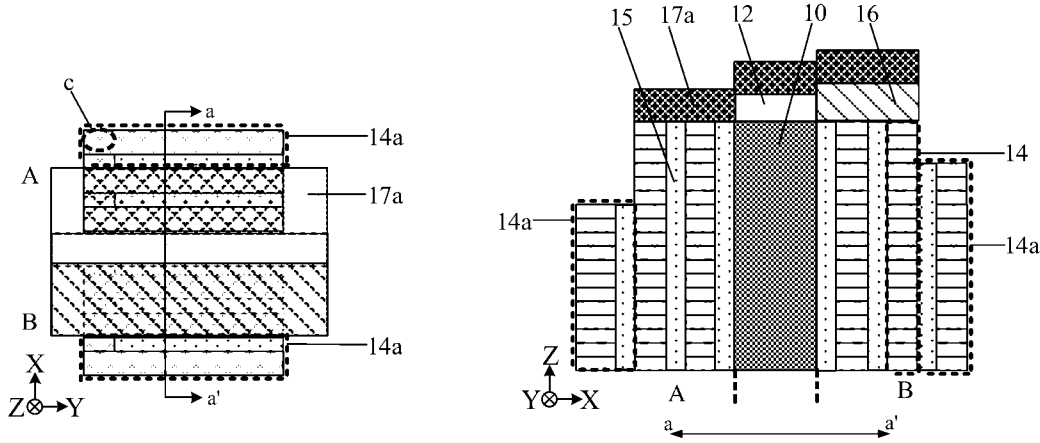


图 2g

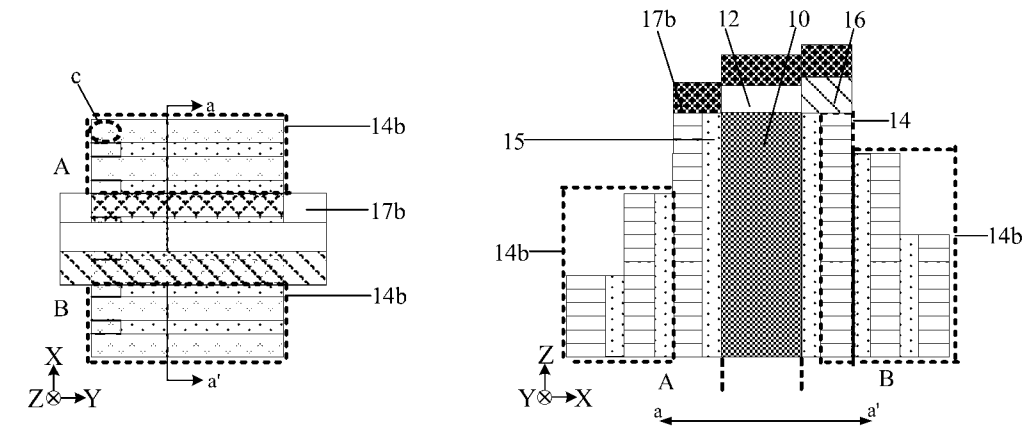


图 2h

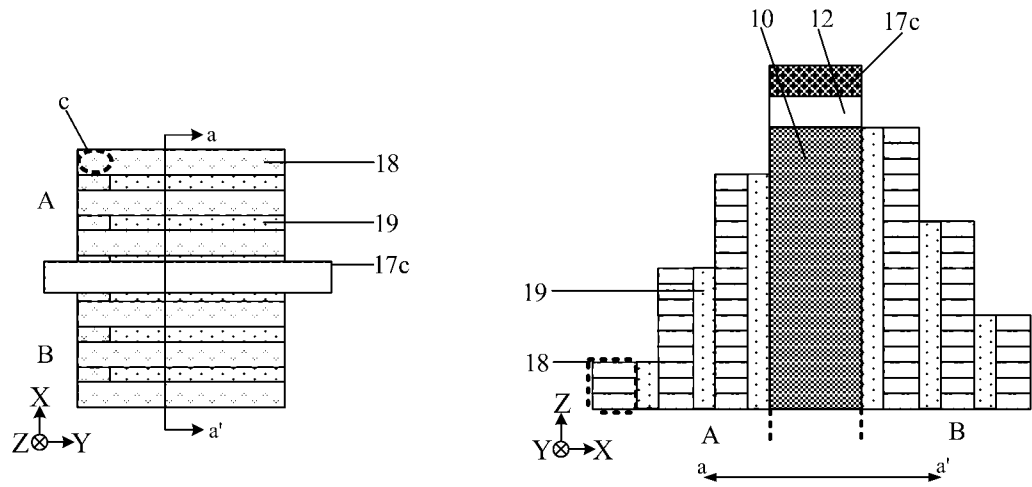


图 2i

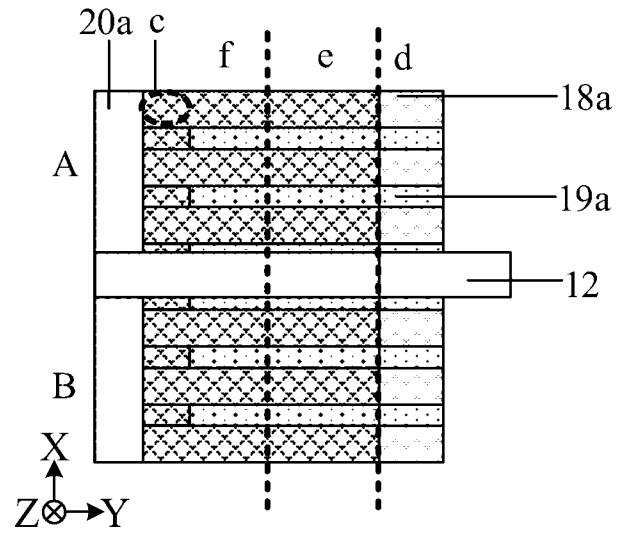


图 2j

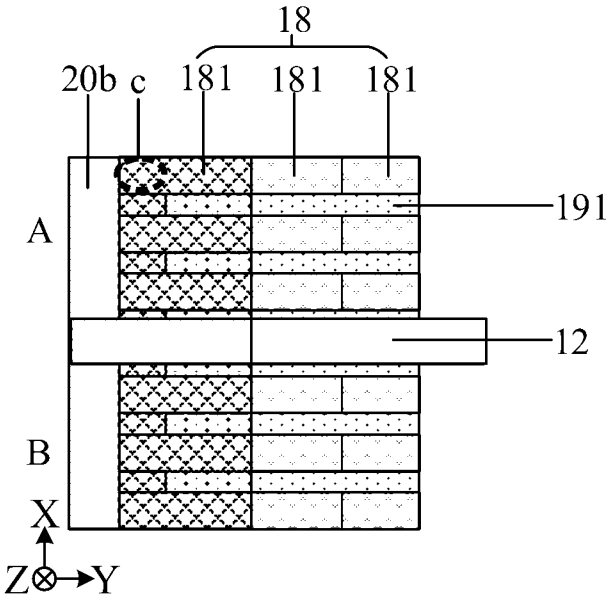


图 2k

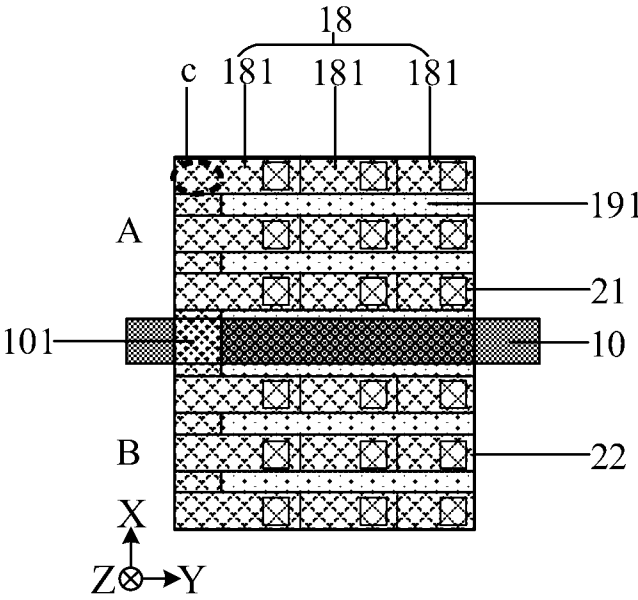


图 2l

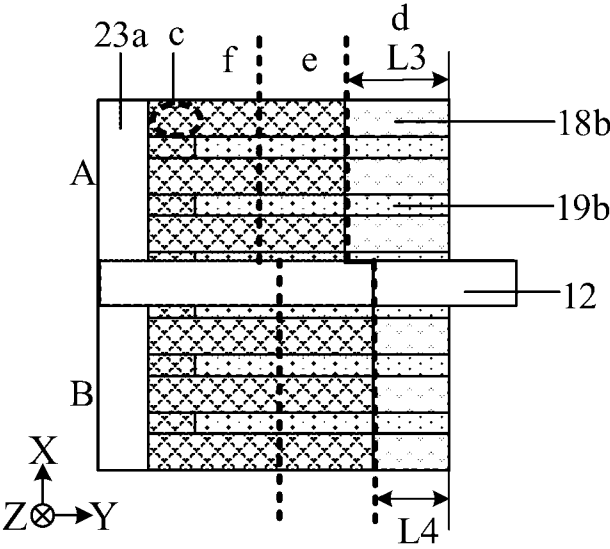


图 3a

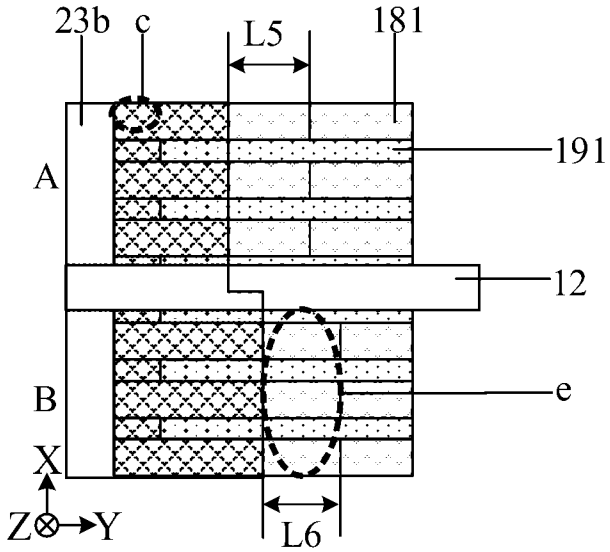


图 3b

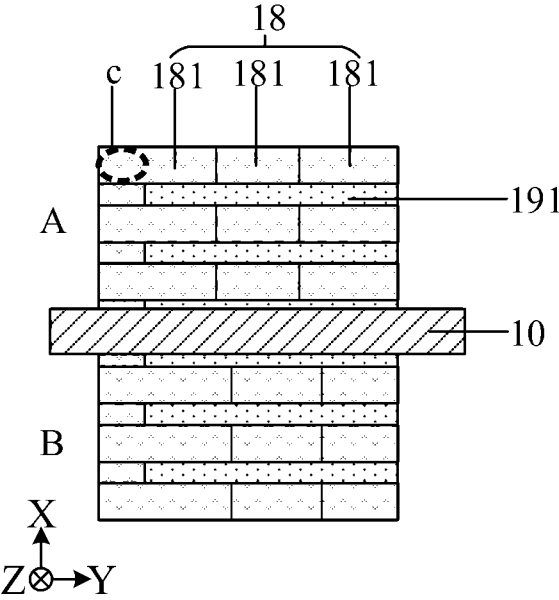


图 3c

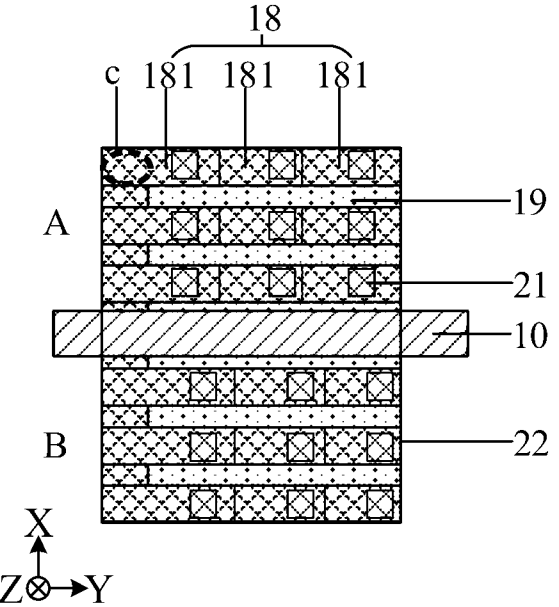


图 3d

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/098361

A. CLASSIFICATION OF SUBJECT MATTER

H10B12/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; VEN; CNTXT; USTXT; WOTXT; EPTXT; CNKI: 存储器, 台阶, 阶梯, 区域, 字线, 位线, 结构, 有源区, 间隔, 隔离, 隔开, 平行, 梳状, memory, step, staircase, region, word line, bit line, structure, active, space, isolation, apart, parallel, comb

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103545279 A (SK HYNIX INC.) 29 January 2014 (2014-01-29) description, paragraphs [0023]-[0097], and figures 2-17	11-13
A	CN 103545279 A (SK HYNIX INC.) 29 January 2014 (2014-01-29) description, paragraphs [0023]-[0097], and figures 2-17	1-10, 14-16
X	CN 111373531 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 03 July 2020 (2020-07-03) description, paragraphs [0046]-[0114], and figures 1-13	11-13
A	CN 111373531 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 03 July 2020 (2020-07-03) description, paragraphs [0046]-[0114], and figures 1-13	1-10, 14-16
A	CN 108550574 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 18 September 2018 (2018-09-18) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 July 2023

Date of mailing of the international search report

29 July 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/098361

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103545279	A	29 January 2014	US	2014015057	A1	16 January 2014
				US	9620513	B2	11 April 2017
				US	2017170193	A1	15 June 2017
				US	10096615	B2	09 October 2018
				KR	20140008622	A	22 January 2014
				US	2018342533	A1	29 November 2018
				US	10734404	B2	04 August 2020
CN	111373531	A	03 July 2020	TW	202133399	A	01 September 2021
				US	2021257220	A1	19 August 2021
				US	11222789	B2	11 January 2022
				WO	2021163876	A1	26 August 2021
CN	108550574	A	18 September 2018	None			

国际检索报告

国际申请号

PCT/CN2023/098361

A. 主题的分类

H10B12/00 (2023.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC: H10B

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; VEN; CNTXT; USTXT; WOTXT; EPTXT; CNKI; 存储器, 台阶, 阶梯, 区域, 字线, 位线, 结构, 有源区, 间隔, 隔离, 隔开, 平行, 梳状, memory, step, staircase, region, word line, bit line, structure, active, space, isolation, apart, parallel, comb

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103545279 A (爱思开海力士有限公司) 2014年1月29日 (2014 - 01 - 29) 说明书第[0023]-[0097]段, 附图2-17	11-13
A	CN 103545279 A (爱思开海力士有限公司) 2014年1月29日 (2014 - 01 - 29) 说明书第[0023]-[0097]段, 附图2-17	1-10、14-16
X	CN 111373531 A (长江存储科技有限责任公司) 2020年7月3日 (2020 - 07 - 03) 说明书第[0046]-[0114]段, 附图1-13	11-13
A	CN 111373531 A (长江存储科技有限责任公司) 2020年7月3日 (2020 - 07 - 03) 说明书第[0046]-[0114]段, 附图1-13	1-10、14-16
A	CN 108550574 A (长江存储科技有限责任公司) 2018年9月18日 (2018 - 09 - 18) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年7月17日

国际检索报告邮寄日期

2023年7月29日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

赵辉

电话号码 (+86) 0512-88995673

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/098361

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103545279	A	2014年1月29日	US	2014015057	A1	2014年1月16日
				US	9620513	B2	2017年4月11日
				US	2017170193	A1	2017年6月15日
				US	10096615	B2	2018年10月9日
				KR	20140008622	A	2014年1月22日
				US	2018342533	A1	2018年11月29日
				US	10734404	B2	2020年8月4日
CN	111373531	A	2020年7月3日	TW	202133399	A	2021年9月1日
				US	2021257220	A1	2021年8月19日
				US	11222789	B2	2022年1月11日
				WO	2021163876	A1	2021年8月26日
CN	108550574	A	2018年9月18日	无			