

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5825743号
(P5825743)

(45) 発行日 平成27年12月2日(2015. 12. 2)

(24) 登録日 平成27年10月23日(2015. 10. 23)

(51) Int.Cl.

F I

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 2 D

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 5 B 33/08 (2006. 01)

H O 1 L 29/78 6 2 7 C

H O 5 B 33/10 (2006. 01)

H O 5 B 33/08

H O 1 L 51/50 (2006. 01)

H O 5 B 33/10

請求項の数 6 (全 45 頁) 最終頁に続く

(21) 出願番号 特願2011-196619 (P2011-196619)
 (22) 出願日 平成23年9月9日(2011. 9. 9)
 (65) 公開番号 特開2012-80096 (P2012-80096A)
 (43) 公開日 平成24年4月19日(2012. 4. 19)
 審査請求日 平成26年8月8日(2014. 8. 8)
 (31) 優先権主張番号 特願2010-202823 (P2010-202823)
 (32) 優先日 平成22年9月10日(2010. 9. 10)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 波多野 薫
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 発光表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面を有する基板上に第1の導電膜を形成し、
 前記第1の導電膜上に第1のレジストマスクを形成し、
 前記第1のレジストマスクを用いて前記第1の導電膜を選択的にエッチングして、第1のゲート電極と第2のゲート電極とを形成し、
 前記第1のゲート電極上及び前記第2のゲート電極上に第1の絶縁膜を形成し、
 前記第1の絶縁膜上に半導体膜を形成し、
 前記半導体膜に加熱処理を行い、
 前記半導体膜上に第2の導電膜を形成し、
 前記第2の導電膜上に第2のレジストマスクを形成し、
 前記第2のレジストマスクを用いて前記第2の導電膜を選択的にエッチングして、第1のソース電極、第1のドレイン電極、第2のソース電極及び第2のドレイン電極を形成し、

前記第1のソース電極上、前記第1のドレイン電極上、前記第2のソース電極上、前記第2のドレイン電極上、及び前記半導体膜上に第2の絶縁膜を形成し、

前記第2の絶縁膜上に第3の絶縁膜を形成し、

前記第3の絶縁膜を第3のレジストマスクとして用いて、前記第1のソース電極及び前記第1のドレイン電極の他方の一部を露出する第1の開口部と、前記第2のゲート電極の一部を露出する第2の開口部と、前記第2のソース電極及び前記第2のドレイン電極の他

方の一部を露出する第 3 の開口部と、前記絶縁表面を有する基板の一部を露出する第 4 の開口部と、を形成し、

前記第 1 乃至 4 の開口部を覆うように前記第 3 の絶縁膜上に第 3 の導電膜を形成し、

前記第 3 の導電膜上に第 4 のレジストマスクを形成し、

前記第 4 のレジストマスクを用いて前記第 3 の導電膜を選択的にエッチングして第 1 の画素電極と、接続電極と、を形成し、

前記第 1 乃至第 3 の開口部、及び前記第 1 の画素電極の周囲を覆うように第 4 の絶縁膜を形成し、

前記第 1 の画素電極上に有機化合物を含む層を選択的に形成し、

前記有機化合物を含む層上に第 2 の画素電極を選択的に形成し、

前記接続電極は、第 1 のソース電極及び前記第 1 のドレイン電極の他方と、前記第 2 のゲート電極と、を電氣的に接続することを特徴とする発光表示装置の作製方法。

【請求項 2】

絶縁表面を有する基板上に第 1 の導電膜を形成し、

前記第 1 の導電膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記第 1 の導電膜を選択的にエッチングして、第 1 のゲート電極と第 2 のゲート電極とを形成し、

前記第 1 のゲート電極上及び前記第 2 のゲート電極上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に半導体膜を形成し、

前記半導体膜に加熱処理を行い、

前記半導体膜上に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて、前記第 2 のゲート電極の一部を露出する第 1 の開口部と、前記絶縁表面を有する基板の一部を露出する第 2 の開口部と、を形成し、

前記半導体膜及び前記第 1 及び第 2 の開口部を覆うように第 2 の導電膜を形成し、

前記第 2 の導電膜上に第 3 のレジストマスクを形成し、

前記第 3 のレジストマスクを用いて前記第 2 の導電膜を選択的にエッチングして、第 1 のソース電極、第 1 のドレイン電極、第 2 のソース電極及び第 2 のドレイン電極を形成し、

前記第 1 のソース電極上、前記第 1 のドレイン電極上、前記第 2 のソース電極上、前記第 2 のドレイン電極上、及び前記半導体膜上に第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜上に第 3 の絶縁膜を形成し、

前記第 3 の絶縁膜を第 3 のレジストマスクとして用いて、前記第 2 のソース電極及び前記第 2 のドレイン電極の他方の一部を露出する第 3 の開口部を形成し、

前記第 3 の開口部を覆うように前記第 3 の絶縁膜上に第 3 の導電膜を形成し、

前記第 3 の導電膜上に第 4 のレジストマスクを形成し、

前記第 4 のレジストマスクを用いて前記第 3 の導電膜を選択的にエッチングして第 1 の画素電極を形成し、

前記第 3 の開口部、及び前記第 1 の画素電極の周囲を覆うように第 4 の絶縁膜を形成し、

前記第 1 の画素電極上に有機化合物を含む層を選択的に形成し、

前記有機化合物を含む層上に第 2 の画素電極を選択的に形成し、

前記第 2 のゲート電極は、前記第 1 のソース電極及び前記第 1 のドレイン電極の他方と電氣的に接続することを特徴とする発光表示装置の作製方法。

【請求項 3】

請求項 1 または 2 において、

前記半導体膜は酸化物半導体であることを特徴とする発光表示装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記第 1 の導電膜及び前記第 2 の導電膜は、アルミニウムを含む材料で形成することを特徴とする発光表示装置の作製方法。

【請求項 5】

請求項 1 乃至 3 のいずれか一項において、

前記第 1 の導電膜及び前記第 2 の導電膜は、銅を含む材料で形成することを特徴とする発光表示装置の作製方法。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記第 3 の絶縁膜は感光性樹脂であることを特徴とする発光表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタを有する発光表示装置の作製方法に関する。

【背景技術】

【0002】

近年、ガラス基板等の絶縁性表面を有する基板上に形成された、厚さ数 nm ~ 数百 nm 程度の半導体薄膜により構成される薄膜トランジスタが注目されている。薄膜トランジスタは、IC (Integrated Circuit) 及び電気光学装置を始めとした電子デバイスに広く応用されている。薄膜トランジスタは、特に EL (Electro Luminescence) 表示装置等に代表される、画像表示装置のスイッチング素子として開発が急がれている。

【0003】

アクティブマトリクス型 EL 表示装置では、選択された画素内に設けられた発光素子の一方の電極と、該電極とともに EL 層 (発光層を含む) を挟持する他方の電極の間に電圧が印加されることにより、EL 層に電流が生じ、発光層が発光する。この発光が表示パターンとして観察者に認識される。ここで、アクティブマトリクス型 EL 表示装置とは、マトリクス状に配置された画素をスイッチング素子により駆動することによって、画面上に表示パターンが形成される方式を採用した EL 表示装置をいう。

【0004】

上記のようなアクティブマトリクス型 EL 表示装置の用途は拡大しており、画面サイズの大面積化、高精細化及び高開口率化の要求が高まっている。また、アクティブマトリクス型表示装置には高い信頼性が求められ、その生産方法には高い生産性及び生産コストの低減が求められる。生産性を高め、生産コストを低減する方法の一つに、工程の簡略化が挙げられる。

【0005】

アクティブマトリクス型表示装置では、スイッチング素子として主に薄膜トランジスタが用いられている。薄膜トランジスタは、チャネル形成領域がゲート電極より下層に設けられるトップゲート型と、チャネル形成領域がゲート電極より上層に設けられるボトムゲート型に大別される。これらの薄膜トランジスタは、複数枚のフォトリソグラフィにより作製されることが一般的である。

【0006】

薄膜トランジスタの作製において、フォトリソグラフィ工程を削減または簡略化することは、工程全体の簡略化のために重要である。例えばフォトリソグラフィ工程が 1 つ増加すると、レジスト塗布、プリベーク、露光、現像、ポストベーク等の工程と、その前後の工程において、被膜の形成及びエッチング工程、更にはレジスト剥離、洗浄及び乾燥工程等が必要になる。そのため、作製工程におけるフォトリソグラフィ工程が 1 つ増加するだけで、それに関連する工程数が大幅に増加する。そのため、作製工程におけるフォトリソグラフィ工程を削減または簡略化するために、数多くの技術開発がなされている。

【0007】

フォトリソグラフィ工程を簡略化させる従来の技術としては、裏面露光、レジストリフロー又はリフトオフ法といった複雑な技術を用いるものが多く、特殊な装置を必要とするものが多い。このような複雑な技術を用いることで、これに起因する様々な問題が生じ、歩

10

20

30

40

50

留まりの低下の一因となっている。また、薄膜トランジスタの電気的特性を犠牲にせざるを得ないことも多い。

【 0 0 0 8 】

また、薄膜トランジスタの作製工程における、フォトリソグラフィ工程を簡略化するための代表的な手段として、多階調マスク（ハーフトーンマスク又はグレートーンマスクと呼ばれるもの）を用いた技術が広く知られている。多階調マスクを用いて作製工程を低減する技術として、例えば特許文献 1 が挙げられる。

【先行技術文献】

【特許文献】

【 0 0 0 9 】

10

【特許文献 1】特開 2 0 0 3 - 1 7 9 0 6 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 0 】

多階調マスクを用いる場合は、マスク数を減らすことはできるが、レジストマスクを新たな形状とするにはアッシングなどの新たな工程が必要である。

【 0 0 1 1 】

本発明の一態様は、フォトマスクの枚数を従来よりも少なくするだけでなく、新たな工程を増やすことなく発光表示装置を作製することを目的とする。

【課題を解決するための手段】

20

【 0 0 1 2 】

本明細書で開示する本発明の一態様は、トランジスタを構成する半導体層に高抵抗の酸化物半導体を使用することによって、個々のトランジスタに対して半導体層を島状に加工する工程を省き、フォトリソグラフィ工程を削減する発光表示装置の作製方法に関する。

【 0 0 1 3 】

本明細書で開示する本発明の一態様は、絶縁表面を有する基板上に第 1 の導電膜を形成し、第 1 の導電膜上に第 1 のレジストマスクを形成し、第 1 のレジストマスクを用いて第 1 の導電膜を選択的にエッチングして、第 1 のゲート電極と第 2 のゲート電極を形成し、第 1 のゲート電極及び第 2 のゲート電極上にゲート絶縁層となる第 1 の絶縁膜を形成し、第 1 の絶縁膜上に半導体膜を形成し、半導体膜に加熱処理を行い、加熱処理した半導体膜上に第 2 の導電膜を形成し、第 2 の導電膜上に第 2 のレジストマスクを形成し、第 2 のレジストマスクを用いて第 2 の導電膜を選択的にエッチングして、ソースドレイン配線と電氣的に接続される第 1 のソース電極及びドレイン電極の一方と、第 1 のソース電極及びドレイン電極の他方と、電源配線に接続される第 2 のソース電極及びドレイン電極の一方と、第 2 のソース電極及びドレイン電極の他方を形成することによって、第 1 のゲート電極、第 1 のソース電極及びドレイン電極を有する第 1 のトランジスタ、及び第 2 のゲート電極、第 2 のソース電極及びドレイン電極を有する第 2 のトランジスタを形成し、第 1 のソース電極及びドレイン電極、第 2 のソース電極及びドレイン電極、及び半導体膜上に保護絶縁膜となる第 2 の絶縁膜を形成し、第 2 の絶縁膜上に平坦化絶縁膜及びレジストマスクとなる第 3 の絶縁膜を形成し、第 3 の絶縁膜を第 3 のレジストマスクとして用いて、第 2 の絶縁膜を選択的にエッチングして、第 1 のソース電極及びドレイン電極の他方の一部を露出する第 1 の開口部と、第 2 のソース電極及びドレイン電極の他方の一部を露出する第 3 の開口部を形成し、第 2 の絶縁膜、半導体膜、及び第 1 の絶縁膜を選択的にエッチングして、第 2 のゲート電極の一部を露出する第 2 の開口部と、絶縁表面を有する基板の一部を露出する第 4 の開口部と、を形成し、第 1 乃至 4 の開口部を覆うように第 3 の絶縁膜上に第 3 の導電膜を形成し、第 3 の導電膜上に第 4 のレジストマスクを形成し、第 4 のレジストマスクを用いて第 3 の導電膜を選択的にエッチングして第 1 の画素電極と、第 1 のソース電極及びドレイン電極の他方と第 2 のゲート電極を電氣的に接続する接続電極を形成し、第 1 乃至第 3 の開口部、及び第 1 の画素電極の周囲を覆うように第 4 の絶縁膜を形成し、第 1 の画素電極上に有機化合物を含む層を選択的に形成し、有機化合物を含む層上に第

30

40

50

2の画素電極を選択的に形成することを特徴とする発光表示装置の作製方法である。

【0014】

なお、本明細書等における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0015】

また、本明細書で開示する本発明の他の一態様は、絶縁表面を有する基板上に第1の導電膜を形成し、第1の導電膜上に第1のレジストマスクを形成し、第1のレジストマスクを用いて前記第1の導電膜を選択的にエッチングして、第1のゲート電極と第2のゲート電極を形成し、第1のゲート電極及び第2のゲート電極上にゲート絶縁層となる第1の絶縁膜を形成し、第1の絶縁膜上に半導体膜を形成し、半導体膜に加熱処理を行い、加熱処理した半導体膜上に第2のレジストマスクを形成し、第2のレジストマスクを用いて第2のゲート電極上の半導体膜及び第1の絶縁膜の一部を選択的にエッチングして、第2のゲート電極の一部を露出する第1の開口部と、絶縁表面を有する基板の一部を露出する第2の開口部を形成し、半導体膜及び第1及び第2の開口部を覆うように第2の導電膜を形成し、第2の導電膜上に第3のレジストマスクを形成し、第3のレジストマスクを用いて第2の導電膜を選択的にエッチングして、ソースドレイン配線と電気的に接続される第1のソース電極及びドレイン電極の一方と、第2のゲート電極と電気的に接続される第1のソース電極及びドレイン電極の他方と、電源配線に接続される第2のソース電極及びドレイン電極の一方と、第2のソース電極及びドレイン電極の他方を形成することによって、第1のゲート電極、第1のソース電極及びドレイン電極を有する第1のトランジスタ、及び第2のゲート電極、第2のソース電極及びドレイン電極を有する第2のトランジスタを形成し、第1のソース電極及びドレイン電極、第2のソース電極及びドレイン電極、及び半導体膜上に保護絶縁膜となる第2の絶縁膜を形成し、第2の絶縁膜上に平坦化絶縁膜及びレジストマスクとなる第3の絶縁膜を形成し、第3の絶縁膜を第3のレジストマスクとして用いて、第2の絶縁膜を選択的にエッチングして、第2のソース電極及びドレイン電極の他方の一部を露出する第3の開口部を形成し、第3の開口部を覆うように第3の絶縁膜上に第3の導電膜を形成し、第3の導電膜上に第4のレジストマスクを形成し、第4のレジストマスクを用いて第3の導電膜を選択的にエッチングして第1の画素電極を形成し、第3の開口部、及び第1の画素電極の周囲を覆うように第4の絶縁膜を形成し、第1の画素電極上に有機化合物を含む層を選択的に形成し、有機化合物を含む層上に第2の画素電極を選択的に形成することを特徴とする発光表示装置の作製方法である。

【0016】

上記半導体膜には酸化物半導体を用いることが好ましい。i型化または実質的にi型化された酸化物半導体は、極めて抵抗が高く、回路を構成する上では絶縁体とみなすことができる。従って、同一島状の半導体層に複数のトランジスタが構成されていても互いに干渉することはなく、各トランジスタを動作させることができる。

【発明の効果】

【0017】

酸化物半導体は絶縁体とみなすことができるため、トランジスタ毎に島状の半導体層を形成する工程を省くことができ、フォトリソグラフィ工程を削減する発光表示装置の作製方法を提供することができる。

【図面の簡単な説明】

【0018】

【図1】発光表示装置の一態様を説明する平面図及び断面図。

【図2】容量素子を有さない発光表示装置を説明する平面図。

【図3】発光表示装置の画素部の等価回路図。

【図4】発光表示装置の一態様を説明する平面図及び断面図。

【図5】発光表示装置の作製方法の一態様を説明する断面図。

【図6】発光表示装置の作製方法の一態様を説明する断面図。

【図7】発光表示装置の作製方法の一態様を説明する断面図。

【図 8】発光表示装置の作製方法の一態様を説明する断面図。

【図 9】発光表示装置の一態様を説明する平面図及び断面図。

【図 10】容量素子を有さない発光表示装置を説明する平面図。

【図 11】発光表示装置の一態様を説明する平面図及び断面図。

【図 12】発光表示装置の作製方法の一態様を説明する断面図。

【図 13】発光表示装置の作製方法の一態様を説明する断面図。

【図 14】発光表示装置の作製方法の一態様を説明する断面図。

【図 15】発光表示装置の作製方法の一態様を説明する断面図。

【図 16】発光表示装置の作製方法の一態様を説明する断面図。

【図 17】発光素子の構成を説明する断面図。

10

【図 18】発光素子の構成を説明する断面図。

【図 19】電子機器を示す図。

【図 20】電子機器を示す図。

【図 21】電子機器を示す図。

【図 22】表示装置の映像と同期する専用の眼鏡を用いて動画または静止画である 3 次元映像を視認する装置の一例を説明する図。

【図 23】酸化物材料の構造を説明する図。

【図 24】酸化物材料の構造を説明する図。

【図 25】酸化物材料の構造を説明する図。

【図 26】酸化物材料の構造を説明する図。

20

【発明を実施するための形態】

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0020】

(実施の形態 1)

30

本実施の形態では、本発明の一態様における発光表示装置が有する画素部の構成の例を説明する。

【0021】

図 1 (A)、(B) は、本発明の一態様を適用したアクティブマトリクス型の発光表示装置の画素部の一例である。図 1 (A) は発光表示装置の画素部の平面図であり、図 1 (B) は、図 1 (A) における線 A 1 - A 2、及び線 B 1 - B 2 の断面図である。また、図 3 (A) は図 1 に示したアクティブマトリクス型発光表示装置の画素部の等価回路である。なお、図 3 (A) に示す E L 層 160 及び第 2 の画素電極層 (共通電極) 170 は、図 1 (A)、(B) には図示されていない。

【0022】

40

なお、本明細書において、E L 層とは発光素子の一对の電極間に設けられた層を示すものとする。従って、電極間に挟まれた発光物質である有機化合物を含む層は E L 層の一態様である。

【0023】

本実施の形態は、発光表示装置の画素部の構成及び作製方法について説明するものである。従って、本実施の形態におけるトランジスタとは、図 1 (A)、(B) に示す第 1 のトランジスタ 151 及び第 2 のトランジスタ 152 の両方またはいずれかのことを言う。また、該トランジスタは、後述する酸化物半導体を用いた n チャネル型である。

【0024】

図 1 (A)、(B) に示すアクティブマトリクス型の発光表示装置の画素部は、絶縁表面

50

を有する基板 100 上に第 1 のゲート電極層 102 a、ゲート絶縁層 106、半導体層 108 a、第 1 のソース電極層及びドレイン電極層 112 a、112 b を含む第 1 のトランジスタ 151 と、第 2 のゲート電極層 102 b、ゲート絶縁層 106、半導体層 108 a、第 2 のソース電極層及びドレイン電極層 112 c、112 d を含む第 2 のトランジスタ 152 を有する。

【0025】

なお、絶縁表面を有する基板とは、絶縁材料で構成された基板だけでなく、基板の材料を問わず基板上に絶縁膜が形成されたものであってもよい。図 1 の構成では、基板 100 上に絶縁膜として下地膜 101 が形成された例を示している。基板 100 が絶縁材料で構成されていれば、下地膜 101 を省くこともできる。

10

【0026】

第 1 のゲート電極層 102 a はゲート配線と接続され、第 1 のソース電極層及びドレイン電極層 112 a はソースドレイン配線と接続され、第 1 のソース電極層及びドレイン電極層 112 b は第 1 の開口部 130 a 及び第 2 の開口部 130 b を覆うように形成された接続電極層 118 b によって第 2 のゲート電極層 102 b に接続され、第 2 のソース電極層及びドレイン電極層 112 c は電源配線に接続され、第 2 のソース電極層及びドレイン電極層 112 d は第 3 の開口部 130 c において第 1 の画素電極層 118 a と接続されている。なお、図 1 (A) において、ゲート配線と第 1 のゲート電極層、ソースドレイン配線と第 1 のソース電極層及びドレイン電極層の一方、電源配線と第 2 のソース電極層及びドレイン電極層の一方のそれぞれは一体であり、同じ符号を付してある。

20

【0027】

なお、図 1 では第 1 のトランジスタ 151 をシングルゲート構造で図示しているが、マルチゲート構造としても良い。マルチゲート構造のトランジスタは、オフ電流が小さく、該トランジスタを含む発光表示装置の表示特性を高めることができる。

【0028】

また、第 2 のゲート電極層 102 b と電源配線（第 2 のソース電極層及びドレイン電極層 112 c）は、ゲート絶縁層 106 及び半導体層 108 a を介して重なる領域を有しており、容量素子 153 を形成している。この様に、誘電体層を多層構造とすることで、一つの誘電体層にピンホールが生じて、ピンホールは他の誘電体層で被覆されるため、容量素子 153 を正常に機能させることができる。また、酸化物半導体の比誘電率は 1.4 乃至 1.6 と大きいため、半導体層 108 a に酸化物半導体を用いると、容量素子 153 の容量値を大きくすることが可能となる。

30

【0029】

第 1 のトランジスタ 151 及び第 2 のトランジスタ 152 上には保護絶縁層 114 及び平坦化絶縁層 116 が形成されており、その一部が開口されて、第 1 のソース電極層及びドレイン電極層 112 b に達する第 1 の開口部 130 a、第 2 のゲート電極層 102 b に達する第 2 の開口部 130 b、第 2 のソース電極層及びドレイン電極層 112 d に達する第 3 の開口部 130 c、下地膜 101 に達する第 4 の開口部 130 d が形成されている。また、平坦化絶縁層 116 を省いた構成とすることもできる。

【0030】

また、図 1 (A) に示す第 5 の開口部 130 e は、ゲート配線（第 1 のゲート電極層 102 a）上に設けられた半導体層 108 a 及びゲート絶縁層 106 を分断するように形成される。第 5 の開口部 130 e を設けることで、ゲート配線（第 1 のゲート電極層 102 a）、ゲート絶縁層 106、半導体層 108 a、ソースドレイン配線（第 1 のソース電極層及びドレイン電極層 112 a）、及び電源配線（第 2 のソース電極層及びドレイン電極層 112 c）で構成される寄生トランジスタの影響を排除することができる。

40

【0031】

また、図 1 (A) には図示されていないが、第 1 の画素電極層 118 a の端部及び上記の構成において凹凸のある領域などを覆うように隔壁 119 を形成する。隔壁 119 によって、後に第 1 の画素電極層 118 a 上などに形成する EL 層や第 2 の画素電極層の断切れ

50

を防止することができる。

【0032】

なお、図2に示すような容量素子を設けない構成としてもよい。図2では第2のゲート電極層102bを電源配線(第2のソース電極層及びドレイン電極層112c)と重ねない構成とし、容量素子を形成していない。この構成の等価回路は、図3(B)である。

【0033】

半導体層108aに用いる材料としては、酸化物半導体が好ましい。酸化物半導体層は、化学式 $InMO_3(ZnO)_m$ ($m > 0$)で表記される材料を用いた薄膜により形成することができる。ここで、Mは、Sn、Zn、Ga、Al、Mn及びCoから選ばれた一つ、または複数の金属元素を示す。例えば、Mとして、Ga、Ga及びAl、Ga及びMn

10

【0034】

例えば、 $In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3)$ あるいは $In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5)$ の原子数比のIn-Ga-Zn-O系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2)$ あるいは $In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8)$ の原子数比のIn-Sn-Zn-O系酸化物やその組成の近傍の酸化物を用いるとよい。

【0035】

20

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0036】

例えば、In-Sn-Zn-O系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn-O系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0037】

なお、例えば、In、Ga、Znの原子数比が $In:Ga:Zn = a:b:c$ ($a+b+c=1$)である酸化物が、原子数比が $In:Ga:Zn = A:B:C$ ($A+B+C=1$)の酸化物の r だけ近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことを言う。 r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

30

【0038】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0039】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

40

【0040】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0041】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用で

50

きるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0042】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0043】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される4点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。 Ra は原子間力顕微鏡（AFM: Atomic Force Microscope）にて評価可能である。

【0044】

半導体層108aに酸化物半導体を用いたトランジスタは、極めてオフ電流が小さい電気特性を有する。酸化物半導体は、水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠損に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体では、水素等のドナーに起因するキャリア密度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。また、例えば、室温（25℃）でのオフ電流（ここでは、単位チャネル幅（ $1 \mu\text{m}$ ）あたりの値）は 100 zA （ 1 zA （zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは 10 zA 以下となる。このように、 i 型化（真性化）または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタを得ることができる。

【0045】

従って、画素に保持された電荷の保持特性が極めて高く、容量素子が無い場合、または図1（A）、（B）に示す構成より保持容量の面積を小さくした場合においても一般的なフレーム周波数（60Hz）もしくはそれ以下のフレーム周波数においても、何ら問題なく画像を保持することができる。

【0046】

また、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えと指摘されている（神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol. 44、p. 621 - 633）。しかし、このような指摘は適切でない。酸化物半導体中のアルカリ金属は、二次イオン質量分析法による含有量の最低値で、ナトリウム（Na）が $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、リチウム（Li）が $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、カリウム（K）が $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とすることが適切である。

【0047】

アルカリ金属、及びアルカリ土類金属は酸化物半導体にとっては悪性の不純物であり、少ないほうがよい。特にアルカリ金属のうち、Naは酸化物半導体に接する絶縁膜が酸化物であった場合、その中に拡散し、 Na^+ となる。また、酸化物半導体内において、金属と

10

20

30

40

50

酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化（例えば、ノーマリオン化（しきい値の負へのシフト）、移動度の低下等）をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特に酸化物半導体中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体中の水素の濃度が $5 \times 10^{-19} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{-18} \text{ cm}^{-3}$ 以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

【0048】

また、i型化または実質的にi型化された酸化物半導体は、極めて抵抗が高く、回路を構成する上では絶縁体とみなすことができる。従って、同一島状の半導体層に複数のトランジスタが構成されていても互いに干渉することはなく、各トランジスタを動作させることができる。

10

【0049】

また、図1(B)の構成においては、第1の画素電極層118aが半導体層108aの側面に接して形成されている領域があるが、上記と同様にi型化または実質的にi型化された酸化物半導体は、絶縁体とみなすことができるため、第1の画素電極層118aと半導体層108aの端部が接しても、漏れ電流等の問題は生じない。

【0050】

また、図1(A)、(B)に示した半導体層108aの形状は一例であり、これに限らない。例えば、図4(A)、(B)に示すように、画素領域全面に半導体層を残す構成としても良い。酸化物半導体層は上述のように高抵抗であることと、可視光に対して透光性を有するため、発光素子からの発光方向がトランジスタ側であっても光を透過させることができる。ただし、第5の開口部130eでは、ゲート配線（第1のゲート電極層102a）上の半導体層108aが分断される構成とする。また、トランジスタ毎に半導体層を分離する構成であっても良い。

20

【0051】

本実施の形態に示す第2のトランジスタ152は、第2のソース電極層及びドレイン電極層112dを、U字型（C字型、コの字型、または馬蹄型）の第2のソース電極層及びドレイン電極層112cで囲む形状としている。このような形状とすることで、トランジスタの面積が少なくても、十分なチャネル幅を確保することが可能となり、トランジスタの導通時に流れる電流（オン電流ともいう）の量を増やすことが可能となる。

30

【0052】

本発明の一態様は、保護絶縁層114と半導体膜108のエッチングを連続して行うことによりフォトリソグラフィ工程が削減できるという特徴があり、次に図5乃至8を用いて作製方法の一例の詳細を説明する。

【0053】

なお、ここではトランジスタ部250の作製方法を主として説明するが、図示してあるように容量素子部260、配線交差部270、及びFPC接続部280についても必要に応じて説明する。

【0054】

まず、基板100上に下地膜101を形成する。下地膜は、基板100からの不純物元素の拡散を防止する機能があり、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化ガリウム、酸化ガリウムアルミニウムから選ばれた膜で形成することができる。また、該下地膜は単層に限らず、上記の複数の膜の積層であっても良い。なお、基板100が絶縁体であり、上述した半導体層を汚染するような不純物元素を含まなければ下地膜101を省くこともできる。

40

【0055】

ここで、基板100には、少なくとも、後の熱処理に耐えうる程度の耐熱性を有しているものを用いることができる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シ

50

リコンゲルマニウムなどの化合物半導体基板、SOI基板、ステンレスフィルムなどの金属基板、ポリイミドフィルムなどの高耐熱の樹脂基板などを用いることもできる。

【0056】

次いで、下地膜101上に第1の導電膜を形成した後、第1のフォトリソグラフィ工程、及びエッチング工程により第1のゲート電極層102a、第2のゲート電極層102bを形成する(図5(A)参照)。

【0057】

なお、フォトリソグラフィ工程に用いるレジストマスクはインクジェット法で形成してもよい。インクジェット法では、フォトマスクを使用しないため、更に製造コストを低減することができる。また、レジストマスクはエッチング工程の後に剥離するものとし、各フォトリソグラフィ工程における説明は省くこととする。

10

【0058】

第1のゲート電極層102a、第2のゲート電極層102bは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、またはこれらを主成分とする合金材料をスパッタ法等で形成することができる。また、該ゲート電極層は単層に限らず、上記複数の材料の積層であっても良い。例えば、アルミニウムとモリブデンの積層、アルミニウムとチタンの積層、銅とモリブデンの積層、または銅とタングステンの積層などがある。ここでは、銅上にモリブデンを形成した積層を用いる。

【0059】

次いで、第1のゲート電極層102a、第2のゲート電極層102b上にゲート絶縁層106をCVD法やスパッタ法等を用いて形成する。ゲート絶縁層106は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、酸化ガリウム、酸化ランタン、ハフニウムシリケート(HfSi_xO_y ($x > 0, y > 0$))、窒素が添加されたハフニウムシリケート(HfSiO_xN_y ($x > 0, y > 0$))、窒素が添加されたハフニウムアルミネート(HfAlO_xN_y ($x > 0, y > 0$))、などを含むように形成するのが好適である。またはこれらの混合材料をプラズマCVD法、またはスパッタ法等により形成することもできる。また、ゲート絶縁層106は単層に限らず、上記複数の材料の積層であっても良い。また、その厚さは特に限定されないが、例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

20

30

【0060】

なお、ゲート絶縁層106には、後に形成される半導体膜と同種の成分を含む絶縁材料を用いることが好ましい。この様な材料は、半導体膜との界面の状態を良好に保つことができる。ここで、「半導体膜と同種の成分」とは、半導体膜の構成元素から選択される一つまたは複数の元素を含むことを意味する。例えば、半導体膜がIn-Ga-Zn系の酸化物半導体材料によって構成される場合、同種の成分を含む絶縁材料としては酸化ガリウムなどがある。

【0061】

また、ゲート絶縁層106の形成には、緻密で絶縁耐压の高い高品質な絶縁層を形成できるマイクロ波(例えば周波数2.45GHz)を用いた高密度プラズマCVD法を用いることが好ましい。半導体層と高品質ゲート絶縁層が密接することにより、界面準位を低減することができる。

40

【0062】

また、成膜後の熱処理によってゲート絶縁層の膜質や、半導体層との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層は、膜質が良好であることは勿論のこと、半導体層との界面準位密度を低減し、良好な界面を形成できるものが好ましい。

【0063】

また、ゲート絶縁層106上に形成される半導体膜(ここでは酸化物半導体膜)に水素、水酸基及び水分が極力含まれない様にするために、ゲート絶縁層106までが形成された

50

基板 100 を成膜装置の予備加熱室で真空加熱し、基板 100 に吸着した水素、水分などの不純物を脱離させて排気することが好ましい。なお、予備加熱室に設ける排気手段には、クライオポンプを用いることが好ましい。なお、この予備加熱の処理は省略することもできる。

【0064】

次いで、ゲート絶縁層 106 上に、膜厚 2 nm 以上 200 nm 以下、好ましくは 5 nm 以上 30 nm 以下の半導体膜 108 を形成する（図 5（B）参照）。

【0065】

半導体膜 108 には酸化物半導体を用いることが好ましい。また、用いる酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。

【0066】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種あるいは複数種を有してもよい。

【0067】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn - O 系酸化物、Sn - Zn - O 系酸化物、Al - Zn - O 系酸化物、Zn - Mg - O 系酸化物、Sn - Mg - O 系酸化物、In - Mg - O 系酸化物、In - Ga - O 系酸化物、三元系金属の酸化物である In - Ga - Zn - O 系酸化物（IGZO とも表記する）、In - Al - Zn - O 系酸化物、In - Sn - Zn - O 系酸化物、Sn - Ga - Zn - O 系酸化物、Al - Ga - Zn - O 系酸化物、Sn - Al - Zn - O 系酸化物、In - Hf - Zn - O 系酸化物、In - La - Zn - O 系酸化物、In - Ce - Zn - O 系酸化物、In - Pr - Zn - O 系酸化物、In - Nd - Zn - O 系酸化物、In - Sm - Zn - O 系酸化物、In - Eu - Zn - O 系酸化物、In - Gd - Zn - O 系酸化物、In - Tb - Zn - O 系酸化物、In - Dy - Zn - O 系酸化物、In - Ho - Zn - O 系酸化物、In - Er - Zn - O 系酸化物、In - Tm - Zn - O 系酸化物、In - Yb - Zn - O 系酸化物、In - Lu - Zn - O 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn - O 系酸化物、In - Hf - Ga - Zn - O 系酸化物、In - Al - Ga - Zn - O 系酸化物、In - Sn - Al - Zn - O 系酸化物、In - Sn - Hf - Zn - O 系酸化物、In - Hf - Al - Zn - O 系酸化物を用いることができる。

【0068】

なお、ここで、例えば、In - Ga - Zn - O 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

【0069】

特にインジウムを含む酸化物半導体、インジウム及びガリウムを含む酸化物半導体などを用いると電気特性が良好なトランジスタを形成することができる。本実施の形態では、半導体膜 108 として In - Ga - Zn - O 系酸化物からなる膜をスパッタ法により成膜する。

【0070】

上記スパッタ法に用いるターゲットには、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol 数比] の酸化物ターゲットを用いる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol 数比] の酸化物ターゲットを用いてもよい。

【0071】

また、酸化物半導体としてIn-Zn-O系酸化物を用いる場合、用いる酸化物ターゲットの組成比は、原子数比で、 $\text{In}:\text{Zn}=50:1\sim1:2$ (mol数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=25:1\sim1:4$)、好ましくは $\text{In}:\text{Zn}=20:1\sim1:1$ (mol数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=10:1\sim1:2$)、さらに好ましくは $\text{In}:\text{Zn}=15:1\sim1.5:1$ (mol数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=15:2\sim3:4$)とする。例えば、In-Zn-O系酸化物半導体の形成に用いる酸化物ターゲットは、原子数比が $\text{In}:\text{Zn}:\text{O}=X:Y:Z$ のとき、 $Z>1.5X+Y$ とする。

【0072】

また、In-Sn-Zn-O系酸化物は、ITZOと呼ぶことができ、用いるターゲットの組成比は、 $\text{In}:\text{Sn}:\text{Zn}$ が原子数比で、 $1:2:2$ 、 $2:1:3$ 、 $1:1:1$ 、または $20:45:35$ などとなる酸化物ターゲットを用いる。

10

【0073】

また、ターゲットの充填率は90%以上100%以下、好ましくは95%以上100%以下とすることが適切である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。

【0074】

また、スパッタガスとしては、希ガス(代表的にはアルゴン)、酸素、または希ガスと酸素の混合ガスを用いることができる。なお、該スパッタガスには、水素、水、水酸基または水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

20

【0075】

酸化物半導体膜の成膜は、基板を加熱しながら成膜することが好ましい。減圧状態に保持された成膜室内に基板を保持し、基板温度を200以上450以下として成膜することで、酸化物半導体膜に含まれる不純物濃度を低減することができる。ただし、ゲート電極層に用いる材料により上限の温度がことなり、本実施の形態のように融点が高い銅とモリブデンの積層を用いる場合や、銅とタングステンの積層を用いる場合は、450を上限とすることができるが、融点が高いアルミニウムを含む積層を用いる場合は、上限を380とすることが好ましい。

【0076】

また、成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水など水素原子を含む化合物、及び炭素原子を含む化合物等が排気されるため、該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減することができる。

30

【0077】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が挙げられる。なお、パルス直流電源を用いると、成膜時に発生する粉状物質(パーティクル、ごみともいう)を軽減でき、膜厚分布も均一にすることができる。

40

【0078】

次いで、第1の熱処理による半導体膜108の脱水化または脱水素化を行う。本明細書において、脱水化または脱水素化とは、水や水素分子を脱離させていることのみを示すものではなく、水素原子や水酸基などを脱離することも含まれる。

【0079】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、半導体膜108は大気に触れさせず、水や水素の混入が生じないようにする。

【0080】

この熱処理によって過剰な水素(水や水酸基を含む)を除去し、酸化物半導体膜の構造を

50

整え、エネルギーギャップ中の欠陥準位を低減することができる。熱処理の温度は、250以上450以下とする。また、熱処理時間は、上記好適な温度範囲であれば1時間程度行えば良い。ただし、低温で長時間、または高温で短時間の処理を行っても良く、実施者が適宜決定すれば良い。なお、上限の温度はゲート電極層に用いる材料に依存するため、上述したように銅を含む材料を用いる場合は、450を上限とすることができるが、アルミニウムを含む材料を用いる場合は、380が上限となる。

【0081】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【0082】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

【0083】

なお、不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0084】

いずれにしても、第1の熱処理によって不純物を低減し、i型(真性半導体)またはi型に限りなく近い酸化半導体膜を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0085】

なお、上述の熱処理は、このタイミングに限らず、ソース電極層及びドレイン電極形成後や保護絶縁膜形成後に行ってもよい。また、一回に限らず複数回行っても良い。

【0086】

次いで、半導体膜108上に、トランジスタのソース電極層及びドレイン電極層(これと同じ層で形成される配線を含む)となる第2の導電膜112を形成する(図5(C)参照)。

【0087】

第2の導電膜112としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、アルミニウム、銅などの金属膜の一方の面または双方の面にチタン、モリブデン、タングステンなどの高融点金属膜またはそれらの窒化膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜等)を積層させた構成としても良い。例えば、タングステンと銅の積層、タングステン、窒化タングステン、銅、タングステンの積層

、モリブデン、窒化モリブデン、銅、モリブデンの積層、モリブデン、アルミニウム、モリブデンの積層などがある。本実施の形態では、タングステン上に銅を形成した積層を用いる。

【0088】

次いで、第2のフォトリソグラフィ工程により、第2の導電膜112上にレジストマスクを形成し、選択的にエッチングを行って、第1のソース電極層及びドレイン電極層112a、112b、第2のソース電極層及びドレイン電極層112c、112dを形成する。また、容量素子部260においては、ゲート絶縁層106及び半導体膜108を介して第2のゲート電極と重なるように電源配線（第2のソース電極層及びドレイン電極層112c）を形成する（図6（A）参照）。

10

【0089】

なお、第2の導電膜112のエッチングの際に、半導体膜108が極力エッチングされないようにすることが好ましい。しかしながら、第2の導電膜112のみをエッチングする条件を得ることは難しく、第2の導電膜112のエッチングの際に半導体膜108の一部がエッチングされ、溝部（凹部）を有する形状となることもある。

【0090】

以上の工程で第1のトランジスタ151、第2のトランジスタ152、及び容量素子153が形成される。該トランジスタは、水素、水分、水酸基または水素化物（水素化合物ともいう）などの不純物を半導体膜108から意図的に排除し、高純度化された酸化物半導体を含むトランジスタである。よって、該トランジスタは、電気的特性変動が抑制されており、電氣的に安定である。

20

【0091】

次いで、基板100上に形成した上記の構成を覆うように保護絶縁層114を形成する（図6（B）参照）。保護絶縁層114は、少なくとも1nm以上の膜厚とし、保護絶縁層114に水、水素等の不純物を極力混入させない上述した方法を適宜用いて形成することができる。本実施の形態では、スパッタ法を用いて保護絶縁層114を形成する。保護絶縁層114に水素が含まれていると、その水素が半導体膜108へ侵入する場合や、半導体膜108中の酸素を水素が引き抜く現象が生じることがある。このような現象が起こると、半導体膜108のバックチャネル側が低抵抗化（n型化）してしまい、寄生チャネルが形成されてしまうことがある。従って、保護絶縁層114はできるだけ水素を含まない膜になるようにすることが重要である。

30

【0092】

保護絶縁層114は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化ガリウム、酸化ガリウムアルミニウム等の無機絶縁材料を含む材料を用いて、単層または積層で形成すればよい。保護絶縁層114は、PVD法やCVD法などを用いて形成することができる。

【0093】

なお、保護絶縁層114には、ゲート絶縁層106と同様に、半導体膜108と同種の成分を含む絶縁材料を用いると好ましい。このような材料は半導体膜108との界面の状態を良好に保つことができる。例えば、半導体膜108がIn-Ga-Zn系の酸化物半導体材料によって構成される場合、同種の成分でなる絶縁材料としては酸化ガリウムなどがある。

40

【0094】

また、保護絶縁層114を積層構造とする場合には、半導体膜108と同種の成分を含む絶縁膜（以下、膜a）と、膜aの成分材料とは異なる材料を含む膜（以下、膜b）との積層構造とするとなお良い。膜aと膜bとを半導体膜108側から順に積層した構造とすることで、電荷は膜aと膜bとの界面の電荷捕獲中心に優先的に捕獲される（半導体膜108と膜aとの界面との比較）ため、半導体膜108の界面での電荷捕獲を十分に抑制することができる様になり、トランジスタの信頼性が向上するためである。

【0095】

50

例えば、保護絶縁層 1 1 4 として半導体膜 1 0 8 側から酸化ガリウム膜と酸化シリコン膜との積層、または酸化ガリウム膜と窒化シリコン膜との積層などを用いることが好適である。

【0096】

本実施の形態では、保護絶縁層 1 1 4 に酸化シリコン膜を用いる。酸化シリコン膜は、希ガス、酸素、または希ガスと酸素の混合ガスを用いて、スパッタ法で成膜することができる。成膜時の基板温度は、室温以上 3 0 0 以下とすればよく、本実施の形態では 1 0 0 とする。また、ターゲットには、酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素をスパッタガスとして酸化シリコンを形成することができる。

10

【0097】

また、保護絶縁層 1 1 4 形成時においても、半導体膜 1 0 8 の成膜時と同様に成膜室内の残留水分を除去するため、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室では、例えば、水素原子、水など水素原子を含む化合物、及び炭素原子を含む化合物等が排気されるため、成膜した保護絶縁層 1 1 4 に含まれる不純物の濃度を低減できる。また、成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

【0098】

保護絶縁層 1 1 4 を成膜する際に用いるスパッタガスには、水素、水、水酸基または水素化合物などの不純物が除去された高純度ガスを用いることが好ましい。

20

【0099】

上述の保護絶縁層 1 1 4 の形成後に第 2 の熱処理を行っても良い。熱処理の方法や雰囲気には、前述した第 1 の熱処理と同様の方法を用いることができる。第 1 の熱処理と同様にゲート電極層、ソース電極層及びドレイン電極層に用いる材料によって熱処理の上限温度は異なり、該電極層が銅、モリブデン、タングステンなどの融点の高い金属で構成されている場合は 4 5 0 を上限温度とすることができる。一方、該電極層がアルミニウムなどの融点の低い金属が含まれて構成されている場合は、3 8 0 を上限温度とすることができる。また、大気中、1 0 0 以上 2 0 0 以下、1 時間以上 3 0 時間以下の熱処理を行ってもよい。この熱処理は一定温度を 1 回で行うだけでなく、室温から 1 0 0 以上 2 0 0 以下の温度への昇温と、その温度から室温までの降温を複数回繰り返して行ってもよい。

30

【0100】

半導体膜 1 0 8 と酸素を含む保護絶縁層 1 1 4 を接した状態で熱処理を行うと、酸素を含む保護絶縁層 1 1 4 より酸素をさらに半導体膜 1 0 8 へ供給することができる。

【0101】

次いで、保護絶縁層 1 1 4 上に平坦化絶縁層 1 1 6 を形成する（図 6（C）参照）。平坦化絶縁層 1 1 6 は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンを用いて形成することが好ましい。

【0102】

上記樹脂として、感光性樹脂を用いればフォトレジストが不要となり、露光することで所望の形状が得られるため、工程を簡略化することができる。また、露光して所望の形状に硬化させた感光性樹脂をレジストマスクとして使用することができる。

40

【0103】

本実施の形態では、平坦化絶縁層 1 1 6 に感光性アクリル樹脂を用い、露光（第 3 のフォトリソグラフィ工程）によって開口部を有する形状を得た後、該感光性アクリル樹脂をマスクとして保護絶縁層 1 1 4 及び半導体膜 1 0 8 をエッチングし、第 1 のソース電極層及びドレイン電極層 1 1 2 b に達する第 1 の開口部 1 3 0 a、第 2 のゲート電極層 1 0 2 b に達する第 2 の開口部 1 3 0 b、第 2 のソース電極層及びドレイン電極層 1 1 2 d に達する第 3 の開口部 1 3 0 c、下地膜 1 0 1 に達する第 4 の開口部 1 3 0 d を形成する。また、配線交差部 2 7 0 近傍において第 1 のゲート電極層上の半導体膜 1 0 8 を分断する第 5

50

の開口部 130e、及び FPC 接続部 280 において第 1 のゲート電極層に達する第 6 の開口部 130f も形成する（図 7（A）参照）。

【0104】

上記エッチング工程は、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、保護絶縁層 114 及びゲート絶縁層 106 のエッチング液には、フッ酸系の溶液を用いれば良い。酸化物半導体である半導体膜 108 のエッチング液としては、リン酸、酢酸、及び硝酸を混ぜた溶液などを用いることができる。また、ITO-07N（関東化学社製）を用いてもよい。また、ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば三塩素（ Cl_2 ）、四塩化硼素（ BCl_3 ）、塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）を用いることができる。ドライエッチング法としては、平行平板型 RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。

10

【0105】

ここで、第 4 の開口部 130d の形成によって、半導体膜 108 の不要な領域は取り除かれ、半導体層 108a が形成される。従って、半導体膜を島状に加工するような工程を省くことができる。すなわち、フォトリソグラフィ工程を削減することができる。

【0106】

次いで、基板 100 上に形成した上記構成を覆うように第 3 の導電膜を形成する。本実施の形態では、第 1 のトランジスタ 151、第 2 のトランジスタ 152 は半導体層 108a に酸化物半導体を用いた n チャネル型であり、第 1 の画素電極層 118a となる第 3 の導電膜としては発光素子の陰極となる材料を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい材料、例えば、Ca、Al、CaF、MgAg、AlLi 等を用いることができる。なお、光の射出方向を制御するために第 3 の導電膜として透光性導電膜を用いても良い。この場合は、透光性導電膜上に陰極となる上記材料を形成すれば良く、透光性導電膜側に光を射出する場合は光が通る程度に上記材料を薄くすれば良い。なお、透光性導電膜としては、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物などがある。また、1 枚乃至 10 枚のグラフェンシート（グラファイトの 1 層分）よりなる材料を用いてもよい。

20

30

【0107】

次いで、第 4 のフォトリソグラフィ工程、及びエッチング工程にて、第 1 の画素電極層 118a 及び接続電極層 118b を形成する。第 1 の画素電極層 118a は、第 3 の開口部 130c において第 2 のソース電極層及びドレイン電極層 112d と電気的に接続される。また、接続電極層 118b は、第 1 の開口部 130a において第 1 のソース電極層及びドレイン電極層 112b と電気的に接続され、第 2 の開口部 130b において第 2 のゲート電極層 102b に電気的に接続される。なお、第 3 の導電膜を用いて FPC 端子との接触抵抗の増加を抑える導電層 118c を形成しても良い。

【0108】

次いで、トランジスタ部 250、容量素子部 260、配線交差部 270、及び第 1 の画素電極層 118a の周囲を覆うように隔壁 119 を形成する（図 7（B）参照）。

40

【0109】

次いで、図示はしないが、第 1 の画素電極層 118a 上に EL 層及び第 2 の画素電極層を選択的に形成する。

【0110】

以上の工程を含む作製方法によって発光表示装置を完成させることができる。なお、上記の方法で形成される構成とは異なり、容量素子 153 を形成しない構成では、図 4（A）において、容量素子を形成する領域に第 2 のゲート電極層 102b を設けない構成とすれば良い。

50

【0111】

また、平坦化絶縁層116を設けない構成とすることもできる。この構成の作製方法は、図6(A)までは上述の方法と同様であり、第3のフォトリソグラフィ工程、及びエッチング工程によって、第1の開口部120a、第2の開口部120b、第3の開口部120c、第4の開口部120d、第5の開口部120e、第6の開口部120fを形成する(図8(A)参照)。

【0112】

次いで、基板100上に形成した上記構成を覆うように第3の導電膜を形成し、第4のフォトリソグラフィ工程により第3の導電膜上にレジストマスクを形成し、選択的にエッチングを行って、第1の画素電極層118a及び接続電極層118bを形成する。

10

【0113】

次いで、トランジスタ部250、容量素子部260、配線交差部270、及び第1の画素電極層118aの周囲を覆うように隔壁119を形成する(図8(B)参照)。

【0114】

以上により、保護絶縁層114に設ける開口部の開口と半導体膜108の不要な領域の除去を同時に行うことでフォトリソグラフィ工程を削減した発光表示装置の作製方法を提供することができる。

【0115】

なお、本実施の形態は他の実施の形態と自由に組み合わせることができる。

【0116】

20

(実施の形態2)

本実施の形態では、本発明の一態様における発光表示装置が有する画素部の構成及び作製方法について、実施の形態1と異なる例を説明する。

【0117】

図9(A)、(B)は、本発明の一態様を適用したアクティブマトリクス型の発光表示装置の画素部の一例である。図9(A)は発光表示装置の画素部の平面図であり、図9(B)は図9(A)における線A1-A2、及び線B1-B2の断面図である。また、該画素部の等価回路は、実施の形態1の画素部と同じく図3(A)である。なお、EL層160及び第2の画素電極層(共通電極)170は図9(A)、(B)には図示されていない。

【0118】

30

本実施の形態は、発光表示装置の画素部の構成及び作製方法について説明するものである。従って、本実施の形態におけるトランジスタとは、図9(A)、(B)に示す第1のトランジスタ351及び第2のトランジスタ352の両方またはいずれかのことを言う。また、該トランジスタは、後述する酸化物半導体を用いたnチャネル型である。

【0119】

図9(A)、(B)に示すアクティブマトリクス型の発光表示装置の画素部は、下地膜301が形成された基板300上に、第1のゲート電極層302a、ゲート絶縁層306、半導体層308a、第1のソース電極層及びドレイン電極層312a、312bを含む第1のトランジスタ351と、第2のゲート電極層302b、ゲート絶縁層306、半導体層308a、第2のソース電極層及びドレイン電極層312c、312dを含む第2のトランジスタ352を有する。

40

【0120】

ここで、第1のゲート電極層302aはゲート配線と接続され、第1のソース電極層及びドレイン電極層312aはソースドレイン配線と接続され、第1のソース電極層及びドレイン電極層312bは第1の開口部310aにおいて第2のゲート電極層302bに接続され、第2のソース電極層及びドレイン電極層312cは電源配線に接続され、第2のソース電極層及びドレイン電極層312dは第5の開口部310eにおいて第1の画素電極層318aと接続されている。なお、図9(A)において、ゲート配線と第1のゲート電極層、ソースドレイン配線と第1のソース電極層及びドレイン電極層の一方、電源配線と第2のソース電極層及びドレイン電極層の一方のそれぞれは一体であり、同じ符号を付し

50

である。

【0121】

なお、図9では第1のトランジスタ351をシングルゲート構造で図示しているが、マルチゲート構造としても良い。マルチゲート構造のトランジスタは、オフ電流が小さく、該トランジスタを含む発光表示装置の表示特性を高めることができる。

【0122】

また、第2のゲート電極層302bと電源配線(第2のソース電極層及びドレイン電極層312c)は、ゲート絶縁層306及び半導体層308aを介して重なる領域を有しており、容量素子353を形成している。この様に、誘電体層を多層構造とすることで、一つの誘電体層にピンホールが生じて、ピンホールは他の誘電体層で被覆されるため、容量素子353を正常に機能させることができる。また、酸化物半導体の比誘電率は1.4乃至1.6と大きいので、半導体層308aに酸化物半導体を用いると、容量素子353の容量値を大きくすることが可能となる。

10

【0123】

第1のトランジスタ351及び第2のトランジスタ352上には保護絶縁層314及び平坦化絶縁層316が形成されており、その一部が開口されて、第2のソース電極層及びドレイン電極層312dに到達する第5の開口部310eが形成されている。また、平坦化絶縁層316を省いた構成とすることもできる。

【0124】

また、図9(A)に示す第3の開口部310cは、ゲート配線(第1のゲート電極層302a)上に設けられた半導体層308a及びゲート絶縁層306を分断するように形成される。第3の開口部310cを設けることで、ゲート配線(第1のゲート電極層302a)、ゲート絶縁層306、半導体層308a、ソースドレイン配線(第1のソース電極層及びドレイン電極層312a)、及び電源配線(第2のソース電極層及びドレイン電極層312c)で構成される寄生トランジスタの影響を排除することができる。

20

【0125】

また、図9(A)には図示されていないが、第1の画素電極層318aの端部及び上記の構成において凹凸のある領域などを覆うように隔壁319を形成する。隔壁319によって、後に第1の画素電極層318a上などに形成するEL層や第2の画素電極層の断切れを防止することができる。

30

【0126】

なお、図10に示すような容量素子を設けない構成としてもよい。図10では第2のゲート電極層302bを電源配線(第2のソース電極層及びドレイン電極層312c)と重ねない構成とし、容量素子を形成していない。この構成の等価回路は、図3(B)である。

【0127】

半導体層308aに用いる材料としては、実施の形態1と同様に酸化物半導体が好ましい。酸化物半導体及びトランジスタに関する詳細は、実施の形態1を参照することができる。

【0128】

また、図9(A)、(B)に示した半導体層308aの形状は一例であり、これに限らない。例えば、図11(A)、(B)に示すように、画素領域全面に半導体層308aを残す構成としても良い。酸化物半導体層は上述のように高抵抗であることと、可視光に対して透光性を有するため、発光素子からの発光方向がトランジスタ側であっても光を透過させることができる。ただし、第3の開口部310cでは、ゲート配線(第1のゲート電極層302a)上の半導体層308aが分断される構成とする。また、トランジスタ毎に半導体層を分離する構成であっても良い。

40

【0129】

本発明の一態様は、第1の開口部310aの形成工程において、半導体膜308の不要な領域のエッチングを行うことでフォトリソグラフィ工程が削減できるという特徴があり、次に図12乃至15を用いて作製方法の一例の詳細を説明する。

50

【 0 1 3 0 】

なお、ここではトランジスタ部 4 5 0 の作製方法を主として説明するが、図示してあるように容量素子部 4 6 0、配線交差部 4 7 0、及び F P C 接続部 4 8 0 についても必要に応じて説明する。

【 0 1 3 1 】

なお、本実施の形態における発光表示装置の画素部の構成要素は、実施の形態 1 における同一名称の構成要素と同一であり、その作製方法を参照することができる。従って、本実施の形態では、その詳細を省いて説明する。なお、開口部に関しては、実施の形態 1 と構成が異なるため、その都度説明を行う。

【 0 1 3 2 】

まず、実施の形態 1 の図 5 (A)、(B) の説明に従って、第 1 のフォトリソグラフィ工程、及びエッチング工程を行って、基板 3 0 0 上に下地膜 3 0 1、第 1 のゲート電極層 3 0 2 a、第 2 のゲート電極層 3 0 2 b、ゲート絶縁層 3 0 6、半導体膜 3 0 8 を形成し、第 1 の加熱処理を行う (図 1 2 (A)、(B) 参照)。

【 0 1 3 3 】

次いで、第 2 のフォトリソグラフィ工程、及びエッチング工程により、第 2 のゲート電極層 3 0 2 b に達する第 1 の開口部 3 1 0 a、下地膜 3 0 1 に達する第 2 の開口部 3 1 0 b、第 1 のゲート電極層 3 0 2 a に達する第 3 の開口部 3 1 0 c、第 4 の開口部 3 1 0 d を形成する。ここで、第 1 の開口部 3 1 0 a は、後に第 1 のトランジスタ 3 5 1 の第 1 のソース電極層及びドレイン電極層 3 1 2 b と第 2 のゲート電極層 3 0 2 b との接続のために用いられ、第 2 の開口部 3 1 0 b は半導体膜 3 0 8 の不要な領域を取り除き、半導体層 3 0 8 a を形成するものである。また、第 3 の開口部 3 1 0 c は前述した寄生トランジスタを構成させないためのものであり、F P C 接続部に形成される第 4 の開口部 3 1 0 d は、第 1 のゲート電極層 3 0 2 a を露出させるための開口である (図 1 2 (C) 参照)。

【 0 1 3 4 】

ここで、第 2 の開口部 3 1 0 b は、半導体膜を島状に加工する工程でもあることから、フォトリソグラフィ工程を削減することができる。

【 0 1 3 5 】

次いで、基板 3 0 0 上に形成した上述の構成を覆うように、トランジスタのソース電極層及びドレイン電極層 (これと同じ層で形成される配線を含む) となる第 2 の導電膜 3 1 2 を形成する (図 1 3 (A) 参照)。

【 0 1 3 6 】

次いで、第 3 のフォトリソグラフィ工程により第 2 の導電膜 3 1 2 上にレジストマスクを形成し、選択的にエッチングを行って、第 1 のソース電極層及びドレイン電極層 3 1 2 a、3 1 2 b、第 2 のソース電極層及びドレイン電極層 3 1 2 c、3 1 2 d を形成する。また、容量素子部においては、ゲート絶縁層 3 0 6 及び半導体膜 3 0 8 を介して第 2 のゲート電極と重なるように電源配線 (第 2 のソース電極層及びドレイン電極層 3 1 2 c) を形成する。また、F P C 接続部には第 1 のゲート電極層 3 0 2 a と電氣的に接続される導電層 3 1 2 e を形成する (図 1 3 (B) 参照)。

【 0 1 3 7 】

以上の工程で第 1 のトランジスタ 3 5 1、第 2 のトランジスタ 3 5 2、及び容量素子 3 5 3 が形成される。

【 0 1 3 8 】

次いで、基板 3 0 0 上に形成した上記の構成を覆うように保護絶縁層 3 1 4 及び平坦化絶縁層 3 1 6 を形成する (図 1 3 (C) 参照)。平坦化絶縁層 3 1 6 として、感光性樹脂を用いればフォトリソが不要となり、露光することで所望の形状が得られるため、工程を簡略化することができる。また、露光して所望の形状に硬化させた感光性樹脂をレジストマスクとすることができる。

【 0 1 3 9 】

本実施の形態では、平坦化絶縁層 3 1 6 に感光性アクリル樹脂を用い、露光 (第 4 のフォ

10

20

30

40

50

トリソグラフィ工程)によって開口部を有する形状を得た後、該感光性アクリル樹脂をマスクとして保護絶縁層 314 及び半導体膜 308 をエッチングし、第 2 のソース電極層及びドレイン電極層 312 d に達する第 5 の開口部 310 e を形成する。また、FPC 接続部では、導電層 312 e に達する第 6 の開口部 310 f を形成する。(図 14 (A) 参照)。

【0140】

次いで、第 5 の開口部 310 e を覆うように第 3 の導電膜を形成し、第 5 のフォトリソグラフィ工程により第 3 の導電膜上にレジストマスクを形成し、選択的にエッチングを行って、第 1 の画素電極層 318 a を形成する。なお、第 3 の導電膜にITO等の酸化物導電層を用いると、FPC 接続部において下層の金属導電層の表面酸化によるFPC端子との接触抵抗の増加を抑える導電層 318 b を形成することができ、半導体装置の信頼性を向上させることができる。

10

【0141】

次いで、トランジスタ部 450、容量素子部 460、配線交差部 470、及び第 1 の画素電極層 318 a の周囲を覆うように隔壁 319 を形成する(図 14 (B) 参照)。

【0142】

次いで、図示はしないが、第 1 の画素電極層 318 a 上にEL層及び第 2 の画素電極を選択的に形成する。

【0143】

以上の工程を含む作製方法によって発光表示装置を完成させることができる。なお、上記の方法で形成される構成とは異なり、容量素子 353 を形成しない構成では、図 12 (A) において、容量素子を形成する領域に第 2 のゲート電極層 302 b を設けない構成とすれば良い。

20

【0144】

また、平坦化絶縁層 316 を設けない構成とすることもできる。この構成の作製方法は、図 13 (C) の説明に含まれる保護絶縁層 314 の形成までは上述の方法と同様であり、第 4 のフォトリソグラフィ工程によって、第 5 の開口部 350 a、第 6 の開口部 350 b を形成する(図 15 (A) 参照)。

【0145】

次いで、第 5 の開口部 350 a を覆うように第 3 の導電膜を形成し、第 5 のフォトリソグラフィ工程により第 3 の導電膜上にレジストマスクを形成し、選択的にエッチングを行って、第 1 の画素電極層 318 a を形成する。

30

【0146】

次いで、トランジスタ部 450、容量素子部 460、配線交差部 470、及び第 1 の画素電極層 318 a の周囲を覆うように隔壁 319 を形成する(図 15 (B) 参照)。

【0147】

以上により、フォトリソグラフィ工程を削減した発光表示装置の作製方法を提供することができる。

【0148】

なお、本実施の形態は他の実施の形態と自由に組み合わせることができる。

40

【0149】

(実施の形態 3)

本実施の形態では、実施の形態 1 及び実施の形態 2 と一部異なる工程例を図 16 を用いて説明する。なお、本実施の形態では、実施の形態 1 を参酌した説明を行うが、実施の形態 2 を参酌することもある。また、図 16 では一部の箇所に実施の形態 1 の図 5 と同一の符号を用い、同じ符号の詳細な説明はここでは省略する。

【0150】

まず、実施の形態 1 と同様に、基板 100 上に下地膜 101 及び導電膜を形成した後、第 1 のフォトリソグラフィ工程、及びエッチング工程によりゲート電極層 142 を形成する。

50

【0151】

本実施の形態では、後に成膜する半導体膜の成膜温度が200 以上450 以下、半導体膜の成膜後の加熱処理の温度が200 以上450 以下であるため、ゲート電極層142の材料として、銅を下層とし、モリブデンを上層とする積層、または銅を下層とし、タングステンを上層とする積層を用いる。

【0152】

次いで、実施の形態1と同様に、ゲート電極層142上にゲート絶縁層106をCVD法やスパッタ法等を用いて形成する。ここまでの工程を経た断面図を図16(A)に示す。

【0153】

次いで、ゲート絶縁層106上に、1nm以上10nm以下の第1の酸化物半導体膜を形成する。本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度250 、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚5nmの第1の酸化物半導体膜を成膜する。

10

【0154】

次いで、基板を配置する雰囲気を窒素、または乾燥空気とし、第1の加熱処理を行う。第1の加熱処理の温度は、200 以上450 以下とする。また、第1の加熱処理の加熱時間は1時間以上24時間以下とする。第1の加熱処理によって第1の結晶性酸化物半導体層148aを形成する(図16(B)参照)。

20

【0155】

次いで、第1の結晶性酸化物半導体層148a上に10nmよりも厚い第2の酸化物半導体膜を形成する。本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度400 、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚25nmの第2の酸化物半導体膜を成膜する。

【0156】

次いで、基板を配置する雰囲気を窒素、または乾燥空気とし、第2の加熱処理を行う。第2の加熱処理の温度は、200 以上450 以下とする。また、第2の加熱処理の加熱時間は1時間以上24時間以下とする。第2の加熱処理によって第2の結晶性酸化物半導体層148bを形成する(図16(C)参照)。

30

【0157】

以降の工程は、実施の形態1に従って、第2の導電膜112や保護絶縁層114などを形成し、保護絶縁層114、第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148bを同一のレジストマスクを用いてエッチングすることによって、フォトリソグラフィ工程を削減する。

【0158】

こうして、実施の形態1に従って図1に示す第1のトランジスタ151、第2のトランジスタ152を含む構成を得ることができる。ただし、本実施の形態を用いた場合、これらのトランジスタのチャネル形成領域を含む半導体層は、第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148bの積層となる。第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148bは、c軸配向を有する結晶性酸化物半導体である。

40

【0159】

該結晶性酸化物半導体は、c軸配向し、かつab面、表面または界面に垂直な方向から見て三角形または六角形の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)結晶(CAAC: C Axis Aligned Crystalともいう。)を含む酸化物である。

50

【0160】

なお、CAACは、上記の第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148bのような積層に限らず、単層でも形成することができる。

【0161】

なお、CAACを形成するには、下地となる層の表面の平坦性をCMP等で極力向上させ、平均粗さをシリコンの熱酸化膜と同等レベルまたはそれ以下とすることが好ましい。表面の平坦性の高い層上にCAACを形成することで、CAACを構成する結晶の結晶性及び連続性を高めることができる。

【0162】

また、酸素流量の比率を高めたスパッタガスを用いて第1の酸化物半導体膜及び第2の酸化物半導体膜を成膜することが好ましい。例えば、スパッタガスにアルゴンと酸素を用いる場合は、酸素の流量比率を30%以上とすることでCAACを構成する結晶の結晶性を高めることができ、かつ膜中の酸素欠損への酸素の補填を行うことができる。また、1500以上の高温で成膜することで、CAACを構成する結晶の結晶性を更に高めることができる。

10

【0163】

また、膜形成後の加熱処理においては、窒素雰囲気または減圧下で加熱処理した後、酸素雰囲気または窒素と酸素の混合雰囲気中で加熱処理することによりCAAC中の酸素を過剰とし、効果的に酸素欠損を補填することができる。なお、該加熱処理の温度は、450程度であることが好ましい。

20

【0164】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0165】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0166】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は一定の方向（例えば、CAACを支持する基板面、CAACの表面などに垂直な方向）に揃っていてもよい。または、CAACを構成する個々の結晶部分のab面の法線は一定の方向（例えば、CAACを支持する基板面、CAACの表面などに垂直な方向）を向いていてもよい。

30

【0167】

CAACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0168】

このようなCAACの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることができる。

40

【0169】

CAACに含まれる結晶構造の一例について図23乃至図25を用いて詳細に説明する。なお、特に断りが無い限り、図23乃至図25は縦方向をc軸方向とし、c軸方向と直交する面をab面とする。なお、単に上半分、下半分という場合、ab面を境にした場合の上半分、下半分をいう。

【0170】

50

図 2 3 (A) に、1 個の 6 配位の In と、 In に近接の 6 個の 4 配位の酸素原子 (以下 4 配位の O) と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 2 3 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 2 3 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 2 3 (A) に示す小グループは電荷が 0 である。

【 0 1 7 1 】

図 2 3 (B) に、1 個の 5 配位の Ga と、 Ga に近接の 3 個の 3 配位の酸素原子 (以下 3 配位の O) と、 Ga に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも ab 面に存在する。図 2 3 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、 In も 5 配位をとるため、図 2 3 (B) に示す構造をとりうる。図 2 3 (B) に示す小グループは電荷が 0 である。

10

【 0 1 7 2 】

図 2 3 (C) に、1 個の 4 配位の Zn と、 Zn に近接の 4 個の 4 配位の O と、を有する構造を示す。図 2 3 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 2 3 (C) の上半分には 3 個の 4 配位の O があり、下半分には 1 個の 4 配位の O があってもよい。図 2 3 (C) に示す小グループは電荷が 0 である。

【 0 1 7 3 】

図 2 3 (D) に、1 個の 6 配位の Sn と、 Sn に近接の 6 個の 4 配位の O と、を有する構造を示す。図 2 3 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 2 3 (D) に示す小グループは電荷が + 1 となる。

20

【 0 1 7 4 】

図 2 3 (E) に、2 個の Zn を含む小グループを示す。図 2 3 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 2 3 (E) に示す小グループは電荷が - 1 となる。

【 0 1 7 5 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ (ユニットセルともいう。) と呼ぶ。

【 0 1 7 6 】

ここで、これらの小グループ同士が結合する規則について説明する。図 2 3 (A) に示す 6 配位の In の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 In を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 In を有する。5 配位の Ga の上半分の 1 個の O は、下方向に 1 個の近接 Ga を有し、下半分の 1 個の O は、上方向に 1 個の近接 Ga を有する。4 配位の Zn の上半分の 1 個の O は、下方向に 1 個の近接 Zn を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 Zn を有する。このように、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。 O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。したがって、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。その理由を以下に示す。例えば、6 配位の金属原子 (In または Sn) が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子 (Ga または In) 、または 4 配位の金属原子 (Zn) のいずれかと結合することになる。

30

40

【 0 1 7 7 】

これらの配位数を有する金属原子は、 c 軸方向において、4 配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【 0 1 7 8 】

図 2 4 (A) に、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 系の層構造を構成する中グループのモデル図を示す。図 2 4 (B) に、3 つの中グループで構成される大グループを示す。なお、図 2 4 (

50

C) は、図 2 4 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【 0 1 7 9 】

図 2 4 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、S n の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 2 4 (A) において、I n の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。また、同様に、図 2 4 (A) において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Z n と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Z n とを示している。

【 0 1 8 0 】

図 2 4 (A) において、I n - S n - Z n - O 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある S n が、4 配位の O が 1 個ずつ上半分および下半分にある I n と結合し、その I n が、上半分に 3 個の 4 配位の O がある Z n と結合し、その Z n の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある I n と結合し、その I n が、上半分に 1 個の 4 配位の O がある Z n 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある S n と結合している構成である。この中グループが複数結合して大グループを構成する。

【 0 1 8 1 】

ここで、3 配位の O および 4 配位の O の場合、結合 1 本当たりの電荷はそれぞれ - 0 . 6 6 7、- 0 . 5 と考えることができる。例えば、I n (6 配位または 5 配位)、Z n (4 配位)、S n (5 配位または 6 配位) の電荷は、それぞれ + 3、+ 2、+ 4 である。従って、S n を含む小グループは電荷が + 1 となる。そのため、S n を含む層構造を形成するためには、電荷 + 1 を打ち消す電荷 - 1 が必要となる。電荷 - 1 をとる構造として、図 2 3 (E) に示すように、2 個の Z n を含む小グループが挙げられる。例えば、S n を含む小グループが 1 個に対し、2 個の Z n を含む小グループが 1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を 0 とすることができる。

【 0 1 8 2 】

具体的には、図 2 4 (B) に示した大グループが繰り返されることで、I n - S n - Z n - O 系の結晶 (I n ₂ S n Z n ₃ O ₈) を得ることができる。なお、得られる I n - S n - Z n - O 系の層構造は、I n ₂ S n Z n ₂ O ₇ (Z n O) _m (m は 0 または自然数。) とする組成式で表すことができる。

【 0 1 8 3 】

また、このほかにも、四元系金属の酸化物である I n - S n - G a - Z n - O 系酸化物や、三元系金属の酸化物である I n - G a - Z n - O 系酸化物 (I G Z O と表記する。)、I n - A l - Z n - O 系酸化物、S n - G a - Z n - O 系酸化物、A l - G a - Z n - O 系酸化物、S n - A l - Z n - O 系酸化物や、I n - H f - Z n - O 系酸化物、I n - L a - Z n - O 系酸化物、I n - C e - Z n - O 系酸化物、I n - P r - Z n - O 系酸化物、I n - N d - Z n - O 系酸化物、I n - S m - Z n - O 系酸化物、I n - E u - Z n - O 系酸化物、I n - G d - Z n - O 系酸化物、I n - T b - Z n - O 系酸化物、I n - D y - Z n - O 系酸化物、I n - H o - Z n - O 系酸化物、I n - E r - Z n - O 系酸化物、I n - T m - Z n - O 系酸化物、I n - Y b - Z n - O 系酸化物、I n - L u - Z n - O 系酸化物や、二元系金属の酸化物である I n - Z n - O 系酸化物、S n - Z n - O 系酸化物、A l - Z n - O 系酸化物、Z n - M g - O 系酸化物、S n - M g - O 系酸化物、I n - M g - O 系酸化物や、I n - G a - O 系酸化物などを用いた場合も同様である。

【 0 1 8 4 】

例えば、図 2 5 (A) に、I n - G a - Z n - O 系の層構造を構成する中グループのモデル図を示す。

【 0 1 8 5 】

図 2 5 (A) において、I n - G a - Z n - O 系の層構造を構成する中グループは、上か

10

20

30

40

50

ら順に 4 配位の O が 3 個ずつ上半分および下半分にある In が、4 配位の O が 1 個上半分にある Zn と結合し、その Zn の下半分の 3 個の 4 配位の O を介して、4 配位の O が 1 個ずつ上半分および下半分にある Ga と結合し、その Ga の下半分の 1 個の 4 配位の O を介して、4 配位の O が 3 個ずつ上半分および下半分にある In と結合している構成である。この中グループが複数結合して大グループを構成する。

【0186】

図 25 (B) に 3 つの中グループで構成される大グループを示す。なお、図 25 (C) は、図 25 (B) の層構造を c 軸方向から観察した場合の原子配列を示している。

【0187】

ここで、In (6 配位または 5 配位)、Zn (4 配位)、Ga (5 配位) の電荷は、それぞれ +3、+2、+3 であるため、In、Zn および Ga のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

10

【0188】

また、In - Ga - Zn - O 系の層構造を構成する中グループは、図 25 (A) に示した中グループに限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせた大グループも取りうる。

【0189】

具体的には、図 25 (B) に示した大グループが繰り返されることで、In - Ga - Zn - O 系の結晶を得ることができる。なお、得られる In - Ga - Zn - O 系の層構造は、 $\text{InGaO}_3(\text{ZnO})_n$ (n は自然数。) とする組成式で表すことができる。

20

【0190】

n = 1 (InGaZnO₄) の場合は、例えば、図 26 (A) に示す結晶構造を取りうる。なお、図 26 (A) に示す結晶構造において、図 23 (B) で説明したように、Ga 及び In は 5 配位をとるため、Ga が In に置き換わった構造も取りうる。

【0191】

また、n = 2 (InGaZn₂O₅) の場合は、例えば、図 26 (B) に示す結晶構造を取りうる。なお、図 26 (B) に示す結晶構造において、図 23 (B) で説明したように、Ga 及び In は 5 配位をとるため、Ga が In に置き換わった構造も取りうる。

【0192】

30

上述したような CAAC をトランジスタに用いることで、光照射及びバイアス - 熱 (BT) ストレス試験におけるトランジスタのしきい値電圧の変化を小さくすることができる。

【0193】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

【0194】

(実施の形態 4)

本実施の形態では、本発明の一態様における発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

40

【0195】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子及び正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア (電子及び正孔) が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0196】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有

50

するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 E L 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 E L 素子を用いて説明する。

【 0 1 9 7 】

本実施の形態で説明する発光表示装置は、実施の形態 1 または実施の形態 2 で説明した画素部の構成を有するものであるが、便宜上実施の形態 1 の構成を用いて説明する。本実施の形態における発光表示装置は、基板 1 0 0、第 1 のトランジスタ 1 5 1、第 2 のトランジスタ 1 5 2、保護絶縁層 1 1 4、平坦化絶縁層 1 1 6、隔壁 1 1 9、及び発光素子に用

10

【 0 1 9 8 】

本実施の形態では画素の第 1 のトランジスタ 1 5 1、第 2 のトランジスタ 1 5 2 が n チャネル型であるので、第 1 の画素電極層 1 1 8 a として、陰極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい材料、例えば、C a、A l、C a F、M g A g、A l L i 等を用いることができる。

【 0 1 9 9 】

隔壁 1 1 9 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の画素電極層 1 1 8 a 上に開口部を形成し、その開口部の側

20

【 0 2 0 0 】

なお、E L 層は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【 0 2 0 1 】

陽極となる第 2 の画素電極層は、E L 層を覆うように形成する。第 2 の画素電極層には、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、I T O と示す。）、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。また、1 枚乃至 1 0 枚のグラフェンシート（グラファイトの 1 層分）よりなる材料を用いてもよい。また、上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。第 1 の画素電極層 1 1 8 a と E L 層と第 2 の画素電極層とが重なり合うことで、発光素子が形成される。この後、発光素子に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の画素電極層及び隔壁 1 1 9 上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、D L C 膜等を形成することができる。

30

【 0 2 0 2 】

さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが

40

【 0 2 0 3 】

次に、発光素子の構成について、図 1 7 (A)、(B)、(C)を用いて説明する。なお、図 1 7 (A)、(B)、(C)は、図 1 (A)の A 2 - A 3 の断面の構成に E L 層及び第 2 の画素電極層等を加えて図示したものである。

【 0 2 0 4 】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透光性を有していればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の一態様に係る画素構成はどの射出構造の発光素子にも適用することができる。

50

【0205】

上面射出構造の発光素子について図17(A)を用いて説明する。

【0206】

図17(A)に、第2のトランジスタ152がnチャネル型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図17(A)では、発光素子7002の陰極7003と第2のトランジスタ152が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。また、1枚乃至10枚のグラフェンシート(グラファイトの1層分)よりなる材料を用いてもよい。

10

【0207】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図17(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

20

【0208】

次に、下面射出構造の発光素子について図17(B)を用いて説明する。図17(B)に、第2のトランジスタ152がnチャネル型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図17(B)では、第2のトランジスタ152と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図17(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm以上30nm以下)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図17(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図17(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。

30

【0209】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図17(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

40

【0210】

次に、両面射出構造の発光素子について、図17(C)を用いて説明する。図17(C)では、第2のトランジスタ152と電氣的に接続された透光性を有する導電膜7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図17(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極

50

7023として用いることができる。そして発光層7024は、図17(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図17(A)と同様に、透光性を有する導電性材料を用いて形成することができる。

【0211】

陰極7023と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図17(C)に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

【0212】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

10

【0213】

また、実施の形態1で説明した図4(A)、(B)に示す画素領域全面に半導体層108aを残す構成においても、発光素子の構成は図17と同様にすることができる。この場合の発光素子の構成を図18(A)、(B)、(C)に示す。図18(A)は図17(A)と同じ上面射出構造、図18(B)は図17(B)と同じ下面射出構造、図18(C)は図17(C)と同じ両面射出構造であり、それぞれの詳細は上述の図17(A)、(B)、(C)の説明と同じである。なお、図18(B)、(C)の構成における下面方向への光の透過は、半導体層108aに可視光に対して透光性を有する酸化物半導体層を用いることで実現することができる。

20

【0214】

なお本実施の形態で示す発光表示装置は、図17または図18に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0215】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

【0216】

(実施の形態5)

本発明の一態様に係る発光表示装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラやデジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

【0217】

図19(A)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0218】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモートコントローラ9610により行うことができる。リモートコントローラ9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモートコントローラ9610に、当該リモートコントローラから出力する情報を表示する表示部9607を設ける構成としてもよい。

40

【0219】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

50

【 0 2 2 0 】

図 1 9 (B) は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム 9 7 0 0 は、筐体 9 7 0 1 に表示部 9 7 0 3 が組み込まれている。表示部 9 7 0 3 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【 0 2 2 1 】

なお、デジタルフォトフレーム 9 7 0 0 は、操作部、外部接続用端子 (U S B 端子、U S B ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9 7 0 3 に表示させることができる。

10

【 0 2 2 2 】

また、デジタルフォトフレーム 9 7 0 0 は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【 0 2 2 3 】

図 2 0 (A) は携帯型遊技機であり、筐体 9 8 8 1 と筐体 9 8 9 1 の 2 つの筐体で構成されており、連結部 9 8 9 3 により、開閉可能に連結されている。筐体 9 8 8 1 には表示部 9 8 8 2 が組み込まれ、筐体 9 8 9 1 には表示部 9 8 8 3 が組み込まれている。また、図 2 0 (A) に示す携帯型遊技機は、その他、スピーカ部 9 8 8 4、記録媒体挿入部 9 8 8 6、LED ランプ 9 8 9 0、入力手段 (操作キー 9 8 8 5、接続端子 9 8 8 7、センサ 9 8 8 8 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン 9 8 8 9) 等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、その他付属設備が適宜設けられた構成とすることができる。図 2 0 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 2 0 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

20

【 0 2 2 4 】

図 2 0 (B) は大型遊技機であるスロットマシンの一例を示している。スロットマシン 9 9 0 0 は、筐体 9 9 0 1 に表示部 9 9 0 3 が組み込まれている。また、スロットマシン 9 9 0 0 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9 9 0 0 の構成は上述のものに限定されず、その他付属設備が適宜設けられた構成とすることができる。

30

【 0 2 2 5 】

図 2 1 (A) は、携帯電話機の一例を示している。携帯電話機 1 0 0 0 は、筐体 1 0 0 1 に組み込まれた表示部 1 0 0 2 の他、操作ボタン 1 0 0 3、外部接続ポート 1 0 0 4、スピーカ 1 0 0 5、マイクロフォン 1 0 0 6などを備えている。

【 0 2 2 6 】

図 2 1 (A) に示す携帯電話機 1 0 0 0 は、表示部 1 0 0 2 を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを送信するなどの操作は、表示部 1 0 0 2 を指などで触れることにより行うことができる。

40

【 0 2 2 7 】

表示部 1 0 0 2 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【 0 2 2 8 】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1 0 0 2 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合

50

、表示部 1 0 0 2 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【 0 2 2 9 】

また、携帯電話機 1 0 0 0 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1 0 0 0 の向き（縦か横か）を判断して、表示部 1 0 0 2 の画面表示を自動的に切り替えるようにすることができる。

【 0 2 3 0 】

また、画面モードの切り替えは、表示部 1 0 0 2 を触れること、又は筐体 1 0 0 1 の操作ボタン 1 0 0 3 の操作により行われる。また、表示部 1 0 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

10

【 0 2 3 1 】

また、入力モードにおいて、表示部 1 0 0 2 の光センサで検出される信号を検知し、表示部 1 0 0 2 のタッチ操作による入力が一期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【 0 2 3 2 】

表示部 1 0 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 1 0 0 2 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

20

【 0 2 3 3 】

図 2 1 (B) は、電子書籍の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 及び筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 及び筐体 2 7 0 3 は、軸部 2 7 1 1 により結合されており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【 0 2 3 4 】

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 及び表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 2 1 (B) では表示部 2 7 0 5 ）に文章を表示し、左側の表示部（図 2 1 (B) では表示部 2 7 0 7 ）に画像を表示することができる。

30

【 0 2 3 5 】

また、図 2 1 (B) では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源スイッチ 2 7 2 1、操作キー 2 7 2 3、スピーカ 2 7 2 5 などを備えている。操作キー 2 7 2 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、U S B 端子、または A C アダプタ及び U S B ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

40

【 0 2 3 6 】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 2 3 7 】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

【 0 2 3 8 】

（実施の形態 6）

本実施の形態では、左目用の映像と右目の映像を高速で切り換える発光表示装置を用いて、表示装置の映像と同期する専用の眼鏡を用いて動画または静止画である 3 次元映像を視

50

認する例を図 2 2 を用いて示す。

【 0 2 3 9 】

図 2 2 (A) は発光表示装置 3 7 1 1 と、専用の眼鏡本体 3 7 0 1 がケーブル 3 7 0 3 で接続されている外観図を示す。専用の眼鏡本体 3 7 0 1 は、左目用パネル 3 7 0 2 a と右目用パネル 3 7 0 2 b に設けられているシャッターが交互に開閉することによって使用者が発光表示装置 3 7 1 1 の画像を 3 次元的に認識することができる。

【 0 2 4 0 】

また、発光表示装置 3 7 1 1 と専用の眼鏡本体 3 7 0 1 の主要な構成についてのブロック図を図 2 2 (B) に示す。

【 0 2 4 1 】

図 2 2 (B) に示す発光表示装置 3 7 1 1 は、表示制御回路 3 7 1 6、表示部 3 7 1 7、タイミング発生器 3 7 1 3、ソース線側駆動回路 3 7 1 8、外部操作手段 3 7 2 2 及びゲート線側駆動回路 3 7 1 9 を有する。なお、キーボード等の外部操作手段 3 7 2 2 による操作に応じて、出力する信号を可変する。

【 0 2 4 2 】

タイミング発生器 3 7 1 3 では、スタートパルス信号などを形成するとともに、左目用映像と左目用パネル 3 7 0 2 a のシャッターとを同期させるための信号、右目用映像と右目用パネル 3 7 0 2 b のシャッターとを同期させるための信号などを形成する。

【 0 2 4 3 】

左目用映像の同期信号 3 7 3 1 a を表示制御回路 3 7 1 6 に入力して表示部 3 7 1 7 に表示すると同時に、左目用パネル 3 7 0 2 a のシャッターを開ける同期信号 3 7 3 0 a を左目用パネル 3 7 0 2 a に入力する。また、右目用映像の同期信号 3 7 3 1 b を表示制御回路 3 7 1 6 に入力して表示部 3 7 1 7 に表示すると同時に、右目用パネル 3 7 0 2 b のシャッターを開ける同期信号 3 7 3 0 b を右目用パネル 3 7 0 2 b に入力する。

【 0 2 4 4 】

また、左目用の映像と右目の映像を高速で切り換えるため、発光表示装置 3 7 1 1 は、例えば 1 2 0 H z や、2 4 0 H z のフレーム周波数で駆動する表示パネルを用いることが好ましい。1 2 0 H z や、2 4 0 H z のフレーム周波数で高速駆動させるため、応答速度の速い有機 E L 素子を用いた発光表示パネルは、3 次元映像を視認する表示装置として適している。また、1 2 0 H z や、2 4 0 H z のフレーム周波数で高速駆動させるため、スイッチング素子は、アモルファスシリコンを用いたトランジスタよりも移動度の高い酸化物半導体材料を活性層に用いたトランジスタが適している。

【 0 2 4 5 】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

【 符号の説明 】

【 0 2 4 6 】

1 0 0	基板
1 0 1	下地膜
1 0 2 a	第 1 のゲート電極層
1 0 2 b	第 2 のゲート電極層
1 0 6	ゲート絶縁層
1 0 8	半導体膜
1 0 8 a	半導体層
1 1 2	第 2 の導電膜
1 1 2 a	第 1 のソース電極層及びドレイン電極層
1 1 2 b	第 1 のソース電極層及びドレイン電極層
1 1 2 c	第 2 のソース電極層及びドレイン電極層
1 1 2 d	第 2 のソース電極層及びドレイン電極層
1 1 4	保護絶縁層
1 1 6	平坦化絶縁層

10

20

30

40

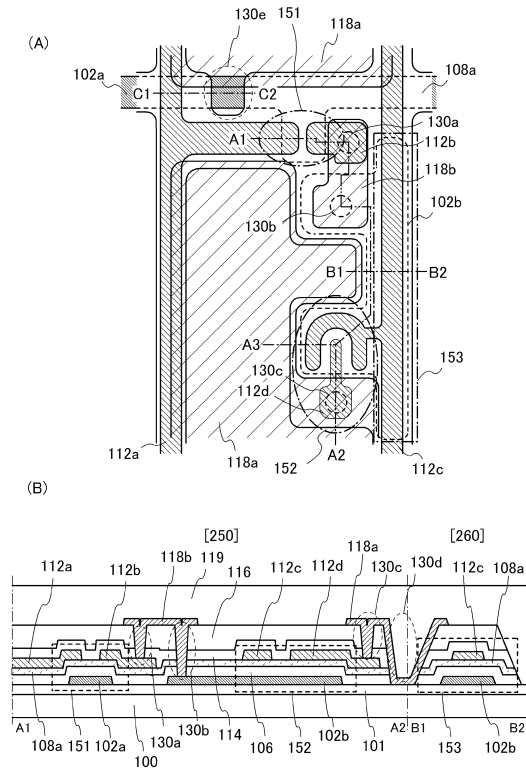
50

1 1 8 a	第 1 の画素電極層	
1 1 8 b	接続電極層	
1 1 8 c	導電層	
1 1 9	隔壁	
1 2 0 a	第 1 の開口部	
1 2 0 b	第 2 の開口部	
1 2 0 c	第 3 の開口部	
1 2 0 d	第 4 の開口部	
1 2 0 e	第 5 の開口部	
1 2 0 f	第 6 の開口部	10
1 3 0 a	第 1 の開口部	
1 3 0 b	第 2 の開口部	
1 3 0 c	第 3 の開口部	
1 3 0 d	第 4 の開口部	
1 3 0 e	第 5 の開口部	
1 3 0 f	第 6 の開口部	
1 4 2	ゲート電極層	
1 5 1	第 1 のトランジスタ	
1 5 2	第 2 のトランジスタ	
1 5 3	容量素子	20
1 6 0	E L 層	
1 7 0	第 2 の画素電極層（共通電極）	
2 5 0	トランジスタ部	
2 6 0	容量素子部	
2 7 0	配線交差部	
2 8 0	F P C 接続部	
3 0 0	基板	
3 0 1	下地膜	
3 0 2 a	第 1 のゲート電極層	
3 0 2 b	第 2 のゲート電極層	30
3 0 6	ゲート絶縁層	
3 0 8	半導体膜	
3 0 8 a	半導体層	
3 1 0 a	第 1 の開口部	
3 1 0 b	第 2 の開口部	
3 1 0 c	第 3 の開口部	
3 1 0 d	第 4 の開口部	
3 1 0 e	第 5 の開口部	
3 1 0 f	第 6 の開口部	
3 1 2	第 2 の導電膜	40
3 1 2 a	第 1 のソース電極層及びドレイン電極層	
3 1 2 b	第 1 のソース電極層及びドレイン電極層	
3 1 2 c	第 2 のソース電極層及びドレイン電極層	
3 1 2 d	第 2 のソース電極層及びドレイン電極層	
3 1 2 e	導電層	
3 1 4	保護絶縁層	
3 1 6	平坦化絶縁層	
3 1 8 a	第 1 の画素電極層	
3 1 8 b	導電層	
3 1 9	隔壁	50

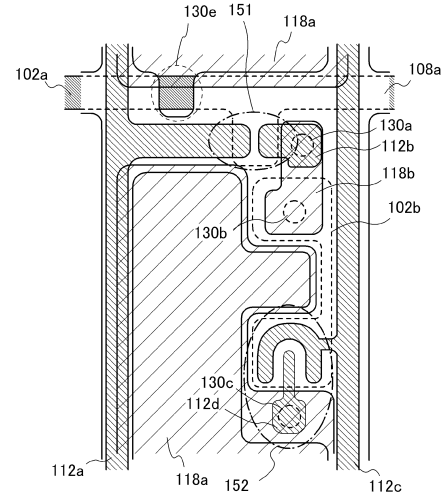
3 5 0 a	第 5 の開口部	
3 5 0 b	第 6 の開口部	
3 5 1	第 1 のトランジスタ	
3 5 2	第 2 のトランジスタ	
3 5 3	容量素子	
4 5 0	トランジスタ部	
4 6 0	容量素子部	
4 7 0	配線交差部	
4 8 0	F P C 接続部	
1 0 0 0	携帯電話機	10
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイクロフォン	
1 4 8 a	結晶性酸化物半導体層	
1 4 8 b	結晶性酸化物半導体層	
2 7 0 0	電子書籍	
2 7 0 1	筐体	20
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源スイッチ	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
3 7 0 1	眼鏡本体	
3 7 0 3	ケーブル	
3 7 0 2 a	左目用パネル	30
3 7 0 2 b	右目用パネル	
3 7 1 1	発光表示装置	
3 7 1 3	タイミング発生器	
3 7 1 6	表示制御回路	
3 7 1 7	表示部	
3 7 1 8	ソース線側駆動回路	
3 7 1 9	ゲート線側駆動回路	
3 7 2 2	外部操作手段	
3 7 3 0 a	同期信号	
3 7 3 0 b	同期信号	40
3 7 3 1 a	同期信号	
3 7 3 1 b	同期信号	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	50

7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	10
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモートコントローラ	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	20
9 8 8 4	スピーカ部	
9 8 8 5	入力手段（操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	30
9 9 0 1	筐体	
9 9 0 3	表示部	

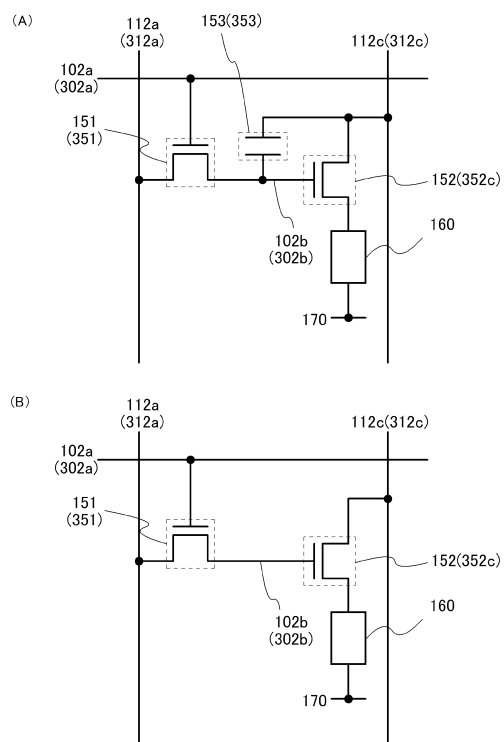
【 図 1 】



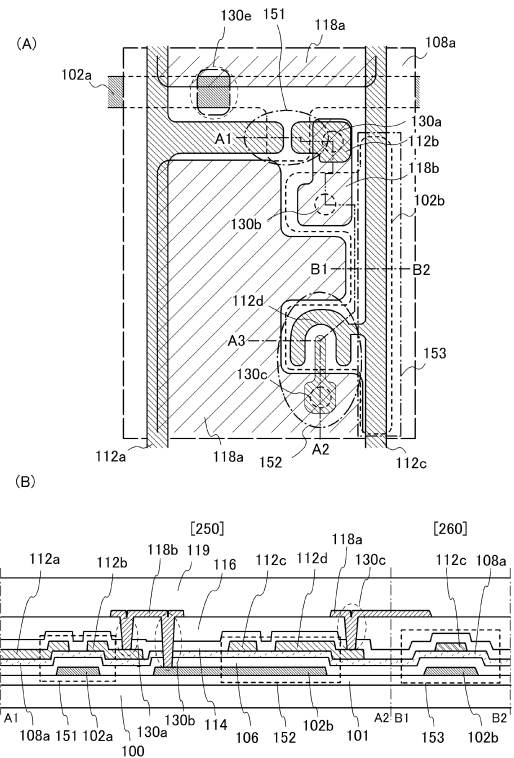
【 図 2 】



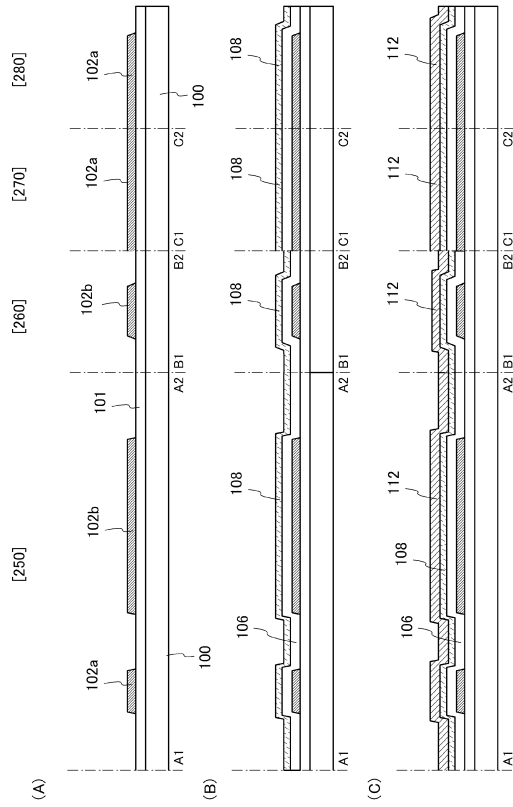
【圖 3】



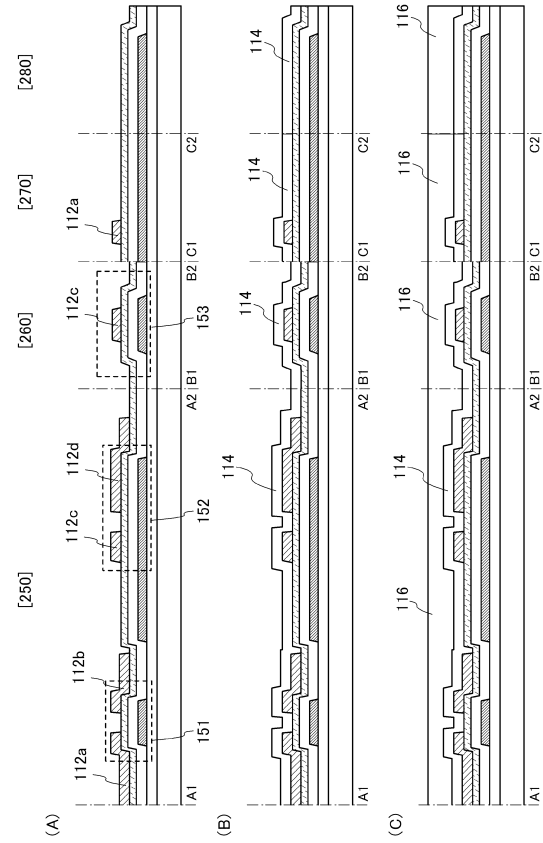
【 図 4 】



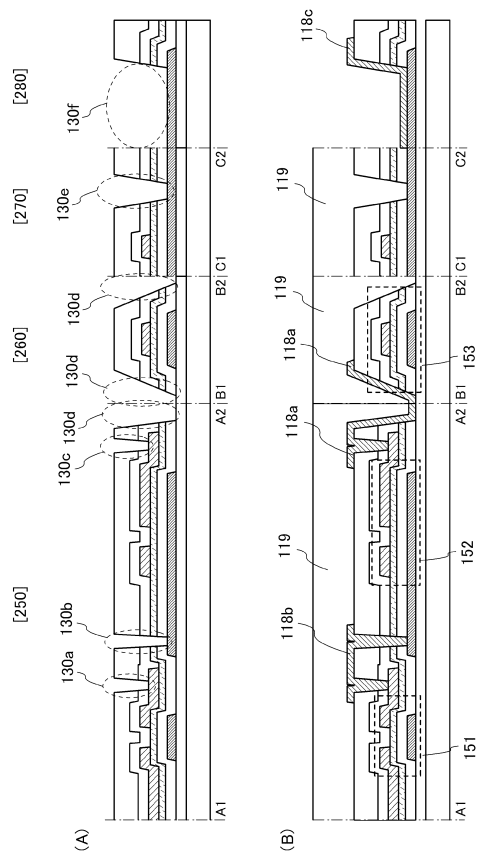
【 図 5 】



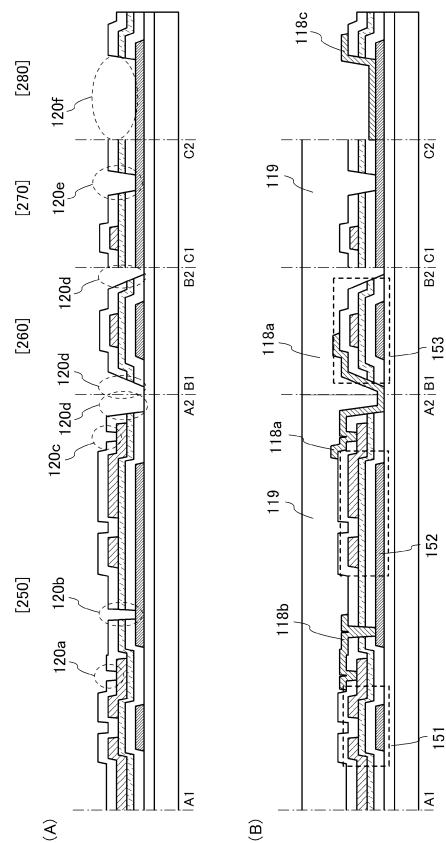
【 図 6 】



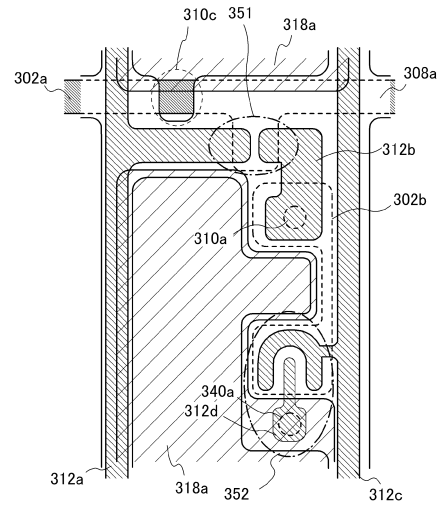
【圖 7】



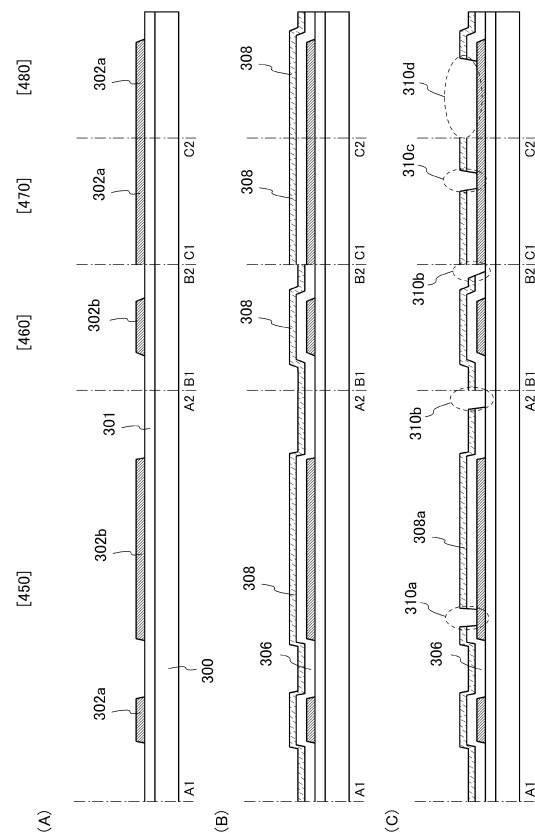
【 圖 8 】



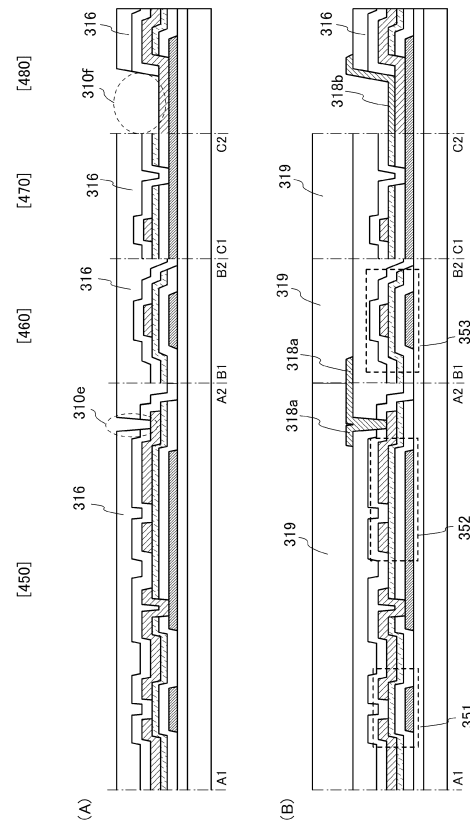
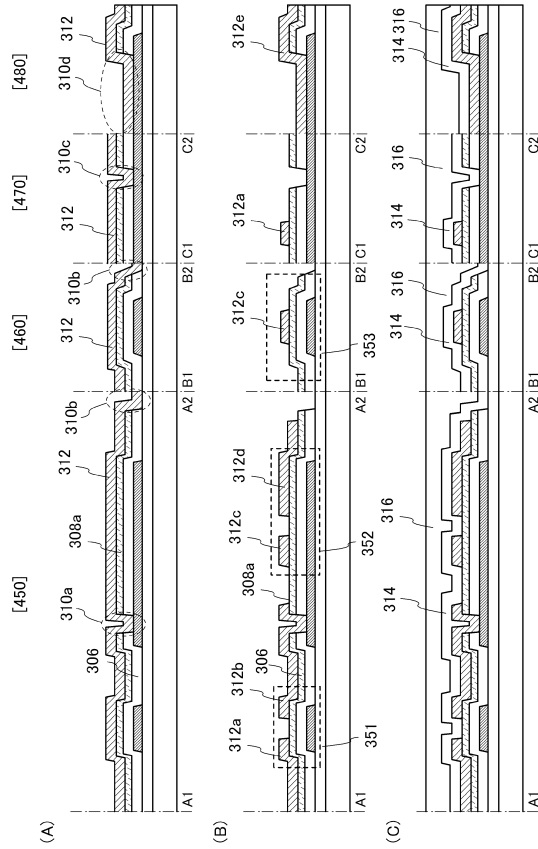
【 図 1 0 】



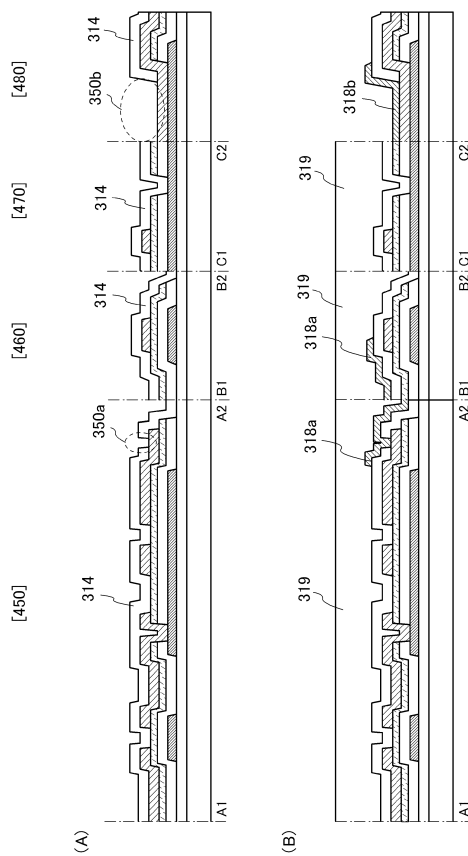
【 図 1 2 】



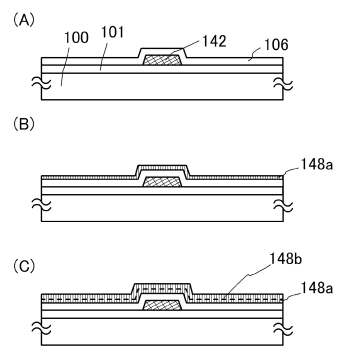
【 図 1 4 】



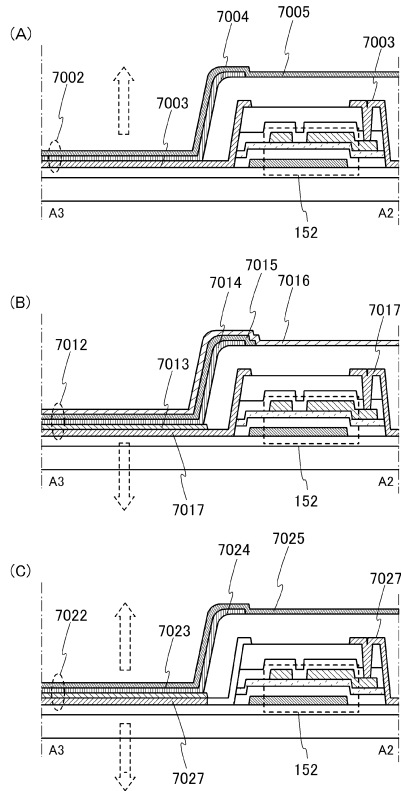
【 図 1 5 】



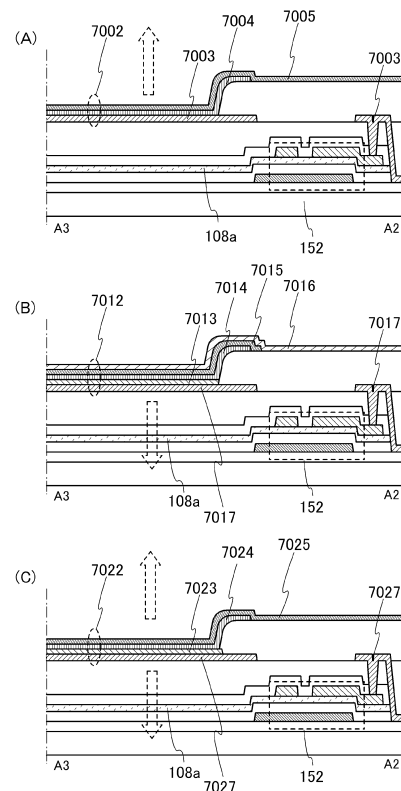
【 図 1 6 】



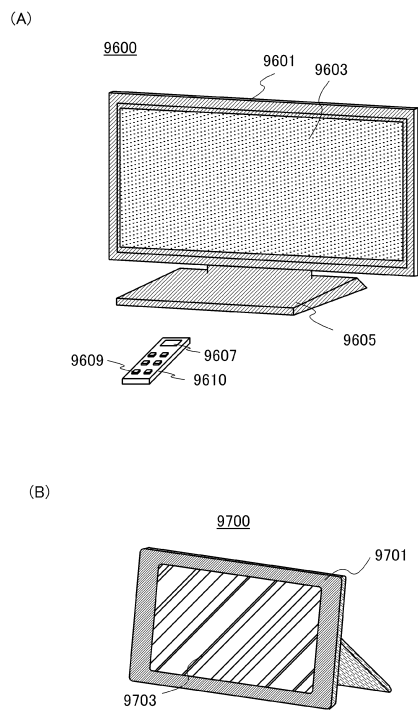
【図 17】



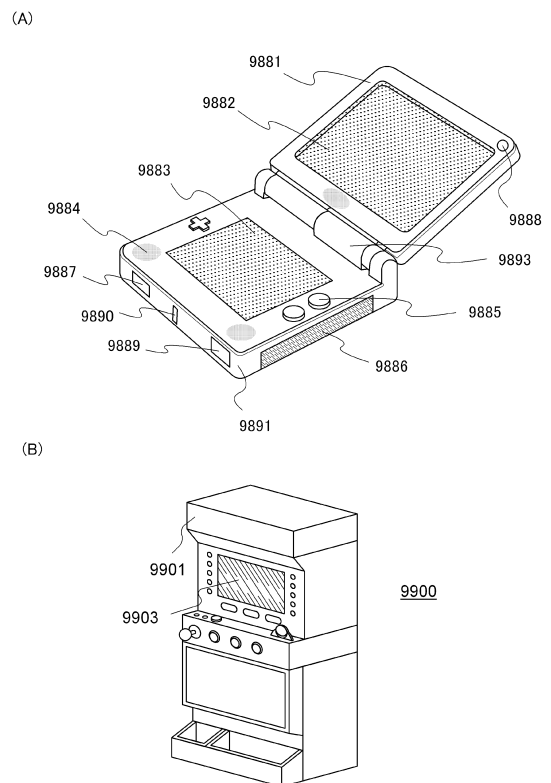
【図 18】



【図 19】

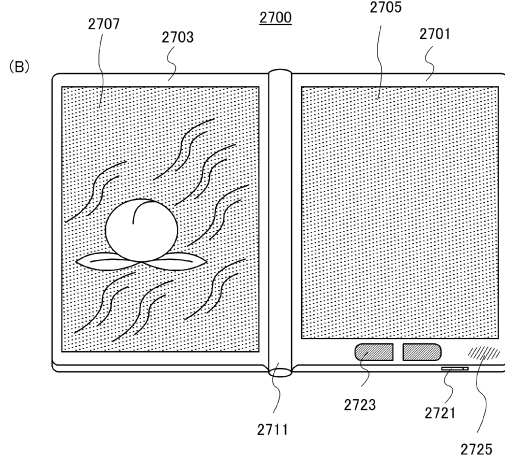
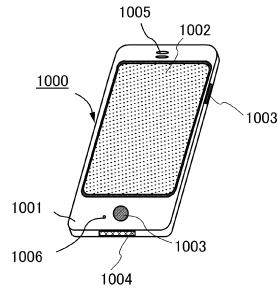


【図 20】



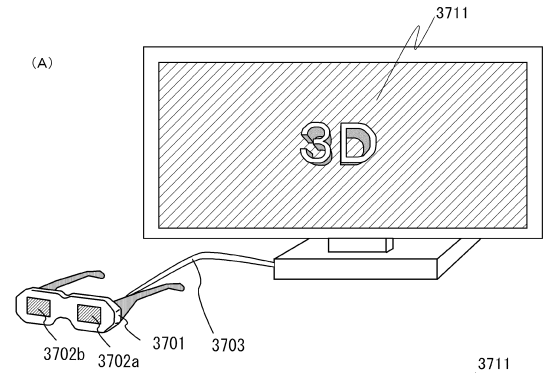
【図 2 1】

(A)

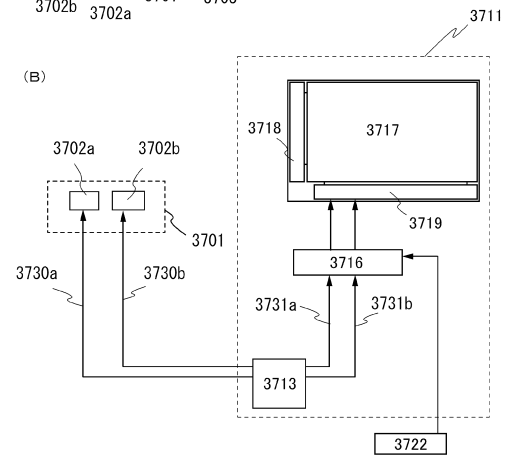


【図 2 2】

(A)

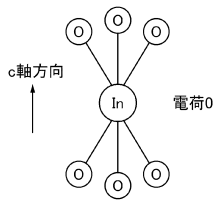


(B)

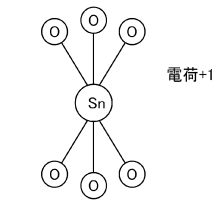


【図 2 3】

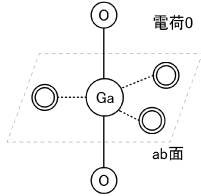
(A)



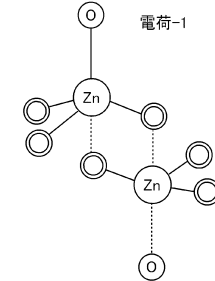
(D)



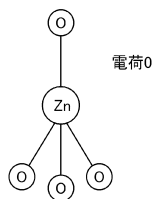
(B)



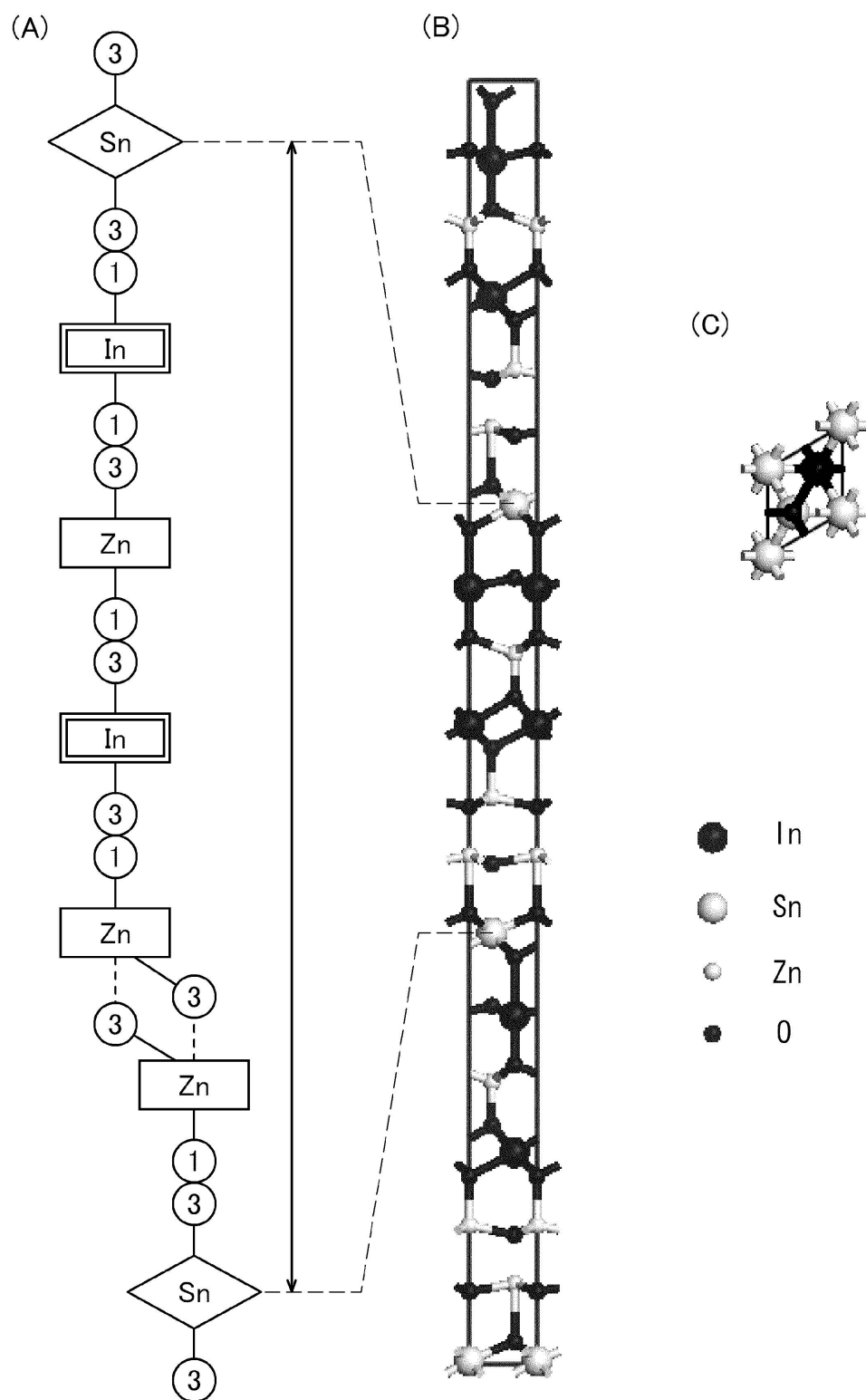
(E)



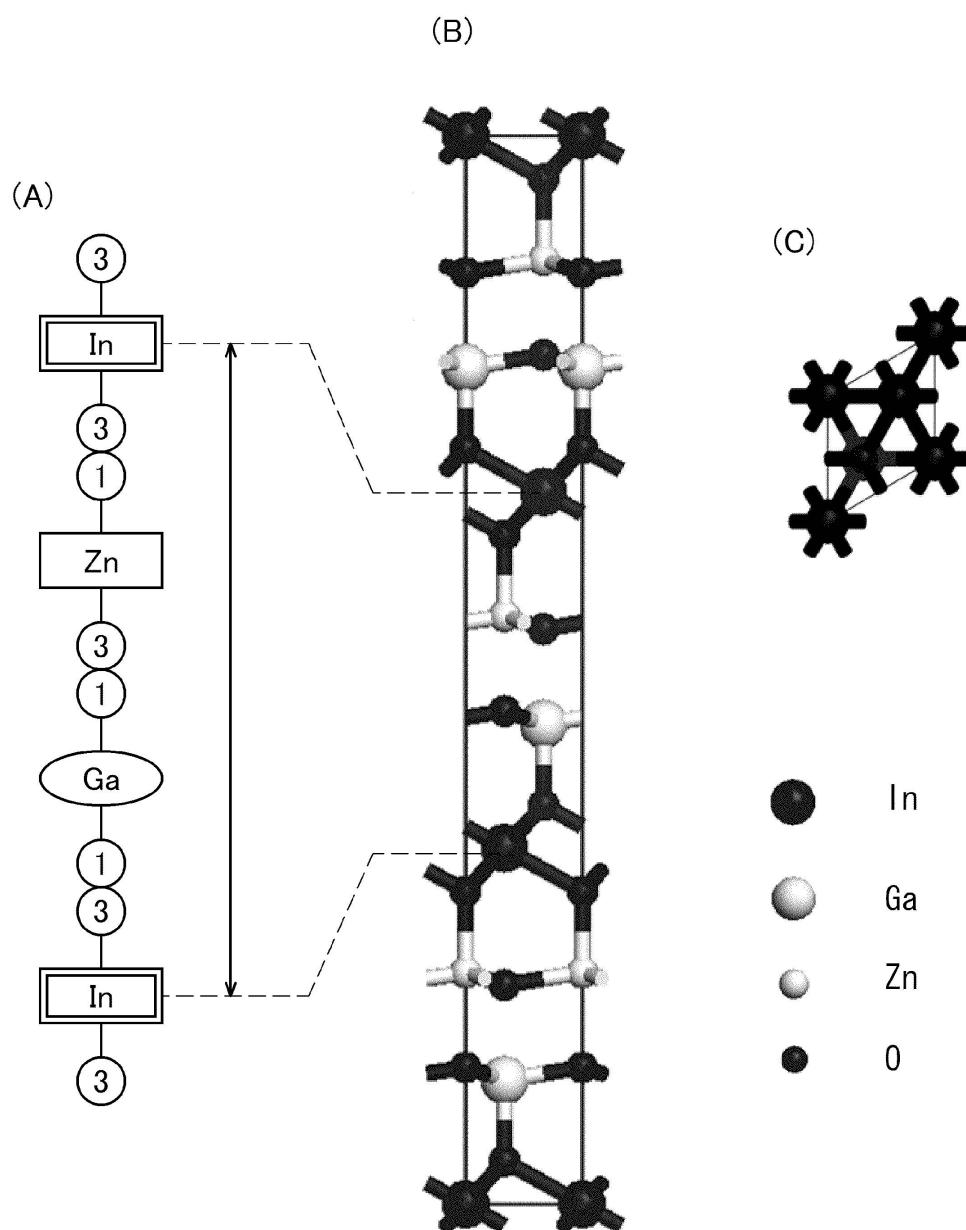
(C)



【 図 2 4 】

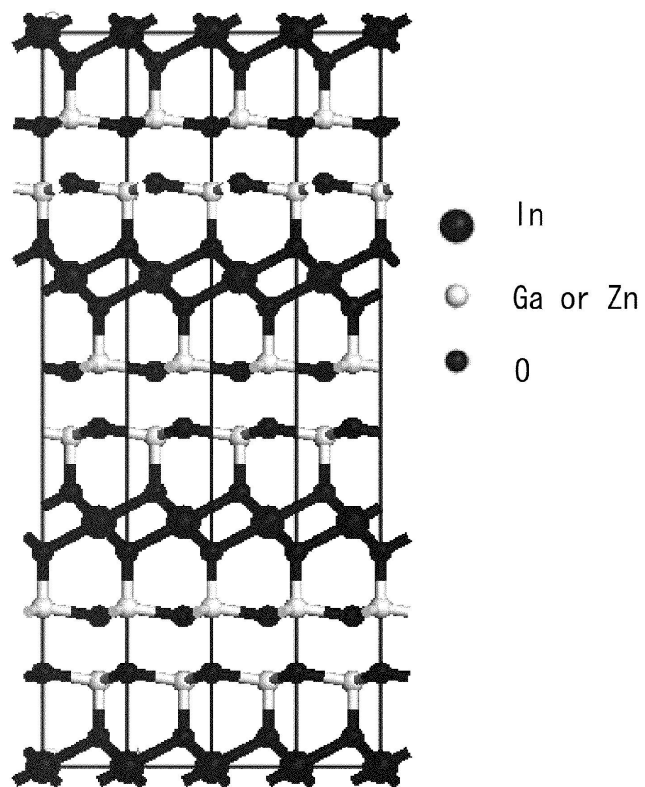


【 図 2 5 】

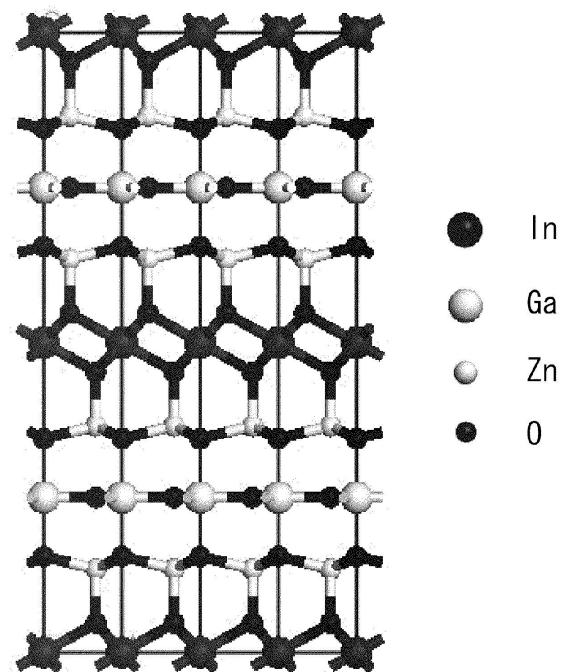


【図 26】

(A)



(B)



フロントページの続き

(51)Int.Cl.		F I		
H 0 5 B	33/14	(2006.01)	H 0 5 B	33/14
			H 0 5 B	33/14
				A
				Z

(56)参考文献 特開 2 0 0 6 - 0 4 7 9 9 9 (J P , A)
米国特許出願公開第 2 0 0 4 / 0 0 4 3 5 4 5 (U S , A 1)
特開 2 0 1 0 - 1 5 3 8 3 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 7 8 6
H 0 1 L	5 1 / 5 0
H 0 5 B	3 3 / 0 8
H 0 5 B	3 3 / 1 0
H 0 5 B	3 3 / 1 4