

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和3年8月26日(2021.8.26)

【公開番号】特開2019-53725(P2019-53725A)

【公開日】平成31年4月4日(2019.4.4)

【年通号数】公開・登録公報2019-013

【出願番号】特願2018-152980(P2018-152980)

【国際特許分類】

G 06 F 12/06 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 06 F 12/06 550 A

G 06 F 12/00 597 R

【手続補正書】

【提出日】令和3年7月14日(2021.7.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

高帯域メモリ(HBM)システムであって、

PIM(Processing-In-Memory)動作をサービスするPIM機能を含むHBMメモリ装置と、

命令語及びアドレス(CA)バス並びにデータバスを含みホスト装置に連結される第1インターフェースと、内部バスを介して前記HBMメモリ装置に連結される第2インターフェースとを含み、前記第1インターフェースの前記CAバスを介して前記ホスト装置から第1命令語と、前記データバスを介して前記ホスト装置から第2命令語とを受信し、前記受信された第2命令語を、前記第2インターフェースを介して前記HBMメモリ装置に伝送される、前記PIM動作のためのPIM命令語に変換し、前記PIM動作のための内部バス命令語が前記PIM命令語の実行に重なるように、前記内部バス上で前記PIM動作のためのオーバーラップタイミングを有する少なくとも1つの命令語を発行する論理回路と、を備え、

前記HBMシステムが前記ホスト装置から前記第1命令語を受信して前記ホスト装置から他の命令語を受信する準備ができるまでの遅延(latency)は、決定論的(deterministic)であることを特徴とする高帯域メモリシステム。

【請求項2】

前記第2命令語は、前記HBMメモリ装置内の単一のアドレスに対するPIM動作又は前記HBMメモリ装置内の同一の行の複数のアドレスに対するPIM動作のためのものであることを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項3】

前記ホスト装置から受信された第2命令語は、前記HBMメモリ装置内の同一のチャンネル内の一つ以上のバンク内のPIM動作のためのものであり、

前記第2命令語が前記ホスト装置から受信されて前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延は、決定論的であることを特徴とする請求項2に記載の高帯域メモリシステム。

【請求項4】

前記ホスト装置から受信された第2命令語は、前記HBMメモリ装置内の異なるバンクに亘るPIM動作のためのものであり、

前記第2命令語が前記ホスト装置から受信されて前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延は、決定論的であることを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項5】

前記論理回路は、前記CAバスを介して前記ホスト装置から前記HBMメモリ装置内におけるPIM動作のための第3命令語と、前記データバスを介して前記ホスト装置から前記第3命令語に続く第4命令語とを更に受信し、

前記第4命令語は、前記第4命令語が前記ホスト装置から受信されて前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延に関する、決定論的部分及び推定部分を含む第1推定情報を要求することを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項6】

前記論理回路は、前記CAバスを介して前記ホスト装置から前記HBMメモリ装置内におけるPIM動作のための第3命令語と、前記データバスを介して前記ホスト装置から前記第3命令語に続く第4命令語とを更に受信し、

前記第4命令語は、前記第4命令語が前記ホスト装置から受信されて前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延に関する、決定論的部分及びクレジット基盤部分を含む推定情報を要求することを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項7】

前記論理回路は、前記CAバスを介して前記ホスト装置から前記HBMメモリ装置内におけるPIM動作のための第3命令語と、前記データバスを介して前記ホスト装置から前記第3命令語に続く第4命令語とを更に受信し、

前記第4命令語は、前記第4命令語が前記ホスト装置から受信されて前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延に関する、決定論的部分及び再試行部分を含む推定情報を要求することを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項8】

前記第2命令語は、前記HBMメモリ装置内の同一のチャンネル内の一つ以上のバンク内のPIM動作のためのものであることを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項9】

前記第2命令語は、前記HBMメモリ装置内の異なるバンクに亘るPIM動作のためのものであることを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項10】

並列タイミング経路を有する命令語は、リード命令語及びライト命令語を含むことを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項11】

高帯域メモリ(HBM)システムであって、

高帯域メモリ(HBM)装置と、

ホスト装置に連結される第1インターフェースと、前記HBM装置に連結される第2インターフェースとを含み、前記ホスト装置から一つ以上の命令語を受信し、前記受信された各命令語を、前記第2インターフェースを介して前記HBM装置に伝送される少なくとも一つの対応するPIM(Processing-In-Memory)命令語に変換する論理回路と、を備え、

前記論理回路は、前記ホスト装置から前記HBM装置内におけるPIM動作のための第1命令語と、前記ホスト装置から前記第1命令語に続く第2命令語とを更に受信し、

前記第2命令語は、前記第2命令語が前記ホスト装置から受信された時点と前記HBM

システムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間に関する、決定論的期間及び非決定論的期間を含む第1時間推定情報を要求することを特徴とする高帯域メモリシステム。

【請求項12】

前記非決定論的期間は、推定期間を含むことを特徴とする請求項1_1に記載の高帯域メモリシステム。

【請求項13】

前記論理回路は、前記ホスト装置から前記HBM装置内におけるPIM動作のための第3命令語と、前記ホスト装置から前記第3命令語に続く第4命令語とを更に受信し、

前記第4命令語は、前記第3命令語が前記ホスト装置から受信された時点と前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間に関する、決定論的期間及びクレジット基盤期間を含む第2時間推定情報を要求することを特徴とする請求項1_1に記載の高帯域メモリシステム。

【請求項14】

前記論理回路は、前記ホスト装置から前記HBM装置内におけるPIM動作のための第5命令語と、前記ホスト装置から前記第5命令語に続く第6命令語とを更に受信し、

前記第6命令語は、前記第6命令語が前記ホスト装置から受信された時点と前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間に関する、決定論的期間及び再試行期間を含む第3時間推定情報を要求することを特徴とする請求項1_3に記載の高帯域メモリシステム。

【請求項15】

前記論理回路は、前記ホスト装置から前記HBM装置内におけるPIM動作のための第7命令語を更に受信し、

前記第7命令語が前記ホスト装置から受信された時点と前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間は、決定論的であることを特徴とする請求項1_4に記載の高帯域メモリシステム。

【請求項16】

前記第7命令語は、前記HBM装置内の単一のアドレスに対するPIM動作又は前記HBM装置内の同一の行の複数のアドレスに対するPIM動作のためのものであることを特徴とする請求項1_5に記載の高帯域メモリシステム。

【請求項17】

前記論理回路は、前記ホスト装置から前記HBM装置内の同一のチャンネル内の一つ以上のバンク内のPIM動作のための第8命令語を更に受信し、

前記第8命令語が前記ホスト装置から受信された時点と前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間は、決定論的であることを特徴とする請求項1_6に記載の高帯域メモリシステム。

【請求項18】

前記論理回路は、前記ホスト装置から前記HBM装置内の異なるバンクに亘るPIM動作のための第9命令語を更に受信し、

前記第9命令語が前記ホスト装置から受信された時点と前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間は、決定論的であることを特徴とする請求項1_7に記載の高帯域メモリシステム。

【請求項19】

前記非決定論的期間は、クレジット基盤期間を含むことを特徴とする請求項1_1に記載の高帯域メモリシステム。

【請求項20】

前記非決定論的期間は、再試行期間を含むことを特徴とする請求項1_1に記載の高帯域メモリシステム。