

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 3 年 8 月 26 日 (2021.8.26)

【公開番号】特開 2019-53725 (P2019-53725A)

【公開日】平成 31 年 4 月 4 日 (2019.4.4)

【年通号数】公開・登録公報 2019-013

【出願番号】特願 2018-152980 (P2018-152980)

【国際特許分類】

G 0 6 F 12/06 (2006.01)

G 0 6 F 12/00 (2006.01)

【F I】

G 0 6 F 12/06 5 5 0 A

G 0 6 F 12/00 5 9 7 R

【手続補正書】

【提出日】令和 3 年 7 月 14 日 (2021.7.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

高帯域メモリ (HBM) システムであって、

PIM (Processing - In - Memory) 動作をサービスする PIM 機能を含む HBM メモリ装置と、

命令語及びアドレス (CA) バス並びにデータバスを含みホスト装置に連結される第 1 インターフェースと、内部バスを介して前記 HBM メモリ装置に連結される第 2 インターフェースとを含み、前記第 1 インターフェースの前記 CA バスを介して前記ホスト装置から第 1 命令語と、前記データバスを介して前記ホスト装置から第 2 命令語とを受信し、前記受信された第 2 命令語を、前記第 2 インターフェースを介して前記 HBM メモリ装置に伝送される、前記 PIM 動作のための PIM 命令語に変換し、前記 PIM 動作のための内部バス命令語が前記 PIM 命令語の実行に重なるように、前記内部バス上で前記 PIM 動作のためのオーバーラップタイミングを有する少なくとも 1 つの命令語を発行する論理回路と、を備え、

前記 HBM システムが前記ホスト装置から前記第 1 命令語を受信して前記ホスト装置から他の命令語を受信する準備ができるまでの遅延 (latency) は、決定論的 (deterministic) であることを特徴とする高帯域メモリシステム。

【請求項 2】

前記第 2 命令語は、前記 HBM メモリ装置内の単一のアドレスに対する PIM 動作又は前記 HBM メモリ装置内の同一の行の複数のアドレスに対する PIM 動作のためのものであることを特徴とする請求項 1 に記載の高帯域メモリシステム。

【請求項 3】

前記ホスト装置から受信された第 2 命令語は、前記 HBM メモリ装置内の同一のチャンネル内の一つ以上のバンク内の PIM 動作のためのものであり、

前記第 2 命令語が前記ホスト装置から受信されて前記 HBM システムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延は、決定論的であることを特徴とする請求項 2 に記載の高帯域メモリシステム。

【請求項 4】

前記ホスト装置から受信された第2命令語は、前記HBMメモリ装置内の異なるバンクに亘るPIM動作のためのものであり、

前記第2命令語が前記ホスト装置から受信されて前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延は、決定論的であることを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項5】

前記論理回路は、前記CAバスを介して前記ホスト装置から前記HBMメモリ装置内におけるPIM動作のための第3命令語と、前記データバスを介して前記ホスト装置から前記第3命令語に続く第4命令語とを更に受信し、

前記第4命令語は、前記第4命令語が前記ホスト装置から受信されて前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延に関する、決定論的部分及び推定部分を含む第1推定情報を要求することを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項6】

前記論理回路は、前記CAバスを介して前記ホスト装置から前記HBMメモリ装置内におけるPIM動作のための第3命令語と、前記データバスを介して前記ホスト装置から前記第3命令語に続く第4命令語とを更に受信し、

前記第4命令語は、前記第4命令語が前記ホスト装置から受信されて前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延に関する、決定論的部分及びクレジット基盤部分を含む推定情報を要求することを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項7】

前記論理回路は、前記CAバスを介して前記ホスト装置から前記HBMメモリ装置内におけるPIM動作のための第3命令語と、前記データバスを介して前記ホスト装置から前記第3命令語に続く第4命令語とを更に受信し、

前記第4命令語は、前記第4命令語が前記ホスト装置から受信されて前記HBMシステムが前記ホスト装置から他の命令語を受信する準備ができるまでの遅延に関する、決定論的部分及び再試行部分を含む推定情報を要求することを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項8】

前記第2命令語は、前記HBMメモリ装置内の同一のチャンネル内の一つ以上のバンク内のPIM動作のためのものであることを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項9】

前記第2命令語は、前記HBMメモリ装置内の異なるバンクに亘るPIM動作のためのものであることを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項10】

並列タイミング経路を有する命令語は、リード命令語及びライト命令語を含むことを特徴とする請求項1に記載の高帯域メモリシステム。

【請求項11】

高帯域メモリ(HBM)システムであって、

高帯域メモリ(HBM)装置と、

ホスト装置に連結される第1インターフェースと、前記HBM装置に連結される第2インターフェースとを含み、前記ホスト装置から一つ以上の命令語を受信し、前記受信された各命令語を、前記第2インターフェースを介して前記HBM装置に伝送される少なくとも一つの対応するPIM(Processing-In-Memory)命令語に変換する論理回路と、を備え、

前記論理回路は、前記ホスト装置から前記HBM装置内におけるPIM動作のための第1命令語と、前記ホスト装置から前記第1命令語に続く第2命令語とを更に受信し、

前記第2命令語は、前記第2命令語が前記ホスト装置から受信された時点と前記HBM

システムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間に関する、決定論的期間及び非決定論的期間を含む第 1 時間推定情報を要求することを特徴とする高帯域メモリシステム。

【請求項 1 2】

前記非決定論的期間は、推定期間を含むことを特徴とする請求項 1 1 に記載の高帯域メモリシステム。

【請求項 1 3】

前記論理回路は、前記ホスト装置から前記 H B M 装置内における P I M 動作のための第 3 命令語と、前記ホスト装置から前記第 3 命令語に続く第 4 命令語とを更に受信し、

前記第 4 命令語は、前記第 3 命令語が前記ホスト装置から受信された時点と前記 H B M システムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間に関する、決定論的期間及びクレジット基盤期間を含む第 2 時間推定情報を要求することを特徴とする請求項 1 1 に記載の高帯域メモリシステム。

【請求項 1 4】

前記論理回路は、前記ホスト装置から前記 H B M 装置内における P I M 動作のための第 5 命令語と、前記ホスト装置から前記第 5 命令語に続く第 6 命令語とを更に受信し、

前記第 6 命令語は、前記第 6 命令語が前記ホスト装置から受信された時点と前記 H B M システムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間に関する、決定論的期間及び再試行期間を含む第 3 時間推定情報を要求することを特徴とする請求項 1 3 に記載の高帯域メモリシステム。

【請求項 1 5】

前記論理回路は、前記ホスト装置から前記 H B M 装置内における P I M 動作のための第 7 命令語を更に受信し、

前記第 7 命令語が前記ホスト装置から受信された時点と前記 H B M システムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間は、決定論的であることを特徴とする請求項 1 4 に記載の高帯域メモリシステム。

【請求項 1 6】

前記第 7 命令語は、前記 H B M 装置内の単一のアドレスに対する P I M 動作又は前記 H B M 装置内の同一の行の複数のアドレスに対する P I M 動作のためのものであることを特徴とする請求項 1 5 に記載の高帯域メモリシステム。

【請求項 1 7】

前記論理回路は、前記ホスト装置から前記 H B M 装置内の同一のチャンネル内の一つ以上のバンク内の P I M 動作のための第 8 命令語を更に受信し、

前記第 8 命令語が前記ホスト装置から受信された時点と前記 H B M システムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間は、決定論的であることを特徴とする請求項 1 6 に記載の高帯域メモリシステム。

【請求項 1 8】

前記論理回路は、前記ホスト装置から前記 H B M 装置内の異なるバンクに亘る P I M 動作のための第 9 命令語を更に受信し、

前記第 9 命令語が前記ホスト装置から受信された時点と前記 H B M システムが前記ホスト装置から他の命令語を受信する準備ができた時点との間の時間は、決定論的であることを特徴とする請求項 1 7 に記載の高帯域メモリシステム。

【請求項 1 9】

前記非決定論的期間は、クレジット基盤期間を含むことを特徴とする請求項 1 1 に記載の高帯域メモリシステム。

【請求項 2 0】

前記非決定論的期間は、再試行期間を含むことを特徴とする請求項 1 1 に記載の高帯域メモリシステム。