



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2008년09월03일  
 (11) 등록번호 10-0855573  
 (24) 등록일자 2008년08월26일

(51) Int. Cl.

G11C 11/15 (2006.01)

(21) 출원번호 10-2002-0012376  
 (22) 출원일자 2002년03월08일  
 심사청구일자 2007년03월07일  
 (65) 공개번호 10-2003-0009078  
 (43) 공개일자 2003년01월29일

(30) 우선권주장  
 09/802,650 2001년03월09일 미국(US)

(56) 선행기술조사문헌  
 WO0072324 A1\*  
 JP2001230468 A  
 JP2000090658 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

니켈자니스에이치

미국캘리포니아주94087

서니베일컴벌리드라이브1772

안토니토마스씨

미국캘리포니아주94087서니베일피멘토애비뉴1161

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 8 항

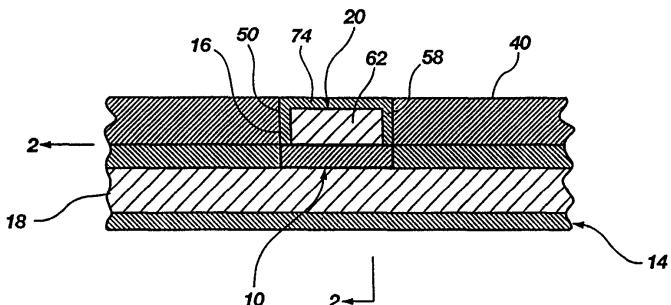
심사관 : 홍승무

(54) 상부 컨덕터 클래딩 방법, 강자성 클래딩 제조 방법 및자기 메모리 장치

### (57) 요 약

자기 메모리 장치의 상부 컨덕터의 2 측면 혹은 3 측면을 강자성 물질로 클래딩하기 위한 방법은 메모리 장치 위의 코팅층에 측벽을 갖는 트렌치를 형성하는 단계를 포함한다. 제 1 강자성 물질은 트렌치의 측벽을 따라 증착된다. 트렌치 바닥의 임의의 강자성 물질은 제거될 수 있다. 컨덕터 물질은 메모리 장치 위의 트렌치에 증착된다. 제 2 강자성 물질은 트렌치의 컨덕터 물질 위에 증착되어 컨덕터의 3 측면 둘레에 강자성 물질의 클래딩을 형성한다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

메모리 장치의 상부 컨덕터(a top conductor)의 적어도 2개의 측면(at least two sides)을 강자성 물질(ferromagnetic material)로 클래딩(cladding)하기 위한 방법에 있어서,

- a) 상기 메모리 장치 위의 코팅층에 측벽을 갖는 트렌치(a trench)를 형성하는 단계와,
- b) 상기 트렌치의 측벽을 따라 강자성 물질을 증착하는 단계와,
- c) 상기 트렌치의 측벽상의 강자성 물질 사이의 상기 트렌치 내에 컨덕터 물질(a conductor material)을 증착하여 상기 상부 컨덕터의 2개의 측면상에 상기 강자성 물질의 클래딩을 형성하는 단계를 포함하는 상부 컨덕터 클래딩 방법.

### 청구항 2

제 1 항에 있어서,

상기 트렌치 내의 상기 컨덕터 물질 위에 강자성 물질을 증착하여 상기 상부 컨덕터의 3개의 측면 둘레에 상기 강자성 물질의 클래딩을 형성하는 단계를 더 포함하는 상부 컨덕터 클래딩 방법.

### 청구항 3

제 1 항에 있어서,

상기 트렌치의 측벽을 따라 강자성 물질을 증착하는 단계는

상기 트렌치의 측벽과 바닥에 강자성 물질을 증착하는 단계와,

상기 트렌치의 측벽상의 상기 강자성 물질을 그대로 두고, 상기 트렌치 바닥의 일부로부터 상기 강자성 물질을 제거하는 단계를 더 포함하는 상부 컨덕터 클래딩 방법.

### 청구항 4

제 1 항에 있어서,

상기 트렌치내에 컨덕터 물질을 증착하는 단계는

상기 코팅층 위에 컨덕터 물질을 증착하는 단계와,

상기 컨덕터 물질을 연마(polishing)하여 상기 코팅층 위의 상기 컨덕터 물질을 제거하는 단계를 더 포함하는 상부 컨덕터 클래딩 방법.

### 청구항 5

제 4 항에 있어서,

상기 컨덕터 물질을 연마하는 단계는 상기 트렌치 내의 상기 컨덕터 물질에 상기 코팅층의 상면 아래의 용기부(an elevation)로 연장되는 압흔(an indentation)을 생성하는 단계를 더 포함하는 상부 컨덕터 클래딩 방법.

### 청구항 6

제 1 항에 있어서,

상기 트렌치 내의 상기 컨덕터 물질에 상기 코팅층의 상면 아래의 용기부로 연장되는 압흔을 생성하는 단계를 더 포함하는 상부 컨덕터 클래딩 방법.

### 청구항 7

자기 RAM 구조의 상부 컨덕터의 적어도 2개의 측면 둘레에 강자성 클래딩을 제조하기 위한 방법에 있어서,

- a) 자기 RAM 구조를 제공하는 단계와,

- b) 상기 자기 RAM 구조 위에 코팅층을 증착하는 단계와,
- c) 상기 자기 RAM 구조 위의 상기 코팅층에 측벽과 바닥을 갖는 트렌치를 형성하는 단계와,
- d) 상기 트렌치의 상기 측벽을 따라 강자성 클래딩 물질을 증착하는 단계와,
- e) 상기 트렌치의 상기 측벽상의 상기 강자성 클래딩 물질을 그대로 두고, 상기 자기 RAM 구조 위의 상기 트렌치의 바닥으로부터 임의의 강자성 클래딩 물질의 적어도 일부를 제거하는 단계와,
- f) 상기 자기 RAM 구조 위의 상기 트렌치 내에 컨덕터 물질을 증착하는 단계를 포함하는  
강자성 클래딩 제조 방법.

#### 청구항 8

자기 RAM 구조의 상부 컨덕터의 상부 및 대향 측면 둘레에 강자성 클래딩을 제조하기 위한 방법에 있어서,

- a) 기판상에 배치된 자기 RAM 구조를 제공하는 단계와,
- b) 상기 자기 RAM 구조 및 상기 기판 위에 코팅층을 증착하는 단계와,
- c) 상기 자기 RAM 구조 위의 상기 코팅층에 측벽과 바닥을 갖는 트렌치를 형성하는 단계와,
- d) 상기 코팅층과 상기 자기 RAM 구조 위, 및 상기 트렌치의 측벽에 따라 강자성 클래딩 물질을 증착하는 단계와,
- e) 상기 트렌치의 측벽상의 상기 강자성 클래딩 물질을 그대로 두고, 상기 자기 RAM 구조 위의 상기 트렌치의 바닥 및 상기 코팅층으로부터 상기 강자성 클래딩 물질의 일부를 제거하는 단계와,
- f) 상기 자기 RAM 구조 위의 트렌치 내부 및 상기 코팅층 위에 컨덕터 물질을 증착하는 단계와,
- g) 상기 컨덕터 물질을 연마하여 상기 트렌치의 측벽에 배치된 상기 강자성 클래딩 물질의 상단부 및 상기 코팅층 위의 임의의 컨덕터 물질을 제거하는 단계와,
- h) 상기 코팅층, 상기 트렌치의 상기 컨덕터 물질 및 상기 트렌치의 측벽에 배치된 상기 강자성 클래딩 물질의 상단부 위에 강자성 클래딩 물질층을 증착하는 단계와,
- i) 상기 트렌치 내의 상기 컨덕터 물질 위의 상기 강자성 클래딩 물질층 일부를 그대로 두고, 상기 강자성 클래딩 물질층을 연마하여 상기 코팅층 위의 임의의 강자성 클래딩 물질을 제거하는 단계를 포함하는  
강자성 클래딩 제조 방법.

#### 청구항 9

삭제

#### 청구항 10

삭제

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

<9> 본 발명은 일반적으로 클래딩층(cladding layer)을 상부 컨덕터(top conductor)에 형성하기 위한 방법, 특히 자기 RAM 구조를 가질 때 유용한 방법 및 상부 컨덕터 둘레에 클래딩 구조를 갖는 자기 메모리 장치에 관한 것이다.

<10> 자기 랜덤 액세스 메모리(Magnetic Random Access Memory : MRAM)와 같은 자기 메모리는 전형적으로 자기 메모리 셀의 어레이를 포함한다. 각각의 자기 메모리 셀은 감지층과 기준층을 통상 포함한다. 감지층은 일반적으로

로 외부 자계의 애플리케이션에 의해 바뀔 수 있는 자화 배향 패턴을 저장하는 자기 물질층 혹은 물질막(layer or film of magnetic material)이다. 기준층은 통상 자기 물질상의 자화가 특정한 방향으로 고정(fix or pin)되는 자기 물질층이다. 자기 메모리는 다수의 워드 라인에 의해 교차되는 다수의 비트 라인을 포함하는 것으로 기술될 수 있다. 각 교차점에서, 보자성 물질(magnetically coercive material)의 박막이 대응하는 워드 라인과 비트 라인의 사이에 삽입된다. 각 교차점에서의 자기 물질은 1비트의 정보가 저장되는 자기 메모리 셀을 형성한다.

- <11> 자기 메모리 셀의 논리 상태는 전형적으로 전류 흐름에 대한 자기 메모리 셀의 저항에 의존한다. 자기 메모리 셀의 저항은 감지층과 기준층에서의 자화의 상태 배향에 의존한다. 자기 메모리 셀은 감지층에서의 자화의 전체 배향이 기준층에서의 자화의 배향에 평행이면 전형적으로 낮은 저항 상태이다. 이와 달리, 자기 메모리 셀은 감지층에서의 자화의 전체 배향이 기준층에서의 자화의 배향에 역평행(anti-parallel)이면 전형적으로 높은 저항 상태이다.
- <12> 메모리 셀의 크기를 줄이고, 패킹 밀도를 증가시켜 큰 밀도를 달성하는 것이 바람직하다. 다수의 경쟁 요인이 이러한 메모리를 달성할 수 있는 패킹 밀도에 영향을 미친다. 첫 번째 요인은 메모리 셀의 크기이다. 메모리 셀의 크기는 전형적으로 패킹 밀도를 증가시킴에 따라서 감소해야 한다. 그러나, 메모리 셀의 크기를 줄이는 것은 감지층의 자화 배향을 스위칭하는데 필요한 필드를 증가시킨다.
- <13> 두 번째 요인은 워드 라인과 비트 라인의 폭과 두께이다. 워드 라인과 비트 라인의 치수는 전형적으로 패킹 밀도를 증가시킴에 따라 감소해야 한다. 그러나, 워드 라인과 비트 라인의 치수를 줄이는 것은 수용할 수 있는 전류를 감소시켜 대응하는 자기 비트 영역에서의 자계를 감소시킨다.
- <14> 세 번째 요인은 워드 라인과 비트 라인간의 거리 및 인접한 메모리 셀간의 거리이다. 전형적으로, 워드 라인과 비트 라인간의 거리는 패킹 밀도를 증가시킴에 따라 감소해야 한다. 그러나, 이것은 하나의 라인에 의해 생성된 자계가 인접한 메모리 셀에 저장되어 있는 정보에 악영향을 미칠 수 있는 가능성을 증가시킨다.

### 발명이 이루고자 하는 기술적 과제

- <15> 개선된 기록 필드를 생성하는 기록 컨덕터를 갖는 자기 메모리를 개발하는 것이라고 인식되어 왔다. 또한, 자화에 대한 악영향을 방지하는 플러스 밀봉 구조(flux closure structure)를 갖는 자기 메모리를 개발하는 것이라고 인식되어 왔다. 더욱이, 이와 같은 컨덕터 구조를 제조하는 방법을 개발하는 것이라고 인식되어 왔다. 이를 위해, 자기 메모리의 상부 컨덕터를 클래딩하는 것이 바람직할 것이라고 인식되어 왔다.
- <16> 본 발명은 자기 RAM 구조에 있어서 상부 컨덕터의 2 측면 혹은 3 측면(two or three sides)을 강자성 물질로 클래딩하기 위한 방법을 제공한다. 메모리 장치는 또한 클래딩할 때 하부 컨덕터를 갖는 기판상에 제공될 수 있다. 이 방법은 메모리 장치 위의 트렌치를 메모리 장치 및 기판 위에 형성된 절연 코팅층에 형성하는 것을 포함한다. 트렌치는 코팅층에 의해 형성된 측벽과, 메모리 장치의 상면에 의해 형성될 수 있는 바닥을 포함한다. 제 1 강자성 물질은 코팅층상에 증착되는데, 특히 트렌치의 측벽을 따라 증착된다. 원한다면, 트렌치의 바닥에 증착된 임의의 제 1 강자성 물질은 제거될 수 있다. 컨덕터 물질이 트렌치 내부 및 코팅층상에 증착된다. 원한다면, 코팅층상의 임의의 컨덕터 물질 혹은 강자성 물질은 제거된다. 따라서, 컨덕터의 적어도 2 측면이 강자성 물질로 클래딩된다. 또한, 컨덕터의 바닥도 클래딩될 수 있다.
- <17> 제 2 강자성 물질은 컨덕터의 측면 및 상면 둘레에 강자성 물질의 클래딩을 형성하기 위해 트렌치의 컨덕터 물질위에 증착될 수 있다. 제 2 강자성 물질은 또한 연속적인 클래딩을 형성하기 위해 트렌치의 측벽을 따라 제 1 강자성 물질상에 증착될 수 있다. 또한, 컨덕터의 상면은 제 2 강자성 물질을 증착하기 전에 리세스(reces)s)될 수 있다.
- <18> 트렌치의 바닥으로부터 제 1 강자성 물질을 제거하는 단계는 트렌치의 측벽상의 강자성 물질을 그대로 두기 위해 강자성 물질을 이온 에칭하는 단계를 포함할 수 있다.
- <19> 코팅층으로부터 컨덕터 물질 혹은 강자성 물질을 제거하는 단계는 바람직하게 화학-기계적 연마 프로세스(chemical-mechanical polishing process)와 같은 프로세스로 컨덕터 물질을 연마하는 단계를 포함한다. 컨덕터 물질을 연마하는 단계는 바람직하게 트렌치의 컨덕터 물질에 압흔(indentation) 혹은 리세스를 생성하는 단계를 포함하는데, 이 압흔 혹은 리세스는 코팅층의 상면 아래의 융기부(elevation)로 연장된다.

<20> 첨부한 도면을 참조하여 본 발명의 특징을 예시하는 다음의 상세한 설명에 본 발명의 추가 특징 및 이점이 개시되어 있다.

### 발명의 구성 및 작용

<21> 이제, 본 발명의 원리의 이해를 돋기 위해, 도면에 도시되어 있는 실시예를 참조하고 특정한 용어를 이용하여 본 발명을 설명하겠다. 하지만, 이로 인해 본 발명의 범주를 제한하려는 것이 결코 아니라는 것을 알 것이다. 당업자라면 본 명세서에 개시되어 있는 본 발명의 특징들을 임의로 변경하고 추가 수정하며, 본 명세서에 도시된 바와 같이 본 발명의 원리를 추가 응용할 수 있는데, 이 또한 본 발명의 범주에 속한다.

<22> 도 1 및 도 2에 도시된 바와 같이, 일반적으로 참조 번호(10)로 표시된 종래의 자기 메모리 장치 혹은 셀, 또는 자기 RAM 구조 일부는 기록 필드를 개선하고 및/또는 자기 메모리 셀(10)을 안정시키기 위한 하부 및 상부 구조 혹은 클래딩(14 및 16)을 갖는 것으로 도시되어 있다. 구조(14 및 16)는 자기 메모리 셀(10)상의 판독 및 기록 동작 동안에 전류 이동 경로를 함께 제공하는 하부 및 상부 컨덕터(18 및 20)를 둘러싼다(encase). 하부 구조(14)를 제조하기 위한 방법은 본 명세서에 참조 인용한 미국 특허 출원 제 09/492,557호에 개시되어 있다. 또한, 이와 같은 클래딩 구조는 본 명세서에 참조 인용한 미국 특허 제 5,956,267호에 개시되어 있다. 바람직하게, 상부 구조 혹은 클래딩(16)을 제조하기 위한 방법이 후술하는 도 3a 내지 도 3i에 도시되어 있다.

<23> 도 1은 하부 컨덕터(18)의 길이에 평행한 방향에서의 클래딩 구조(14 및 16), 컨덕터(18 및 20) 및 자기 메모리 셀(10)의 단면도이다. 도 2는 하부 컨덕터(18)의 길이에 수직한 방향에서의 클래딩 구조(14) 및 자기 메모리 셀(10)의 단면도이다.

<24> 도 2를 참조하면, 자기 메모리 셀(10)은 바람직하게 두 가지 자기 상태 사이에서 바뀔 수 있는 감지층(28) 및 한 세트 혹은 "고정된" 배향의 자화를 갖는 기준층(32)을 포함한다. 또한, 자기 메모리 셀(10)은 감지층(28)과 기준층(32) 사이의 터널 장벽(36)을 포함한다. 감지층 및 기준층(28 및 32)은 장벽(36)의 어느 한 쪽상에 배치될 수 있는데, 그 위치가 바뀔 수도 있다.

<25> 자기 메모리 셀(10)은 전하가 판독 동작 동안에 터널 장벽(36)을 통해 이동하는 스펀 터널링 장치일 수 있다. 이러한 터널 장벽(36)을 통한 전하 이동은 판독 전압이 자기 메모리 셀(10)에 인가될 때 발생한다. 이와 달리, 터널 장벽(36)이 구리와 같은 컨덕터로 대체되는 자이언트 자기-저항(Giant Magneto-Resistive : GMR) 구조가 자기 메모리 셀(10)에 이용될 수 있다.

<26> 전술한 바와 같이, 도 3a 내지 도 3i는 메모리 장치(10)의 컨덕터의 3 측면을 강자성 물질로 클래딩하기 위한 방법을 도시하고 있다. 바람직하게, 이 방법은 상부 컨덕터(20)의 상부 및 대향 측면을 클래딩하는 것을 포함한다. 도 3a를 참조하면, 메모리 장치 혹은 자기 RAM 구조(10)는 상세히 후술하는 바와 같이 기판상에 바람직하게 제공된다. 기판은 하부 컨덕터(18) 및 하부 구조 혹은 클래딩(14)을 포함한다.

<27> 도 3b를 참조하면, 절연 코팅층(40)은 바람직하게 메모리 장치(10) 위에 증착된다. 코팅층(40)은 산화물, 질화물 혹은 그 밖의 유사물일 수 있다. 또한, 격리 유전체층(42)은 바람직하게 코팅층(40)을 증착하기 전에 격리 유전체층(42)을 기판 위에 도포(apply)하는 것과 같이 코팅층(40)과 기판(18) 사이에 배치된다.

<28> 도 3c를 참조하면, 트렌치(46)는 메모리 장치(10) 및 기판 위의 코팅층(40)에 형성된다. 트렌치(46)는 측벽(50)과 바닥(54)을 가지고 있다. 트렌치는 당업계에 알려져 있는 바와 같이 반응 이온 에칭에 의해 형성될 수 있다. 트렌치(46)는 코팅층(40)의 측벽(50) 및 메모리 장치(10)의 상부에 의해 형성될 수 있다.

<29> 도 3d를 참조하면, 강자성 클래딩 물질(58) 혹은 강자성 클래딩 물질의 제 1 층은 트렌치(46)의 측벽(50)을 따라 증착된다. 강자성 물질(58)은 니켈철(NiFe) 혹은 그 유사물일 수 있다.

<30> 강자성 물질(58)은 또한 증착 프로세스 동안에 메모리 장치(10) 위의 트렌치(46)의 바닥(54) 및 코팅층(40)상에 증착될 수 있다. 도 3e를 참조하면, 측벽(50)상의 강자성 물질(58)은 그대로 두고, 트렌치(46)의 바닥(54) 및 코팅층(40)상의 강자성 물질(58)은 제거될 수 있다. 강자성 물질(58)을 제거하는 것은 당업계에 알려져 있는 바와 같이 이방성 반응 이온 에칭 혹은 이온 밀링(anisotropic reactive ion etching or ion milling)에 의해 달성될 수 있다. 이와 달리, 강자성 물질(58)은 메모리 장치(10) 위에 남아 있을 수도 있다.

<31> 도 3f를 참조하면, 컨덕터 물질 혹은 컨덕터층(62)은 메모리 장치(10) 위의 트렌치(46) 내부 및 강자성 물질(58) 위에 증착된다. 컨덕터 물질(62)은 구리일 수 있으며, 도전 시드(conductive seed)를 증착하고, 구리 컨

덕터 물질을 전기 도금(electroplate)하여 증착될 수 있다. 이와 달리, 컨덕터 물질은 물리적 기상 증착에 의해 증착될 수 있다. 컨덕터 물질(62)은 또한 증착 동안에 코팅층(40)상에 증착될 수 있다.

<32> 도 3g를 참조하면, 코팅층(40) 위의 임의의 컨덕터 물질(62) 혹은 강자성 물질(58)은 제거될 수 있다. 또한, 컨덕터 물질(62)은 바람직하게 측벽(50)상의 클래딩 물질(58)의 상단부(66)로부터 제거된다. 컨덕터 물질(62)은 화학-기계적 연마에 의해 제거될 수 있다. 코팅 물질(62)을 증착하는 것은 컨덕터(20)를 형성한다. 디시(dish : 70), 리세스 혹은 암흔은 자기 메모리 장치(10) 위의 컨덕터 물질(62)에 형성될 수 있는데, 이 디시는 코팅층(40)의 상면 아래의 용기부로 연장된다. 디시(70)는 후술하는 바와 같이 연속적인 클래딩층을 형성하는 것을 돋는다. 디시(70)는 화학-기계적 연마, 화학적 에칭 혹은 이온 에칭에 의해 형성될 수 있다.

<33> 도 3h를 참조하면, 강자성 물질(74) 혹은 강자성 물질의 제 2 층은 트렌치(46)의 컨덕터 물질(62) 위, 그리고 트렌치(46)의 측벽(50)에 따른 강자성 물질(58)의 상단부(66)상에 증착된다. 강자성 물질(74)은 또한 증착 프로세스 동안에 코팅층(40) 위에 증착될 수 있다.

<34> 도 3i를 참조하면, 코팅층(40)상에 증착된 임의의 강자성 물질(74)은 당업계에 알려져 있는 바와 같이 화학-기계적 연마와 같은 프로세스에 의해 제거될 수 있다. 측벽(50)상의 강자성 물질(58) 및 컨덕터 물질(62) 위의 강자성 물질(74)은 컨덕터(20)의 3 측면 둘레에 강자성 물질의 연속적인 클래딩 혹은 구조(16)를 형성한다. 이와 달리, 트렌치의 측벽상의 강자성 물질(58)과 컨덕터 위의 강자성 물질(74) 사이에 작은 갭이 있을 수도 있다.

<35> 강자성 물질은 높은 투자율의 자기막(high permeability magnetic film) 혹은 경성의 강자성막(hard ferromagnetic film)을 포함할 수 있다.

<36> 도 2에 관해 전술한 바와 같이, 자기 메모리 셀(10)은 가변 자화 상태를 갖는 감지층(28) 및 고정 배향의 자화를 갖는 기준층(32)을 포함할 수 있다. 또한, 자기 메모리 셀(10)은 감지층(28)과 기준층(32) 사이의 터널 장벽(36)을 포함한다. 다시 한번 말하지만, 감지층과 기준층의 위치는 바뀔 수 있다.

<37> 클래딩 구조(14 혹은 16)의 한 가지 이점은 이 구조가 자기 메모리 셀(10)을 원하는 논리 상태로 기록하는데 필요한 전류 레벨을 감소시킨다는 점이다. 클래딩 구조는 한 번 감긴 전자석(a single-turn electromagnet)과 유사하다. 컨덕터(18)를 통해 흐르는 전류는 오른손 법칙에 따라서 클래딩 구조의 자화를 길이 방향에 따른 정지 상태로부터 전류 이동 방향에 수직한 방향으로 회전시킨다. 이것은 자기 메모리 셀(10)의 감지층(28)과 상호작용하는 자계를 생성하는데, 이 자계는 자기 메모리 셀(10)의 고정 기준층(32)에 대해 감지층(28)의 자화를 회전시키는데 도움이 된다.

<38> 자기 메모리 셀(10)을 기록하는데 필요한 전류 레벨의 감소는 MRAM과 같은 자기 메모리의 전력 소모를 줄이기 때문에 바람직하다. 전력 소모의 감소는 특히 휴대용 애플리케이션에서 유용하다. 또한, 자기 메모리 셀(10)을 기록하는데 필요한 전류 레벨의 감소는 기록 전류를 공급하는 전력 트랜지스터가 차지하는 집적 회로 칩의 공간을 줄여, 자기 메모리의 비용을 낮춘다.

<39> 또한, 클래딩 구조(14 혹은 16)는 바람직하게 감지층(28)의 자기 상태를 유지하는 키퍼(keeper)로서 동작한다. 클래딩 구조는 자속을 가두기 위한 메카니즘을 제공하여 예지 영역에서 감자 필드(demagnetization field)가 형성되는 것을 방지하는 연성 자기 물질일 수 있다.

<40> 클래딩 구조를 자기 메모리 셀(10)에 근접시키는 것은 클래딩 구조가 없을 때 생성될 수 있는 감자 필드를 감소시키거나 혹은 제거한다. 이러한 필드는 자기 메모리 셀(10)의 감지층(28)에서 발생된 감자 필드를 실질적으로 감소시키는 플러스 경로를 제공하는 클래딩 구조를 통해 진행된다. 이것은 자기 메모리 셀(10)의 감지층(28)에서의 전체 자화가 자기 메모리 셀(10)의 고정 기준층(32)에 대해 원하는 평행 혹은 역평행 방향에서 벗어나는 것을 방지한다. 클래딩 구조는 데이터 비트를 저장하기 위한 높은 저항 상태 및 낮은 저항 상태의 안정성을 개선한다는 점에서 자기 메모리 셀(10)을 안정화시킨다.

<41> 물론, 자기 메모리가 추가적인 자기 메모리 셀과 함께 자기 메모리 셀(10)을 구비하는 자기 메모리 셀의 어레이를 포함할 수 있다는 것을 알 것이다. 자기 메모리는 자기 메모리 셀에 판독 및 기록 액세스되게 하는 컨덕터 구성을 포함할 수 있다. 또한, 클래딩 컨덕터의 어레이가 제공될 수 있다.

<42> 상부 컨덕터(20)를 클래딩하는 것은 인가 전류에 대해 클래딩하지 않고 얻어진 필드에 의해 거의 2배 내지 3배 더 큰 필드를 상부 컨덕터(20)로부터 MRAM 구조를 스위칭하는데 제공한다. 또한, 이와 달리 상부 키퍼 구조(16)는 전류 이동을 실질적으로 감소시켜 소정 자계를 달성하게 할 것이다.

<43> 전술한 구성은 단지 본 발명의 원리의 예시적인 애플리케이션이라는 점을 알아야 한다. 당업자라면 본 발명의 사상과 범주를 벗어나지 않고서 본 발명을 다양하게 수정하고 이와 달리 구성할 수 있는데, 이와 같은 수정 및 구성은 본 발명의 청구범위에 속한다. 따라서, 도면에 도시되어 있는 본 발명의 실제적이고 바람직한 실시예를 통해 본 발명을 상세히 설명하였지만, 당업자라면 본 발명의 청구범위에 개시되어 있는 본 발명의 원리와 개념을 벗어나지 않고서 크기, 물질, 형상, 유형, 기능과 동작 방식, 어셈블리 및 그 이용을 변경하는 것을 포함하여 다양하게 수정할 수 있는데, 이러한 수정은 크기 등에 국한되지는 않는다.

### 발명의 효과

<44> 본 발명은 상부 컨덕터 클래딩 방법, 강자성 클래딩 제조 방법 및 자기 메모리 장치에 관한 것으로 개선된 기록 필드를 생성하는 기록 컨덕터를 갖는 자기 메모리, 자화에 대한 악영향을 방지하는 플렉스 밀봉 구조를 갖는 자기 메모리, 이와 같은 컨덕터 구조를 제조하는 방법 및 자기 메모리의 상부 컨덕터를 클래딩하는 방법을 제공하는 효과가 있다.

### 도면의 간단한 설명

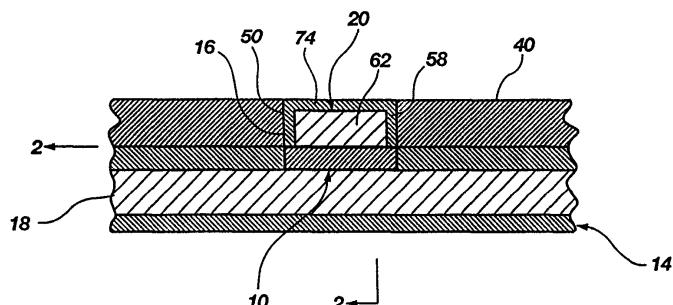
- <1> 도 1은 본 발명에 따라서 하부 컨덕터를 갖는 상부 컨덕터를 도시하는 자기 메모리 장치의 단면도,
- <2> 도 2는 하부 컨덕터의 길이에 수직한 방향에서의 자기 메모리 장치의 단면도,
- <3> 도 3a 내지 도 3i는 본 발명에 따라서 자기 메모리 장치의 상면 및 측면 둘레에 강자성 클래딩을 형성하기 위한 방법을 도시하는 단면도.

### 도면의 주요 부분에 대한 부호의 설명

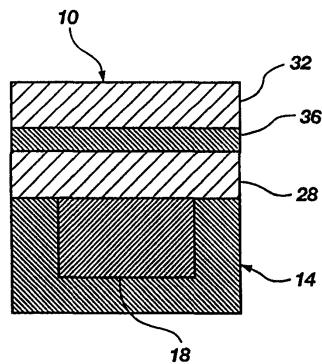
- |     |               |              |
|-----|---------------|--------------|
| <5> | 10 : 자기 메모리 셀 | 14, 16 : 클래딩 |
| <6> | 18, 20 : 컨덕터  | 28 : 감지층     |
| <7> | 32 : 기준층      | 36 : 터널 장벽   |
| <8> | 40 : 코팅층      | 46 : 트렌치     |

### 도면

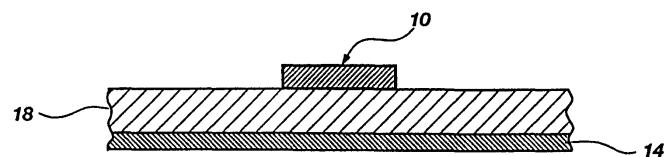
#### 도면1



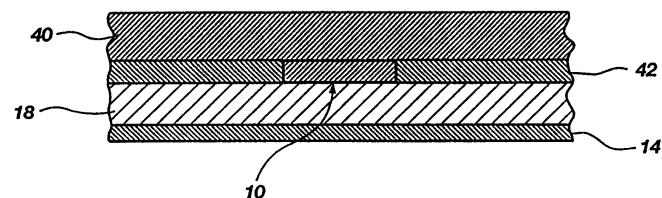
도면2



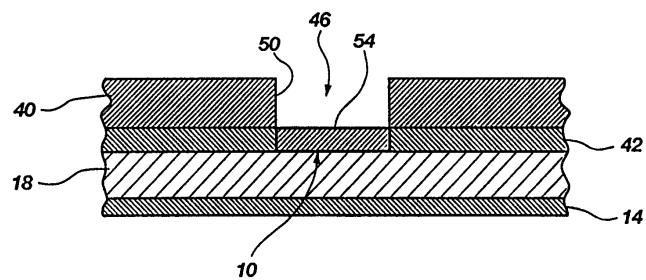
도면3a



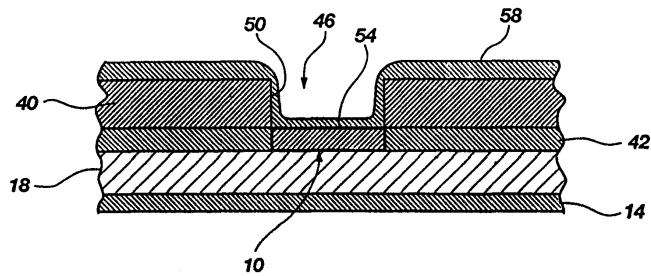
도면3b



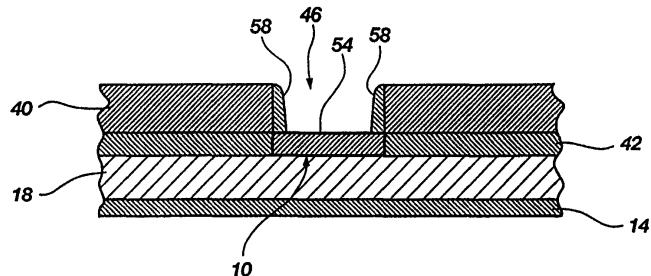
도면3c



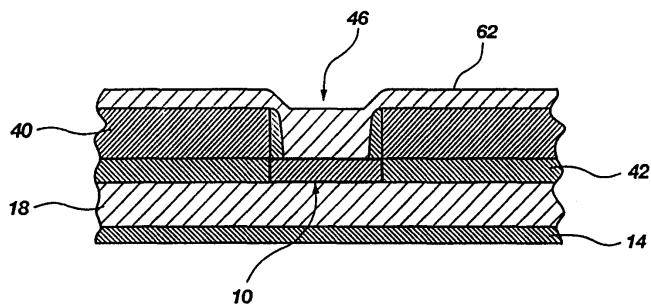
도면3d



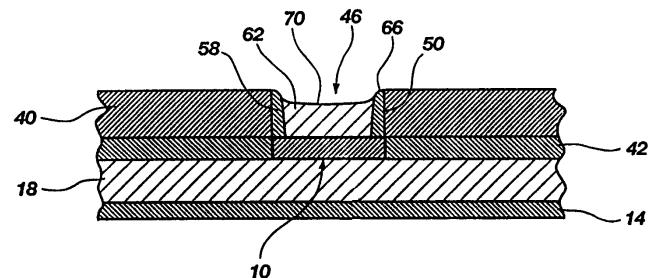
도면3e



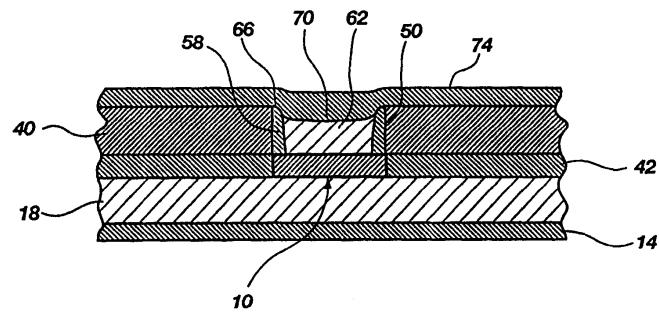
도면3f



도면3g



### 도면3h



### 도면3i

