



(10) **DE 10 2009 006 881 A1** 2010.08.12

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2009 006 881.3**

(22) Anmeldetag: **30.01.2009**

(43) Offenlegungstag: **12.08.2010**

(51) Int Cl.⁸: **H01L 21/283** (2006.01)

H01L 21/8238 (2006.01)

H01L 27/092 (2006.01)

H01L 21/8234 (2006.01)

(71) Anmelder:

**Advanced Micro Devices, Inc., Sunnyvale, Calif.,
US; AMD Fab 36 Limited Liability Company & Co.
KG, 01109 Dresden, DE**

(72) Erfinder:

**Richter, Ralf, 01156 Dresden, DE; Froberg, Kai,
01689 Niederau, DE; Schuehrer, Holger, 01309
Dresden, DE**

(74) Vertreter:

**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80802 München**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE 102 17 386 A1

US 74 42 598 B2

US 2005/00 35 460 A1

US 2002/00 36 349 A1

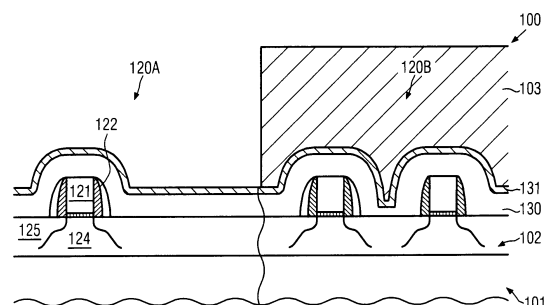
US 2002/00 01 936 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Hohlraumversiegelung in einem dielektrischen Material einer Kontaktebene eines Halbleiterbauelements, das dicht liegende Transistoren aufweist**

(57) Zusammenfassung: In modernsten Halbleiterbauelementen wird eine Kontaktstruktur auf der Grundlage eines Hohlraums hergestellt, der zwischen dicht liegenden Transistorelementen angeordnet ist, wobei eine nachteilige Metallwanderung entlang des Hohlraums unterdrückt wird, indem die Hohlräume nach dem Ätzen einer Kontaktöffnung und vor dem Einfüllen des Kontaktmetalls versiegelt werden. Folglich können auch ausgeprägte Ausbeuteverluste in gut etablierten Verspannungsschichttechnologien unterdrückt werden, während gleichzeitig ein besseres Leistungsverhalten erreicht wird.



Beschreibung

Gebiet der vorliegenden Offenbarung

[0001] Im Allgemeinen betrifft die vorliegende Offenbarung das Gebiet der integrierten Schaltungen und betrifft insbesondere Feldeffekttransistoren und Fertigungstechniken auf der Grundlage verspannter dielektrischer Schichten, die über den Transistoren gebildet sind und die zum Erzeugen einer unterschiedlichen Art an Verformung in Kanalgebieten unterschiedlicher Transistorarten verwendet wird.

Beschreibung des Stands der Technik

[0002] Integrierte Schaltungen enthalten typischerweise eine sehr große Anzahl an Schaltungselementen, die auf einer vorgegebenen Chipfläche gemäß einem spezifizierten Schaltungsaufbau angeordnet sind, wobei in komplexen Schaltungen der Feldeffekttransistor ein vorherrschendes Schaltungselement repräsentiert. Im Allgemeinen werden eine Vielfalt an Prozesstechnologien für moderne Halbleiterbauelemente gegenwärtig eingesetzt, wobei für komplexe Schaltungen auf der Grundlage von Feldeffekttransistoren, etwa für Mikroprozessoren, Speicherchips und dergleichen, die CMOS-Technologie eine der vielversprechendsten Vorgehensweisen auf Grund der guten Eigenschaften im Hinblick auf die Arbeitsgeschwindigkeit und/oder Leistungsaufnahme und/oder Kosteneffizienz ist. Während der Herstellung komplexer integrierter Schaltungen unter Anwendung der CMOS-Technologie werden Millionen komplementärer Transistoren, d. h. n-Kanaltransistoren und p-Kanaltransistoren, auf einem Substrat hergestellt, das eine kristalline Halbleiterschicht aufweist. Ein Feldeffekttransistor enthält, unabhängig davon, ob ein n-Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, sogenannte pn-Übergänge, die durch eine Grenzfläche stark dotierter Drain- und Sourcegebiete zu einem schwach dotierten oder invers dotierten Kanalgebiet gebildet sind, das zwischen dem Draingebiet und dem Sourcegebiet angeordnet ist. Die Leitfähigkeit des Kanalgebiets, d. h. der Durchlassstrom des leitenden Kanals, wird durch eine Gateelektrode gesteuert, die über dem Kanalgebiet angeordnet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets beim Aufbau eines leitenden Kanals auf Grund des Anliegens einer geeigneten Steuerspannung an der Gateelektrode hängt von der Dotierstoffkonzentration, der Beweglichkeit der Majoritätsladungsträger und – für eine gegebene Abmessung des Kanalgebiets in der Transistorbreitenrichtung – von dem Abstand zwischen dem Sourcegebiet und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird. Somit bestimmt in Kombination mit der Fähigkeit, rasch einen leitenden Kanal unter der isolierenden Schicht beim Anlegen der Steuerspannung an die Gateelektrode aufzubauen, die Leitfähigkeit

des Kanalgebiets im Wesentlichen das Leistungsverhalten der MOS-Transistoren. Damit ist die Verringerung der Kanallänge – und damit verknüpft die Verringerung des Kanalwiderstands – ein wichtiges Entwurfskriterium, um eine Zunahme der Arbeitsgeschwindigkeit integrierter Schaltungen zu erreichen.

[0003] Die Verringerungen der Transistorabmessungen zieht jedoch eine Reihe damit verknüpfter Probleme nach sich, die es zu lösen gilt, um nicht in unerwünschter Weise die Vorteile aufzuheben, die durch das stetige Verringern der Kanallänge von MOS-Transistoren erreicht werden. Eine Problematik, die mit der geringeren Gatelänge verknüpft ist, ist das Auftreten sogenannter Kurzkanaleffekte, die zu einer geringeren Steuerbarkeit der Kanalleitfähigkeit führen. Kurzkanaleffekte können durch gewisse Entwurfstechniken verringert werden, wovon jedoch einige mit einer Verringerung der Kanalleitfähigkeit einhergehen, wodurch die Vorteile teilweise aufgehoben werden, die durch die Verringerung der kritischen Abmessungen erreicht werden.

[0004] Angesichts dieser Situation wurde vorgeschlagen, das Bauteilleistungsverhalten der Transistorelemente nicht nur durch Verringern der Transistorabmessungen zu verbessern, sondern auch durch Erhöhen der Ladungsträgerbeweglichkeit in dem Kanalgebiet beim vorgegebener Kanallänge, wodurch der Durchlassstrom somit das Transistorleistungsverhalten verbessert werden. Beispielsweise könnten die Gitterstruktur in dem Kanalgebiet modifiziert werden, indem etwa eine Zugverformung oder eine kompressive Verformung erzeugt wird, die zu einer modifizierten Beweglichkeit für Elektronen bzw. Löcher führt. Beispielsweise führt das Erzeugen einer Zugverformung in dem Kanalgebiet einer Siliziumschicht mit einer standardmäßigen Kristallkonfiguration zu Erhöhung der Beweglichkeit von Elektronen, was sich wiederum direkt in einer entsprechenden Zunahme der Leitfähigkeit von n-Kanaltransistoren auswirkt. Andererseits hüllt eine kompressive Verformung in dem Kanalgebiet die Beweglichkeit von Löchern, wodurch die Möglichkeit geschaffen wird, das Leistungsverhalten von p-Transistoren zu verbessern.

[0005] Eine effiziente Möglichkeit in dieser Hinsicht ist eine Technik, die das Erzeugen gewünschter Verspannungsbedingungen innerhalb des Kanalgebiets unterschiedlicher Transistorelemente ermöglicht, indem die Verspannungseigenschaften eines dielektrischen Schichtstapels eingestellt werden, der über der grundlegenden Transistorstruktur gebildet wird. Der dielektrische Schichtstapel enthält typischerweise eine oder mehrere dielektrische Schichten, die nahe an dem Transistor angeordnet sind und die auch zum Steuern eines entsprechenden Ätzprozesses verwendet werden können, um Kontaktöffnungen zu Gateanschluss und zu den Drain- und Sour-

ceanschlüssen zu bilden. Somit kann eine wirksame Steuerung der mechanischen Verspannung in Kanalgebieten, d. h. eine wirksame Verspannungstechnologie, erreicht werden, indem die innere Verspannung dieser Schichten, die auch als Kontaktätzstoppschichten bezeichnet werden, individuell eingestellt werden und indem eine Kontaktätzstoppschicht mit einer inneren kompressiven Verspannung über einen p-Kanaltransistor angeordnet wird, während eine Kontaktätzstoppschicht mit einer inneren Zugverformung über einen n-Kanaltransistor angeordnet wird. Wodurch in den jeweiligen Kanalgebieten eine kompressive Verformung bzw. eine Zugverformung erzeugt wird.

[0006] Typischerweise wird die Kontaktätzstoppschicht durch plasmaunterstützte chemische Dampfabscheidungsprozesse (PECVD) über dem Transistor gebildet, d. h. über der Gatestruktur und den Drain- und Sourcegebieten, wobei beispielsweise Siliziumnitrid auf Grund seiner hohen Ätzselektivität in Bezug auf Siliziumdioxid verwendet werden kann, das ein gut etabliertes dielektrisches Zwischenschichtmaterial ist. Des Weiteren kann PECVD-Siliziumnitrid mit hoher innerer Verspannung von beispielsweise bis zu 2 Gigapascal (GPa) oder deutlich mehr an kompressiver Verspannung und bis zu 1 GPa und deutlich mehr an Zugverspannung aufgebracht werden, wobei die Art und die Größe der inneren Verspannung effizient eingestellt werden, indem geeignete Abscheidungsparameter ausgewählt werden. Beispielsweise sind der Ionenbeschuss, der Abscheidendruck, die Substrattemperatur, die Gasdurchflussraten und dergleichen entsprechende Parameter, die zum Erreichen der gewünschten inneren Verspannung angewendet werden können.

[0007] Während der Herstellung zweier Arten an verspannten Schichten weisen konventionelle Techniken eine geringere Effizienz auf, wenn die Bauteilabmessungen zunehmend verringert werden, etwa unter Anwendung der 45 nm-Technologie oder noch anspruchsvollerer Technologieansätze, auf Grund der begrenzten konformen Abscheidemöglichkeiten der beteiligten Abscheidungsprozesse, was zu entsprechenden Prozessungleichmäßigkeiten während nachfolgender Prozessschritte zum Strukturieren der verspannten Schicht und zum Bilden der Kontaktöffnungen führt, wie dies nachfolgend detaillierter mit Bezug zu den [Fig. 1a](#) bis [Fig. 1e](#) erläutert ist.

[0008] [Fig. 1a](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **100** in einer gewissen Fertigungsphase zur Herstellung von verspannungsinduzierenden Schichten über einem ersten Bauteilbereich **120a** und einem zweiten Bauteilbereich **120b**. Der erste und der zweite Bauteilbereich **120a**, **120b**, die typischerweise entsprechende Transistorelemente repräsentieren, sind über einem Substrat **101** ausgebildet, das eine Halbleiterschicht

102, etwa eine siliziumbasierte Schicht, aufweist, die von dem Substrat **101** durch eine vergrabene isolierende Schicht getrennt sein kann, wenn eine SOI-(Silizium-auf-Isolator-)Konfiguration betrachtet wird. In dem gezeigten Beispiel enthalten das erste und das zweite Bauteilgebiet **120a**, **120b** mehrere Transistorelemente mit einem lateralen Abstand entsprechend den Entwurfsregeln der betrachteten Technologie. Die Transistoren in dem ersten und dem zweiten Bauteilbereich **120a**, **120b** enthalten eine Gateelektrode **121**, die auf einer entsprechenden Isolationschicht **123** gebildet ist, die wiederum die Gateelektrode **121** von einem Kanalgebiet **124** trennt, das lateral zwischen jeweiligen Drain/Source-Gebieten **125** angeordnet ist. Ferner ist eine Seitenwandabstandshalterstruktur **122** an Seitenwänden der Gateelektrode **121** ausgebildet. Typischerweise sind Metallsilizidgebiete (nicht gezeigt) in den Drain- und Sourcegebieten **125** und den Gateelektroden **121** vorgesehen, um die Leitfähigkeit dieser Bereiche zu verbessern. Das Halbleiterbauelement **100** repräsentiert ein modernes Bauelement, in welchem kritische Abmessungen, etwa die Gatelänge, d. h. in [Fig. 1a](#) die horizontale Abmessung der Gateelektroden **121**, ungefähr 50 nm oder weniger beträgt. Folglich ist ein Abstand zwischen jeweiligen Transistorelementen, d. h. der laterale Abstand zwischen den benachbarten Abstandshalterstrukturen **122** von dicht liegenden Transistorelementen, wie dies in dem Bauteilgebiet **120b** gezeigt ist, ungefähr 100 nm oder sogar weniger.

[0009] Es sollte beachtet werden, dass das erste und das zweite Bauteilgebiet **120a**, **120b** bei Bedarf durch eine geeignete Isolationsstruktur (nicht gezeigt) getrennt sein können. In der in [Fig. 1a](#) gezeigten Fertigungsphase ist ferner eine Siliziumnitridschicht **130** mit beispielsweise einer hohen inneren Zugverspannung über dem ersten und dem zweiten Bauteilbereich **120a**, **120b** gebildet, woran sich eine Ätzindikatorschicht **131** aus Siliziumdioxid anschließt. Es sollte beachtet werden, dass bei Bedarf die Ätzstoppschicht, etwa eine Siliziumdioxidschicht mit geeigneter Dicke und Dichte zwischen der Siliziumnitridschicht **120** und den jeweiligen Transistorelementen in dem ersten und dem zweiten Bauteilbereich **120a**, **120b** vorgesehen werden kann. Die Ätzindikatorschicht **131** ist typischerweise mit einer Dicke vorgesehen, die ausreichend ist, um einen Ätzprozess in einer Phase zu stoppen, wenn die Schicht **130** strukturiert wird, oder um ein ausgeprägtes Endpunkterkennungssignal zu liefern. D. h., eine Siliziumnitridätzchemie, die mit Siliziumdioxid reagiert, führt zu einer speziellen Plasmaatmosphäre, die durch standardmäßige Erkennungstechniken erfasst werden kann. Für gewöhnlich wird eine Dicke der Ätzindikatorschicht **131** so gewählt, dass eine ausreichende Ätzsteuerung über das gesamte Substrat hinweg erreicht wird. In einigen Vorgehensweisen dient die Ätzindikatorschicht **131** als eine Hardmaske während der Strukturierung der Siliziumnitridschicht

130.

[0010] Wie aus [Fig. 1a](#) ersichtlich ist, muss auf Grund des geringen Abstands zwischen benachbarten Transistorelementen die Siliziumnitridschicht **130** mit einer moderat geringen Dicke abgeschieden werden, um damit die Spaltfülleigenschaften des Abscheidungsprozesses zu berücksichtigen, da, wenn der Abstand zwischen den Transistorelementen in der Größenordnung von der zweifachen Schichtdicke der Siliziumnitridschicht **120** liegt, das begrenzte konforme Abscheideverhalten zu entsprechenden Defekten, etwa von Hohlräumen, führt.

[0011] In dieser Fertigungsphase umfasst das Halbleiterbauelement **100** eine Lackmaske **103**, die den ersten Bauteilbereich **120a** freilässt, während der zweite Bauteilbereich **120b** abgedeckt ist. In diesem Falle sei angenommen, dass die innere Verspannung der Siliziumnitridschicht **130** geeignet gewählt ist, um das Transistorverhalten in dem zweiten Bauteilbereich **120b** zu verbessern.

[0012] Ein typischer Prozessablauf zur Herstellung des in [Fig. 1a](#) gezeigten Halbleiterbauelements **100** umfasst die folgenden Prozesse. Die Gateelektroden **101** und die Gateisolationsschichten **123** werden hergestellt und strukturiert auf der Grundlage gut etablierter Prozesstechniken, wozu aufwendige Photolithographie-, Abscheide-, Oxidations- und Ätztechniken gehören. Daraufhin werden die Drain- und Sourcegebiete **125** in Verbindung mit den Seitenwandabstandshalterstrukturen **122** auf Grundlage gut etablierter Abscheide-, anisotroper Ätzprozesse und Implantationssequenzen hergestellt, um damit das gewünschte vertikale und laterale Dotierstoffprofil zu erzeugen. Daraufhin werden entsprechende Silizidgebiete bei Bedarf auf der Grundlage gut etablierter Techniken hergestellt. Als nächstes wird bei Bedarf eine entsprechende Siliziumdioxidätzstoppschicht hergestellt, woran sich das Abscheiden der Siliziumnitridschicht **130** anschließt. Während des Abscheidens des Siliziumnitridmaterials werden entsprechende Prozessparameter, etwa die Zusammensetzung der Trägergase und der reaktiven Gase, die Substrattemperatur, der Abscheidedruck und insbesondere der Ionenbeschuss während des Abscheidens so gewählt, dass die schließlich erreichte innere Verspannung des Materials, wie es in Bezug auf die darunter liegenden Materialien abgeschieden wird, geeignet beeinflusst wird. Somit kann durch Auswählen geeigneter Parameterwerte ein hoher Grad an innerer Verspannung, etwa bis zu 2 Gigapascal (GPa) oder mehr an kompressiver Verspannung oder bis zu 1 GPa deutlich höher an Zugverspannung erzeugt werden, um damit das Leistungsverhalten des Transistors in dem zweiten Bauteilbereich **120b** zu verbessern. Auf Grund der weniger ausgeprägten konformen Eigenschaft des Siliziumnitridabscheidungsprozesses oberhalb einer gewissen Schichtdicke und für

größere Aspektverhältnisse, wie sie in sehr kleinen Bauelementen auftreten auf Grund des geringeren Abstands zwischen den benachbarten Transistorelementen **120b** bei moderat großen Gatehöhen in dicht gepackten Bauteilgebieten, wie dies gezeigt ist, wird die Dicke des Siliziumnitridmaterials so gewählt, dass Unregelmäßigkeiten, etwa Hohlräume, vermieden werden. Somit wird beim Abscheidungsprozess für die Siliziumdioxidsschicht **131** eine noch ausgeprägtere Oberflächentopographie angetroffen, wodurch ebenfalls verbesserte Spaltfülleigenschaften benötigt werden, wobei eine größere Oxiddicke für das Erzeugen eines Hohlraums zu vermeiden ist.

[0013] Nach dem Abscheiden der Siliziumdioxidsschicht **131** wird die Lackmaske **103** auf der Grundlage gut etablierter Photolithographietechniken hergestellt. Als nächstes wird ein geeignet gestalteter Ätzprozess ausgeführt, um einen Teil der Schichten **130** und **131** von dem Bauteilbereich **120a** zu entfernen. Während des entsprechenden Ätzprozesses wird das Siliziumdioxidmaterial der Schicht **131** zuerst entfernt, woran sich ein selektiver Ätzprozess anschließt, um das Material der Siliziumnitridschicht **130** abzutragen, wobei der entsprechende Ätzprozess bei Bedarf auf der Grundlage einer Ätzstoppschicht gesteuert werden kann.

[0014] [Fig. 1b](#) zeigt schematisch das Halbleiterbauelement **100** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine zweite dielektrische Schicht **140** über dem ersten und dem zweiten Bauteilbereich **120a**, **120b** gebildet, wobei ein Hohlraum **122** in dem zweiten Bauteilbereich **120b** auf Grund der begrenzten Spaltfülleigenschaften des Abscheidungsprozesses zur Herstellung eines stark verspannten Siliziumnitridmaterials und auf Grund der ausgeprägten Oberflächentopographie, die zuvor während des Abscheidens der Schichten **130**, **131** hervorgerufen wurde, vorhanden sein kann. Obwohl der Hohlraum **132** vorteilhaft sein kann im Hinblick auf das Verringern der parasitären Kapazität zwischen den dicht liegenden Transistoren in dem Gebiet **120**, ist die Wahrscheinlichkeit für eine Erhöhung ausgeprägter Ausbeuteverluste während der weiteren Bearbeitung auf Grund der Zunahme von Leckströmen deutlich erhöht, wie nachfolgend erläutert ist.

[0015] Ferner ist in der in [Fig. 1b](#) gezeigten Fertigungsphase eine entsprechende Lackmaske **104** vorgesehen, um die dielektrische Schicht **140** während eines entsprechenden Ätzprozesses **105** zum Entfernen des freiliegenden Bereichs **140** in dem zweiten Bauteilgebiet **120b** zu schützen.

[0016] Im Hinblick auf die Herstellung der zweiten dielektrischen Schicht **140** gelten im Wesentlichen die gleichen Kriterien, wie sie zuvor mit Bezug zu der Schicht **120** erläutert sind. Während des Abschei-

dens der Schicht **140** werden somit entsprechende Parameter geeigneter Weise so eingestellt, dass die gewünschte hohe innere Verspannung erreicht wird. In anspruchsvollen Anwendungen, d. h. in Halbleiterbauelementen mit Strukturgrößen von ungefähr 50 nm und weniger, spielen die Spaltfülleigenschaften des Abscheideprozesses zur Herstellung der Schicht **140** ebenfalls eine wichtige Rolle für den Ätzprozess **105**, da in Kombination während des Abscheidens **130** und **131** erzeugten Oberflächentopographie ein im Wesentlichen vollständiges Entfernen des freiliegenden Bereichs der Schicht **140** von den Abscheideeigenschaften des nachfolgenden Abscheidungsprozesses für eine vorgegebene Bauteilgeometrie abhängt. Auf Grund des Erzeugens des Hohlraumes **132** wird ggf. die Dicke der Schicht **140** in der Nähe des Hohlraums vergrößert, was zu einem nicht gewünschten Abtragen des Materials der Schicht **140** während des Prozesses **105** führen kann. Somit wird der Hohlraum **132** nach dem Prozess **105** beibehalten, wodurch zu erhöhten Ausbeuteverlusten während der weiteren Bearbeitung auf Grund von Kontaktfehlern beigetragen wird.

[0017] [Fig. 1c](#) zeigt schematisch das Bauelement **100** in einer weiter fortgeschrittenen Fertigungsphase, wobei ein entsprechendes dielektrisches Zwischenschichtmaterial **150**, das beispielsweise aus Siliziumdioxid aufgebaut ist, über der ersten und der zweiten dielektrischen Schicht **130**, **140** gebildet ist. Das dielektrische Material **150** kann auf der Grundlage gut etablierter Techniken hergestellt werden, etwa subatmosphärische Abscheideprozesse auf der Grundlage von TEOS, plasmaunterstützter CVD und dergleichen, woran sich bei Bedarf ein Einebnungsprozess anschließen kann. Daraufhin werden entsprechende Kontaktöffnungen **151** hergestellt, die in einigen Fällen, etwa in dichten RAM-Gebieten, eine Verbindung zur Bauteilschicht in Bereichen herstellen, die zwischen jeweiligen dicht liegenden Transistoren angeordnet sind. Während des Abscheidens des Materials **150** führt die ausgeprägte Topographie zum Erzeugen von Hohlräumen zwischen den dicht liegenden Transistoren **120b**, wobei der zuvor gebildete Hohlraum **132** zu jeweiligen Abscheideunregelmäßigkeiten beitragen kann. Somit ist der Hohlraum **132** in dem Material vorhanden und kann auch den nachfolgenden Fertigungsprozess beeinflussen, da der Hohlraum **132** teilweise mit einem Kontaktmetall gefüllt werden kann, das in die Kontaktöffnung einzufüllen ist, woraus sich größere Leckströme oder vollständige Kontaktausfälle ergeben können.

[0018] [Fig. 1d](#) zeigt schematisch eine Draufsicht eines Teils eines Halbleiterbauelements **100**, wobei angenommen ist, dass das dielektrische Zwischenschichtmaterial **150** durchsichtig ist, so dass die entsprechenden Gateelektroden **121** oder Transistoren in dem Bauteilgebiet **120** sichtbar sind. Ferner sind Kontaktöffnungen **151a**, **151b** in dem dielektrischen

Zwischenschichtmaterial **150** gebildet und erstrecken sich bis zu jeweiligen Kontaktgebieten (nicht gezeigt) des Halbleitermaterials des Bauteilgebiets **120**. Des weiteren erstreckt sich der Hohlraum **132**, der durch gestrichelte Linien angezeigt ist, zwischen benachbarten Gateelektroden **121** entlang einer Breitenrichtung, wie dies durch *W* angegeben ist. Somit kann sich der Hohlraum **132** zwischen Kontaktöffnungen **151a**, **151b** erstrecken und kann zu erhöhten Leckströmen zum Füllen der Kontaktöffnungen **151a**, **151b** mit einem metallenthaltenden Material auf Grund einer Teilwanderung entlang des Hohlraums **132** führen.

[0019] [Fig. 1e](#) zeigt schematisch eine Querschnittsansicht des Halbleiterbauelements **100** entlang des Schnittes *1e* der [Fig. 1a](#). Wie gezeigt, sind Kontaktelemente **152** auf der Grundlage der Kontaktöffnungen **151a**, **151b** hergestellt, wobei ein geeignetes Metall, etwa Wolfram, Kupfer, Aluminium und dergleichen möglicherweise in Verbindung mit einem geeigneten Barrierenmaterial, in die Öffnungen **151a**, **151b** gemäß gut etablierter Prozesstechniken eingefüllt wird. Während des Abscheidens des jeweiligen metallenthaltenden Materials, was häufig auf der Grundlage von Abscheidetechnikend, etwa CVD und dergleichen, ausgeführt wird, wird auch Metall in den Hohlraum **132** abgeschieden oder kann dorthin wandern, wodurch ein leitender Pfad von den Kontaktelementen **152** in das dielektrische Zwischenschichtmaterial gebildet wird, was somit zu erhöhten Leckströmen bei einer geringeren Spannungsfestigkeit des dielektrischen Zwischenschichtmaterials **150** führt. Ferner wird in sehr kleinen Bauelementen das Diffundieren oder das Wandern des Metallmaterials **152** entlang des Hohlraums **132** ggf. zu einem Kurzschluss zwischen den benachbarten Kontaktelementen **152**, wodurch ausgeprägte Ausbeuteverluste erzeugt werden, da ein entsprechender Kontaktfehler zu dem Totalausfall des gesamten Bauelements **100** führen kann.

[0020] Folglich erfordern bei einer weiteren Verringerung der Bauteilgrößen die Beschränkungen von Abscheide- und Strukturierungsschemata für dielektrische Materialien mit hoher innerer Verspannung eine deutliche Verringerung der Schichtdicke der verspannungsinduzierenden Materialschichten, beispielsweise der Schicht **130**, um der ausgeprägten Oberflächentopographie Rechnung zu tragen, die in komplexen Bauteilgeometrien angetroffen wird. Jedoch wird in diesem Falle die resultierende Verformung, die durch die verspannten dielektrischen Materialien hervorgerufen wird, deutlich beeinträchtigt, wodurch das gesamte Transistorleistungsverhalten beeinträchtigt wird. Daher werden in vielen konventionellen Strategien große Anstrengungen unternommen, um die Wahrscheinlichkeit des Erzeugens von Hohlräumen während des Abscheidens des dielektrischen Zwischenschichtmaterials zu verringern, wo-

durch jedoch zur gesamten Prozesskomplexität beigetragen wird und/oder schließlich das erreichte Transistorleistungsverhalten verringert wird. Andererseits ist das Beibehalten der Hohlräume zwischen dicht liegenden Transistorelementen, was im Hinblick auf das Verringern der parasitären Kapazität und auch im Hinblick auf das Abscheiden einer größeren Menge an verspannungsinduzierendem Material vorteilhaft wäre, wenig wünschenswert auf der Grundlage konventioneller Prozessstrategien, da ein großes Risiko für das Erzeugen von Kontaktausfällen besteht.

[0021] Angesichts der zuvor beschriebenen Situation betrifft die vorliegende Offenbarung Techniken und Halbleiterbauelemente, in denen verspannungsinduzierendes Material effizient in das dielektrische Zwischenschichtmaterial eingebettet wird, wobei eines oder mehrere der oben erkannten Probleme vermieden oder zumindest in der Auswirkung reduziert wird.

Überblick über die Offenbarung

[0022] Im Allgemeinen betrifft der hierin offenbarte Gegenstand die Problematik der erhöhten Ausbeuteverluste in Transistorelementen in sehr geringen Abmessungen, die Ungleichmäßigkeiten während des Strukturierens von Kontaktöffnungen und des nachfolgenden Auffüllens mit einem metallhaltendem Material hervorgerufen werden. Daher wird das Abscheiden des dielektrischen Zwischenschichtmaterials, das in einigen anschaulichen Ausführungsformen ein verspannungsinduzierendes Material aufweist, auf der Grundlage weniger einschränkender Bedingungen im Hinblick auf das Vermeiden von Hohlräumen oder anderen Unregelmäßigkeiten ausgeführt, wodurch die Möglichkeit geschaffen wird, beispielsweise eine größere Menge eines verformungsinduzierenden Materials abzuschneiden und damit gut etablierte verformungsinduzierende Mechanismen in ihrer Anwendbarkeit, etwa duale Verspannungsschichtenlösungen und dergleichen, auf noch weiter größenreduzierte Bauteilgenerationen zu erweitern. Die Wahrscheinlichkeit des Erzeugens leitender Pfade auf der Grundlage des Hohlraums der vorteilhaft sein kann im Hinblick auf das Verringern der gesamten parasitären Kapazität, kann deutlich reduziert werden, indem Hohlräume „versiegelt“ oder von entsprechenden Kontaktöffnungen entkoppelt werden, bevor diese mit einem geeigneten metallhaltenden Material gefüllt werden. D. h., es wird ein Beschichtungsmaterial zumindest in einem Bereich vorgesehen, in welchem ein Hohlraum mit der Kontaktöffnung verbunden ist, um damit eine Metaldiffusion oder Wanderung nach dem Einfüllen des Kontaktmetalls zu unterdrücken. Durch das Herstellen dieser Metalleinschlussschicht wird eine zuverlässige „elektrische Unterbrechung“ oder Entkopplung von Kontaktelementen von dem verbleibenden Be-

reich des Hohlraums erreicht, wodurch auch entsprechende Leckströme und Kurzschlüsse reduziert werden, die typischerweise in konventionellen Prozesstechniken erzeugt werden, wie dies zuvor beschrieben ist. Das Metalleinschlussbeschichtungsmaterial kann in einer beliebigen geeigneten Phase nach der Herstellung zumindest eines Teils der Kontaktöffnung gebildet werden, die mit dem Hohlraum verbunden ist, wobei auf Grund der speziellen Geometrie durch einen Übergangsbereich zwischen der Kontaktöffnung und dem Hohlraum und in Verbindung mit einem geeignet ausgebildeten Abscheiderezept eine zuverlässige Regelung oder ein zuverlässiger Einschluss des Hohlraums erreicht werden kann, wobei diese Verriegelung während der weiteren Strukturierung der Kontaktöffnung auf der Grundlage eines anisotropen Ätzprozesses beibehalten werden kann. In anderen anschaulichen Ausführungsformen wird das Beschichtungsmaterial hergestellt, nachdem die Kontaktöffnung vollständig gebildet ist, so dass in einem abschließenden Ätzschritt Beschichtungsmaterial an der Unterseite der Kontaktöffnung entfernt wird, ohne dass die Integrität des Beschichtungsmaterials beeinträchtigt wird, d. h. zumindest an der Grenzfläche zwischen der Kontaktöffnung und dem Hohlraum.

[0023] Durch das Vorsehen des Metalleinschlussbeschichtungsmaterials vor dem Einfüllen des Kontaktmetalls wird somit ein hoher Grad an Flexibilität bei der Herstellung der Strukturierung des dielektrischen Zwischenschichtmaterials erreicht, deutlich geringere Anforderungen im Hinblick auf das Abscheiden und Strukturieren des dielektrischen Materials auftreten, während gleichzeitig die Vorteile einer besseren Gesamtpermittivität der Kontaktebene in Verbindung mit einer höheren Verformungseffizienz erreicht werden. Viele der gut etablierten verformungsinduzierenden Mechanismen, etwa das Vorsehen verspannungsinduzierender Materialien mit unterschiedlichem Verspannungspegeln können effizient auf sehr kleinen Halbleiterbauelementen mit Transistorelementen angewendet werden, die kritische Abmessungen von 45 nm und weniger, etwa 30 nm und weniger besitzen, ohne dass zu größeren Ausbeuteverlusten, die durch Kontaktfehler hervorgerufen, beigetragen wird.

[0024] Ein anschauliches hierin offenbartes Verfahren umfasst das Bilden einer Kontaktöffnung in einem dielektrischen Zwischenschichtmaterial eines Halbleiterbauelements, wobei sich die Kontaktöffnung bis zu einem Kontaktgebiet eines Halbleitergebiets erstreckt, und wobei das dielektrische Zwischenschichtmaterial ein verspanntes dielektrisches Material zum Hervorrufen einer Verformung im Halbleitergebiet enthält. Das Verfahren umfasst das Bilden eines dielektrischen Zwischenschichtmaterials zumindest teilweise auf inneren Seitenwänden der Kontaktöffnung. Schließlich umfasst das Verfahren das Fül-

len der Kontaktöffnung mit einem metallenthaltendem Material.

[0025] Ein weiteres anschauliches hierin offenbartes Verfahren umfasst das Bilden eines dielektrischen Zwischenschichtmaterials zwischen und über mehreren Transistoren, die in und über einem Halbleitergebiet gebildet sind, wobei das dielektrische Zwischenschichtmaterial einen Hohlraum aufweist, der sich entlang einer Transistorbreitenrichtung zwischen zwei benachbarten Transistoren der mehreren Transistoren erstreckt. Das Verfahren umfasst ferner das Bilden einer Kontaktöffnung in dem dielektrischen Zwischenschichtmaterial zwischen den zwei benachbarten Transistoren, so dass eine Verbindung zu dem Hohlraum entsteht. Des Weiteren wird ein Metalleinschlussbeschichtungsmaterial zumindest auf einem Bereich innerer Seitenwände der Kontaktöffnung so gebildet, dass eine Metallwanderung von der Kontaktöffnung in dem Hohlraum unterdrückt wird. Schließlich umfasst das Verfahren das Füllen der Kontaktöffnung, die das Metalleinschlussbeschichtungsmaterial enthält, mit einem metallenthaltenden Material.

[0026] Ein anschauliches hierin offenbartes Halbleiterbauelement umfasst mehrere Transistoren, die in und über einem Halbleitergebiet gebildet sind. Des Weiteren ist ein dielektrisches Zwischenschichtmaterial zwischen und über den mehreren Transistoren gebildet und umfasst einen Hohlraum, der zwischen zwei benachbarten Transistoren der mehreren Transistoren angeordnet ist. Des Weiteren umfasst das Halbleiterbauelement ein Kontaktelement, das in dem dielektrischen Zwischenschichtmaterial eingebettet ist und sich zu einem Kontaktgebiet des Halbleitergebiets erstreckt, wobei das Kontaktelement sich durch den Hohlraum erstreckt. Schließlich umfasst das Halbleiterbauelement ein Metalleinschlussbeschichtungsmaterial, das an Seitenwänden des Kontaktelements so gebildet ist, dass das Kontaktelement von dem Hohlraum elektrisch abgekoppelt ist.

Kurze Beschreibung der Zeichnungen

[0027] Weitere Ausführungsformen der vorliegenden Offenbarung sind in den angefügten Patentansprüchen und/oder in der vorliegenden detaillierten Beschreibung definiert, die besser verstanden werden kann, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird, in denen:

[0028] [Fig. 1a](#) bis [Fig. 1c](#) schematisch Querschnittsansichten eines Halbleiterbauelements während diverser Fertigungsphasen bei der Herstellung unterschiedlich verspannter dielektrischer Schichten gemäß einem konventionellen dualen Verspannungsschichtenansatz zeigen;

[0029] [Fig. 1d](#) schematisch eine Draufsicht eines

Teils des Halbleiterbauelements nach der Herstellung entsprechender Kontaktöffnungen gemäß konventioneller Strategien zeigt;

[0030] [Fig. 1e](#) schematisch eine Querschnittsansicht entlang der Linie Ie aus [Fig. 2d](#) zeigt, wobei erhöhte Leckströme oder sogar ein vollständiger Kontaktausfall hervorgerufen wird beim Füllen der Kontaktöffnungen mit einem Metall gemäß konventioneller Lösungen;

[0031] [Fig. 2a](#) schematisch eine Querschnittsansicht eines Halbleiterbauelements mit dicht liegenden Transistorelementen und einem dielektrischen Zwischenschichtmaterial zeigt, das einen Hohlraum enthält, der sich zwischen den dicht liegenden Transistoren gemäß anschaulicher Ausführungsformen erstreckt;

[0032] [Fig. 2b](#) schematisch eine Draufsicht eines Bauelements aus [Fig. 2a](#) zeigt;

[0033] [Fig. 2c](#) bis [Fig. 2f](#) schematisch Querschnittsansichten entlang einer Transistorbreitenrichtung zeigen, wobei diverse Fertigungsphasen zum Reduzieren der Metallwanderung entlang eines Hohlraums gezeigt sind, indem eine Metallanschlussbeschichtung gemäß anschaulicher Ausführungsformen vorgesehen wird;

[0034] [Fig. 2g](#) schematisch eine Querschnittsansicht des Bauelements entlang der Transistorlängsrichtung in einer weiter fortgeschrittenen Fertigungsphase gemäß anschaulicher Ausführungsformen zeigt; und

[0035] [Fig. 2h](#) schematisch eine Querschnittsansicht entlang der Transistorbreitenrichtung in einer Fertigungsphase zeigt, in der ein Metalleinschlussbeschichtungsmaterial so gebildet wird, dass diese sich entlang der gesamten Tiefe der Kontaktöffnungen gemäß noch weiterer anschaulicher Ausführungsformen erstreckt.

Detaillierte Beschreibung

[0036] Obwohl die vorliegende Offenbarung mit Bezug zu den Ausführungsformen beschrieben ist, wie sie in der folgenden detaillierten Beschreibung sowie in den Zeichnungen dargestellt sind, sollte beachtet werden, dass die folgende detaillierte Beschreibung sowie die Zeichnungen nicht beabsichtigen, die vorliegende Offenbarung auf die speziellen anschaulichen offenbarten Ausführungsformen einzuschränken, sondern die beschriebenen anschaulichen Ausführungsformen stellen lediglich beispielhaft die diversen Aspekte der vorliegenden Offenbarung dar, deren Schutzbereich durch die angefügten Patentansprüche definiert ist.

[0037] Die vorliegende Offenbarung stellt Techniken und Halbleiterbauelemente bereit, in denen die Wahrscheinlichkeit des Erzeugens von Kontaktausfällen verringert wird, selbst für anspruchsvolle Bauteilgeometrien, die während des Abscheidens von dielektrischen Zwischenschichtmaterialien angetroffen werden kann, das in einigen anschaulichen Ausführungsformen ein oder mehrere stark verspannte dielektrische Materialien aufweist. Zu diesem Zweck wird das dielektrische Zwischenschichtmaterial auf der Grundlage weniger beschränkender Anforderungen aufgebracht, die in einigen konventionellen Lösungen Abscheide-Ätz-Abscheide-Zyklen erforderlich machen, um ein stark verspanntes dielektrisches Material zu bilden, wobei erfindungsgemäß absichtlich ein Hohlraum erzeugt wird, der abgedichtet oder von kritischen Kontaktöffnungen abgetrennt wird, indem darin ein geeignetes Beschichtungsmaterial vorgesehen wird. Zu diesem Zweck wird in einigen anschaulichen Ausführungsformen während einer beliebigen geeigneten Phase nach der Herstellung der Kontaktöffnung, die sich zumindest bis zu dem Hohlraum erstreckt, der zwischen dicht liegenden Transistorelementen erzeugt wurde, wie zuvor erläutert ist, ein Abscheideprozess ausgeführt, um ein Beschichtungsmaterial vorzusehen, das in effizienter Weise den Hohlraum versiegelt und damit die Kontaktöffnung in den verbleibenden Bereich des Hohlrums „abtrennt“. Während der weiteren Bearbeitung, beispielsweise während eines weiteren Ätzschrittes und während des nachfolgenden Einfüllens des Kontaktmetalls, kann folglich die Integrität des versiegelten Hohlrums beibehalten werden, wodurch ebenfalls eine Metallwanderung unterdrückt wird, die konventioneller Weise zu ausgeprägten Ausbeuteverlusten führt. Das Abscheiden des Beschichtungsmaterials, das auch als ein Metalleinschlussbeschichtungsmaterial bezeichnet wird, kann auf der Grundlage geeigneter Abscheidetechniken bewerkstelligt werden, etwa thermisch aktivierte CVD, um eine geeignete Materialschicht, etwa Siliziumdioxid, zu bilden, die auf der Grundlage von Abscheidetechniken aufgebracht wird, die ein verbessertes Spaltfüllverhalten zeigen. Beispielsweise zeigt subatmosphärisches Abscheiden von Siliziumdioxid auf der Grundlage von TEOS (Tetraethylorthosilikat) ein verbessertes Spaltenfüllverhalten und es können entsprechende Rezepte eingesetzt werden, um eine geeignete Siliziumdioxidschicht auf freiliegenden inneren Seitenwänden der Kontakte zu bilden. Es sollte beachtet werden, dass auch andere Materialien eingesetzt werden können, solange die Materialeigenschaften, etwa im Hinblick auf das Ätzverhalten und dergleichen, mit der weiteren Bearbeitung des Bauelements, kompatibel sind. Beispielsweise sind eine Vielzahl von dielektrischen Materialien verfügbar, die in einer sehr konformen Weise abgeschieden werden können und die zu einem effizienten Einschluss des Kontaktmetalls führen, etwa Siliziumnitrid, Siliziumkarbid, stickstoffhaltendes Siliziumkarbid und der-

gleichen. In anderen Fällen wird ein leitendes Material verwendet, sofern ein geeignetes Abscheideverhalten erreicht wird. Beispielsweise kann Siliziummaterial als Beschichtungsmaterial oder sogar speziell in metallenthaltende Materialien verwendet werden, sofern die darin enthaltene Metallkomponente eine geringere Neigung für die Materialwanderung besitzt und ebenso für den Metalleinschluss des eigentlichen Kontaktmaterials sorgt.

[0038] Mit Bezug zu den [Fig. 2a](#) bis [Fig. 2h](#) werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben, wobei auch bei Bedarf auf die [Fig. 1a](#) bis [Fig. 1e](#) verwiesen wird.

[0039] [Fig. 1](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **200** in einer fortgeschrittenen Fertigungsphase. Das Halbleiterbauelement **200** umfasst ein Substrat **201** und eine Halbleiterschicht und ein Gebiet **202**, das ein beliebiges geeignetes Halbleitermaterial repräsentiert, um darin oder darüber Halbleiterelemente, Transistoren und dergleichen herzustellen. Beispielsweise ist das Halbleitergebiet **202** ein kristallines Silizium, möglicherweise in Verbindung mit anderen Komponenten, etwa Kohlenstoff, Germanium und dergleichen, um die gesamten elektronischen Eigenschaften des Halbleitergebiets **202** einzustellen. In der gezeigten Ausführungsform sind mehrere Transistoren **220b**, **220c** in und über dem Halbleitergebiet **202** gebildet und besitzen eine geeignete Struktur im Hinblick auf die Leitfähigkeitsart, die gesamten Transistorabmessungen, und dergleichen. Beispielsweise ist in der gezeigten Ausführungsform eine „planare“ Transistorkonfiguration vorgesehen, in der eine Gateelektrodenstruktur **221** über dem Halbleitergebiet **202** gebildet ist, wobei die Gateelektrodenstruktur **221** eine Gateisolationsschicht **221a** aufweist, die ein Elektrodenmaterial **221b** von einem Kanalgebiet **224** trennt, das in dem Halbleitergebiet **202** vorgesehen ist. Abhängig von den gesamten Prozess- und Bauteilerfordernissen kann eine Abstandshalterstruktur **222** an Seitenwänden der Gateelektrodenstruktur **221** vorgesehen sein. Es sollte beachtet werden, dass die Transistoren **220b**, **220c** einen beliebigen geeigneten Aufbau besitzen, in welchem gewisse Komponenten der Transistoren **220b**, **220c** nicht nebeneinander angeordnet sind und wobei mehrere Kontaktelemente hergestellt werden müssen, die sich zu speziellen Kontaktgebieten erstrecken, etwa ein Gebiet **202c**, das mit dem Halbleitergebiet **202** verbunden ist. Folglich kann das Kontaktgebiet **202c** ein metallenthaltendes Material aufweisen, etwa ein Metallsilizid und dergleichen, das der Einfachheit halber in [Fig. 2a](#) nicht gezeigt ist. Beispielsweise ist das Kontaktgebiet **202c** mit Drain- und/oder Source-Gebieten **225** der Transistoren **220b**, **220c** in Verbindung. Es sollte beachtet werden, dass „dicht liegende“ Transistorelemente als benachbarte Transistoren zu verstehen sind, etwa die Transistoren **220b**, **220c**, in denen

der Abstand zwischen den Elektrodenmaterialien **221b** ungefähr 200 nm oder weniger beträgt, etwa 100 nm und weniger, wenn anspruchsvolle Anwendungen betrachtet werden.

[0040] Des weiteren umfasst das Halbleiterbauelement **200** ein dielektrisches Zwischenschichtmaterial **250**, das zwischen und über den Transistoren **220b**, **220c** gebildet ist, wobei das Material **250** ein verspannungsinduzierendes Material **230** aufweisen kann, das beispielsweise von Siliziumnitrid, stickstoffenthaltendem Siliziumkarbid und dergleichen bereitgestellt wird, um damit eine gewünschte Art an Verformung **230s** in den Kanalgebieten **224** hervorzurufen. Das dielektrische Zwischenschichtmaterial **250** umfasst ferner ein weiteres dielektrisches Material **250a**, etwa Siliziumdioxid und dergleichen, wobei dies von den gesamten Prozess- und Bauteilerfordernissen abhängt. Des weiteren umfasst das dielektrische Zwischenschichtmaterial **250** einen Hohlraum **232**, der in einem oder beiden Materialien **220**, **250a** abhängt von der vorhergehenden Fertigungsstrategie gebildet ist.

[0041] Das Halbleiterbauelement **200** kann auf der Grundlage einer beliebigen geeigneten Fertigungsstrategie hergestellt werden, wobei ähnliche Prozesstechniken enthalten sein können, wie sie zuvor mit Bezug zu dem Halbleiterbauelement **100** beschrieben sind, wenn auf duale Verspannungsschichtenlösungen Bezug genommen wurde. Es sollte jedoch beachtet werden, dass eine beliebige andere Fertigungssequenz eingesetzt werden kann, etwa das Vorsehen eines einzelnen spannungsinduzierenden Materials, das über gewissen Bauteilbereichen entspannt werden kann oder auch nicht, wobei dies von den gesamten Erfordernissen abhängt. Obwohl die Gateelektrodenstruktur **221** eine anspruchsvolle Topographie vor dem Abscheiden des dielektrischen Zwischenschichtmaterials **250** hervorrufen, wird eine erhöhte Flexibilität bei der Auswahl geeigneter Abscheideparameter und Materialien erreicht, da der Hohlraum **232** nicht als durch die Abscheidung hervorgerufenen Unregelmäßigkeit betrachtet wird, sondern sich lediglich erzeugt wird, wodurch die Möglichkeit geschaffen wird, eine höhere Dicke für die Schicht **230** anzuwenden, was zu einer besseren Verformungsübertragungseffizienz führt. Somit kann eine beliebige geeignete Strukturierungsstrategie eingesetzt werden, beispielsweise das Vorsehen entsprechender Ätzstopp- und Ätzindikatormaterialien, wie dies zuvor beschrieben ist, die somit zur Ausbildung des Hohlraums **232** führen, wobei die Größe des Hohlraums **232** und die Lage in lateraler und vertikaler Richtung durch die speziell gewählte Prozessparameter bestimmbar sind. In dieser Hinsicht ist zu beachten, dass lediglich die Positionsinformation als eine relative Positionsangabe zu verstehen ist, die sich auf das Substrat **201** oder das Halbleitergebiet **202** bezieht, die somit eine entsprechende Referenz

repräsentieren. Somit ist eine laterale Richtung, die im Wesentlichen parallel zu einer Grenzfläche **201s** verläuft, während eine vertikale Richtung eine Richtung im Wesentlichen senkrecht zur Grenzfläche **201s** angibt.

[0042] [Fig. 2b](#) zeigt schematisch das Halbleiterbauelement **200** in Draufsicht, wobei der Hohlraum gezeigt ist, dass dieser zwischen den Gateelektrodenstrukturen **221** angeordnet ist und sich entlang einer Breitenrichtung, die als W angegeben ist, erstreckt.

[0043] [Fig. 2c](#) zeigt schematisch eine Querschnittsansicht des Halbleiterbauelements **200** entlang des Schnitts IIc aus [Fig. 2b](#) in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine Ätzmaske **205**, etwa ein Hartmaskenmaterial und dergleichen, über dem dielektrischen Material **250a** gebildet und definiert die laterale Größe und die Lage von Kontaktöffnungen, die in dem dielektrischen Zwischenschichtmaterial **250** zu bilden sind. In der gezeigten Fertigungsphase ist ein erster Teil **251a** dieser Kontaktöffnungen in dem Material **250** gebildet, so dass diese sich zumindest zu dem Hohlraum **232** erstreckt. Es sollte beachtet werden, dass die vertikale Lage des Hohlraums **232** von der vorhergehenden Fertigungssequenz abhängt, wie dies auch zuvor mit Bezug zu dem Bauelement **100** erläutert ist, so dass die Hohlräume **232** im Wesentlichen vollständig innerhalb des Materials **250a** gebildet werden können oder so gebildet werden können, dass diese sich in das Material der Schicht **230** erstrecken. Somit ist in einigen anschaulichen Ausführungsformen eine Tiefe des Hohlraums **232** im Voraus festgelegt und es werden Prozessparameter eines Ätzprozesses **206** so gewählt, dass in Verbindung mit einer entsprechenden Ätzzeit eine Tiefe des Bereichs **251a** erreicht wird, so dass diese sich zumindest bis zu dem Hohlraum **232** unabhängig von dessen vertikalen Position erstreckt. Zu diesem Zweck werden entsprechende Messdaten nach der Prozesssequenz zur Herstellung des dielektrischen Zwischenschichtmaterials **250** ermittelt. Der Ätzprozess **206** kann auf der Grundlage etablierter Ätzrezepte ausgeführt werden, beispielsweise auf der Grundlage der Ätzchemien mit Chlor oder Fluor unter Anwendung einer plasmaunterstützten Ätzatmosphäre.

[0044] [Fig. 2d](#) zeigt schematisch das Halbleiterbauelement **200** gemäß einer anschaulichen Ausführungsform, in der das Bauelement **200** der Einwirkung einer Abscheideumgebung **207** unterliegt, um ein Beschichtungsmaterial **208** auf frei liegenden Seitenwänden **251s** der Bereiche **251a** zu bilden. Beispielsweise wird die Abscheideumgebung **207** auf der Grundlage gut etablierter thermisch aktivierter CVD-Rezepte eingerichtet, beispielsweise bei erhöhten Prozessdrücken im Bereich von 100 bis mehreren 100 Torr, was typischerweise als subatmosphärische CVD bezeichnet wird. In diesem Falle wird unter

Anwendung von TEOS als Vorstufenmaterial ein günstiges Abscheideverhalten erreicht, wobei die Abscheidung eines Materials der Schicht **208** auch an dem Hohlraum **232** erreicht wird, wodurch der Hohlraum **232** für das Material der Schicht **208** im Wesentlichen vollständig verschlossen oder versiegelt wird. Beispielsweise wird eine Siliziumdioxidschicht einer mittleren Dicke innerhalb der Öffnungen **251a** von ungefähr 5 bis 10 nm während des Abscheidungsprozesses **207** gebildet, wodurch der Hohlraum **232** zuverlässig von den Öffnungen **251a** „abgekoppelt“ wird. In anderen anschaulichen Ausführungsformen ist die Schicht **208** aus einem beliebigen geeigneten dielektrischen Material aufgebaut, sofern die Integrität der Schicht **208** zumindest an den Hohlraum **232** während der weiteren Bearbeitung unerwünschter Weise beeinträchtigt wird. Beispielsweise wird die Schicht **208** in Form eines Siliziumnitridmaterials vorgesehen, wenn die Schicht **230** auf der Grundlage eines sehr anisotropen Ätzrezepts geätzt wird, so dass die Versiegelung des Hohlraums **232** während eines entsprechenden weiteren Ätzschritts beibehalten wird. In anderen anschaulichen Ausführungsformen wird ein anderes geeignetes Material, etwa Polysilizium, möglicherweise in einem stark dotierten Zustand auf der Grundlage von CVD mit geringem Druck und dergleichen hergestellt, wodurch die gesamte Leitfähigkeit des schließlich erhaltenen Kontaktelements verbessert wird. In noch anderen anschaulichen Ausführungsformen wird ein metallenthaltendes Material verwendet, sofern eine metalleinschließende Wirkung im Hinblick auf ein Kontaktmetall erreicht wird, das in die Öffnungen **251a** in einer späteren Fertigungsphase eingefüllt wird, und sofern Material der Schicht **208** selbst stabil ist und kein ausgeprägtes Diffusionsverhalten oder Wanderungsverhalten während der weiteren Bearbeitung und des Betriebs des Halbleiterbauelements **200** zeigt.

[0045] [Fig. 2e](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase, in der das Bauelement **200** der Einwirkung einer weiteren Ätzumgebung **209** ausgesetzt ist, um Kontaktöffnungen **251** zu bilden, die eine Verbindung zu den Kontaktgebieten **202c** herstellen. Es sollte beachtet werden, dass typischerweise die Kontaktgebiete **202c** elektrisch voneinander isoliert sind, wodurch auch eine entsprechende elektrische Trennung der Kontaktelemente erforderlich ist, die in den Öffnungen **251** zu bilden sind. Beispielsweise wird ein entsprechendes Kontaktschema, in welchem eine Vielzahl dicht liegender Kontaktelemente erforderlich sind, die dielektrisch voneinander isoliert sind, in RAM (Speicher mit wahlfreiem Zugriff) Bereichen modernster Halbleiterbauelemente angetroffen, etwa in CPU's und dergleichen.

[0046] Wie gezeigt enthält der Ätzprozess **209** einen sehr anisotropen Ätzschritt, um das Beschichtungsmaterial an der Unterseite des Bereichs **251a**

(siehe [Fig. 2c](#)) abzutragen, wobei die anisotrope Natur beibehalten wird, wenn das Material der Schichten **208** ein ähnliches Ätzverhalten im Vergleich zu dem Material **250a** und/oder dem Material **230** besitzt. Während des Ätzprozesses **209** wird somit die Versiegelung des Hohlraums **232** beibehalten, da zumindest ein Teil der Beschichtung **208** während des Prozesses **209** nicht entfernt wird. Des weiteren enthält der Prozess **209** eine Ätzstrategie, um durch die Schicht **230** zu ätzen, die als ein Ätzstoppmaterial zum Ätzen durch das Material **250a** bei Bedarf verwendet wird. Wie zuvor erläutert wird, wenn das Material **208** ein ähnliches Ätzverhalten im Vergleich zu dem Material **230** besitzt, ein sehr anisotroper Ätzschritt eingesetzt, um zu dem Kontaktgebiet **202c** zu ätzen, während in anderen Fällen andere gut etablierte Ätztechniken verwendet werden, in denen die Schicht **230** selektiv in Bezug auf das Material **250a** und die Schicht **208** geätzt wird. Beispielsweise sind eine Vielzahl sehr selektiver Ätzrezepte zum Ätzen von Siliziumnitridmaterial selektiv zu Siliziumdioxidmaterial bekannt und können in diesem Falle eingesetzt werden.

[0047] [Fig. 2f](#) zeigt schematisch das Halbleiterbauelement **200** in einem weiter fortgeschrittenen Herstellungsstadium. Wie gezeigt, sind Kontaktelemente **252** auf der Grundlage der Kontaktöffnung **251** vorgesehen und enthalten ein geeignetes Kontaktmetall, etwa Wolfram, Aluminium, Kupfer, Legierungen davon und dergleichen, möglicherweise in Verbindung mit einem geeigneten leitenden Barrierenmaterial (nicht gezeigt), wie dies durch die gesamte Prozessstrategie erforderlich ist. Somit ist das Metall der Kontaktelemente **252** in den Öffnungen **251** mittels des Materials **208** eingeschlossen, das in zuverlässiger Weise Kontaktelemente **252** versiegelt und diese somit elektrisch von dem Hohlraum **232** abtrennt.

[0048] Das in [Fig. 2f](#) gezeigte Halbleiterbauelement **200** kann auf der Grundlage gut etablierter Prozesstechniken hergestellt werden. Beispielsweise werden ein oder mehrere geeignete Materialien abgeschieden, um damit die Öffnungen **251** in einem Zustand zu füllen, wie dies in [Fig. 2e](#) gezeigt ist, wozu eine Sputter-Abscheidung und dergleichen gehören kann, um ein Barrierenmaterial bei Bedarf vorzusehen, woran sich ein anderer geeigneter Abscheidungsprozess, etwa CVD und dergleichen anschließen kann, wobei dies von dem abzuschheidenden Material und der Fertigungsstrategie abhängt. Daraufhin wird überschüssiges Material entfernt, beispielsweise auf der Grundlage von CVD (chemisch-mechanisches Polieren), wobei auch die Maskenschicht **205** (siehe [Fig. 2e](#)) entfernt werden kann.

[0049] [Fig. 2g](#) zeigt schematisch eine Querschnittsansicht des Halbleiterbauelements **200** gemäß weiterer anschaulicher Ausführungsformen, in denen das Kontaktelement **252** mit der Beschichtung **208** zwi-

schen den Transistoren **220b**, **220c** gebildet ist, wie dies auch zuvor mit Bezug zu [Fig. 2a](#) beschrieben ist. Ferner ist ein weiteres Transistorelemente **220a** in und über einem zweiten Halbleitergebiet **202a** gebildet, das in dem gleichen grundlegenden Halbleitermaterial **202** vorgesehen ist, das jedoch von den Transistoren **220b**, **220c** eine Isolationsstruktur (nicht gezeigt) bei Bedarf getrennt ist. Der Transistor **220a** kann grundlegend gleiche Konfiguration wie die Transistoren **220b** und **220c** aufweisen, wohingegen in einer anschaulichen Ausführungsform der Transistor **220a** einen Transistor mit anderer Leitfähigkeitsart repräsentiert, wodurch ebenfalls eine andere Art an Verformung **240s** dem Kanalgebiet **224** erforderlich ist. Zu diesem Zweck wird eine verspannte dielektrische Schicht **240** selektiv über dem Transistor **220a** gebildet, um damit die gewünschte Verformungskomponente **240s** zu erzeugen. Zu diesem Zweck kann eine entsprechende duale Verspannungsschichten-technik angewendet werden, wie sie zuvor mit Bezug zu dem Bauelement **100** erläutert ist. Folglich können die verspannten dielektrischen Materialien **230** und **240** abgeschieden und auf der Grundlage weniger einschränkender Prozessparameter strukturiert werden, da das Erzeugen eines Hohlraums akzeptiert wird, was in einigen anschaulichen Ausführungsformen sogar absichtlich initiiert wird, um damit eine geringe parasitäre Kapazität zu schaffen, wie dies zuvor erläutert ist. Nach dem Bilden der verspannten dielektrischen Materialien **230**, **240** gemäß einer gewünschten Fertigungsstrategie und nach dem Abscheiden des Materials **250a** wird somit das Kontaktelement **252** auf der Grundlage der Beschichtung **208** gebildet, wie dies zuvor erläutert ist, wodurch die Wahrscheinlichkeit des Erzeugens von Kontaktfehlern deutlich verringert wird. Daher wird der verformungsinduzierende Mechanismus, der durch die unterschiedlich verspannten dielektrischen Schichten **230**, **240** bereitgestellt wird, auf die Halbleiterbauelemente mit kritischen Abmessungen angewendet, die eine Gatelänge von 50 nm und weniger besitzen, ohne dass in unerwünschter Weise die gesamten Ausbeuteverluste erhöht werden.

[0050] [Fig. 2h](#) zeigt schematisch das Halbleiterbauelement **200** gemäß einer weiteren anschaulichen Ausführungsform. Wie gezeigt, sind die Kontaktöffnungen **252** so gebildet, dass diese sich zu den Kontaktgebieten **202c** erstrecken, was auf der Grundlage einer beliebigen geeigneten Ätzstrategie, auf der Grundlage konventioneller Ätzrezepte, bewerkstelligt werden kann. Danach wird ein Beschichtungsmaterial **208** abgeschieden, wie dies zuvor beschrieben ist und anschließend wird ein weiterer Ätzschritt ausgeführt, um das Material der Schicht **208** von der Unterseite der Öffnung **251** abzutragen, wodurch die Kontaktbereiche **202c** freigelegt werden. Es sollte beachtet werden, dass dieser abschließende Ätzschritt als ein anisotroper Schritt ausgeführt wird, wodurch die Integrität der Beschichtung **208** an den Seitenwän-

den der Öffnung **251** nicht unerwünscht beeinflusst wird, wodurch der versiegelte Zustand des Hohlraums **232** beibehalten wird. Daraufhin wird die weitere Bearbeitung fortgesetzt, indem die Öffnungen **251** gefüllt werden, wie dies zuvor beschrieben ist.

[0051] Es sollte beachtet werden, dass in vielen der zuvor beschriebenen Ausführungsformen auf ein verspanntes dielektrisches Material Bezug genommen wird, das als ein Teil des dielektrischen Zwischenschichtmaterials vorgesehen ist, da in vielen anspruchsvollen Bauelementen der resultierende verformungsinduzierende Mechanismus zur Verbesserung des Leistungsverhaltens eingesetzt wird. Die zuvor beschriebenen Ausführungsformen können aber auch für dielektrische Zwischenschichtmaterialien angewendet werden, die auf der Grundlage von Materialien hergestellt sind, die keine ausgeprägte innere Verspannung besitzen. D. h., in anderen Ausführungsformen wird die „Hohlraumverschließung“, wie sie zuvor beschrieben ist, im Zusammenhang mit einer beliebigen Art an dielektrischem Zwischenschichtmaterial unabhängig von inneren Verspannungspegel angewendet.

[0052] Es gilt also: Die vorliegende Offenbarung stellt Halbleiterbauelemente und Techniken zu deren Herstellung bereit, wobei die nachteilige Wirkung von Hohlräumen, die zwischen dicht liegenden Gateelektrodenstrukturen gebildet sind, „kompensiert“ werden kann, indem die Hohlräume in den jeweiligen Kontaktöffnungen vor dem Einfüllen des Kontaktmetalls in geeigneter Weise versiegelt werden. Auf diese Weise kann eine bessere Flexibilität bei der Gestaltung der gesamten Sequenz zur Herstellung des dielektrischen Zwischenschichtmaterials und für die Strukturierung erreicht werden, wobei gleichzeitig ein besseres Bauteilleistungsverhalten erreicht wird, da der Hohlraum zu einer geringeren parasitären Kapazität zwischen den dicht liegenden Gateelektrodenstrukturen führt. In Ausführungsformen, in denen zusätzlich Verformungskomponenten erforderlich sind, kann eine größere Menge an verspannungsinduzierendem Material in das dielektrische Zwischenschichtmaterial eingebaut werden, die Möglichkeit geschaffen wird, gut etablierte verformungsinduzierende Mechanismen auf künftige Bauteilgenerationen anzuwenden, die Transistorelemente mit einer Gatelänge von 50 nm oder weniger enthalten.

[0053] Weitere Modifizierungen und Variationen der vorliegenden Offenbarung werden für den Fachmann angesichts dieser Beschreibung offenkundig. Daher ist diese Beschreibung als lediglich anschaulich und für die Zwecke gedacht, dem Fachmann die allgemeine Art und Weise des hierin offenbarten Gegenstands zu vermitteln. Die hierin gezeigten und beschriebenen Formen sind als die gegenwärtig bevorzugten Ausführungsformen zu betrachten.

Patentansprüche

1. Verfahren mit:

Bilden einer Kontaktöffnung in einem dielektrischem Zwischenschichtmaterial eines Halbleiterbauelements, wobei die Kontaktöffnung sich bis zu einem Kontaktgebiet eines Halbleitergebiets erstreckt, wobei das dielektrische Zwischenschichtmaterial ein gespanntes dielektrisches Material zum Erzeugen einer Verformung in dem Halbleitergebiet aufweist; Bilden eines dielektrischen Beschichtungsmaterials zumindest teilweise auf inneren Seitenwänden der Kontaktöffnung; und Füllen der Kontaktöffnung mit einem metallenthaltenden Material.

2. Verfahren nach Anspruch 1, wobei Bilden der Kontaktöffnung umfasst: Bilden eines ersten Bereichs der Kontaktöffnung, Bilden des dielektrischen Beschichtungsmaterials auf inneren Seitenwänden des ersten Bereichs und Bilden eines zweiten Bereichs der Kontaktöffnung, der sich zu dem Kontaktgebiet erstreckt.

3. Verfahren nach Anspruch 1, wobei die Kontaktöffnung so gebildet wird, dass diese sich zu dem Kontaktgebiet vor dem Bilden des dielektrischen Zwischenschichtmaterials erstreckt.

4. Verfahren nach Anspruch 1, wobei Bilden des dielektrischen Zwischenschichtmaterials umfasst: Bilden des dielektrischen Zwischenschichtmaterials über mehreren dicht liegenden und über dem Halbleitergebiet gebildeten Transistoren derart, dass ein Hohlraum zwischen zumindest zwei benachbarten Transistoren der dicht liegenden Transistoren erzeugt wird.

5. Verfahren nach Anspruch 4, wobei das dielektrische Beschichtungsmaterial so gebildet wird, dass es den Hohlraum von der Kontaktöffnung trennt.

6. Verfahren nach Anspruch 1, wobei das dielektrische Beschichtungsmaterial Siliziumdioxid aufweist.

7. Verfahren nach Anspruch 6, wobei das dielektrische Beschichtungsmaterial durch Ausführen eines subatmosphärischen chemischen Dampfabscheidungsprozesses (SA-CVD) gebildet wird.

8. Verfahren nach Anspruch 1, wobei Bilden des dielektrischen Zwischenschichtmaterials ferner umfasst: Bilden eines zweiten gespannten dielektrischen Materials über einem zweiten Halbleitergebiet, um eine zweite Art an Verformung in dem zweiten Halbleitergebiet zu erzeugen, die sich von der Verformung unterscheidet.

9. Verfahren nach Anspruch 1, wobei eine Gate-

länge der dicht liegenden Transistoren ungefähr 50 Nanometer (nm) oder weniger beträgt.

10. Verfahren mit:

Bilden eines dielektrischen Zwischenschichtmaterials zwischen und über mehreren Transistoren, die in und über einem Halbleitergebiet gebildet sind, wobei das dielektrische Zwischenschichtmaterial einen Hohlraum aufweist, der sich entlang einer Transistorbreitenrichtung zwischen zwei benachbarten Transistoren der mehreren Transistoren erstreckt; Bilden einer Kontaktöffnung in dem dielektrischen Zwischenschichtmaterial zwischen den zwei benachbarten Transistoren, so dass eine Verbindung zu dem Hohlraum entsteht; Bilden eines Metalleinschlussbeschichtungsmaterials auf zumindest einem Teil von inneren Seitenwänden der Kontaktöffnung, um eine Metallwanderung von der Kontaktöffnung in den Hohlraum zu unterdrücken; und Füllen der Kontaktöffnung, die das Metalleinschlussbeschichtungsmaterial aufweist, mit einem metallenthaltenden Material.

11. Verfahren nach Anspruch 10, wobei Bilden der Kontaktöffnung umfasst: Bilden eines ersten Teils der Kontaktöffnung, so dass dieser sich zu dem Hohlraum erstreckt, Bilden des Metalleinschlussbeschichtungsmaterials auf mehreren Seitenwänden des ersten Bereichs und Bilden eines zweiten Bereichs der Kontaktöffnung so, dass dieser sich bis zu einem Kontaktgebiet des Halbleitergebiets erstreckt.

12. Verfahren nach Anspruch 10, wobei die Kontaktöffnung so gebildet wird, dass diese sich zu einem Kontaktgebiet des Halbleitergebiets vor dem Bilden des Metalleinschlussbeschichtungsmaterials erstreckt.

13. Verfahren nach Anspruch 10, wobei Bilden des dielektrischen Zwischenschichtmaterials umfasst: Bilden eines ersten gespannten dielektrischen Materials über den mehreren Transistoren und Bilden mindestens eines weiteren dielektrischen Materials über dem ersten gespannten dielektrischen Material.

14. Verfahren nach Anspruch 13, wobei Bilden des dielektrischen Zwischenschichtmaterials ferner umfasst: Bilden des ersten gespannten dielektrischen Materials selektiv über den mehreren Transistoren, Bilden eines zweiten gespannten dielektrischen Materials selektiv über einem zweiten Transistor vor dem Bilden des zweiten dielektrischen Materials und wobei das erste und das zweite gespannte dielektrische Material eine unterschiedliche Art an innerer Verspannung besitzen.

15. Verfahren nach Anspruch 10, wobei das Metalleinschlussbeschichtungsmaterial ein dielektrisches Material ist.

16. Verfahren nach Anspruch 15, wobei das Metalleinschlussmaterial durch einen thermisch aktivierten chemischen Dampfabseideprozess gebildet wird.

benachbarten Transistoren ungefähr 100 nm oder weniger beträgt.

Es folgen 7 Blatt Zeichnungen

17. Halbleiterbauelement mit:
mehreren Transistoren, die in und über einem Halbleitergebiet gebildet sind; einem dielektrischen Zwischenschichtmaterial, das zwischen und über den mehreren Transistoren gebildet ist, wobei das dielektrische Zwischenschichtmaterial einen Hohlraum aufweist, der zwischen zwei benachbarten Transistoren der mehreren Transistoren angeordnet ist; einem Kontaktelement, das in dem dielektrischen Zwischenschichtmaterial eingebettet ist und sich zu einem Kontaktgebiet des Halbleitergebiets erstreckt, wobei das Kontaktelement sich durch den Hohlraum erstreckt; und
einem Metalleinschlussbeschichtungsmaterial, das an Seitenwänden des Kontaktelements so gebildet ist, dass es elektrisch das Kontaktelement von dem Hohlraum trennt.

18. Halbleiterbauelement nach Anspruch 17, wobei das Kontaktelement einen ersten Bereich aufweist, der sich zumindest zu dem Hohlraum erstreckt und einen zweiten Bereich aufweist, der den ersten Bereich mit dem Kontaktgebiet verbindet, wobei das Metalleinschlussbeschichtungsmaterial nur an Seitenwänden des ersten Bereichs ausgebildet ist.

19. Halbleiterbauelement nach Anspruch 17, wobei das Metalleinschlussbeschichtungsmaterial sich zu dem Kontaktgebiet erstreckt.

20. Halbleiterbauelement nach Anspruch 17, wobei das dielektrische Zwischenschichtmaterial eine erste gespannte dielektrische Schicht, die über den mehreren Transistoren gebildet ist, aufweist, wobei die erste gespannte dielektrische Schicht eine erste Art an Verformung in den mehreren Transistoren hervorruft.

21. Halbleiterbauelement nach Anspruch 20, wobei das dielektrische Zwischenschichtmaterial eine zweite gespannte dielektrische Schicht aufweist, die über einem zweiten Transistor gebildet ist und darin eine zweite Art an Verformung hervorruft, die sich von der ersten Art der Verformung unterscheidet.

22. Halbleiterbauelement nach Anspruch 17, wobei das Metalleinschlussbeschichtungsmaterial ein dielektrisches Material ist.

23. Halbleiterbauelement nach Anspruch 22, wobei das Metalleinschlussbeschichtungsmaterial Siliziumdioxid aufweist.

24. Halbleiterbauelement nach Anspruch 17, wobei ein Abstand zwischen Gateelektroden der zwei

Anhängende Zeichnungen

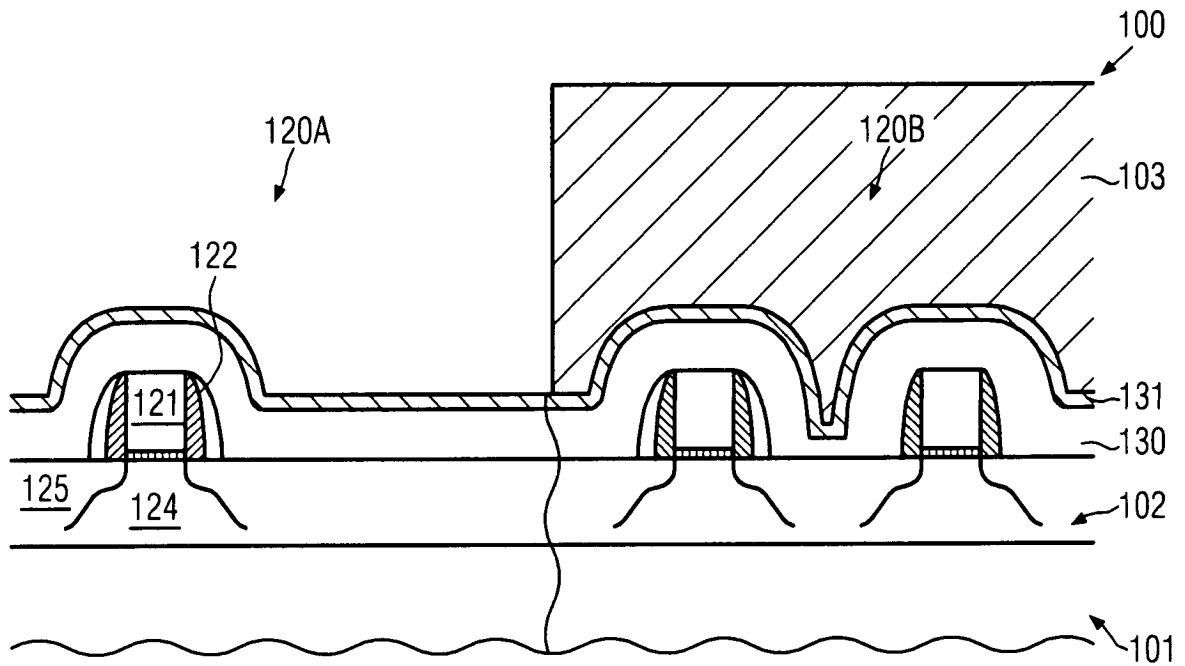


FIG. 1a (Stand der Technik)

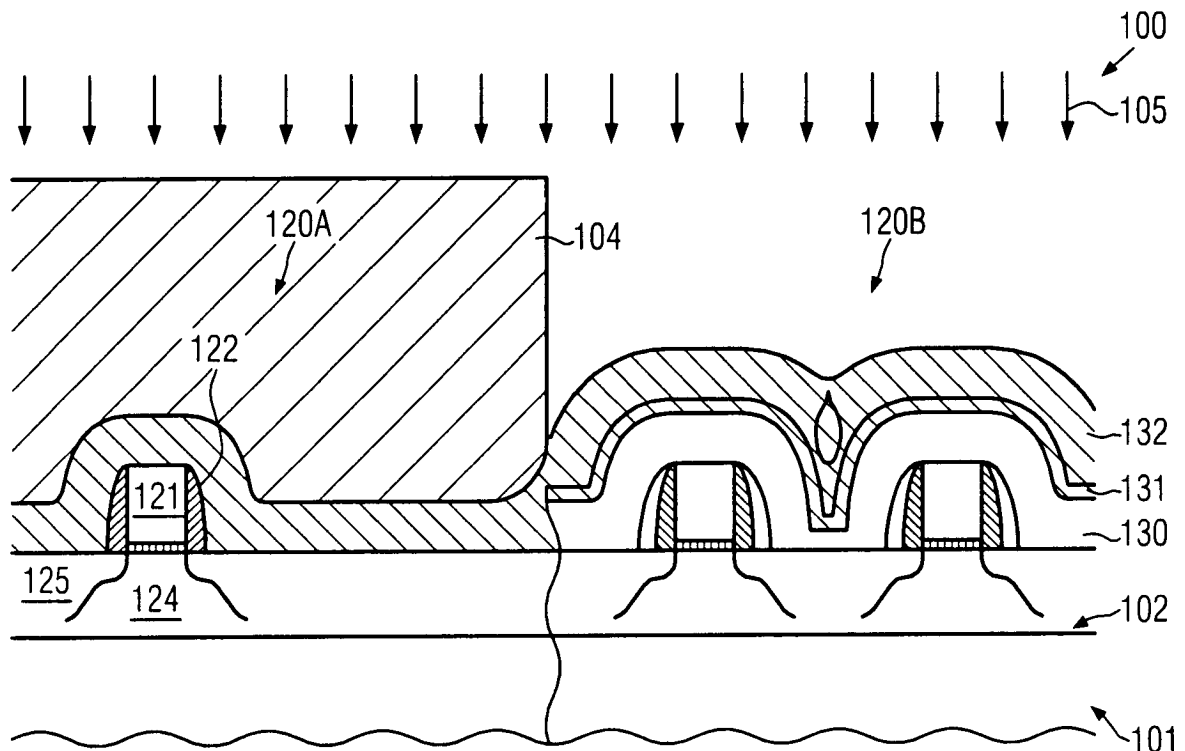


FIG. 1b (Stand der Technik)

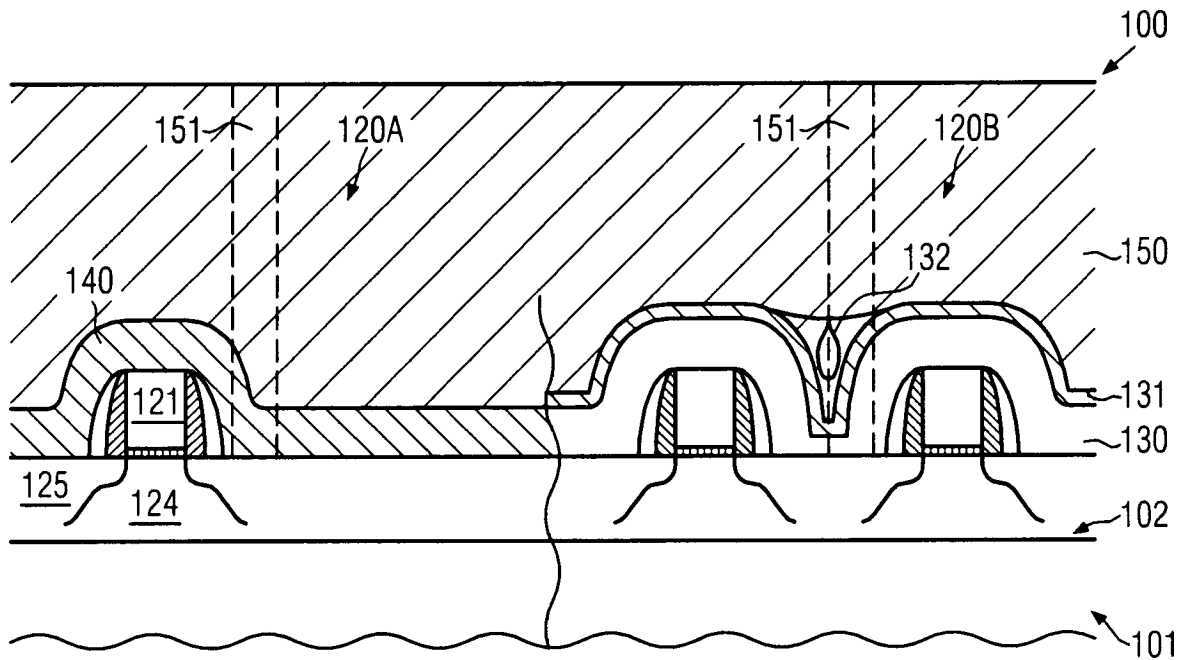


FIG. 1c (Stand der Technik)

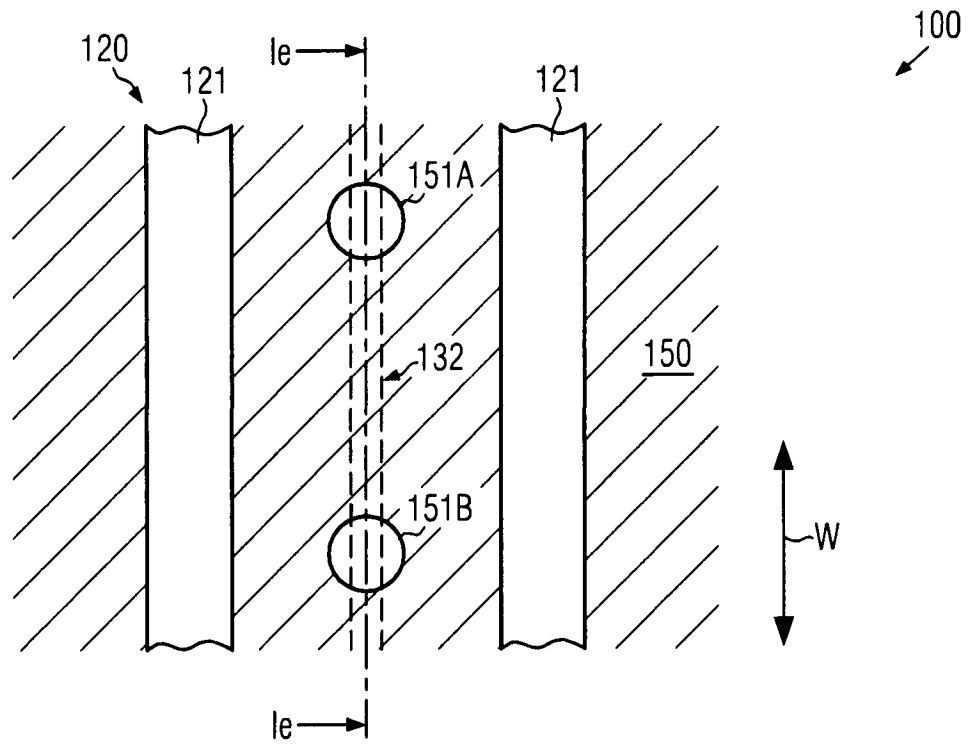


FIG. 1d (Stand der Technik)

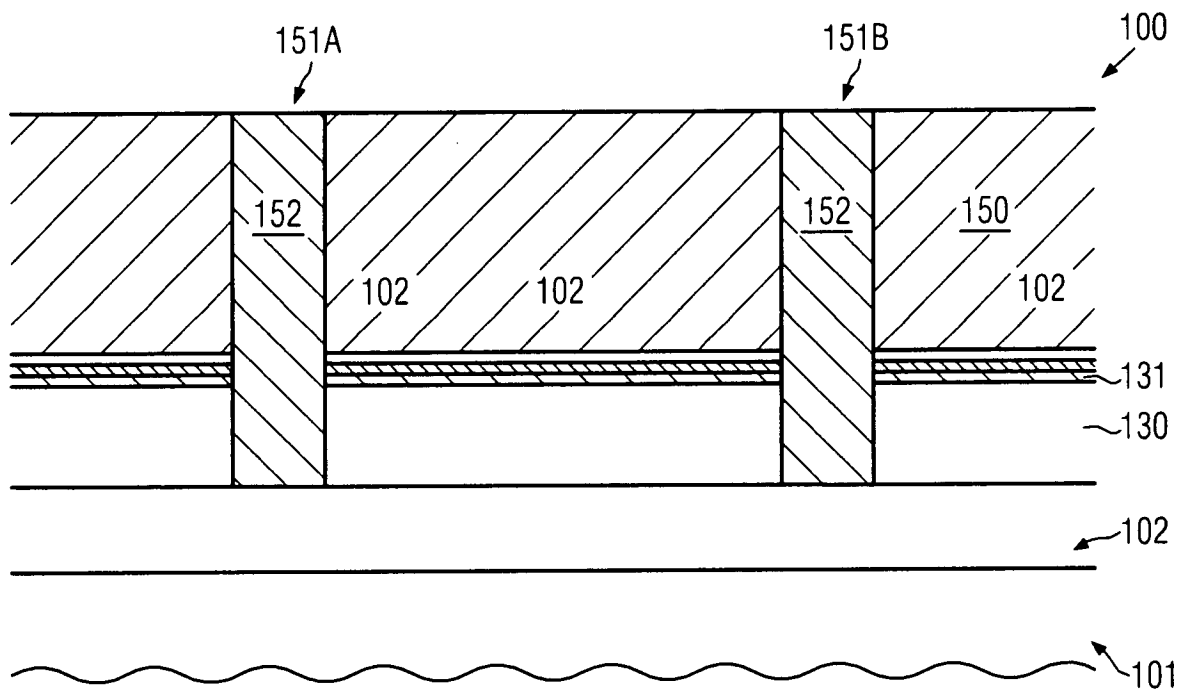


FIG. 1e (Stand der Technik)

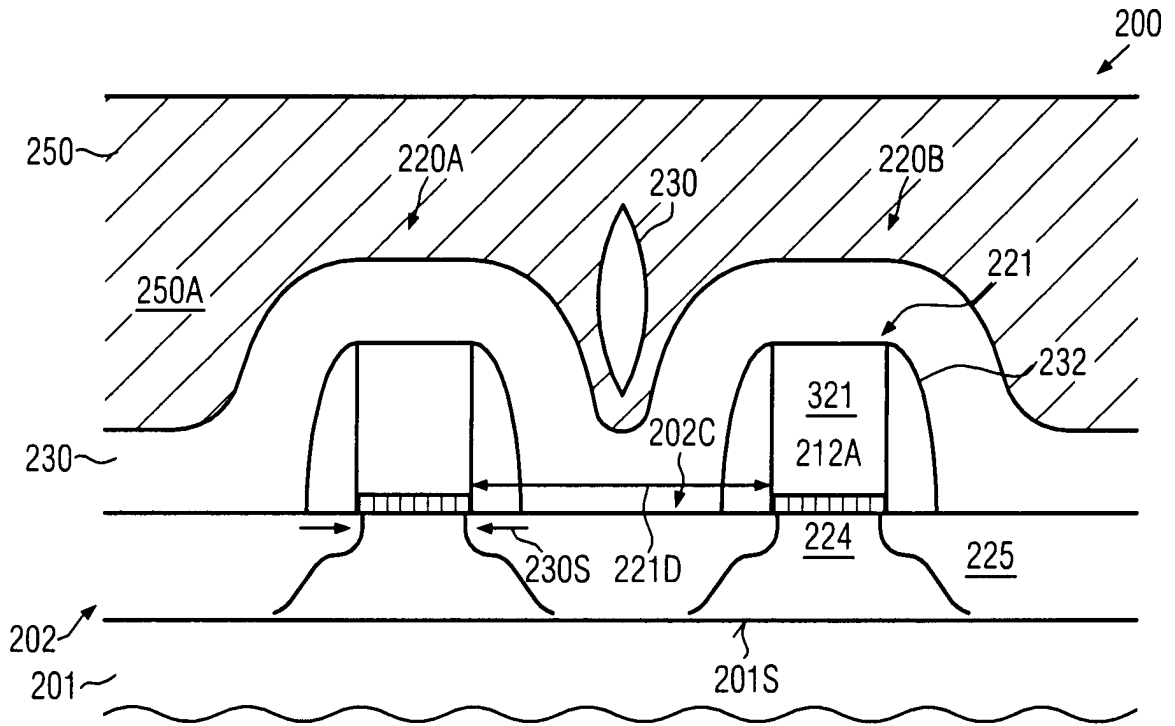


FIG. 2a

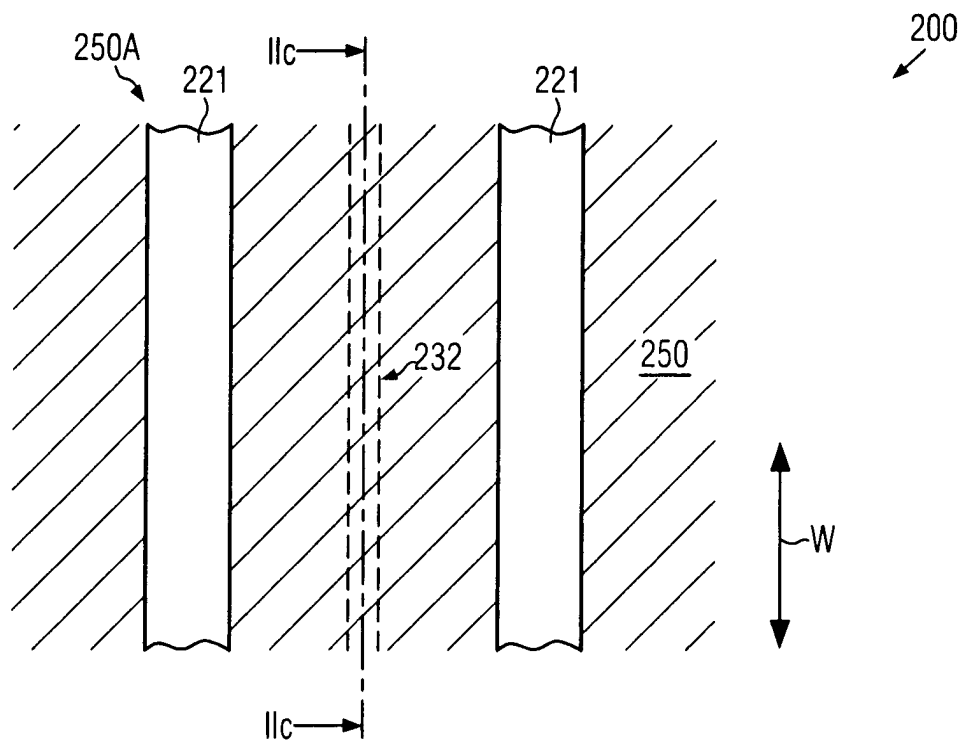


FIG. 2b

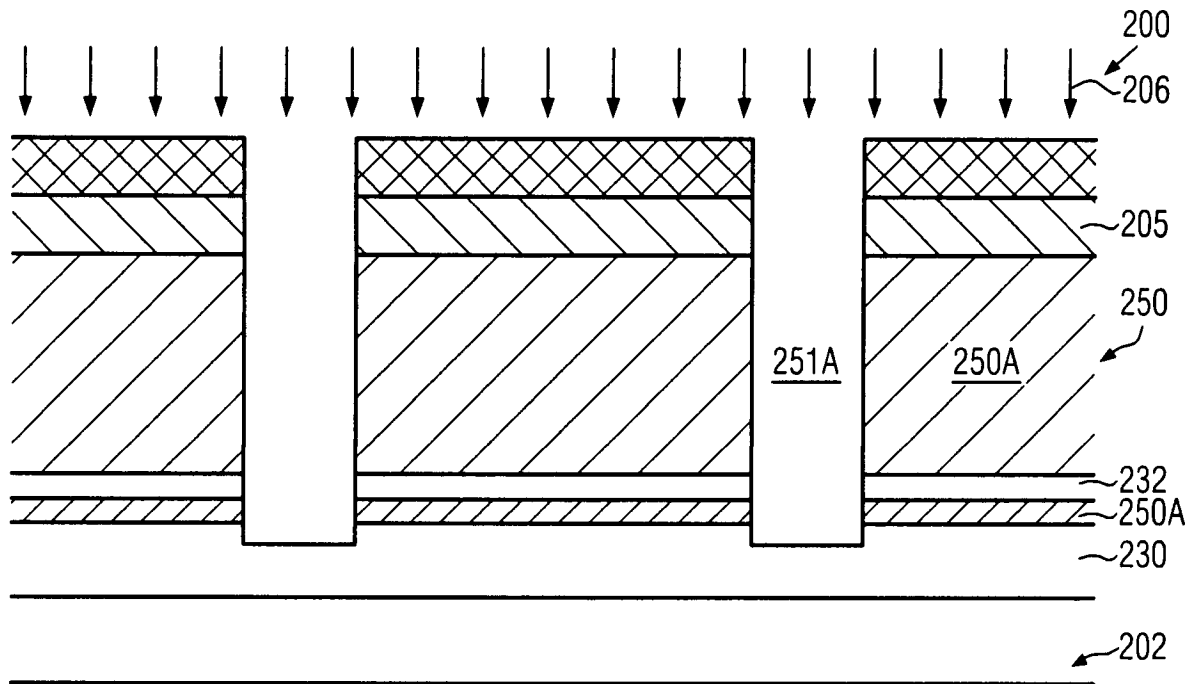


FIG. 2c

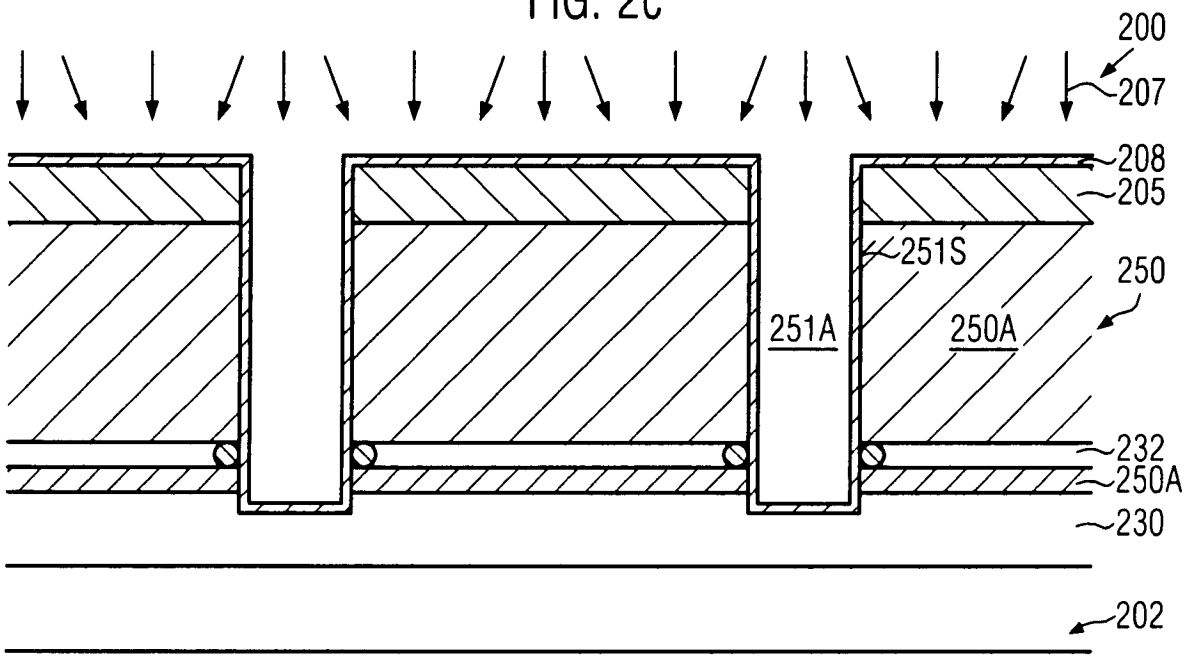


FIG. 2d

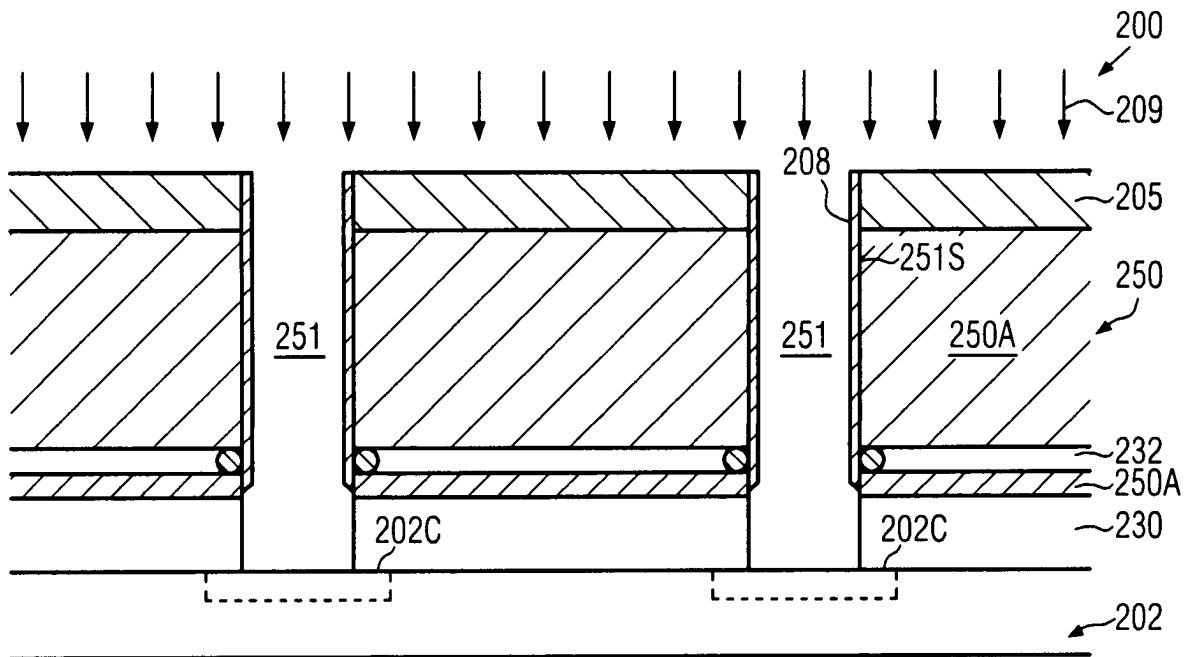


FIG. 2e

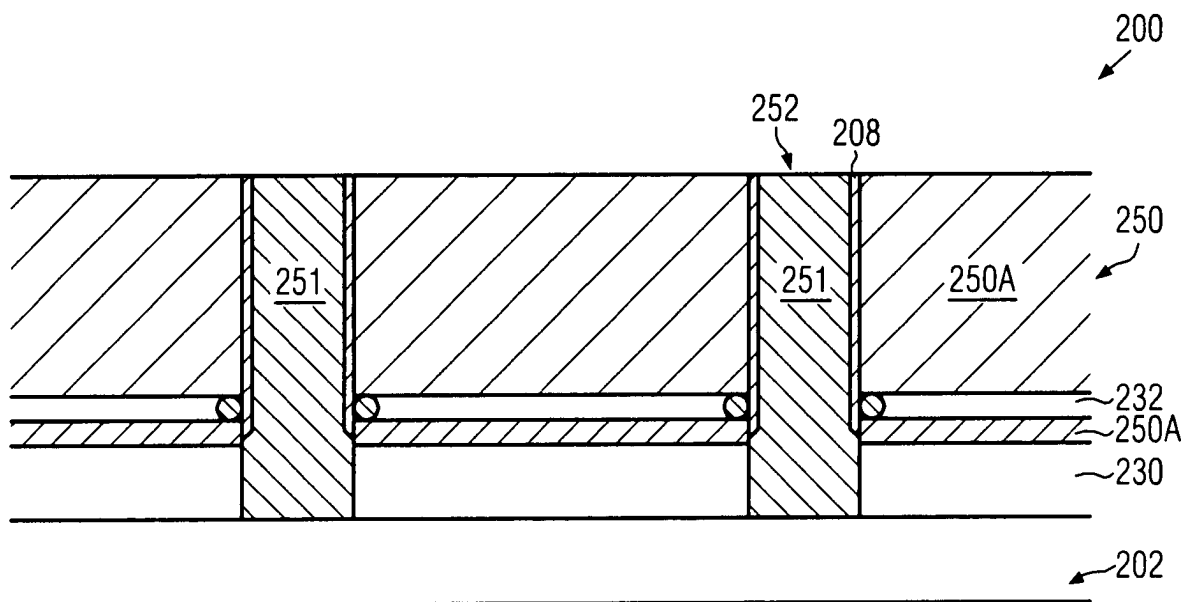


FIG. 2f

