

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5200408号
(P5200408)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int.Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 7 C

H O 1 L 29/78 6 1 6 K

H O 1 L 29/78 6 1 7 T

H O 1 L 29/78 6 1 8 A

H O 1 L 29/78 6 1 9 A

請求項の数 10 (全 19 頁)

(21) 出願番号 特願2007-108012 (P2007-108012)
 (22) 出願日 平成19年4月17日(2007.4.17)
 (65) 公開番号 特開2008-270335 (P2008-270335A)
 (43) 公開日 平成20年11月6日(2008.11.6)
 審査請求日 平成22年3月24日(2010.3.24)

(73) 特許権者 000001270
 コニカミノルタホールディングス株式会社
 東京都千代田区丸の内二丁目7番2号
 (74) 代理人 100085501
 弁理士 佐野 静夫
 (74) 代理人 100128842
 弁理士 井上 温
 (72) 発明者 平尾 雄也
 東京都日野市さくら町1番地コニカミノル
 タテクノロジーセンター株式会社内
 (72) 発明者 山田 潤
 東京都日野市さくら町1番地コニカミノル
 タテクノロジーセンター株式会社内

審査官 鈴木 聡一郎

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

フォトリソグラフィ法を用いた薄膜トランジスタの製造方法であって、
 ゲート電極層が形成された基板の上に成膜された感光性樹脂膜をフォトリソグラフィ法
 により所定のパターン形状に加工するパターンニング工程と、

前記所定のパターン形状に形成された感光性樹脂膜の所定の領域部分を除去せず残留さ
 せ、後工程で用いるリフトオフレジストとするリフトオフレジスト形成工程と、

前記リフトオフレジストの形成後に、前記基板上にソース電極およびドレイン電極を形
 成する工程と、

前記ソース電極および前記ドレイン電極に接合するように半導体膜を成膜し、該半導体
 膜および前記リフトオフレジストが形成された前記基板を覆うように半導体保護膜を成膜
 する保護膜成膜工程と、

前記リフトオフレジストの上に成膜されている半導体保護膜を除去する保護膜除去工程
 と、を有しており、

前記薄膜トランジスタは、前記基板の上に形成された画素電極層を有し、

前記リフトオフレジスト形成工程では、前記画素電極層の上に前記リフトオフレジスト
 を形成し、

前記パターンニング工程では、前記感光性樹脂膜を、多諧調露光および1回の現像によ
 り、前記画素電極層上のリフトオフレジスト領域を含む所定のパターン形状に加工するこ
 とを特徴とする薄膜トランジスタの製造方法。

10

20

【請求項 2】

フォトリソグラフィ法を用いた薄膜トランジスタの製造方法であって、
ソース電極およびドレイン電極が形成された基板の上に成膜された感光性樹脂膜をフォトリソグラフィ法により所定のパターン形状に加工するパターンニング工程と、

前記所定のパターン形状に形成された感光性樹脂膜の所定の領域部分を除去せず残留させ、後工程で用いるリフトオフレジストとするリフトオフレジスト形成工程と、

前記リフトオフレジストの形成後に、前記ソース電極および前記ドレイン電極に接合するように半導体膜を成膜し、該半導体膜および前記リフトオフレジストが形成された前記基板を覆うように半導体保護膜を成膜する保護膜成膜工程と、

前記リフトオフレジストの上に成膜されている半導体保護膜を除去する保護膜除去工程と、を有しており、

前記薄膜トランジスタは、前記基板の上に形成された画素電極層を有し、

前記リフトオフレジスト形成工程では、前記画素電極層の上に前記リフトオフレジストを形成し、

前記パターンニング工程では、前記感光性樹脂膜を、多諧調露光および1回の現像により、前記画素電極層上のリフトオフレジスト領域を含む所定のパターン形状に加工することを特徴とする薄膜トランジスタの製造方法。

【請求項 3】

前記パターンニング工程では、前記感光性樹脂膜を多諧調露光した後、第1の現像により前記所定のパターン形状に加工し、

前記リフトオフレジスト形成工程では、第2の現像により前記画素電極層の上の領域に形成された感光性樹脂膜を除く領域の感光性樹脂膜を除去することを特徴とする請求項1または2に記載の薄膜トランジスタの製造方法。

【請求項 4】

前記パターンニング工程にて、前記感光性樹脂膜が成膜される前記基板には、ゲート電極が形成されていることを特徴とする請求項2または3に記載の薄膜トランジスタの製造方法。

【請求項 5】

前記半導体保護膜の成膜後にゲート電極を形成する工程をさらに有していることを特徴とする請求項2または3に記載の薄膜トランジスタの製造方法。

【請求項 6】

前記感光性樹脂膜は、フォトレジスト膜であることを特徴とする請求項1から5のいずれか1項に記載の薄膜トランジスタの製造方法。

【請求項 7】

前記感光性樹脂膜は、ゲート絶縁膜であることを特徴とする請求項1または2に記載の薄膜トランジスタの製造方法。

【請求項 8】

前記パターンニング工程では、前記感光性樹脂膜をパターンニングすることによってバンクを形成し、

前記リフトオフレジストの形成後に前記基板上に形成されるソース電極、ドレイン電極または半導体膜の液滴材料を、前記バンクを利用して所定の領域に塗布することにより、前記ソース電極、前記ドレイン電極または前記半導体膜を形成することを特徴とする請求項1または2に記載の薄膜トランジスタの製造方法。

【請求項 9】

フォトリソグラフィ法を用いた薄膜トランジスタの製造方法であって、
ゲート電極、ゲート絶縁膜、ソース電極、ドレイン電極、および半導体膜が形成された態様の薄膜トランジスタが形成された基板の上に成膜された感光性樹脂膜をフォトリソグラフィ法により所定のパターン形状に加工するパターンニング工程と、

前記所定のパターン形状に形成された感光性樹脂膜の所定の領域部分を除去せず残留させ、後工程で用いるリフトオフレジストとするリフトオフレジスト形成工程と、

10

20

30

40

50

前記態様の薄膜トランジスタおよび前記リフトオフレジストが形成された前記基板を覆うように半導体保護膜を成膜する保護膜成膜工程と、

前記リフトオフレジストの上に成膜されている半導体保護膜を除去する保護膜除去工程と、を有しており、

前記薄膜トランジスタは、前記基板の上に形成された画素電極を有し、

前記リフトオフレジスト形成工程では、前記画素電極の上に前記リフトオフレジストを形成し、

前記パターンニング工程では、前記感光性樹脂膜を、多諧調露光および1回の現像により、前記画素電極上のリフトオフレジスト領域を含む所定のパターン形状に加工することを特徴とする薄膜トランジスタの製造方法。

10

【請求項10】

前記感光性樹脂膜は、PVA膜であることを特徴とする請求項9に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタの製造方法に関し、特にフォトリソグラフィ法を用いた薄膜トランジスタの製造方法に関する。

【背景技術】

【0002】

通常、平板型のディスプレイ装置においては、液晶、有機EL、電気泳動などを利用した素子を用いて表示媒体を形成している。また、このような表示媒体では画面輝度の均一性や画面書き換え速度などを確保するために、画像駆動素子として薄膜トランジスタ（以下、TFTとも記す）により構成されたアクティブ駆動素子を用いる技術が主流になっている。

20

【0003】

TFTは、通常、ガラス基板上に、主にa-Si（アモルファスシリコン）、p-Si（ポリシリコン）などの半導体薄膜や、ソース電極、ドレイン電極、ゲート電極などの金属薄膜を順次形成していくことで製造される。このTFTを用いるフラットパネルディスプレイの製造には、通常、CVD法、スパッタリング法などの真空系設備や高温処理工程を要する薄膜形成工程に加え、精度の高いフォトリソグラフィ法工程が必要とされ、設備コスト、ランニングコストの負荷が非常に大きい。さらに、近年のディスプレイの大画面化のニーズに伴い、それらのコストは非常に膨大なものとなっている。

30

【0004】

そこで、近年、従来のTFTのデメリットを補う技術として、有機半導体材料を用いた有機TFTの開発が盛んに進められている。有機TFTは、低温プロセスで製造可能であるため、軽く、割れ難い樹脂基板を用いることができ、さらに、樹脂フィルムを基板として用いたフレキシブルなディスプレイが実現できると言われている。また、大気圧下で、印刷や塗布などのウェットプロセスで製造できる有機半導体材料を用いることで、生産性に優れ、非常に低コストのディスプレイが実現できる。

40

【0005】

しかしながら、有機半導体材料は、シリコンなどの無機半導体と比べて、化学的に不安定な材料であり、可視光、紫外線の照射や、有機溶剤、酸素、水分などとの接触によって特性の変化や、性能の劣化が起こる。そこで、有機TFTをこのような性能に影響を及ぼす要因から保護するために、遮光性とガスバリア性を備えた保護膜（以下、パッシベーション膜とも記す）が半導体を覆うように形成されている。

【0006】

パッシベーション膜は、材料として有機材料、無機材料が用いられるが、酸素遮断性能、水蒸気遮断性能を考慮すると、少なくとも一層は無機材料を用いることが好ましい。無機材料の成膜には、無機材料を分散させた分散液や前駆体を溶解させた溶液などを用いる

50

ことができるが、薄膜性能は、真空プロセスを用いて成膜されたものよりも劣るため、通常、スパッタ法やCVD法を用いてSiO₂やパレリンなどを成膜している。

【0007】

ところで、パッシベーション膜は、通常、半導体以外の部分には不要である。例えば、画素電極がゲート電極、ソース電極、ドレイン電極と同じ面に形成されている場合は、画素電極の上のパッシベーション膜は不要であり除去する必要がある。また、開口率を上げるため、画素電極が基板の最上層の表面に形成され、下層に平坦膜が成膜されたTFTが配置された構造の場合、TFTのドレイン電極と画素電極を接続するためのスルーホールの開口部にはパッシベーション膜は不要であり除去する必要がある。

【0008】

このように、パッシベーション膜は、通常、半導体以外の部分には不要であり、所定の形状にパターニングする必要がある。

【0009】

パッシベーション膜のパターニング方法としては、フォトリソグラフィ法や真空蒸着法などのドライプロセスを用いた方法（例えば、特許文献1参照）や、パッシベーション膜の成膜前にリフトオフ用のレジスト膜を形成しておき、成膜後にリフトオフ用のレジスト層をリフトオフし除去する方法などが知られている。

【特許文献1】特開2004-221562号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、特許文献1に開示されている方法では、パッシベーション膜の成膜に加えて、パッシベーション膜のパターニングに際し、レジストパターンを形成するためのフォトリソグラフィ法工程が必要とされ、製造工程の複雑化と製造装置の高価格化を招くといった問題がある。また、フォトリソグラフィ法により、レジストパターンを形成する際に、前工程で完成しているTFTの位置に対して、高い精度の位置合わせが必要とされ、製造装置のさらなる高価格化に繋がるといった問題がある。また、リフトオフによりパッシベーション膜をパターニングする場合においても、リフトオフ用のレジスト膜をパターニングする際に、特許文献1の場合と同様に、フォトリソグラフィ法工程や高い精度の位置合わせが必要とされ、製造工程の複雑化と製造装置の高価格化を招くといった問題がある。

【0011】

本発明は、上記課題を鑑みてなされたもので、簡単な工程で、安定した性能が得られる薄膜トランジスタの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的は、下記の1乃至9いずれか1項に記載の発明によって達成される。

【0013】

1. フォトリソグラフィ法を用いた薄膜トランジスタの製造方法であって、ゲート電極層およびソース・ドレイン電極層の少なくともいずれか一方が形成された基板の上に成膜された感光性樹脂膜をフォトリソグラフィ法により所定のパターン形状に加工するパターニング工程と、前記所定のパターン形状に形成された感光性樹脂膜の所定の領域部分を除去せず残留させ、後工程で用いるリフトオフレジストとするリフトオフレジスト形成工程と、前記リフトオフレジスト形成工程の後に、ソース電極およびドレイン電極に接合するように半導体膜を成膜し、該半導体膜および前記リフトオフレジストが形成された前記基板を覆うように半導体保護膜を成膜する保護膜成膜工程と、前記リフトオフレジストの上に成膜されている半導体保護膜を除去する保護膜除去工程と、を有することを特徴とする薄膜トランジスタの製造方法。

【0014】

２．前記薄膜トランジスタは、前記基板の上に形成された画素電極層を有し、前記リフトオフレジスト形成工程は、前記画素電極層の上に前記リフトオフレジストを形成することを特徴とする前記１に記載の薄膜トランジスタの製造方法。

【００１５】

３．前記パターンニング工程は、前記感光性樹脂膜を多諧調露光および第１の現像により所定のパターン形状に加工し、前記リフトオフレジスト形成工程は、第２の現像により前記画素電極層の上の領域に形成された感光性樹脂膜を除く領域の感光性樹脂膜を除去することを特徴とする前記２に記載の薄膜トランジスタの製造方法。

【００１６】

４．前記感光性樹脂膜は、フォトレジスト膜であることを特徴とする前記１乃至３のいずれか１項に記載の薄膜トランジスタの製造方法。

【００１７】

５．前記感光性樹脂膜は、ゲート絶縁膜であることを特徴とする前記１または２に記載の薄膜トランジスタの製造方法。

【００１８】

６．前記感光性樹脂膜は、液滴材料を所定の領域に塗布する際に用いるバンク材料からなることを特徴とする前記１または２に記載の薄膜トランジスタの製造方法。

【００１９】

７．フォトリソグラフィ法を用いた薄膜トランジスタの製造方法であって、ゲート電極、ゲート絶縁膜、ソース電極、ドレイン電極、および半導体膜が形成された態様の薄膜トランジスタが形成された基板の上に成膜された感光性樹脂膜をフォトリソグラフィ法により所定のパターン形状に加工するパターンニング工程と、前記所定のパターン形状に形成された感光性樹脂膜の所定の領域部分を除去せず残留させ、後工程で用いるリフトオフレジストとするリフトオフレジスト形成工程と、前記態様の薄膜トランジスタおよび前記リフトオフレジストが形成された前記基板を覆うように半導体保護膜を成膜する保護膜成膜工程と、前記リフトオフレジストの上に成膜されている半導体保護膜を除去する保護膜除去工程と、を有することを特徴とする薄膜トランジスタの製造方法。

【００２０】

８．前記薄膜トランジスタは、前記基板の上に形成された画素電極を有し、前記リフトオフレジスト形成工程は、前記画素電極の上に前記リフトオフレジストを形成することを特徴とする前記７に記載の薄膜トランジスタの製造方法。

【００２１】

９．前記感光性樹脂膜は、ＰＶＡ膜であることを特徴とする前記７または８に記載の薄膜トランジスタの製造方法。

【発明の効果】

【００２２】

本発明によれば、薄膜トランジスタの製造過程で用いた感光性樹脂膜の所定の領域部分を除去せず残留させ、該残留部分を後工程で成膜された半導体保護膜をパターンニングする際のリフトオフレジストとして用いるようにした。これにより、半導体保護膜をパターンニングするために新たにリフトオフレジストを形成するフォトリソグラフィ法工程が不要となり、製造工程を簡略化することができる。

【００２３】

また、フォトリソグラフィ法により所定のパターン形状に加工された感光性樹脂膜の所定の領域部分をリフトオフレジストとすることにより、所定の領域部分の下地部材とリフトオフレジストとの相対位置は一意的に決まる。例えば、画素電極をパターンニングする際のエッチング用のレジストをリフトオフレジストとして用いると、画素電極の位置と半導体保護膜の開口部の位置を高精度で合致させることができる。すなわち、リフトオフレジストと下地部材の半導体保護膜を開口させたい領域との高い精度の位置合わせが不要

10

20

30

40

50

となり、製造装置を低価格化することができる。

【発明を実施するための最良の形態】

【0024】

以下図面に基づいて、本発明に係る薄膜トランジスタ（以下、TFTとも記する）の製造方法の実施の形態を説明する。尚、本発明を図示の実施の形態に基づいて説明するが、本発明は該実施の形態に限られない。

【0025】

〔実施形態1〕

図1に実施形態1によるTFTの製造工程を示す。図1(a)～図1(g)は、工程断面図である。実施形態1によるTFT1は、図1(g)に示すように、ボトムゲートボトムコンタクト型であり、画素電極PXとゲート電極Gが同じ工程で形成されている。実施形態1は、ゲート電極Gと画素電極PXをパターニングするためのフォトリソ膜103を利用したパッシベーション膜107（半導体保護膜）のパターニング方法である。

【0026】

以下、図1に基づいて、実施形態1によるTFT1のパッシベーション膜107のパターニング方法を説明する。

【0027】

最初に、基板101の上に形成されている電極層102からゲート電極G、画素電極PXをパターニングする為に、電極層102が形成された基板101の上にフォトリソ膜（感光性樹脂膜；以下、レジスト膜と略称す）103を成膜する（図1(a)）。

【0028】

次に、レジスト膜103の上からマスク露光を行う。露光時にハーフトーンマスク50を用いてハーフトーン露光（多諧調露光）をすることで、露光量が100%、中間値（例えば50%）、0%の領域が形成され、その領域は、それぞれ第1現像領域A1、第2現像領域A2、リフトオフレジスト領域A3となる（図1(b)）。

【0029】

第1現像工程において第1現像領域A1が現像処理されることでレジスト膜103がパターニングされ、その後のエッチング処理でゲート電極G、画素電極PXがパターニングされる（図1(c)；パターニング工程）。

【0030】

第2現像工程において第2現像領域A2が現像処理され、ゲート電極Gの上のレジスト膜103aが除去され、画素電極PXの上にのみレジスト膜103bが残留する。このレジスト膜103bがリフトオフレジストとなる（図1(d)；リフトオフレジスト形成工程）。

【0031】

次に、公知の手法を用いてゲート絶縁膜104、ソース電極S、ドレイン電極D、半導体膜105、PVA膜106を形成することで、ボトムゲートボトムコンタクト型のTFT10を作製する（図1(e)）。

【0032】

次に、TFT10、レジスト膜103bなどが形成された基板101を覆うように、パッシベーション膜107を成膜する（図1(f)；保護膜成膜工程）。成膜方法としては、通常用いられている方法で実施されればよく、手段は限定されない。また、パッシベーション膜107の材料としては、SiO₂やSiNxなどがあるが、TFTを保護する性能が充分であれば材料の種類も限定されない。

【0033】

最後に、ハーフトーン露光でリフトオフレジスト領域A3となった画素電極PXの上に残留したレジスト膜103bをリフトオフする。リフトオフによりレジスト膜103bとレジスト膜103bの上に成膜されたパッシベーション膜107bが除去されて、パッシベーション膜107がパターニングされ、画素電極PXが露出したTFT1が完成する（図1(g)；保護膜除去工程）。

【 0 0 3 4 】

〔 実施形態 2 〕

図 2 に実施形態 2 による T F T の製造工程を示す。図 2 (a) ~ 図 2 (h) は、工程断面図である。実施形態 2 による T F T 1 は、図 2 (h) に示すように、実施形態 1 の場合と同様に、ボトムゲートボトムコンタクト型であり、画素電極 P X とゲート電極 G が同じ工程で形成されている。実施形態 2 は、ゲート絶縁膜 1 0 4 を利用したパッシベーション膜 1 0 7 のパターニング方法である。

【 0 0 3 5 】

以下、図 2 に基づいて、実施形態 2 による T F T 1 のパッシベーション膜 1 0 7 のパターニング方法を説明する。

10

【 0 0 3 6 】

最初に、基板 1 0 1 の上に形成されている電極層 1 0 2 からゲート電極 G、画素電極 P X をパターニングする為に、電極層 1 0 2 が形成された基板 1 0 1 の上にレジスト膜 1 0 3 を成膜する (図 2 (a))。

【 0 0 3 7 】

次に、レジスト膜 1 0 3 の上からマスク露光を行う (図 2 (b))。その後、現像処理、エッチング処理を行うことで、レジスト膜 1 0 3 が除去された領域の電極層 1 0 2 がエッチングされる。エッチング後に電極層 1 0 2 の上に残留したレジスト膜 1 0 3 を剥離することで、ゲート電極 G、画素電極 P X がパターニングされる (図 2 (c))。

20

【 0 0 3 8 】

次に、ゲート電極 G、画素電極 P X がパターニングされた基板 1 0 1 の上に感光性を有するゲート絶縁膜 1 0 4 (感光性樹脂膜) を成膜する (図 2 (d))。

【 0 0 3 9 】

次に、ゲート絶縁膜 1 0 4 の上からマスク露光を行う。露光時にハーフトーンマスク 5 0 を用いてハーフトーン露光をすることで、露光量が 1 0 0 %、中間値 (例えば 5 0 %)、0 % の領域が形成され、その領域は、それぞれ第 1 現像領域 A 1、リフトオフレジスト領域 A 2、ゲート絶縁膜領域 A 3 となる (図 2 (e))。

【 0 0 4 0 】

第 1 現像工程において第 1 現像領域 A 1 が現像処理されることでゲート絶縁膜 1 0 4 がパターニングされ、ゲート絶縁膜 1 0 4 a と後工程でリフトオフされるリフトオフレジストとなる画素電極 P X の上のゲート絶縁膜 1 0 4 b が基板 1 0 1 の上に残留する (図 2 (f))。

30

【 0 0 4 1 】

次に、公知の手法を用いてソース電極 S、ドレイン電極 D、半導膜 1 0 5、P V A 膜 1 0 6 を形成することで、ボトムゲートボトムコンタクト型の T F T 1 0 を作製する。

【 0 0 4 2 】

次に、T F T 1 0、ゲート絶縁膜 1 0 4 b などが形成された基板 1 0 1 を覆うように、パッシベーション膜 1 0 7 を成膜する (図 2 (g))。

【 0 0 4 3 】

最後に、ハーフトーン露光でリフトオフレジスト領域 A 2 となった画素電極 P X の上に残留したゲート絶縁膜 1 0 4 b をリフトオフする。リフトオフによりゲート絶縁膜 1 0 4 b とゲート絶縁膜 1 0 4 b の上に成膜されたパッシベーション膜 1 0 7 b が除去されて、パッシベーション膜 1 0 7 がパターニングされ、画素電極 P X が露出した T F T 1 が完成する (図 2 (h))。

40

【 0 0 4 4 】

〔 実施形態 3 〕

図 3 に実施形態 3 による T F T の製造工程を示す。図 3 (a) ~ 図 3 (g) は、工程断面図である。実施形態 3 による T F T 1 は、図 3 (g) に示すように、実施形態 1 の場合と同様に、ボトムゲートボトムコンタクト型であり、画素電極 P X とゲート電極 G が同じ工程で形成されている。実施形態 3 は、ソース電極 S、ドレイン電極 D を形成するための

50

バンクとなるレジスト膜 103 を利用したパッシベーション膜 107 のパターンニング方法である。

【0045】

以下、図3に基づいて、実施形態3によるTF T1のパッシベーション膜107のパターンニング方法を説明する。

【0046】

最初に、図3(a)に示す工程の前工程として、実施形態2で前述した図2(a)～図2(c)の工程を経てゲート電極G、画素電極PXをパターンニングする。次に、ゲート電極G、画素電極PXがパターンニングされた基板101の上に感光性を有するゲート絶縁膜104を成膜する。その後、ゲート絶縁膜104の上からマスク露光、現像処理を行うこと
10

【0047】

次に、ゲート電極G、画素電極PX、ゲート絶縁膜104aがパターンニングされた基板101の上にソース電極S、ドレイン電極Dを形成するためのバンクとなるレジスト膜103を成膜する(図3(b))。

【0048】

次に、レジスト膜103の上からマスク露光を行う。露光時にハーフトーンマスク50を用いてハーフトーン露光をすることで、露光量が100%、中間値(例えば50%)、0%の領域が形成され、その領域は、それぞれ第1現像領域A1、リフトオフレジスト領域A2、ソース・ドレイン電極形成用バンク領域A3となる(図3(c))。
20

【0049】

第1現像工程において第1現像領域A1が現像処理されることでレジスト膜103がパターンニングされ、ソース・ドレイン電極形成用バンクとなるレジスト膜103aと後工程でリフトオフされるリフトオフレジストとなる画素電極PXの上のレジスト膜103bが基板101の上に残留する(図3(d))。

【0050】

次に、インクジェット法などの溶液プロセスやスパッタ法、蒸着などの方法を用い、ソース・ドレイン電極形成用バンク(レジスト膜103a)を利用してソース電極S、ドレイン電極Dを形成し、その後、ソース・ドレイン電極形成用バンク(レジスト膜103a)を剥離する(図3(e))。
30

【0051】

次に、公知の手法を用いて半導膜105、PVA膜106を形成することで、ボトムゲートボトムコンタクト型のTF T10を作製する。

【0052】

次に、TF T10、レジスト膜103bなどが形成された基板101を覆うように、パッシベーション膜107を成膜する(図3(f))。

【0053】

最後に、ハーフトーン露光でリフトオフレジスト領域A2となった画素電極PXの上に残留したレジスト膜103bをリフトオフする。リフトオフによりレジスト膜103bとレジスト膜103bの上に成膜されたパッシベーション膜107bが除去されて、パッシベーション膜107がパターンニングされ、画素電極PXが露出したTF T1が完成する(図3(g))。
40

【0054】

〔実施形態4〕

図4に実施形態4によるTF Tの製造工程を示す。図4(a)～図4(f)は、工程断面図である。実施形態4によるTF T1は、図4(f)に示すように、実施形態1の場合と同様に、ボトムゲートボトムコンタクト型であり、画素電極PXとゲート電極Gが同じ工程で形成されている。実施形態4は、半導膜105を形成するためのバンク108を利用したパッシベーション膜のパターンニング方法である。

【0055】

10

20

30

40

50

以下、図 4 に基づいて、実施形態 4 による T F T 1 のパッシベーション膜 1 0 7 のパターンニング方法を説明する。

【 0 0 5 6 】

最初に、図 4 (a) に示す工程の前工程として、実施形態 1 ~ 実施形態 3 で前述した方法に準拠して、基板 1 0 1 の上にゲート電極 G、ゲート絶縁膜 1 0 4、ソース電極 S、ドレイン電極 D、画素電極 P X を形成する。

【 0 0 5 7 】

次に、ソース電極 S、ドレイン電極 D、画素電極 P X などが形成された基板 1 0 1 の上に半導体膜 1 0 5 を形成するためのバンク 1 0 8 a となる感光性を有するバンク材料 1 0 8 (感光性樹脂膜) を成膜する (図 4 (a))。

10

【 0 0 5 8 】

次に、バンク 1 0 8 の上からマスク露光を行う。露光時にハーフトーンマスク 5 0 を用いてハーフトーン露光をすることで、露光量が 1 0 0 %、中間値 (例えば 5 0 %)、0 % の領域が形成され、その領域は、それぞれ第 1 現像領域 A 1、リフトオフレジスト領域 A 2、半導体膜形成用バンク領域 A 3 となる (図 4 (b))。

【 0 0 5 9 】

第 1 現像工程において第 1 現像領域 A 1 が現像処理されることでバンク 1 0 8 がパターンニングされ、半導体膜形成用バンクとなるバンク 1 0 8 a と後工程でリフトオフされるリフトオフレジストとなる画素電極 P X の上のバンク 1 0 8 b が基板 1 0 1 の上に残留する (図 4 (c))。

20

【 0 0 6 0 】

次に、インクジェット法やディスペンサ法などの溶液プロセスを用い、半導体膜形成用バンク (バンク 1 0 8 a) を利用して半導体膜 1 0 5 を形成する (図 4 (d))。

【 0 0 6 1 】

次に、公知の手法を用いて P V A 膜 1 0 6 を形成することで、ボトムゲートボトムコンタクト型の T F T 1 0 を作製する。

【 0 0 6 2 】

次に、T F T 1 0、バンク 1 0 8 b などが形成された基板 1 0 1 を覆うように、パッシベーション膜 1 0 7 を成膜する (図 4 (e))。

【 0 0 6 3 】

30

最後に、ハーフトーン露光でリフトオフレジスト領域 A 2 となった画素電極 P X の上に残留したバンク 1 0 8 b をリフトオフする。リフトオフによりバンク 1 0 8 b とバンク 1 0 8 b の上に成膜されたパッシベーション膜 1 0 7 b が除去されて、パッシベーション膜 1 0 7 がパターンニングされ、画素電極 P X が露出した T F T 1 が完成する (図 4 (f))。

【 0 0 6 4 】

〔 実施形態 5 〕

図 5 に実施形態 5 による T F T の製造工程を示す。図 5 (a) ~ 図 5 (f) は、工程断面図である。実施形態 5 による T F T 1 は、図 5 (f) に示すように、実施形態 1 の場合と同様に、ボトムゲートボトムコンタクト型であり、画素電極 P X とゲート電極 G が同じ工程で形成されている。実施形態 5 は、P V A 膜 1 0 6 を利用したパッシベーション膜 1 0 7 のパターンニング方法である。

40

【 0 0 6 5 】

以下、図 5 に基づいて、実施形態 5 による T F T 1 のパッシベーション膜 1 0 7 のパターンニング方法を説明する。

【 0 0 6 6 】

最初に、図 5 (a) に示す工程の前工程として、実施形態 1 ~ 実施形態 4 で前述した方法に準拠して、基板 1 0 1 の上にゲート電極 G、ゲート絶縁膜 1 0 4、ソース電極 S、ドレイン電極 D、半導体膜 1 0 5、画素電極 P X が形成された態様の T F T 1 1 を形成する。

50

【 0 0 6 7 】

次に、T F T 1 1 が形成された基板 1 0 1 の上に感光性を有する P V A 膜 1 0 6 (感光性樹脂膜) を成膜する (図 5 (b)) 。

【 0 0 6 8 】

次に、P V A 膜 1 0 6 の上からマスク露光を行う。露光時にハーフトーンマスク 5 0 を用いてハーフトーン露光をすることで、露光量が 1 0 0 % 、中間値 (例えば 5 0 %) 、0 % の領域が形成され、その領域は、それぞれ第 1 現像領域 A 1 、リフトオフレジスト領域 A 2 、半導体膜保護用 P V A 領域 A 3 となる (図 5 (c)) 。

【 0 0 6 9 】

第 1 現像工程において第 1 現像領域 A 1 が現像処理されることで P V A 膜 1 0 6 がパターンニングされ、半導体膜 1 0 5 の保護用となる P V A 膜 1 0 6 a と後工程でリフトオフされるリフトオフレジストとなる画素電極 P X の上の P V A 膜 1 0 6 b が基板 1 0 1 の上に残留する (図 5 (d) ; パターンニング工程、リフトオフレジスト形成工程) 。

10

【 0 0 7 0 】

次に、T F T 1 0 、 P V A 膜 1 0 6 b などが形成された基板 1 0 1 を覆うように、パッシベーション膜 1 0 7 を成膜する (図 5 (e) ; 保護膜成膜工程) 。

【 0 0 7 1 】

最後に、ハーフトーン露光でリフトオフレジスト領域 A 2 となった画素電極 P X の上に残留した P V A 膜 1 0 6 b をリフトオフする。リフトオフにより P V A 膜 1 0 6 b と P V A 膜 1 0 6 b の上に成膜されたパッシベーション膜 1 0 7 b が除去されて、パッシベーション膜 1 0 7 がパターンニングされ、画素電極 P X が露出した T F T 1 が完成する (図 5 (f) ; 保護膜除去工程) 。

20

【 0 0 7 2 】

〔 実施形態 6 〕

図 6 に実施形態 6 による T F T の製造工程を示す。図 6 (a) ~ 図 6 (h) は、工程断面図である。実施形態 6 による T F T 1 は、図 6 (h) に示すように、ボトムゲートボトムコンタクト型であり、画素電極 P X とソース電極 S 、ドレイン電極 D が同じ工程で形成されている。実施形態 6 は、画素電極 P X とソース電極 S 、ドレイン電極 D をパターンニングするためのレジスト膜 1 0 3 を利用したパッシベーション膜 1 0 7 のパターンニング方法である。

30

【 0 0 7 3 】

以下、図 6 に基づいて、実施形態 1 による T F T 1 のパッシベーション膜 1 0 7 のパターンニング方法を説明する。

【 0 0 7 4 】

最初に、図 6 (a) に示す工程の前工程として、実施形態 1 ~ 実施形態 5 で前述した方法に準拠して、基板 1 0 1 の上にゲート電極 G 、ゲート絶縁膜 1 0 4 を形成する。その後、ゲート絶縁膜 1 0 4 などが形成された基板 1 0 1 の上に後工程でソース電極 S 、ドレイン電極 D 、画素電極 P X となる電極層 1 0 9 を成膜する。

【 0 0 7 5 】

次に、基板 1 0 1 の上に形成されている電極層 1 0 9 からソース電極 S 、ドレイン電極 D 、画素電極 P X をパターンニングする為に、電極層 1 0 9 が形成された基板 1 0 1 の上にレジスト膜 1 0 3 を成膜する (図 6 (b)) 。

40

【 0 0 7 6 】

次に、レジスト膜 1 0 3 の上からマスク露光を行う。露光時にハーフトーンマスク 5 0 を用いてハーフトーン露光をすることで、露光量が 1 0 0 % 、中間値 (例えば 5 0 %) 、0 % の領域が形成され、その領域は、それぞれ第 1 現像領域 A 1 、第 2 現像領域 A 2 、リフトオフレジスト領域 A 3 となる (図 6 (c)) 。

【 0 0 7 7 】

第 1 現像工程において第 1 現像領域 A 1 が現像処理されることでレジスト膜 1 0 3 がパターンニングされ、その後のエッチング処理でソース電極 S 、ドレイン電極 D 、画素電極

50

P Xがパターンニングされる(図6(d))。

【0078】

第2現像工程において第2現像領域A2が現像処理されソース電極Sとドレイン電極Dの上のレジスト膜103aが除去され、画素電極P Xの上にのみレジスト膜103bが残留する。このレジスト膜103bがリフトオフレジストとなる(図6(e))。

【0079】

次に、公知の手法を用いて半導膜105、PVA106膜を形成することで、ボトムゲートボトムコンタクト型のTF T10を作製する(図6(f))。

【0080】

次に、TF T10、レジスト膜103bなどが形成された基板101を覆うように、パ
10 ッシベーション膜107を成膜する(図6(g))。

【0081】

最後に、ハーフトーン露光でリフトオフレジスト領域A3となった画素電極P Xの上に
残留したレジスト膜103bをリフトオフする。リフトオフによりレジスト膜103bと
レジスト膜103bの上に成膜されたパッシベーション膜107bが除去されて、パッシ
ベーション膜107がパターンニングされ、画素電極P Xが露出したTF T1が完成する(図6(h))。

【0082】

〔実施形態7〕

図7に実施形態7によるTF Tの製造工程を示す。図7(a)~図7(f)は、工程断
20 面図である。実施形態7によるTF T1は、図7(f)に示すように、ボトムゲートボトム
コンタクト型であり、画素電極P Xとソース電極S、ドレイン電極Dが同じ工程で形成
されている。実施形態7は、半導膜105を形成するためのバンク108を利用したパ
ッシベーション膜のパターンニング方法である。

【0083】

尚、実施形態7によるTF T1の製造工程は、画素電極P Xとソース電極S、ドレイン
電極Dが同じ工程で形成されていることを除いては、実施形態4の場合と概ね同様である
ことから、説明は省略する。

【0084】

〔実施形態8〕

図8に実施形態8によるTF Tの製造工程を示す。図8(a)~図8(f)は、工程断
30 面図である。実施形態8によるTF T1は、図8(f)に示すように、ボトムゲートボトム
コンタクト型であり、画素電極P Xとソース電極S、ドレイン電極Dが同じ工程で形成
されている。実施形態8は、PVA膜106を利用したパッシベーション膜107のパタ
ーニング方法である。

【0085】

尚、実施形態8によるTF T1の製造工程は、画素電極P Xとソース電極S、ドレイン
電極Dが同じ工程で形成されていることを除いては、実施形態5の場合と概ね同様である
ことから、説明は省略する。

【0086】

〔実施形態9〕

図9に実施形態9によるTF Tの製造工程を示す。図9(a)~図9(f)は、工程断
40 面図である。実施形態9によるTF T1は、図9(f)に示すように、トップゲートボトム
コンタクト型であり、画素電極P Xとソース電極S、ドレイン電極Dが同じ工程で形成
されている。実施形態9は、画素電極P Xとソース電極S、ドレイン電極Dをパターン
ニングするためのレジスト膜103を利用したパッシベーション膜107のパターンニング方法
である。

【0087】

以下、図9に基づいて、実施形態9によるTF T1のパッシベーション膜107のパタ
ーニング方法を説明する。
50

【 0 0 8 8 】

最初に、基板 1 0 1 の上に形成されている電極層 1 0 9 からソース電極 S、ドレイン電極 D、画素電極 P X をパターンニングする為に、電極層 1 0 9 が形成された基板 1 0 1 の上にレジスト膜 1 0 3 を成膜する（図 9（a））。

【 0 0 8 9 】

次に、レジスト膜 1 0 3 の上からマスク露光を行う。露光時にハーフトーンマスク 5 0 を用いてハーフトーン露光をすることで、露光量が 1 0 0 %、中間値（例えば 5 0 %）、0 % の領域が形成され、その領域は、それぞれ第 1 現像領域 A 1、第 2 現像領域 A 2、リフトオフレジスト領域 A 3 となる（図 9（b））。

【 0 0 9 0 】

第 1 現像工程において第 1 現像領域 A 1 が現像処理されることでレジスト膜 1 0 3 がパターンニングされ、その後のエッチング処理でソース電極 S、ドレイン電極 D、画素電極 P X がパターンニングされる（図 9（c））。

【 0 0 9 1 】

第 2 現像工程において第 2 現像領域 A 2 が現像処理され、ソース電極 S とドレイン電極 D の上のレジスト膜 1 0 3 a が除去され、画素電極 P X の上にのみレジスト膜 1 0 3 b が残留する。このレジスト膜 1 0 3 b がリフトオフレジストとなる。その後、公知の手法を用いて、ソース電極 S とドレイン電極 D との間のチャネル部に半導体膜 1 0 5 を形成する（図 9（d））。

【 0 0 9 2 】

次に、スピンコート法などを用いて、半導体膜 1 0 5、レジスト膜 1 0 3 b などが形成された基板 1 0 1 を覆うように、ゲート絶縁膜 1 0 4 を成膜する。その後、ゲート絶縁膜 1 0 4 の上にゲート電極 G を形成することで、トップゲートボトムコンタクト型の T F T 1 0 を作製する（図 9（e））。この場合、ゲート絶縁膜 1 0 4 は、半導体膜 1 0 5 の上を覆うことになりパッシベーション膜としても機能する。

【 0 0 9 3 】

最後に、ハーフトーン露光でリフトオフレジスト領域 A 3 となった画素電極 P X の上に残留したレジスト膜 1 0 3 b をリフトオフする。リフトオフによりレジスト膜 1 0 3 b とレジスト膜 1 0 3 b の上に成膜されたゲート絶縁膜 1 0 4 b が除去されて、パッシベーション膜として機能するゲート絶縁膜 1 0 4 がパターンニングされ、画素電極 P X が露出した T F T 1 が完成する（図 9（f））。

【 0 0 9 4 】

〔実施形態 1 0〕

図 1 0 に実施形態 1 0 による T F T の製造工程を示す。図 1 0（a）～図 1 0（h）は、工程断面図である。実施形態 1 0 による T F T 1 は、図 1 0（h）に示すように、実施形態 9 の場合と同様に、トップゲートボトムコンタクト型であり、画素電極 P X とソース電極 S、ドレイン電極 D が同じ工程で形成されている。実施形態 1 0 は、半導体膜 1 0 5 を形成するためのバンク 1 0 8 を利用したパッシベーション膜のパターンニング方法である。

【 0 0 9 5 】

以下、図 1 0 に基づいて、実施形態 1 0 による T F T 1 のパッシベーション膜 1 0 7 のパターンニング方法を説明する。

【 0 0 9 6 】

最初に、図 1 0（a）に示す工程の前工程として、実施形態 1 ～実施形態 9 で前述した方法に準拠して、基板 1 0 1 の上にソース電極 S、ドレイン電極 D、画素電極 P X を形成する。

【 0 0 9 7 】

次に、ソース電極 S、ドレイン電極 D、画素電極 P X が形成された基板 1 0 1 の上に半導体膜 1 0 5 を形成するためのバンク 1 0 8 a となる感光性を有するバンク 1 0 8 材料を成膜する（図 1 0（b））。

【 0 0 9 8 】

次に、バンク 1 0 8 の上からマスク露光を行う。露光時にハーフトーンマスク 5 0 を用いてハーフトーン露光をすることで、露光量が 1 0 0 %、中間値（例えば 5 0 %）、0 % の領域が形成され、その領域は、それぞれ第 1 現像領域 A 1、リフトオフレジスト領域 A 2、半導体膜形成用バンク領域 A 3 となる（図 1 0（c））。

【 0 0 9 9 】

第 1 現像工程において第 1 現像領域 A 1 が現像処理されることでバンク 1 0 8 がパターンニングされ、半導体膜形成用バンクとなるバンク 1 0 8 a と後工程でリフトオフされるリフトオフレジストとなる画素電極 P X の上のバンク 1 0 8 b が基板 1 0 1 の上に残留する（図 1 0（d））。

10

【 0 1 0 0 】

次に、インクジェット法やディスペンサ法などの溶液プロセスを用い、半導体膜形成用バンク（バンク 1 0 8 a）を利用して半導体膜 1 0 5 を形成する（図 1 0（e））。

【 0 1 0 1 】

次に、スピコート法などを用いて、半導体膜 1 0 5、バンク 1 0 8 b などが形成された基板 1 0 1 を覆うように、ゲート絶縁膜 1 0 4 を成膜する（図 1 0（f））。その後、ゲート絶縁膜 1 0 4 の上にゲート電極 G を形成することで、トップゲートボトムコンタクト型の T F T 1 0 を作製する（図 1 0（g））。この場合、ゲート絶縁膜 1 0 4 は、半導体膜 1 0 5 の上を覆うことになりパッシベーション膜としても機能する。

20

【 0 1 0 2 】

最後に、ハーフトーン露光でリフトオフレジスト領域 A 2 となった画素電極 P X の上に残留したバンク 1 0 8 b をリフトオフする。リフトオフによりバンク 1 0 8 b とバンク 1 0 8 b の上に成膜されたゲート絶縁膜 1 0 4 b が除去されて、パッシベーション膜として機能するゲート絶縁膜 1 0 4 がパターンニングされ、画素電極 P X が露出した T F T 1 が完成する（図 1 0（h））。

【 0 1 0 3 】

〔実施形態 1 1〕

図 1 1 に実施形態 1 1 による T F T の製造工程を示す。図 1 1（a）～図 1 1（j）は、工程断面図である。実施形態 1 1 による T F T 1 は、図 1 1（h）に示すように、実施形態 9 の場合と同様に、トップゲートボトムコンタクト型であり、画素電極 P X とソース電極 S、ドレイン電極 D が同じ工程で形成されている。実施形態 1 1 は、ゲート絶縁膜 1 0 4 を利用したパッシベーション膜 1 0 7 のパターンニング方法である。

30

【 0 1 0 4 】

以下、図 1 1 に基づいて、実施形態 1 1 による T F T 1 のパッシベーション膜 1 0 7 のパターンニング方法を説明する。

【 0 1 0 5 】

最初に、図 1 1（a）に示す工程の前工程として、実施形態 1 ～実施形態 1 0 で前述した方法に準拠して、基板 1 0 1 の上にソース電極 S、ドレイン電極 D、画素電極 P X を形成する。

【 0 1 0 6 】

次に、公知の手法を用いて、ソース電極 S とドレイン電極 D との間のチャネル部に半導体膜 1 0 5 を形成する（図 1 1（b））。

40

【 0 1 0 7 】

次に、ソース電極 S、ドレイン電極 D、画素電極 P X、半導体膜 1 0 が形成された基板 1 0 1 を覆うように、感光性を有するゲート絶縁膜 1 0 4 を成膜する（図 1 1（c））。この場合、ゲート絶縁膜 1 0 4 は、半導体膜 1 0 5 の上を覆うことになりパッシベーション膜としても機能する。

【 0 1 0 8 】

次に、ゲート絶縁膜 1 0 4 の上からマスク露光を行う。露光時にハーフトーンマスク 5 0 を用いてハーフトーン露光をすることで、露光量が 1 0 0 %、中間値（例えば 5 0 %）

50

、0%の領域が形成され、その領域は、それぞれ第1現像領域A1、リフトオフレジスト領域A2、ゲート絶縁膜領域A3となる(図11(d))。

【0109】

第1現像工程において第1現像領域A1が現像処理されることでゲート絶縁膜104がパターンニングされ、ゲート絶縁膜104aと後工程でリフトオフされるリフトオフレジストとなる画素電極PXの上のゲート絶縁膜104bが基板101の上に残留する(図11(e))。

【0110】

次に、ゲート電極Gをパターンニングするために、ゲート絶縁膜104a、ゲート絶縁膜104bなどが形成された基板101の上にレジスト膜103を成膜する(図11(f))。

10

【0111】

次に、レジスト膜103の上からマスク露光、現像処理を行いゲート電極Gが形成される部分のレジスト膜103aを除去する。

【0112】

次に、ゲート電極Gを形成するためのレジスト膜103bがパターンニングされた基板101の上に、蒸着法やスパッタ法などを用いて電極層102を成膜する(図11(h))。その後、レジスト膜103bを基板101から剥離することで所望の部分にゲート電極Gが形成され、トップゲートボトムコンタクト型のTF T10を作製する(図11(i))。

20

【0113】

最後に、ハーフトーン露光でリフトオフレジスト領域A2となった画素電極PXの上に残留したゲート絶縁膜104bをリフトオフする。リフトオフによりゲート絶縁膜104bが除去されて、パッシベーション膜として機能するゲート絶縁膜104がパターンニングされ、画素電極PXが露出したTF T1が完成する(図10(h))。

【0114】

このように、本発明に係る本発明に係るTF T1の製造方法においては、TF T1の製造過程で用いた感光性樹脂膜(フォトリソレジスト膜103、ゲート絶縁膜104、バンク材料108、PVA膜106)の所定の領域部分を除去せず残留させ、該残留部分を後工程で成膜されたパッシベーション膜107やパッシベーション膜として機能するゲート絶縁膜104をパターンニングする際のリフトオフレジストとして用いるようにした。これにより、パッシベーション膜107やパッシベーション膜として機能するゲート絶縁膜104をパターンニングするために新たにリフトオフレジストを形成するフォトリソグラフィ法工程が不要となり、製造工程を簡略化することができる。

30

【0115】

また、フォトリソグラフィ法により所定のパターン形状に加工された感光性樹脂膜の所定の領域部分をリフトオフレジストとすることにより、所定の領域部分の下地部材とリフトオフレジストとの相対位置は一意的に決まる。例えば、画素電極PXをパターンニングする際のエッチング用のレジスト膜103をリフトオフレジストとして用いると、画素電極PXの位置とパッシベーション膜107の開口部の位置を高精度で合致させることができる。すなわち、リフトオフ用レジストと下地部材のパッシベーション膜107を開口させたい領域との高い精度の位置合わせが不要となり、製造装置を低価格化することができる。

40

【図面の簡単な説明】

【0116】

【図1】本発明の実施形態1によるTF Tの製造工程を示す図である。

【図2】本発明の実施形態2によるTF Tの製造工程を示す図である。

【図3】本発明の実施形態3によるTF Tの製造工程を示す図である。

【図4】本発明の実施形態4によるTF Tの製造工程を示す図である。

【図5】本発明の実施形態5によるTF Tの製造工程を示す図である。

50

【図 6】本発明の実施形態 6 による T F T の製造工程を示す図である。

【図 7】本発明の実施形態 7 による T F T の製造工程を示す図である。

【図 8】本発明の実施形態 8 による T F T の製造工程を示す図である。

【図 9】本発明の実施形態 9 による T F T の製造工程を示す図である。

【図 10】本発明の実施形態 10 による T F T の製造工程を示す図である。

【図 11】本発明の実施形態 11 による T F T の製造工程を示す図である。

【符号の説明】

【 0 1 1 7 】

1、10 T F T

101 基板

102、109 電極層

103 レジスト膜

104 ゲート絶縁膜

105 半導体膜

106 P V A 膜

107 パッシベーション膜

108 バンク

D ドレイン電極

G ゲート電極

P X 画素電極

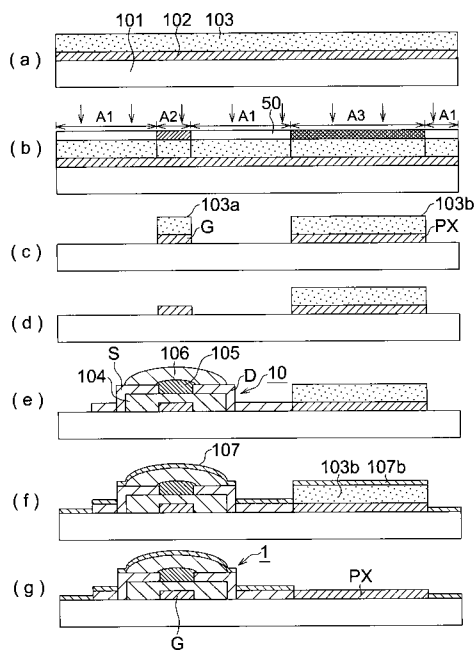
S ソース電極

50 ハーフトーンマスク

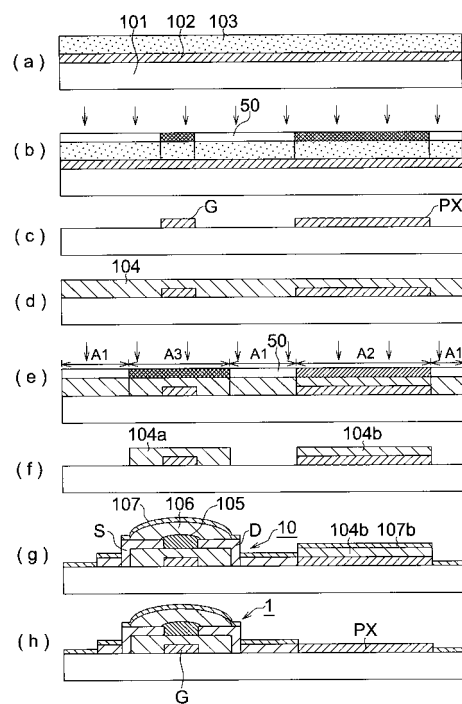
10

20

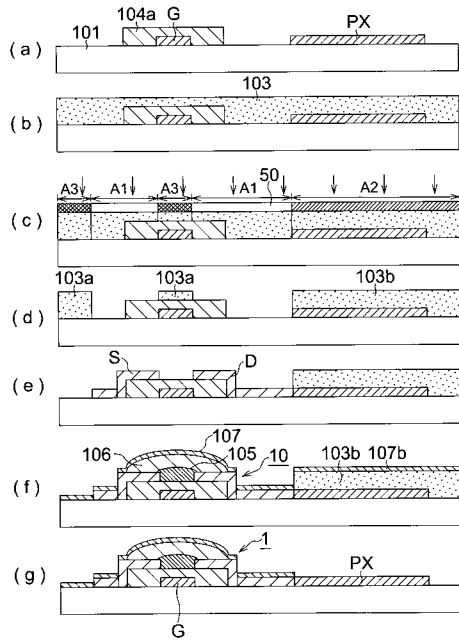
【図 1】



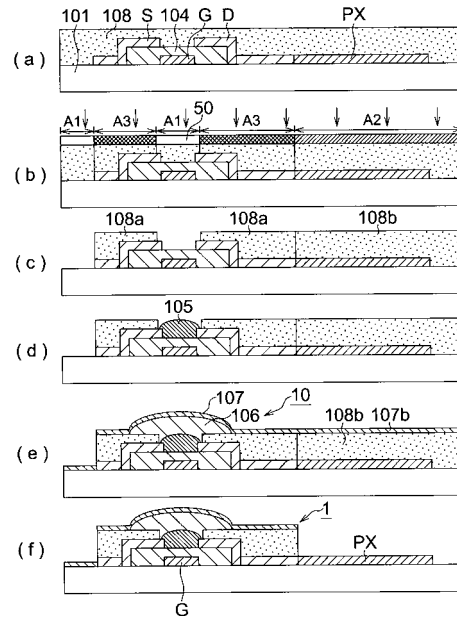
【図 2】



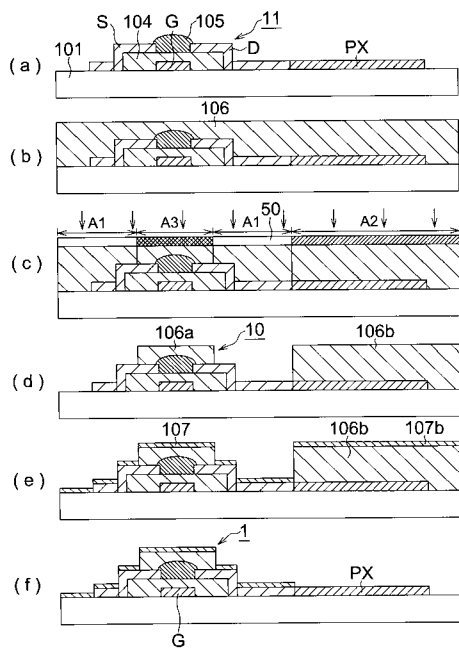
【図 3】



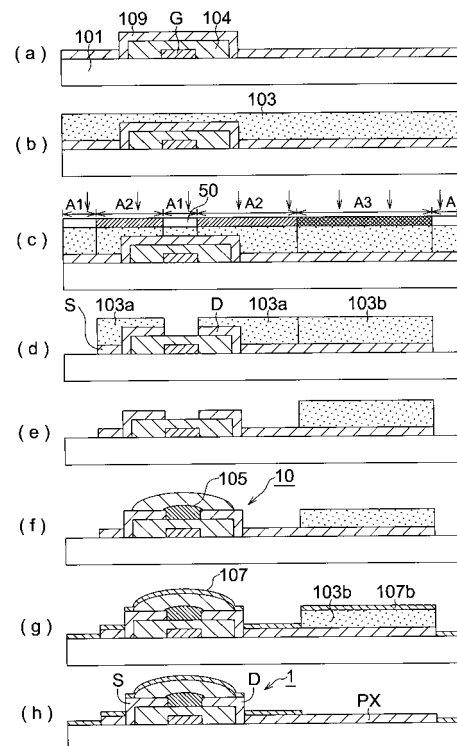
【図 4】



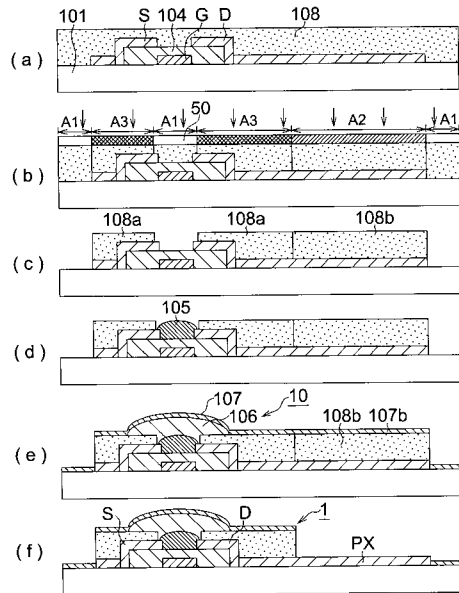
【図 5】



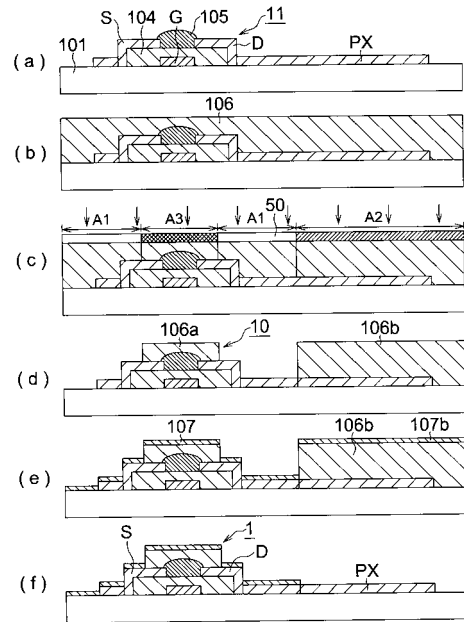
【図 6】



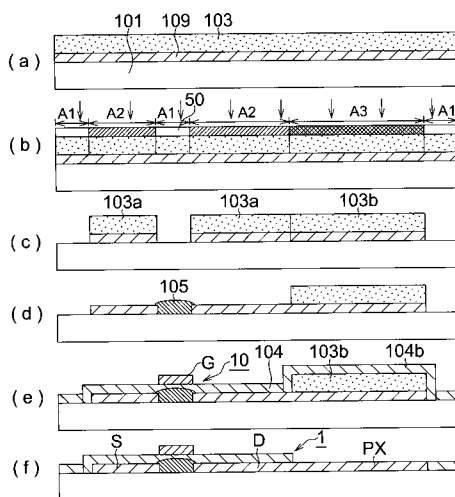
【図 7】



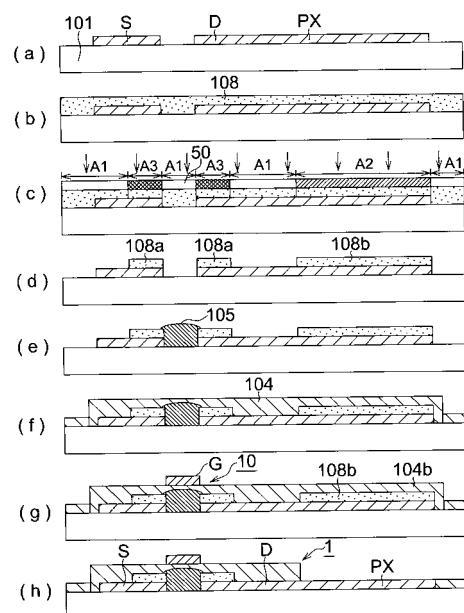
【図 8】



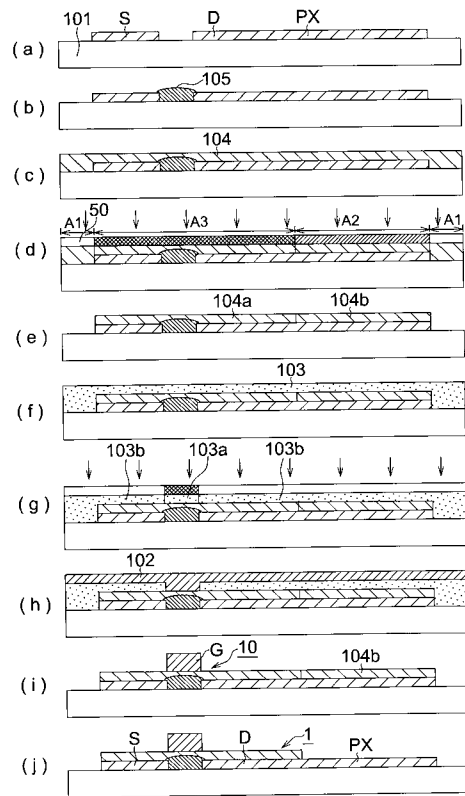
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開 2 0 0 7 - 1 1 5 8 0 8 (J P , A)
特開 2 0 0 6 - 0 9 3 6 5 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6