(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.^{6}
H03L 7/089

(45) 공고일자 2004년03월24일
(11) 등록번호 10-0414864
(24) 등록일자 2003년12월29일

(21) 출원번호 10-1996-0038662
(22) 출원일자 1996년09월06일
(65) 공개번호 10-1997-0019097
(43) 공개일자 1997년04월30일

(30) 우선권주장 1995-242044 1995년09월20일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 야나기우치 히로시
일본국 도쿄도 시나가와구 기다시나가와 6죠메 7반 35고 소니 가부시기가이샤내

(74) 대리인 박종길

심사관 : 박재일

(54) 디지탈카운터및디지탈PLL회로

요약

디지탈 PLL회로에 있어서, 출력주파수의 고정밀도화 및 록상태에 달하기까지의 시간의 단축화를 도모할 수 있는 디지탈 카운터를 제공한다.
위상 비교기(2)에 있어서, 주파수 f $_{ref}$ 의 기준클록과 분주기(分周器)(5)로부터의 출력신호 S5와의 위상이 비교되고, 그 비교결과에 따른 업다운신호가 멀티 카운터(11) 및 동기(同期)판정회로(12)에 출력된다. 멀티 카운터(11)는, 업다운신호에 따라서, 최상위 비트로부터 최하위 비트를 향하여 각 비트의 값을 차례로 결정하고, 그 카운트치 S13를 주파수 체배기(逓倍器)(4)에 출력한다. 동기판정회로(12)는, 위상 비교기(2)로부터의 업다운신호에 따라서, 위상이 동기하였는가 여부를 판단하고, 그 판단결과 S12를 멀티 카운터(11)에 출력한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시형태에 관한 디지탈 PLL회로의 구성도.
도 2 및 도 3은 도 1에 나타낸 디지탈 카운터의 동작을 설명하기 위한 도면.
도 4는 도 1에 나타낸 디지탈 카운터의 기타의 동작을 설명하기 위한 도면.
도 5는 본 발명의 제2 실시형태에 관한 디지탈 PLL회로의 구성도.
도 6은 도 5에 나타낸 디지탈 카운터의 동작을 설명하기 위한 도면.
도 7은 본 발명의 제3 실시형태에 관한 디지탈 PLL회로의 구성도.
도 8은 일반적 디지탈 PLL회로의 구성도.
도 9는 도 8에 나타낸 디지탈 PLL회로의 동작을 설명하기 위한 도면.

도 10은 도 8에 나타낸 디지탈 PLL회로의 기타의 동작을 설명하기 위한 도면.

<도면의 주요부분에 대한 부호의 설명>

2 : 위상 비교기, 3,13,23,33 : 디지탈 카운터, 4 : 주파수 체배기(逓倍器), 5 : 분주기(分周器), 11 : 멀티 카운터, 12 : 동기(同期)판정회로, 21 : 최상위 비트결정카운터, 31 : 제1 카운터, 32 : 제2 카운터, 34 : 동기 판정 셀렉터.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 디지탈 PLL(Phase Locked Loop)회로 및 그것에 사용되는 디지탈 카운터에 관한 것이다.

도 8에 나타낸 바와 같이, 일반적 디지탈 PLL회로는, 예를 들면, 위상 비교기(2), 디지탈 카운터(3), 주파수 체배기(4) 및 분주기(5)를 가진다.

위상 비교기(2)는, 주파수 f_{ref} 의 기준클록과 분주기(5)로부터의 발진출력 f5과의 위상을 비교하고, 그 비교결과에 따른 업다운신호를 디지탈 카운터(3)에 출력한다. 예를 들면, 기준클록에 대하여 발진출력 f5의 주기가 낮은 경우에는 업신호를 디지탈 카운터(3)에 출력하고, 그 역의 경우에는 다운신호를 디지탈 카운터(3)에 출력한다.

디지탈 카운터(3)는, 위상 비교기(2)로부터의 업다운신호에 따라서, 카운트치를 최하위 비트로부터 최상위 비트에 향하여 업 및 다운하고, n비트의 카운트치 S3를 주파수 체배기(4)에 출력한다.

주파수 체배기(4)는, 전압제어발진회로(VCO)와 동일한 기능을 행하고, 입력한 카운트치 S3에 의하여 발진주파수를 결정하고, 최종적으로 주파수 f_0 의 목표클록을 출력한다.

분주기(5)는, 주파수 체배기(4)로부터의 출력신호 S4를 분주한 발진출력 f5을 위상 비교기(2)에 출력한다.

도 8에 나타낸 디지탈 PLL회로에서는, 도 9에 나타낸 바와 같이, 록상태로 하는데에, 디지탈 카운터(3)를 n비트카운터로 한 경우에, 가장 길 때, $2^n／f_{ref}$ 의 동작시간을 필요로 한다.

또, 도 10에 나타낸 바와 같이, 목표주파수 f_0 의 근방의 주파수 f_{pri} 에 카운트치의 초기치를 세트함으로써 록상태에 달하기까지의 시간을 단축하는 수법도 있으나, 이 수법으로는, 목표주파수 f_0 가 예를 들면 f_0' 나 f_0'' 로 변화한 경우에는, 그 효과를 적절히 발휘할 수 없다.

따라서, 도 8에 나타낸 디지탈 PLL회로에서는, 록상태에 달하기까지의 시간을 단축하기 위해서는, 디지탈 카운터(3)의 비트수를 적게 할 필요가 있었다.

한편, 도 8에 나타낸 디지탈 PLL회로에서는, 디지탈 카운터(3)의 카운트치 S3에 의하여 주파수 체배기(4)를 제어할 때에, 예를 들면, 카운트치 S3의 각 비트에 대하여 주파수의 이상량(移相量)의 가중을 행하고 있으나, 이상량이 크면 지터가 커지기 때문에, 디지탈 PLL회로의 출력주파수가 필요한 정밀도를 만족시키기 위해서는, 디지탈 카운터(3)의 비트수를 많게 하여, 이상량을 될 수 있는 한 작게 할 필요가 있다.

발명이 이루고자 하는 기술적 과제

그러나, 전술한 종래의 디지탈 PLL회로에서는, 출력주파수의 정밀도의 향상과 록상태에 달하기까지의 시간의 단축화가 상반되는 관계에 있기 때문에, 이들의 쌍방에 대하여 동시에 충분한 특성을 얻을 수 없다는 문제가 있다.

본 발명은, 전술한 종래기술의 문제점을 감안하여 이루어지고, 디지탈 PLL회로에 있어서, 출력주파수의 고정밀도화 및 록상태에 달하기까지의 시간의 단축화를 도모할 수 있는 디지탈 PLL회로 및 그것에 사용되는 디지탈 카운터를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

전술한 종래기술의 문제점을 해결하고, 전술한 목적을 달성하기 위하여, 본 발명의 디지탈 카운터는, 기준신호와 주파수체배회로의 출력신호와의 위상을 비교하는 위상비교회로로부터 비교결과를 입력하고, 당해 비교결과에 따라서 카운트를 행하여, 당해 카운트치를 상기 주파수체배회로에 출력하는 디지탈 카운터로서, 상기 비교결과에 따라서, 카운트치를 최상위 비트로부터 최하위 비트에 향하여 순차로 결정한다.

또, 본 발명의 디지탈 카운터는, 바람직하게는, 상기 기준신호의 주기 및 상기 주파수체배회로의 체배수에 따라서, 상기 카운트치에 있어서의 최상위 비트의 위치를 결정한다.

또, 본 발명의 디지탈 카운터는, 바람직하게는, 상기 기준신호와 상기 주파수체배회로의 출력신호와의 위상이 동기하기까지는, 상기 비교결과에 따라서, 카운트치를 최상위 비트로부터 최하위 비트에 향하여 순차로 결정하고, 상기 기준신호와 상기 주파수체배회로의 출력신호와의 위상이 동기한 후부터는, 상기 비교결과에 따라서, 카운트치를 최하위 비트로부터 최상위 비트에 향하여 변경한다.

또, 본 발명의 디지탈 카운터는, 바람직하게는, 제1의 카운터, 제2의 카운터 및 선택수단을 가지고, 상기 선택수단은, 상기 비교결과를, 상기 기준신호와 상기 주파수체배회로의 출력신호와의 위상이 동기하기까지는 상기 제1의 카운터

에 출력하고, 상기 기준신호와 상기 주파수체배회로의 출력신호와의 위상이 동기한 후부터는 상기 제2의 카운터에 출력하고, 상기 제1의 카운터는, 상기 선택수단으로부터 입력한 상기 비교결과에 따라서 카운트치를 최상위 비트로부터 최하위 비트에 향하여 순차로 결정하고, 상기 제2의 카운터는, 상기 제1의 카운터의 카운트치를 초기치로 하여, 상기 선택수단으로부터 입력한 상기 비교결과에 따라서 카운트치를 최하위 비트로부터 최상위 비트에 향하여 변경한다.

또, 본 발명의 디지탈 PLL회로는, 주파수체배회로와, 기준신호와 상기 주파수체배회로의 출력신호와의 위상을 비교하는 위상비교회로와, 상기 위상비교회로로부터 비교결과를 입력하고, 당해 비교결과에 따라서 카운트치를 최상위 비트로부터 최하위 비트에 향하여 순차로 결정하고, 당해 카운트치를 상기 주파수체배회로에 출력하는 디지탈 카운터를 가진다.

또, 본 발명의 디지탈 PLL회로는, 바람직하게는, 상기 디지탈 카운터는, 상기 기준신호의 주기 및 상기 주파수체배회로의 체배수에 따라서, 상기 카운트치에 있어서의 최상위 비트의 위치를 결정한다.

또, 본 발명의 디지탈 PLL회로는, 바람직하게는, 상기 디지탈 카운터는, 상기 기준신호와 상기 주파수체배회로의 출력신호와의 위상이 동기하기까지는, 상기 비교결과에 따라서, 카운트치를 최상위 비트로부터 최하위 비트를 향하여 순차로 결정하고, 상기 기준신호와 상기 주파수체배회로의 출력신호와의 위상이 동기한 후 부터는, 상기 비교결과에 따라서, 카운트치를 최하위 비트로부터 최상위 비트에 향하여 변경한다.

또한, 본 발명의 디지탈 PLL회로는, 바람직하게는, 상기 디지탈 카운터는, 제1의 카운터, 제2의 카운터 및 선택수단을 가지고, 상기 선택수단은, 상기 비교결과를, 상기 기준신호와 상기 주파수체배회로의 출력신호와의 위상이 동기하기까지는 상기 제1의 카운터에 출력하고, 상기 기준신호와 상기 주파수체배회로의 출력신호와의 위상이 동기한 후부터는 상기 제2의 카운터에 출력하고, 상기 제1의 카운터는, 상기 선택수단으로부터 입력한 상기 비교결과에 따라서 카운트치를 최상위 비트로부터 최하위 비트를 향하여 순차로 결정하고, 상기 제2의 카운터는, 상기 제1의 카운터의 카운트치를 초기치로 하여, 상기 선택수단으로부터 입력한 상기 비교 결과에 따라서 카운트치를 최하위 비트로부터 최상위 비트에 향하여 변경한다.

본 발명의 디지탈 카운터 및 디지탈 PLL회로에서는, 예를 들면 최상위 비트에 「1」이 세트되고, 그 세트된 값에 따라서 얻어진 주파수체배회로의 출력신호와 기준신호와가 위상비교회로에 있어서 비교된다. 그리고, 그 비교의 결과, 예를 들면, 기준신호에 대하여 주파수체배회로의 출력신호의 주기가 짧은 경우에는 세트된 최상위 비트를 「1」로 결정하고, 그렇지 않은 경우에는 「0」으로 변경한다. 그 후, 이 처리를 최상위 비트로부터 최하위 비트를 향하여 차례로 행하여 각 비트의 값을 결정한다.

다음에, 본 발명의 실시의 형태에 관한 디지탈 카운터 및 디지탈 PLL회로에 대하여 설명한다.

제1 실시형태

도 1은, 본 실시형태에 관한 디지탈 PLL회로의 구성도이다.

도 1에 나타낸 바와 같이, 본 실시형태에 관한 디지탈 PLL회로는, 위상 비교기(2), 디지탈 카운터(13), 주파수 체배기(4) 및 분주기(5)를 가진다.

위상 비교기(2)는, 주파수 f_{ref} 의 기준클록과 분주기(5)로부터의 발진출력 f5과의 위상을 비교하여, 그 비교결과에 따른 업다운신호를 디지탈 카운터(3)에 출력한다. 예를 들면, 기준클록에 대하여 발진출력 f5의 주기가 짧은 경우에는 업신호를 디지탈 카운터(13)에 출력하고, 그 역의 경우에는 다운신호를 디지탈 카운터(13)에 출력한다.

주파수 체배기(4)는, 전압제어발진회로(VCO)와 동일한 기능을 행하고, 입력한 카운트치 S13에 의하여 발진주파수를 결정하고, 최종적으로 주파수 f_0 의 목표클록을 출력한다.

분주기(5)는, 주파수 체배기(4)로부터의 출력신호 S4를 분주한 발진출력 f5을 위상 비교기(2)에 출력한다.

그리고, 디지탈 PLL회로의 모든 구성요소는, 기준클록 또는 기준클록으로부터 생성된 클록에 따라서 동작을 행한다.

다음에, 디지탈 카운터(13)에 대하여 설명한다.

디지탈 카운터(13)는, 멀티 카운터(11) 및 동기판정회로(12)를 가진다.

멀티 카운터(11)는, 주파수 f_{ref} 의 기준클록, 위상 비교기(2)로부터의 업다운 신호 및 동기판정회로(12)로부터의 동기판정신호 S12를 입력하고, 동기판정신호 S12를 참조하여 기준클록의 주파수 f_{ref} 와 목표주파수 f_0 가 위상동기하였다고 판단하기 직전까지는, 위상 비교기(2)로부터의 업다운신호에 따라서, 카운트치의 최상위 비트(MSB)로부터 최하위 비트(LSB)에 향하여 각 비트의 출력치를 결정한다. 또, 멀티 카운터(11)는, 동기판정신호 S12를 참조하여 기준클록의 주파수 f_{ref} 와 목표주파수 f_0 가 위상동기하였다고 판단한 직후부터는, 위상 비교기(2)로부터의 업다운신호에 따라서, 최하위 비트로부터 카운트를 행한다. 멀티 카운터(11)의 n비트의 카운트치 S13는 주파수 체배기(4)에 출력된다.

동기판정회로(12)는, 위상 비교기(2)로부터의 업다운신호에 따라서, 위상동기에 이르렀는가 여부를 판정하여, 그 동기판정신호 S12를 멀티 카운터(11)에 출력한다.

다음에, 디지탈 카운터(13)의 동작에 대하여 설명한다.

도 2, 도 3은 디지탈 카운터(13)의 동작을 설명하기 위한 도면이다.

디지탈 카운터(13)에서는, 미리 최상위 비트로서 제n 비트가 선택되어 있다.

그리고, 도 2에 나타낸 바와 같이, 주파수 f_{ref} 의 기준클록에 있어서의 클록 C1에서, 제n비트에 「1」을 세트한다. 이 때의 주파수 체배기(4)로부터의 출력의 주기는 예를 들면 도 3에 나타낸 「$1/f_n$」로 된다. 여기서, 목표주파수 f_0 는, 기준클록의 주파수 f_{ref} 를 체신(遞信)한 주파수와 일치한 값 또는 매우 가까운 값이다.

다음에, 도 2에 나타낸 클록 C2에서, 위상 비교기(2)에 있어서, 기준클록의 주파수 f_{ref} 와 주파수 f_n 가 위상비교된다.

다음에, 클록 C3에 있어서, 클록 C2에 있어서의 위상비교의 결과, 주기를 업시킬 필요가 있기 때문에, 위상 비교기(2)로부터 멀티 카운터(11)에 업신호가 출력된다. 이로써, 멀티 카운터(11)는, 제n비트를 「1」로 결정하고, 제n－1비트

에 「1」을 세트한다. 이 때의 주파수 체배기(4)로부터의 출력의 주기는 도 3에 나타낸 「1／f_{n-1}」로 된다.

다음에, 도 2에 나타낸 클록 C4에서, 위상 비교기(2)에 있어서, 기준클록의 주파수 f_{ref} 와 주파수 f_{n-1} 가 위상비교된다.

다음에, 클록 C5에 있어서, 클록 C4에 있어서의 위상비교의 결과, 주기를 다운시킬 필요가 있기 때문에, 위상 비교기(2)로부터 멀티 카운터(11)에 다운신호가 출력된다. 이로써, 멀티 카운터(11)는, 제n－1비트를 「0」으로 결정하고, 제n－2비트에 「1」을 세트한다. 이 때의 주파수 체배기(4)로부터의 출력의 주기는 도 3에 나타낸 「1／f_{n-2}」로 된다.

다음에, 도 2에 나타낸 클록 C6에서, 위상 비교기(2)에 있어서, 기준클록의 주파수 f_{ref} 와 주파수 f_{n-2} 가 위상비교된다.

다음에, 클록 C7에 있어서, 클록 C6에 있어서의 위상비교의 결과, 주기를 다운시킬 필요가 있기 때문에, 위상 비교기(2)로부터 멀티 카운터(11)에 다운신호가 출력된다. 이로써, 멀티 카운터(11)는, 제n－2비트를 「0」으로 결정하고, 제n－3비트에 「1」을 세트한다. 이 때의 주파수 체배기(4)로부터의 출력의 주기는 도 3에 나타낸 「1／f_{n-3}」로 된다.

그 후, 전술한 처리와 동일한 처리가, 동기판정회로(12)로부터 동기판정신호 S12가 위상동기를 나타내기까지 반복하여 행해진다.

전술한 디지탈 PLL회로에 의하면, 전술한 처리를 행하여 멀티 카운터(11)로부터의 카운트치 S13를 결정하는 것으로, 주파수 체배기(4)로부터의 출력의 최종적 주파수 f_0 를 기준클록의 주파수 f_{ref} 를 체신하고, 또한 위상시프트가 없는 주파수에 단시간에 고정밀도로 근접시킬 수 있다. 즉, 록상태로 되기까지의 시간은, 전술한 종래의 디지탈 카운터에서는 기준클록에 대하여 2^n 클록이었던 것에 대하여, 본 실시형태의 디지탈 카운터(13)에서는 2n클록 (도 5에서는 2(n＋1)클록)에 불과하여, 본 실시형태의 디지탈 카운터(13)를 사용하면 단시간에 록상태에 달할 수 있다. 예를 들면 n＝10으로 한 경우에, 종래에는 2^{10} ＝1024 클록이었던 것에 대하여, 본 실시형태에서는 2×10＝20클록 (도 5에서는 2(10＋1)＝22클록)으로 되어, 록상태에 달하기까지의 시간을 약 1／50배로 단축할 수 있다. 그 결과, 처리시간과의 관계로부터, 디지탈 카운터(13)의 비트수를 종래에 비하여 대폭으로 증가시킬 수 있고, 디지탈 PLL회로의 출력주파수의 정밀도를 대폭으로 향상시키는 것이 가능하게 된다. 따라서, 본 실시형태에 관한 디지탈 PLL회로에 의하면, 출력주파수의 고정밀도 화 및 록상태에 달하기까지의 시간의 단축화의 양쪽을 도모할 수 있어, 디스플레이의 스캔용의 디지탈 PLL회로로서 사용하는 등 넓은 분야에 적용하는 것이 가능하게 된다.

다음에, 동기판정신호 S12가 동기하였다는 것을 나타내면, 멀티 카운터(11)는, 기준클록의 주파수 f_{ref} 의 변화에 따라서, 카운트치 S13를 최하위 비트로부터 카운트하는 업다운카운터로 전환된다.

이와 같이, 위상동기 후에, 멀티 카운터(11)를 최하위 비트로부터 카운트하는 업다운카운터로 전환하는 것으로, 회로나 기준클록의 오차에 추종한 고정밀도의 위상동기가 가능하게 된다. 또, 본 실시형태의 디지탈 PLL회로에 의하면, 2클록에 1회의 비율로 위상비교를 행하기 때문에, 기준클록의 오차 등에 대하여 높은 추종성을 가질 수 있다.

다음에, 도 1에 나타낸 디지탈 카운터(13)의 기타의 동작에 대하여, 도 2, 도 4를 참조하면서 설명한다.

디지탈 카운터(13)에서는, 미리 최상위 비트로서 제n비트가 선택되어 있다.

그리고, 도 2에 나타낸 바와 같이, 주파수 f_{ref} 의 기준클록에 있어서의 클록 C1에서, 제n비트에 「1」을 세트한다. 이 때의 주파수 체배기(4)로부터의 출력의 주기는 도 4에 나타낸 「1／f_n」로 된다.

다음에, 도 2에 나타낸 클록 C2에서, 위상 비교기(2)에 있어서, 기준클록의 주파수 f_{ref} 와 주파수 f_n 가 위상비교된다.

다음에, 클록 C3에 있어서, 클록 C2에 있어서의 위상비교의 결과, 주기를 다운시킬 필요가 있기 때문에, 위상 비교기(2)로부터 멀티 카운터(11)에 다운신호가 출력된다. 이로써, 멀티 카운터(11)는, 제n비트를 「0」으로 결정하고, 제n－1비트에 「1」을 세트한다. 이 때의 주파수 체배기(4)로부터의 출력의 주기는 도 4에 나타낸 「1／f_{n-1}」로 된다.

다음에, 도 2에 나타낸 클록 C4에서, 위상 비교기(2)에 있어서, 기준클록의 주파수 f_{ref} 와 주파수 f_{n-1} 가 위상비교된다.

다음에, 클록 C5에 있어서, 클록 C4에 있어서의 위상비교의 결과, 주기를 업시킬 필요가 있기 때문에, 위상 비교기(2)로부터 멀티 카운터(11)에 업신호가 출력된다. 이로써, 멀티 카운터(11)는, 제n－1비트를 「1」로 결정하고, 제n－2비트에 「1」을 세트한다. 이 때의 주파수 체배기(4)로부터의 출력의 주기는 도 4에 나타낸 「1／f_{n-2}」로 된다.

다음에, 도 2에 나타낸 클록 C6에서, 위상 비교기(2)에 있어서, 기준클록의 주파수 f_{ref} 와 주파수 f_{n-2} 가 위상비교된다.

다음에, 클록 C7에 있어서, 클록 C6에 있어서의 위상비교의 결과, 주기를 다운시킬 필요가 있기 때문에, 위상 비교기(2)로부터 멀티 카운터(11)에 다운신호가 출력된다. 이로써, 멀티 카운터(11)는, 제n－2비트를 「0」으로 결정하고, 제n－3비트에 「1」을 세트한다. 이 때의 주파수 체배기(4)로부터의 출력의 주기는 도 4 에 나타낸 「1／f_{n-3}」로 된다.

그 후, 전술한 처리와 동일한 처리가, 동기판정회로(12)로부터 동기판정신호 S12 가 동기하였다는 것을 나타내기까지 반복하여 행해진다.

다음에, 동기판정신호 S12가 동기하였다는 것을 나타내면, 멀티 카운터(11)는, 기준클록의 주파수 f_{ref} 의 변화에 따라서, 카운트치 S13 를 최하위 비트로부터 카운트하는 업다운카운터로 전환된다.

제2 실시형태

도 5는, 본 실시형태에 관한 디지탈 PLL회로의 구성도이다.

도 5에 나타낸 바와 같이, 본 실시형태에 관한 디지탈 PLL회로는, 위상 비교기(2), 디지탈 카운터(23), 주파수 체배기(4) 및 분주기(5)를 가진다.

디지탈 카운터(23)는, 멀티 카운터(11), 동기판정회로(12) 및 최상위 비트결정카운터(21)를 가진다.

도 5에 있어서 전술한 제1 실시형태와 동일 구성요소에는 도 1과 동일 부호를 붙이고 있다.

디지탈 카운터(23)의 최상위 비트결정카운터(21)는, 기준클록보다 높은 주파수의 신호를 발생하는 발진기를 내장 또는 외부장치로서 구비하고 있다. 최상위 비트결정카운터(21)는, 이 발진기로부터의 클록을 기준으로 하여, 기준클록의 주기를 업카운터로 카운트하고, 그 카운트치와 주파수 체배기(4)의 체배수와의 관계로부터 셀렉터에 의하여 최적의 최상위 비트를 선택한다.

도 6은, 도 5에 나타낸 디지탈 카운터(23)의 동작을 설명하기 위한 도면이다.

도 6에 나타낸 바와 같이, 도 5에 나타낸 디지탈 카운터(23)에서는, 기준클록에 있어서의 클록 C1에 있어서, 최상위 비트결정카운터(2)에 의하여 최상위 비트가 선택된다.

클록 C2 이후는, 멀티 카운터(11)는 클록 C1에 있어서 선택된 최상위 비트를 사용하여 전술한 제1 실시형태와 동일한 동작을 행한다.

본 실시형태의 디지탈 카운터(23)를 사용하면, 최상위 비트를 적절히 설정할 수 있기 때문에, 디지탈 PLL회로의 대응 주파수의 레인지의 확대를 용이하게 행할 수 있다.

제3 실시형태

도 7은, 본 실시형태에 관한 디지탈 PLL회로의 구성도이다.

도 7에 나타낸 바와 같이, 본 실시형태에 관한 디지탈 PLL회로는, 위상 비교기(2), 디지탈 카운터(33), 주파수 체배기(4) 및 분주기(5)를 가진다.

디지탈 카운터(33)는, 제1 카운터(31), 제2 카운터(32), 동기 판정 셀렉터(34) 및 최상위 비트결정카운터(21)를 가진다.

도 7에 있어서 전술한 제1 실시형태 및 제2 실시형태와 동일 구성요소에는 도 1, 도 5와 동일 부호를 붙이고 있다.

제1 카운터(31)는, 동기 판정 셀렉터(34)를 통하여 위상 비교기(2)로부터 업다운신호를 입력하고, 이 업다운신호에 따라서, 최상위 비트결정카운터(21)에 의하 여 결정된 최상위의 비트로부터 최하위의 비트에 향하여 각 비트의 출력치를 결정한다.

제2 카운터(32)는, 위상동기 직후의 제1 카운터(31)의 출력치 S31를 초기치로 하고, 이동동기 후에, 동기 판정 셀렉터(34)로부터의 업다운신호에 따라서 기준클록의 변화에 대응하여 업／다운의 카운트를 행한다.

동기 판정 셀렉터(34)는, 위상 비교기(2)로부터의 업다운신호에 따라서 위상동기인가 여부를 판단하여, 위상 비교기(2)로부터의 업다운신호를 위상동기 직전까지는 제1 카운터(31)에 출력하는 동시에 제1 카운터(31)의 출력치 S31를 주파수 체배기(4)에 출력한다. 또, 동기 판정 셀렉터(34)는, 위상 비교기(2)로부터의 업다운신호를 위상동기 직후부터는 제2 카운터(32)에 출력하는 동시에 제2 카운터(32)의 출력치 S32를 주파수 체배기(4)에 출력한다.

본 실시형태에 관한 디지탈 카운터(33)를 사용한 경우에도, 디지탈 PLL회로는 전술한 제1 실시형태에 나타낸 것과 동일한 효과를 얻을 수 있다.

본 발명은, 위상 비교기(2)에 있어서의 비교결과에 따라서, 디지탈 카운터의 카운트치를 최상위 비트로부터 최하위 비트를 향하여 순차로 결정하는 것이면, 전술한 실시형태에는 한정되지 않는다.

발명의 효과

본 발명의 디지탈 카운터 및 디지탈 PLL회로에 의하면, 디지탈 PLL회로에 있어서, 출력주파수의 고정밀도화 및 록상태에 달하기까지의 시간의 단축화를 도모하는 것이 가능하게 된다.

또, 본 발명의 디지탈 카운터 및 디지탈 PLL회로에 의하면, 대응주파수의 레인지의 확대를 용이하게 행할 수 있다.

(57) 청구의 범위

청구항 1.

동기 판정 수단, 및

카운팅 수단을 포함하며,

상기 동기 판정 수단은 기준신호의 위상과 주파수 체배 회로(frequency multipying curcuit)의 출력신호의 위상을 비교하는 위상 비교회로로부터 비교결과를 입력으로 수신하고, 위상 동기 판정 신호를 상기 카운팅 수단에 출력하며,

상기 카운팅 수단은 상기 비교 결과 및 상기 위상 동기 판정신호를 입력으로 수신하고, 상기 기준신호의 위상과 상기 주파수 체배 회로의 출력신호의 위상이 동기(同期)될 때까지는 상기 비교결과에 기초하여 카운트치를 최상위 비트로부터 최하위 비트를 향하여 각 비트에 대해 순차로 결정하여 상기 주파수 체배 회로에 출력하며, 상기 기준신호의 위상과 상기 주파수 체배 회로의 출력신호의 위상이 동기된 후부터는 상기 비교결과에 기초하여 상기 카운트치를 최하위 비트로부터 최상위 비트를 향하여 변경하는

디지탈 카운터.

청구항 2.

제1항에서,

상기 기준신호의 주기 및 상기 주파수 체배 회로의 체배수에 따라서 상기 카운트치의 최상위 비트의 위치를 결정하는

디지탈 카운터.

청구항 3.

제2항에서,

상기 디지탈 카운터는 선택수단을 더 포함하고,

상기 카운팅 수단은 제1 카운터 및 제2 카운터를 포함하며,

상기 선택수단은 상기 비교결과를, 상기 기준신호의 위상과 상기 주파수 체배회로의 출력신호의 위상이 동기될 때까지는 상기 제1 카운터에 출력하고, 상기 기준신호의 위상과 상기 주파수 체배회로의 출력신호의 위상이 동기된 후부터는 상기 제2 카운터에 출력하며,

상기 제1 카운터는 상기 선택수단으로부터 입력한 상기 비교결과에 따라서 카운트치를 최상위 비트로부터 최하위 비트를 향하여 순차로 결정하고,

상기 제2 카운터는 상기 제1 카운터의 카운트치를 초기치로 하여, 상기 선택수단으로부터 입력한 상기 비교결과에 따라서 카운트치를 최하위 비트로부터 최상위 비트를 향하여 변경하는

디지탈 카운터.

청구항 4.

주파수 체배 회로,

기준신호의 위상과 상기 주파수 체배 회로의 출력신호의 위상을 비교하는 위상 비교 회로, 및

카운팅 수단 및 동기 판정 수단을 구비하는 디지탈 카운터를 포함하며,

상기 동기 판정 수단은 상기 위상 비교 회로로부터 비교결과를 입력으로 수 신하고, 위상 동기 판정신호를 상기 카운팅 수단에 출력하며,

상기 카운팅 수단은 상기 비교 결과 및 상기 위상 동기 판정 신호를 입력으로 수신하고, 상기 기준신호의 위상과 상기 주파수 체배 회로의 출력신호의 위상이 동기될 때까지는 상기 비교결과에 기초하여 카운트치를 최상위 비트로부터 최하위 비트를 향하여 각 비트에 대해 순차로 결정하여 상기 주파수 체배 회로에 출력하며, 상기 기준신호의 위상과 상기 주파수 체배 회로의 출력신호의 위상이 동기된 후부터는 상기 비교결과에 기초하여 상기 카운트치를 최하위 비트로부터 치상위 비트를 향하여 변경하는

디지탈 PLL회로.

청구항 5.

제4항에서,

상기 디지탈 카운터는 상기 기준신호의 주기 및 상기 주파수 체배 회로의 체배수에 따라서 상기 카운트치의 최상위 비트의 위치를 결정하는 디지탈 PLL회로.

청구항 6.

제5항에서,

상기 디지탈 카운터는 선택수단을 더 포함하고,

상기 카운팅 수단은 제1 카운터 및 제2 카운터를 포함하며,

상기 선택수단은 상기 비교결과를, 상기 기준신호의 위상과 상기 주파수 체배 회로의 출력신호의 위상이 동기될 때까지는 상기 제1 카운터에 출력하고, 상기 기준신호의 위상과 상기 주파수 체배 회로의 출력신호의 위상이 동기된 후부터는 상기 제2 카운터에 출력하며,

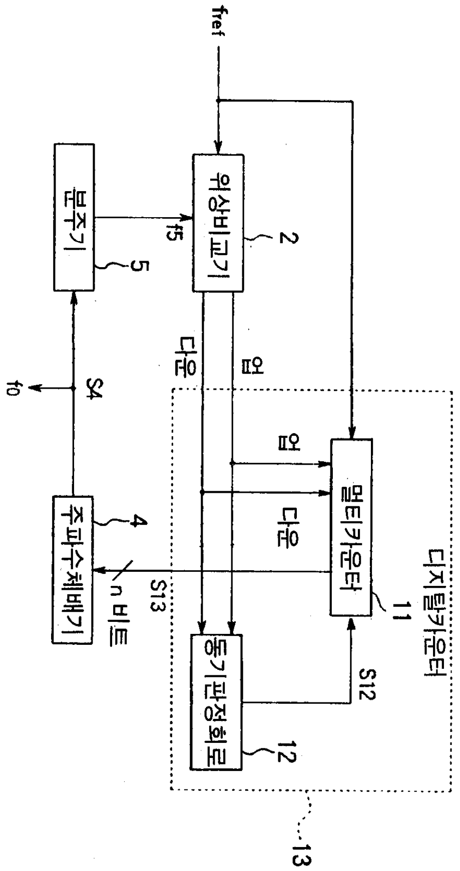
상기 제1 카운터는 상기 선택수단으로부터 입력한 상기 비교결과에 따라서 카운트치를 최상위 비트로부터 최하위 비트에 향하여 순차로 결정하고,

상기 제2 카운터는 상기 제1 카운터의 카운트치를 초기치로 하여, 상기 선택수단으로부터 입력한 상기 비교결과에 따라 카운트치를 최하위 비트로부터 최상위 비트에 향하여 변경하는

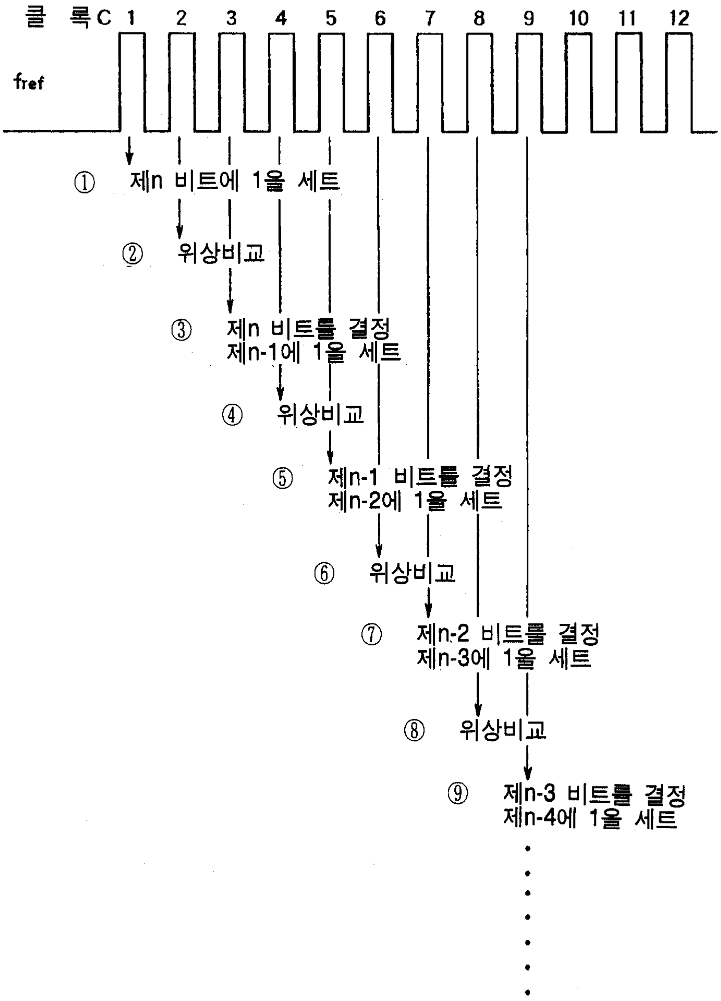
디지탈 PLL회로.

도면

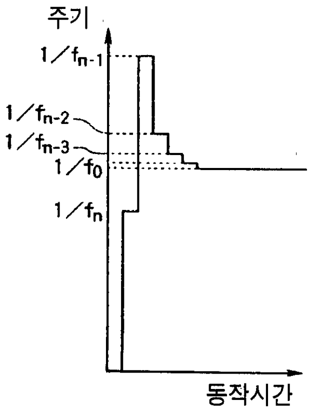
도면1


fref
위상비교기
2
분주기
5
f5
다운
업
S4
f0
업
다운
멀티카운터
11
디지탈카운터
S13
n 비트
주파수체배기
4
S12
동기판정회로
12
13

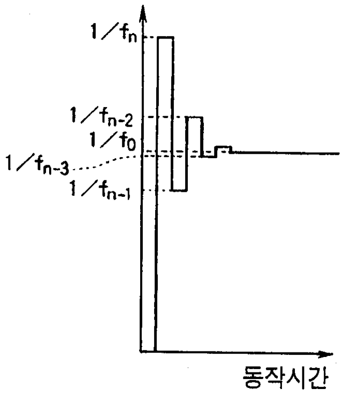
도면2


클 록C
1
2
3
4
5
6
7
8
9
10
11
12
fref
① 제n 비트에 1을 세트
② 위상비교
③ 제n 비트를 결정
제n-1에 1을 세트
④ 위상비교
⑤ 제n-1 비트를 결정
제n-2에 1을 세트
⑥ 위상비교
⑦ 제n-2 비트를 결정
제n-3에 1을 세트
⑧ 위상비교
⑨ 제n-3 비트를 결정
제n-4에 1을 세트

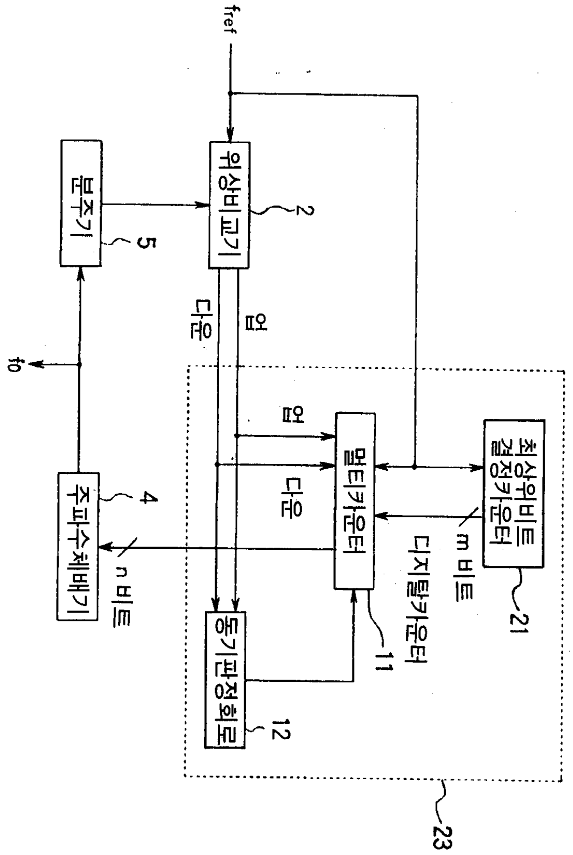
도면3


주기
1/fn-1
1/fn-2
1/fn-3
1/f0
1/fn
동작시간

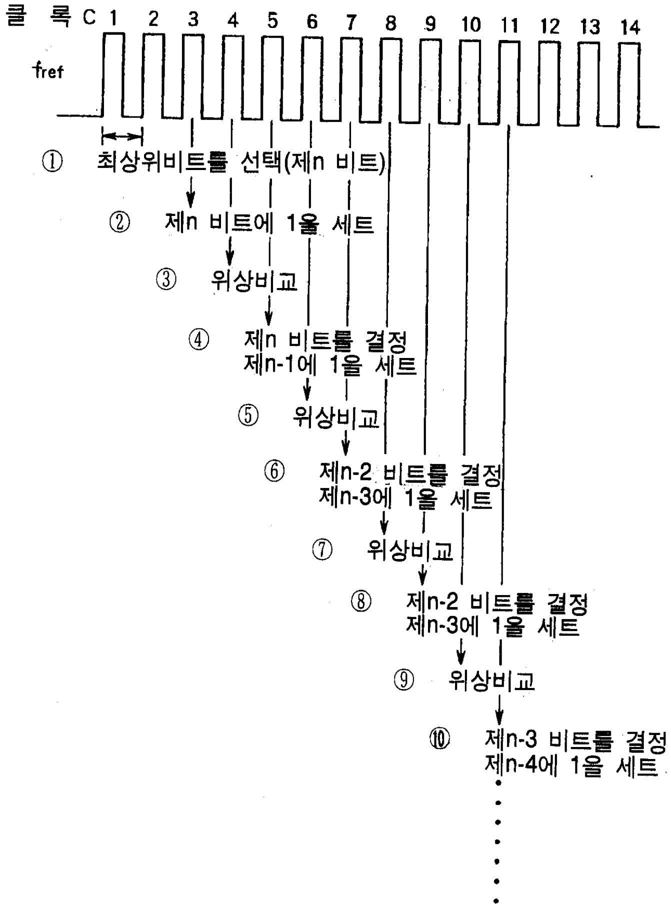
도면4


1/f_n
1/f_{n-2}
1/f_0
1/f_{n-3}
1/f_{n-1}
동작시간

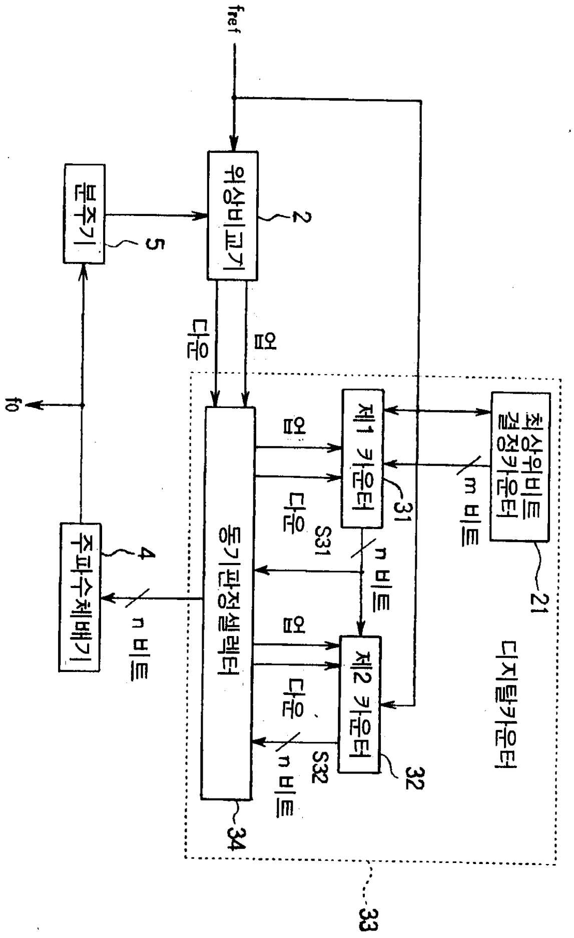
도면5


fref
위상비교기
2
분주기
5
업
다운
f0
업
다운
멀티카운터
최상위비트 결정카운터
m 비트
디지탈카운터
21
주파수체배기
4
n 비트
동기판정회로
11
12
23

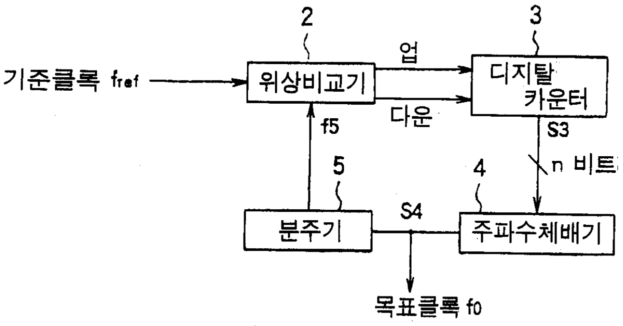
도면6


클 록 C
1
2
3
4
5
6
7
8
9
10
11
12
13
14
fref
① 최상위비트를 선택(제n 비트)
② 제n 비트에 1을 세트
③ 위상비교
④ 제n 비트를 결정
제n-1에 1을 세트
⑤ 위상비교
⑥ 제n-2 비트를 결정
제n-3에 1을 세트
⑦ 위상비교
⑧ 제n-2 비트를 결정
제n-3에 1을 세트
⑨ 위상비교
⑩ 제n-3 비트를 결정
제n-4에 1을 세트

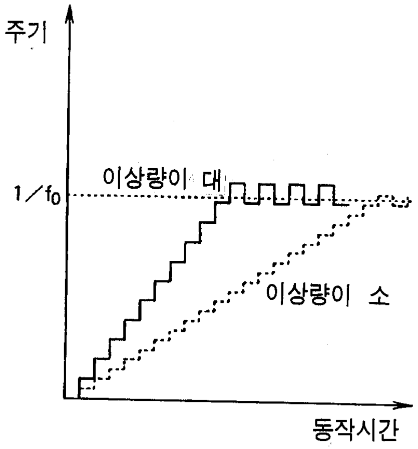
도면7

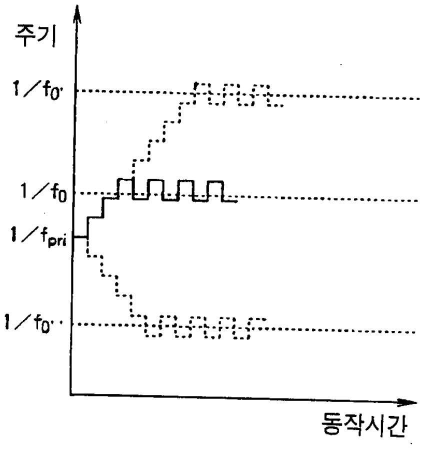

fref
위상비교기
2
분주기
5
업
다운
동기판정셀렉터
34
제1 카운터
31
제2 카운터
32
최상위비트 결정카운터
21
m 비트
n 비트
S31
S32
디지탈카운터
33
주파수체배기
4
n 비트
fo

도면8


기준클록 fref
2
위상비교기
업
다운
3
디지탈 카운터
S3
n 비트
f5
5
분주기
S4
4
주파수체배기
목표클록 fo

도면9



도면10