



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I787997 B

(45)公告日：中華民國 111 (2022) 年 12 月 21 日

(21)申請案號：110133422

(22)申請日：中華民國 110 (2021) 年 09 月 08 日

(51)Int. Cl. : H03K19/23 (2006.01)

H03K19/02 (2006.01)

H03K19/18 (2006.01)

(30)優先權：2020/12/21 美國

17/129,842

(71)申請人：美商凱普勒運算公司(美國) KEPLER COMPUTING INC. (US)

美國

(72)發明人：曼尼佩楚尼 沙西坎斯 MANIPATRUNI, SASIKANTH (US)；方 遠笙 FANG, YUAN-SHENG (CA)；梅納茲 羅伯特 MENEZES, ROBERT (US)；杜卡尼亞 拉傑夫 DOKANIA, RAJEEV KUMAR (US)；拉米西 拉瑪摩瑟 RAMESH, RAMAMOORTHY (US)；瑪塞理 雅理塔 MATHURIYA, AMRITA (US)

(74)代理人：林志剛

(56)參考文獻：

TW 201640707A

US 8332722B1

US 10579536B2

US 2001/0052619A1

US 2014/0049286A1

審查人員：蘇齊賢

申請專利範圍項數：29 項 圖式數：10 共 101 頁

(54)名稱

基於多數邏輯閘的循序電路

(57)摘要

與傳統 CMOS 循序電路相比，低功率循序電路(例如，閃鎖)使用非線性極性電容器以保留電荷，而電晶體較少。循序電路包括具有第一、第二、及第三輸入的三輸入多數閘極、及第一輸出。循序電路包括耦接到該第一輸出的驅動器，其中該驅動器用以產生第二輸出。循序電路進一步包括互斥或(XOR)閘以接收時脈及該第二輸出，其中該 XOR 閘極用以產生第三輸出，該第三輸出耦接到該第二輸入，其中該第一輸入用以接收資料，且其中該第三輸入用以接收該第二輸出。

A low power sequential circuit (e.g., latch) uses a non-linear polar capacitor to retain charge with fewer transistors than traditional CMOS sequential circuits. The sequential circuit includes a 3-input majority gate having first, second, and third inputs, and a first output. The sequential circuit includes a driver coupled to the first output, wherein the driver is to generate a second output. The sequential circuit further includes an exclusive-OR (XOR) gate to receive a clock and the second output, wherein the XOR gate is to generate a third output which couples to the second input, where the first input is to receive a data, and wherein the third input is to receive the second output.

指定代表圖：

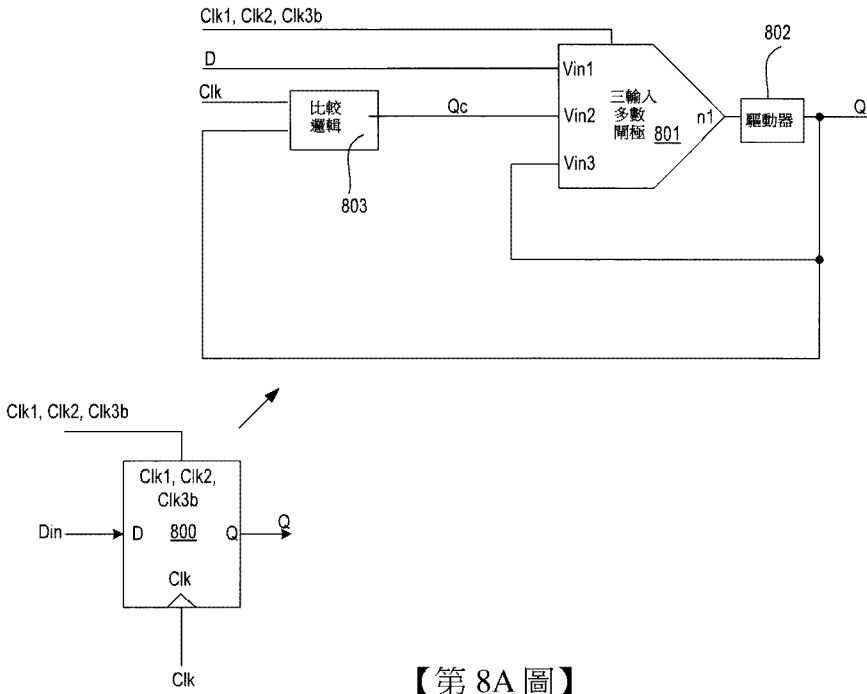
符號簡單說明：

800:循序電路

801:三輸入多數閘極

802:驅動器

803:比較邏輯



【第 8A 圖】



I787997

【發明摘要】

【中文發明名稱】

基於多數邏輯閘的循序電路

【英文發明名稱】

MAJORITY LOGIC GATE BASED SEQUENTIAL CIRCUIT

【中文】

與傳統CMOS循序電路相比，低功率循序電路(例如，閘鎖)使用非線性極性電容器以保留電荷，而電晶體較少。循序電路包括具有第一、第二、及第三輸入的三輸入多數閘極、及第一輸出。循序電路包括耦接到該第一輸出的驅動器，其中該驅動器用以產生第二輸出。循序電路進一步包括互斥或(XOR)閘以接收時脈及該第二輸出，其中該XOR閘極用以產生第三輸出，該第三輸出耦接到該第二輸入，其中該第一輸入用以接收資料，且其中該第三輸入用以接收該第二輸出。

【 英文 】

A low power sequential circuit (e.g., latch) uses a non-linear polar capacitor to retain charge with fewer transistors than traditional CMOS sequential circuits. The sequential circuit includes a 3-input majority gate having first, second, and third inputs, and a first output. The sequential circuit includes a driver coupled to the first output, wherein the driver is to generate a second output. The sequential circuit further includes an exclusive-OR (XOR) gate to receive a clock and the second output, wherein the XOR gate is to generate a third output which couples to the second input, where the first input is to receive a data, and wherein the third input is to receive the second output.

【指定代表圖】第8A圖

【代表圖之符號簡單說明】

800:循序電路

801:三輸入多數閘極

802:驅動器

803:比較邏輯

【特徵化學式】無

【發明說明書】

【中文發明名稱】

基於多數邏輯閘的循序電路

【英文發明名稱】

MAJORITY LOGIC GATE BASED SEQUENTIAL CIRCUIT

【技術領域】

【0001】本案是關於一種基於多數邏輯閘的循序電路。

【先前技術】

【0002】循序電路是一種邏輯電路，其輸出是藉由時脈來取樣的。輸出不只依據輸入(例如，資料)的現值，還依據過去輸入的順序。因此，輸入歷史對輸出的值起著一定的作用。這與組合邏輯形成對比；組合邏輯的輸出只是當前輸入的函數。典型的循序電路(諸如正反器)可能由幾個閘極及電晶體形成主控及從屬級以及用以連接各種閘極及電晶體的許多互連來組成。這些電晶體及閘極有規律的切換，增加了循序電路的動態電源消耗。隨著處理器為了節省電池電力而不斷壓低功率包絡(power envelope)，循序電路現有的架構對降低電源消耗的目標提出了挑戰。

【0003】此處所提供的「先前技術」說明是為了大致呈現本揭露的內容的目的。除非此處另有說明，此段落所

描述的材料不是此申請案中的先前技術，也不因列入此段落而被承認為先前技術。

【圖式簡單說明】

【0004】藉由以下詳細說明及本揭露的各種實施例所附圖式，本揭露的實施例將更全面地被了解，然而，本揭露並不受限於特定實施例，其僅為說明及了解用。

【0005】[第1A圖]圖示依照一些實施例，具有三輸入多數閘極的邏輯閘。

【0006】[第1B圖]圖示依照一些實施例，具有五輸入多數閘極的邏輯閘。

【0007】[第1C圖]圖示顯示鐵電電容器的特性的圖式。

【0008】[第1D圖]圖示依照一些實施例，顯示三輸入多數閘極的輸出的圖式。

【0009】[第1E圖]圖示依照一些實施例，用於重置第1A-B圖的多數閘極的鐵電電容器的時序圖。

【0010】[第1F圖]圖示依照一些實施例，具有基於通道閘極的重置機制的具有三輸入多數閘極的邏輯閘。

【0011】[第1G圖]圖示依照一些實施例，用於第1F圖的多數閘極的重置鐵電電容器的時序圖。

【0012】[第1H圖]圖示依照一些實施例，具有輸入重置機制的具有三輸入多數閘極的邏輯閘。

【0013】[第1I圖]圖示依照一些實施例，用於重置第

1H圖的多數閘極的鐵電電容器的時序圖。

【0014】[第1J圖]圖示依照一些實施例，顯示在節點 V_{out_int2} 上與鐵電電容器的行為有關的電壓的圖式。

【0015】[第2A圖]圖示依照一些實施例，具有可作為 AND 或 OR 閘極操作的三輸入臨界值閘極的邏輯閘。

【0016】[第2B圖]圖示依照一些實施例，具有基於通道閘極的重置機制的具有三輸入臨界值閘極的邏輯閘，其中三輸入臨界值閘極可作為 AND 或 OR 閘極操作。

【0017】[第2C圖]圖示依照一些實施例，具有輸入重置機制的具有三輸入臨界值閘極的邏輯閘，其中三輸入臨界值閘極可作為 AND 或 OR 閘極操作。

【0018】[第2D圖]圖示依照一些實施例，具有可作為 AND 或 OR 閘極操作的五輸入臨界值閘極的邏輯閘。

【0019】[第3A圖]圖示顯示第1B圖的三輸入多數閘極的操作的波形。

【0020】[第3B-E圖]圖示依照一些實施例，分別顯示具有不同的 V_{bias} 值的五輸入臨界值閘極的操作的波形。

【0021】[第4圖]圖示依照一些實施例，包括具有耦接反向器或緩衝器的三輸入多數閘極的3D(三維)視圖的第1A圖的邏輯閘的組合邏輯。

【0022】[第5圖]圖示依照一些實施例，包括具有耦接反向器或緩衝器的三輸入臨界值閘極的3D視圖的第1B圖的邏輯閘的組合邏輯。

【0023】[第6圖]圖示依照一些實施例，包含非線性

極性電容器的低功率循序電路(例如，閃鎖)。

【0024】[第7圖]圖示依照一些實施例，顯示第6圖的低功率循序電路的真值表的表。

【0025】[第8A圖]圖示依照一些實施例，包含非線性極性電容器的基於低功率多數閘極的循序電路(例如，閃鎖)。

【0026】[第8B圖]圖示依照一些實施例，包含非線性極性電容器的基於低功率多數閘極的正反器電路。

【0027】[第9圖]圖示依照一些實施例，第8A圖的循序電路的示意圖。

【0028】[第10圖]圖示依照一些實施例，使用低電壓循序電路的系統單晶片(SOC)。

【發明內容】及【實施方式】

【0029】一些實施例描述了使用非線性極性電容器以保留電荷的循序電路。與基於標準CMOS(互補金屬氧化物半導體)的電晶體不同的是，每個電晶體必須直接連接到源極或汲極，在一些實施例中，電晶體被連接到帶電的鐵電電容器。在一些實施例中，循序電路包含具有第一、第二、及第三輸入的三輸入多數閘極、及第一輸出。多數閘極使用非線性極性材料且形成新類型的邏輯閘。在一些實施例中，臨界值閘極可被使用以代替多數閘極。

【0030】類比、數位、或其組合的形式的輸入訊號被驅動到多數閘極的非鐵電電容器的第一終端。非鐵電電容

器的第二終端被耦接以形成多數節點。輸入訊號的多數函數發生在此節點上。然後，多數節點被耦接到包含非線性極性材料的電容器的第一終端。電容器的第二終端提供邏輯閘的輸出。

【0031】 在一些實施例中，循序電路進一步包含耦接到第一輸出(例如，三輸入多數閘極的輸出)的驅動器。驅動器產生第二輸出。驅動器可以是任何適合的邏輯閘，諸如緩衝器、反向器、NAND閘極、NOR閘極等。任何適合的邏輯或類比電路都可以驅動多數邏輯閘的輸出及輸入。因此，各種實施例的多數閘極可以與現有的電晶體技術相結合，諸如互補金屬氧化物半導體(CMOS)、隧道場效電晶體(TFET)、基於GaAs的電晶體、雙極接面電晶體(BJT)、Bi-CMOS電晶體等。

【0032】 在一些實施例中，循序電路包含互斥或(XOR)閘，用以接收時脈及第二輸出。XOR閘極產生第三輸出，該第三輸出耦接到(三輸入多數閘極的)第二輸入，其中三輸入多數的第一輸入用以接收資料(例如，要取樣的輸入資料)，且其中(三輸入多數閘極的)第三輸入用以接收第二輸出(例如，驅動器的輸出)。

【0033】 在一些實施例中，循序電路的多數閘極被替換成臨界值閘極。在臨界值閘極中，額外的固定的或可程式化的輸入經由另一電容器被耦接到多數節點。此額外的固定的或可程式化的輸入可以是正的或負的偏壓。偏壓的作用是在多數節點的電壓(或電流)上加減臨界值或偏移

量，並決定邏輯閘的最終邏輯值。依照各種實施例，依據偏壓的極性或電壓值來實現 AND 閘極或 OR 邏輯閘函數。

【0034】 在一些實施例中，提供了一種裝置，其包含三輸入多數邏輯閘及耦接到三輸入多數邏輯閘的輸出的驅動器。在一些實施例中，三輸入多數邏輯閘包括第一、第二、及第三非鐵電電容器，分別用以接收第一輸入、第二輸入、及第三輸入。在一些實施例中，三輸入多數邏輯閘包括非線性極性電容器，用以儲存該第一、第二、及第三輸入的多數函數輸出，其中該非線性極性電容器的一個終端提供該三輸入多數邏輯閘的輸出。在一些實施例中，驅動器用以產生三輸入多數邏輯閘的放大輸出，其中該放大輸出被耦接到第三輸入。在一些實施例中，該裝置包含比較邏輯，用以接收時脈及該放大輸出，其中該比較邏輯閘的輸出是該第二輸入。

【0035】 在一些實施例中，第一輸入是資料輸入。在一些實施例中，該驅動器包含以下之其中一者：緩衝器、放大器、NAND、AND、OR、多工器、或 NOR 邏輯閘，其中該比較邏輯包含互斥或 (XOR) 閘。在一些實施例中，該裝置包含：第一電晶體，耦接到該非線性極性電容器的第一終端，其中該第一電晶體可由第一時脈控制；第二電晶體，耦接到該非線性極性電容器的第二終端，其中該第二電晶體可由第二時脈控制；及第三電晶體，耦接到該非線性極性電容器的該第二終端，其中該第三電晶體可由第三時脈控制。

【0036】 在一些實施例中，該第一時脈的脈衝寬度大於該第二時脈的脈衝寬度及該第三時脈的脈衝寬度。在一些實施例中，該第三時脈在該第二時脈的判定之前解判定。在一些實施例中，該第一電晶體是第一n型電晶體，其中該第二電晶體是第二n型電晶體，且其中該第三電晶體是p型電晶體。在一些實施例中，該第一電晶體、該第二電晶體、及該第三電晶體在評估階段中被去能，及在重置階段中被賦能，其中該重置階段是在該評估階段之前。在一些實施例中，該第一及第二訊號相同，且其中該第一及第二訊號是重置訊號。在一些實施例中，該第一及第二訊號是不同的訊號。在一些實施例中，該裝置包含：第一驅動器，用以產生該第一輸入；及第二驅動器，用以產生該時脈。在一些實施例中，該第一及第二驅動器包含CMOS電晶體。在一些實施例中，該三輸入多數邏輯閘的該第一、第二、及第三非鐵電電容器包含以下之其中一者：金屬-絕緣體-金屬(MIM)電容器、電晶體閘極電容器、金屬及電晶體混合電容器；或包含順電材料的電容器。

【0037】 在一些實施例中，該非線性極性電容器包括以下之其中一者：鐵電材料、順電材料、或非線性介電材料。在一些實施例中，該鐵電材料包括以下之其中一者：鐵酸鈹(BFO)、具有摻雜材料的BFO，其中該摻雜材料是釧、或週期表釧系元素之其中一者；鋇鈦酸鉛(PZT)、或具有摻雜材料的PZT，其中該摻雜材料是La或Nb之其中一

者；弛緩性鐵電包括鎂鈮酸鉛 (PMN)、鎂鈮酸鉛-鈦酸鉛 (PMN-PT)、銦鈦酸鉛鏤 (PLZT)、釩鈮酸鉛 (PSN)、銻鈦-銻鋅鈮鉭 (BT-BZNT)、或銻鈦-銻銲鈦 (BT-BST)之其中一者。在一些實施例中，鈣鈦礦鐵電包括以下之其中一者： BaTiO_3 、 PbTiO_3 、 KNbO_3 、或 NaTaO_3 。在一些實施例中，六方晶鐵電包括以下之其中一者： YMnO_3 或 LuFeO_3 。在一些實施例中， h-RMnO_3 類型的六方晶鐵電，其中R是稀土元素，包括以下之其中一者：銻 (Ce)、鐳 (Dy)、銲 (Er)、銻 (Eu)、釩 (Gd)、鈦 (Ho)、鏤 (La)、鐳 (Lu)、釩 (Nd)、鐳 (Pr)、銲 (Pm)、釩 (Sm)、釩 (Sc)、銲 (Tb)、銲 (Tm)、鐳 (Yb)、或釩 (Y)；銲 (Hf)、銦 (Zr)、鋁 (Al)、矽 (Si)、其氧化物或其合金氧化物；以下形式的銲氧化物， $\text{Hf}_{1-x}\text{E}_x\text{O}_y$ ，其中E可為Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y； $\text{Al}(1-x)\text{Sc}(x)\text{N}$ 、 $\text{Ga}(1-x)\text{Sc}(x)\text{N}$ 、 $\text{Al}(1-x)\text{Y}(x)\text{N}$ 或 $\text{Al}(1-x-y)\text{Mg}(x)\text{Nb}(y)\text{N}$ 、摻雜y的 HfO_2 ，其中x包括以下之其中一者：Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y，其中「x」是分數；鈮酸鹽化合物 LiNbO_3 、 LiTaO_3 、鋰鐵鉭氧基氟化物、銲鈮酸銻、銲鈮酸鈉、或銲鈮酸鉀；或不適當鐵電包括以下之其中一者： $[\text{PTO}/\text{STO}]_n$ 或 $[\text{LAO}/\text{STO}]_n$ ，其中「n」在1到100之間。在一些實施例中，該非線性極性電容器被安置在晶粒的後端中，而該驅動器及該比較邏輯的電晶體被安置在晶粒的前端。

【0038】各種實施例有許多技術效果。舉例來說，使

用非鐵電電容器及具有非線性極性材料的電容器來形成極其緊湊的循序電路。非線性極性材料可以是鐵電材料、順電材料、或非線性介電。各種實施例的多數閘極及/或臨界值閘極降低了循序電路的電源消耗，因為多數閘極及/或臨界值閘極不使用切換電晶體，且互連路由比過渡性CMOS邏輯閘中使用的互連路由少的多。舉例來說，與傳統CMOS電路相比，在相同功能及效能下，各種實施例的多數閘極及臨界值閘極使用的互連長度要少10倍。具有非線性極性材料的電容器提供了非揮發性，可以在不使用時實現間歇性操作及零功率消耗。

【0039】舉例來說，具有這種順序的邏輯閘的處理器可以進入及退出各種類型的低功率狀態，而不必擔心丟失資料。由於具有非線性極性材料的電容器可以儲存來自低能量設備的電荷，整個處理器可以在來自電源供應的更低的電壓位準下操作，從而減少了處理器的整體功率。此外，非線性極性材料狀態的非常低的電壓切換(例如，100mV)允許低的擺動訊號切換，這反過來又導致低功率。

【0040】具有非線性極性材料的電容器可以與任何類型的電晶體一起使用。舉例來說，各種實施例中具有非線性極性材料的電容器可以與平面或非平面電晶體一起使用。電晶體可以在晶粒的前端或後端形成。具有非線性極性材料的電容器可以在晶粒的前端或後端形成。因此，與傳統邏輯閘相比，邏輯閘可以用高密度包裝。其他技術效

果將從各種實施例及圖式中顯而易見。

【0041】在以下說明中，各種細節係被討論以提供本揭露的實施例更全面的說明。然而，對於所述技術領域中具有通常知識者而言將了解的是，沒有這些特定說明亦可實現本揭露的實施例。在其他範例中，已知結構與設備是以方塊圖形式來顯示(而非詳細地)，以避免模糊本揭露的實施例。

【0042】應注意的是，在實施例的對應圖式中，訊號是以線條表示。一些線條會比較粗，用以表示更多的組成訊號路徑，及/或在一或多個末端具有箭頭，用以表示主要資訊流方向。此表示並非作為限制用。反而，這些線條是與一或多個例示實施例聯繫起來使用的，以便更容易理解電路或邏輯單元。任何所表示的訊號(由設計需要或偏好所規定)可實際上包含可在任一方向移動且可被以任何適合類型的訊號方案來實現的一或多個訊號。

【0043】術語「設備(device)」根據該術語的使用背景，一般可指一種裝置(apparatus)。舉例來說，設備可以指一疊層(a stack of layers)或結構、單一結構或層、具有主動及/或被動元件的各種結構的連接、等等。一般來說，設備是三維結構，其平面沿x-y方向，而高度沿x-y-z笛卡爾坐標系統的z方向。設備的平面也可以是包含該設備的裝置的平面。

【0044】在整個說明書及申請專利範圍中，術語「連接(connected)」是指直接連接，諸如被連接的物品之間的

電性、機械性、或磁性連接，沒有任何中間設備。

【0045】術語「耦接(coupled)」是指直接或間接連接，諸如被連接的物品之間的直接電性、機械性、或磁性連接，或透過一或多個被動或主動中間設備的間接連接。

【0046】這裡的術語「相鄰(adjacent)」一般是指一物品的位置緊鄰著(例如緊緊地緊鄰著或靠近，在其之間有一或多個物品)另一物品或與另一物品相鄰(例如，與其鄰接)。

【0047】術語「電路(circuit)」或「模組(module)」可指一或多個被動及/或主動組件，其被安排為相互合作以提供期望的功能。

【0048】術語「訊號(signal)」可指至少一個電流訊號、電壓訊號、磁訊號、或資料/時脈訊號。「一(a)」、「一(an)」、及「該(the)」的意義包括複數的所提及者。「於...中(in)」的意義包括「於...中(in)」與「於...上(on)」。

【0049】在這裡，術語「類比訊號(analog signal)」一般是指任何連續的訊號，對其而言，訊號的隨時間變化的特徵(變數)是一些其他時間變化量的代表，亦即，與另一隨時間變化的訊號類似。

【0050】在這裡，術語「數位訊號(digital signal)」通常指的是物理訊號，它是舉例來說，任意位元流的、或數位化的(經取樣及經類比數位轉換的)類比訊號的一個離散值的序列(一個量化的離散時間訊號)的表示。

【0051】術語「尺度(scaling)」通常參照從一處理技術將一設計(概要與布局)轉換成另一處理技術，且隨後在布局面積上被減少。術語「尺度(scaling)」通常亦參照在相同技術節點內縮小布局與設備。術語「尺度(scaling)」亦可參照有關另一參數(例如電源供應位準)的訊號頻率的調整(例如減速或加速，亦即分別縮小或放大)。

【0052】術語「實質上(substantially)」、「接近(close)」、「大約(approximately)」、「靠近(near)」、及「約(about)」通常參照目標值之 $\pm 10\%$ 內。舉例來說，除非在其使用的明確上下文中另有規定，術語「實質上相等(substantially equal)」、「大約相等(about equal)」及「近似相等(approximately equal)」是指在如此描述的物品之間沒有超過偶然的差異。在本領域中，這種變化典型超過預定目標值的 $\pm 10\%$ 。

【0053】除非特別說明，順序形容詞「第一(first)」、「第二(second)」、及「第三(third)」等用以說明一般物件僅表示參照類似物件的不同情況且並非意欲暗示所描述的物件必須以給定順序依時間地或空間地按順序或任何其他方式。

【0054】對於本揭露的目的，術語「A及/或B」及「A或B」表示(A)、(B)、或(A及B)。對於本揭露之目的，術語「A、B及/或C」表示(A)、(B)、(C)、(A及B)、(A及C)、(B及C)、或(A、B、及C)。

【0055】術語「左(left)」、「右(right)」、「前

(front)」、「後(back)」、「頂(top)」、「底(bottom)」、「在...上方(over)」、「在...下方(under)」及類似術語，如果有的話，都是用於描述性的目的，不一定用於描述永久的相對位置。舉例來說，本文所使用的術語「在...上方(over)」、「在...下方(under)」、「前側(front side)」、「後側(back side)」、「頂(top)」、「底(bottom)」、「在...上方(over)」、「在...下方(under)」及「在...之上(on)」是指一個組件、結構、或材料相對於在設備內的其他參考的組件、結構或材料的相對位置，其中這種物理關係是值得注意的。這些術語在此僅用於描述性目的，主要是在設備的z軸範圍內使用，因此可能是相對於設備的定向而言。因此，如果設備的方向相對於所提供的圖式的內容來說是顛倒的，那麼在此提供的圖式的內容中，「在」第二材料「上方」的第一材料也可能是「在」第二材料「下方」。在材料方面，布置在另一材料上方或下方的一種材料可以直接接觸，或可以具有一或多個中間材料。此外，布置在兩種材料之間的一種材料可以直接與這兩層材料接觸，也可以具有一或多個中間層。相反的，「在」第二材料「之上」的第一材料與第二材料直接接觸。在組件裝配方面也要進行類似區分。

【0056】術語「在...之間(between)」可以被使用在設備的z軸、x軸或y軸的範圍內。處於兩種其他材料之間的材料可以與其中一種或兩種材料接觸，也可以藉由一或多個中間材料與其他兩種材料分開。因此，「在」兩個其他

材料「之間」的材料可以與其他兩種材料中的任何一種接觸，也可以透過中間材料與其他兩種材料耦接。處於兩個其他裝置之間的設備可以直接連接到其中一個或兩個設備，也可以藉由一或多個中間設備與其他兩個設備分開。

【0057】在這裡，多個非矽半導體材料層可以在單一鱗狀結構內堆疊。多個非矽半導體材料層可以包括適合P型電晶體的一或多個「P型」層(例如，提供比矽高的電洞遷移率)。多個非矽半導體材料層可以進一步包括適合N型電晶體的一或多個「N型」層(例如，提供比矽高的電子遷移率)。多個非矽半導體材料層可以進一步包括將N型從P型層分開的一或多個中間層。中間層可以至少部分是犧牲性的，舉例來說，允許一或多個閘極、源極、或汲極完全環繞一或多個N型及P型電晶體的通道區域。多個非矽半導體材料層可以至少部分地用自對準技術來製造，這樣，堆疊的CMOS設備可以包括高移動性N型及P型電晶體，其覆蓋區域是單一FET(場效電晶體)。

【0058】在這裡，術語「後端(backend)」通常是指與「前端(frontend)」相對的晶粒的部分及IC(積體電路)封裝耦接到IC晶粒凸塊的地方。舉例來說，高位準金屬層(例如，在十層金屬堆疊晶粒中的第6層及以上的金屬層)及更接近晶粒封裝的對應的通孔被認為是晶粒的後端。相反地，術語「前端(frontend)」通常是指包括主動區域(例如，製造電晶體的地方)及低位準金屬層及更接近主動區域(例如，在十層金屬堆疊晶粒中的第5層及以下的金屬

層)的對應的通孔的晶粒的部分。

【0059】 需要指出的是，具有與任何其他圖式的元件相同的元件符號(或名稱)之圖式的元件可以以類似已被描述的任何方式來操作或發揮作用，但不限於此。

【0060】 第1A圖圖示依照一些實施例，具有三輸入多數閘極的邏輯閘100。邏輯閘100分別包含第一、第二、及第三驅動器101、102、及103。這些驅動器可以是產生類比訊號的類比驅動器或產生在接地及電源供應軌之間切換的訊號的數位驅動器、或類比或數位驅動器的結合。舉例來說，驅動器101是CMOS驅動器，諸如緩衝器、反向器、NAND閘極、NOR閘極等，而驅動器102是產生偏壓訊號的放大器。驅動器將輸入訊號 V_{in1} (及電流 I_1)、 V_{in2} (及電流 I_2)、及 V_{in3} (及電流 I_3)提供到三輸入多數閘極104的三個輸入。

【0061】 在各種實施例中，三輸入多數閘極104包含三個輸入節點 V_{in1} 、 V_{in2} 、及 V_{in3} 。在這裡，訊號名稱及節點名稱可以互換使用。舉例來說，依據句子的上下文， V_{in1} 指的是節點 V_{in1} 或訊號 V_{in1} 。三輸入多數閘極104進一步包含電容器C1、C2、及C3。在這裡，電阻器R1、R2、及R3是分別耦接到電容器C1、C2、及C3的互連寄生電阻。在各種實施例中，電容器C1、C2、及C3是非鐵電電容器。在一些實施例中，非鐵電電容器包括以下之其中一者：介電電容器、順電電容器、或非線性介電電容器。

【0062】 介電電容器包含第一及第二金屬板，它們之

間具有介電質。這種介電質的範例是： HfO 、 ABO_3 鈣鈦礦、氮化物、氟氧化物、氧化物等。

【0063】順電電容器包含第一及第二金屬板，它們之間具有順電材料。在一些實施例中，f軌道(f-orbital)材料(例如，鏷系元素)被摻到鐵電材料以製成順電材料。室溫順電材料的範例包括： SrTiO_3 、 $\text{Ba}(x)\text{Sr}(y)\text{TiO}_3$ (其中x是-0.5，y是0.95)、 HfZrO_2 、 Hf-Si-O 、La取代的 PbTiO_3 、基於PMN-PT的弛緩性鐵電。

【0064】介電電容器包含第一及第二金屬板，它們之間具有非線性介電電容器。介電常數的範圍是1.2到10000。電容器C1、C2、及C3可以採用MIM(金屬-絕緣體-金屬)電容器技術(電晶體閘極電容器、金屬電容器的混合或電晶體電容器)。

【0065】電容器C1、C2、及C3的一個終端被耦接到共同節點cn。這個共同節點被耦接到節點n1，該節點被耦接到非線性極性電容器105的第一終端。多數函數在共同節點cn被執行，且所得電壓被投射到電容器105上。舉例來說，節點cn上的電流(I_1 、 I_2 、及 I_3)的多數函數導致了對電容器105充電的結果電流。表1圖示多數函數f(Majority V_{in1} , V_{in2} , V_{in3})。

表 1

Vin1	Vin2	Vin3	cn (f(Majority Vin1, Vin2, Vin3))
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

【0066】具有FE材料的電容器(也被稱為FEC)是個非線性電容器，其電位 $V_F(Q_F)$ 是其電荷的立方函數。第1C圖圖示顯示FEC特性的圖式130。圖式130是面積為 $(100\text{nm})^2$ 厚度為 20nm (奈米)的 $\text{Pb}(\text{Zr}_{0.5}\text{Ti}_{0.5})\text{O}_3$ 塊的電荷-電壓(Q-V)圖式。圖式藉由虛線顯示在 $\pm V_0$ 處的局部極值。在這裡，術語 V_0 是矯頑電壓。在FEC上施加電位 V 時，只有當 $|V| > V_0$ 時，其電荷才能被明確地決定。否則，FEC的電荷會受到遲滯效應的影響。

【0067】回到第1A圖，在一些實施例中， N 個奇數的電容器被耦接到單一FEC，以形成多數閘極。在此情形中， $N=3$ 。在FEC(Q_F)上的測量電荷是多數閘極的輸出。在求解穩態解決方案時，寄生電阻器被忽略，且輸入電位 V_i (或 V_{in})被假設為常數。在此情形中，每個線性電容器(C_1 、 C_2 、 C_3)上的電荷是：

$$Q_i = C_i \cdot (V_i - V_F) \dots (1)$$

【0068】在節點 C_n 處及在 FEC 105 上的電荷之和被表示為：

$$Q_F = \sum_i Q_i \dots (2)$$

$$Q_F = \sum_i C_i V_i - \sum_i C_i V_F \dots (3)$$

$$Q_F = \sum_i C_i V_i - C V_F(Q_F) \dots (4)$$

$$V_F(Q_F) = \sum_i \frac{C_i}{C} V_i - \frac{Q_F}{C} \dots (5)$$

【0069】在這裡， $C = \sum_i C_i$ 是電容的和。在極限情下， $C \rightarrow \infty$ ，實現了以下目標：

$$V_F(Q_F) = \sum_i \frac{C_i}{C} V_i = \bar{V} \dots (6)$$

【0070】FEC 105 上的電位是所有輸入電位的平均值，由電容(例如， C_1 、 C_2 、及 C_3)加權。

【0071】當 $C_i = C/N$ 都相等時， V_F 只是一個簡單平均值。要確保

$$Q_F = V_F^{-1}(\bar{V}) \dots (7)$$

【0072】是被良好界定的， \bar{V} 的所有可能的值的量級都大於 V_c ，即矯頑電位。假設二進制輸入是 $\pm V_s$ ，具有最小量級的電位是：

$$\bar{V} = V_s/N \dots (8)$$

【0073】當 $(N+1)/2$ 個輸入是 $+V_s$ 及 $(N-1)/2$ 個輸入是 $-V_s$ 時，就會發生這種情況。然後，

$$V_s > N V_c \dots (9)$$

【0074】在節點 n1 處的多數閘極的輸出由第 1D 圖表示。第 1D 圖圖示依照一些實施例，顯示三輸入多數閘極的輸出的圖式 140。

【0075】作為一範例，對於 N=3，可能的輸入是：

$$\bar{V} \in \left\{ -\frac{3}{3}V_s, -\frac{1}{3}V_s, +\frac{1}{3}V_s, +\frac{3}{3}V_s \right\} \dots (10)$$

【0076】回到第 1A 圖，由於電容器 105 是非線性極性電容器，電容器的兩個終端經由 n 型電晶體下拉電晶體 MN1 及 MN2、及 p 型上拉電晶體，預放電到接地或已知的預定電壓。預定電壓可以是可程式化的。預定電壓可以是正的或負的。在一些實施例中，n 型電晶體 MN1 被耦接到節點 Vout_int1 (內部 Vout 節點) 並可藉由時脈或重置訊號 Clk1 來控制。在一些實施例中，n 型電晶體 MN2 被耦接到節點 Vout_int2 (內部 Vout 節點) 並可藉由時脈或重置訊號 Clk2 來控制。在一些實施例中，p 型電晶體 MP1 被耦接到節點 Vout_int2，並可藉由 Clk3b 來控制。

【0077】在一些實施例中，n 型電晶體 MN1 及 MN2 被替換為 p 型電晶體，以將電容器 105 的兩個終端 (Vout_int1 及 Vout_int2) 預充電到供應電壓或另一預定電壓，而 p 型電晶體 MP1 被替換為耦接到接地或負供應軌的 n 型電晶體。預定電壓可以是可程式化的。預定電壓可以是正的或負的。

【0078】在一些實施例中，電容器 105 的終端 (或節點 cn 及 n1) 的預充電或預放電是藉由時脈訊號 Clk1、Clk2、

及 Clk3b 定期完成的。控制可以是非時脈訊號，其藉由控制邏輯(未顯示)來產生。舉例來說，可以在每一個預定或可程式化的時間發出控制。在一些實施例中，時脈訊號 Clk1、Clk2、及 Clk3b 在重置階段中被發出，隨後是評估階段，在評估借段中，輸入 Vin1、Vin2、及 Vin3 被接收且多數函數在其上被執行。第 1E 圖圖示依照一些實施例，用於重置第 1A-B 圖的多數閘極的鐵電電容器的時序圖 190。

【0079】 Clk1 具有大於 Clk2 及 Clk3b 的脈衝寬度的脈衝。Clk3b 是 Clk3(未顯示)的反向。在一些實施例中，Clk1 首先被判定，開始對節點 Vout_int1 放電。當節點 Vout_int1 被放電時，Clk2 被判定。Clk2 可以具有實質上是 Clk1 脈衝寬度的一半的脈衝寬度。當 Clk2 被判定時，節點 Vout_int2 被放電。這個順序確保了電容器 105 的非線性極性材料的兩個終端都依序放電。在各種實施例中，在對節點 Vout_int2 放電之前，Clk3b 被解判定，這使電晶體 MP1 導通，導致 Vout_int2 被充電到預定值(例如，供應位準)。Clk3b 的脈衝寬度小於 clk1 的脈衝寬度，以確保 Clk3b 的脈衝發生在 Clk1 脈衝窗內。這對於確保非線性極性電容器 105 與其他電容器(例如，C1、C2、C3)一起被初始化為已知經程式化的狀態是非常有用的，這些電容器被初始化為 0V。在 Vout_int2 上的脈衝與 Vout_int1 一起在非線性極性電容器 105 上產生正確的場(field)，使其處於正確的狀態，使得在操作模式期間，如果 Vout_int1 高於 Vc 值(矯頑電壓值)，就會觸發非線性極性電容器 105 的切換，從而導

致 V_{out_int2} 上的電壓升高。

【0080】在一些實施例中，負載電容器 CL 被加入到節點 V_{out_int2} 。在一些實施例中，負載電容器 CL 是普通的電容器(諸如非鐵電電容器)。在 V_{out_int2} 上的 CL 的電容值對於確保(FE電容器 105的)FE切換電荷提供正確的電壓位準很有幫助。對於給定的FE尺寸(面積 A)，在極性化切換密度(dP)及期望的 V_{dd} (供應電壓)的電壓擺動下， CL 的電容應該大約是 $CL = dP * A / V_{dd}$ 。由於FE電容器 105的介電質成份，在 V_{out_int2} 上存在電荷共享，因此與上述 CL 值有輕微偏差。電荷共享相對於在 V_{out_int1} 上的電壓以及在FE電容器 105的介電質成份和負載電容器(CL)之間的電容分壓器比做出反應。注意， CL 的電容可以是在 V_{out_int2} 節點上的所有電容(例如，節點上的寄生路由電容、輸出級 106的閘極電容、及重置設備(例如， $MN2$, $MP1$)的汲極或源極電容的總和。在一些實施例中，對於給定尺寸的非線性極性電容器 105，僅靠非FE邏輯 106的負載電容及寄生組件本身就可以滿足 CL 要求，可能不需要將其作為單獨的線性電容器。

【0081】回到第 1A圖，在一些實施例中，電容器 105 的非線性極性材料包括以下之其中一者：鐵電(FE)材料、順電材料、弛緩性鐵電、或非線性介電。在各種實施例中，順電材料與FE材料相同，但藉由無極性失真的離子對主動鐵電離子進行化學摻雜。在一些情形中，非極性離子是與 p 、 d 、及/或 f 外部軌道形成的非 s 軌道離子。在一些實

施例中，非線性介電材料與順電材料、弛緩器、及雙極性玻璃相同。

【0082】在一些實施例中，f軌道材料(例如，鏷系元素)被摻到鐵電材料以製成順電材料。室溫順電材料的範例包括： SrTiO_3 、 $\text{Ba}(x)\text{Sr}(y)\text{TiO}_3$ (其中x是-0.5，y是0.95)、 HfZrO_2 、 Hf-Si-O 、La取代的 PbTiO_3 、基於PMN-PT的弛緩性鐵電。

【0083】在各種實施例中，FE材料可以是任何適合的低電壓FE材料，允許FE材料藉由低電壓(例如，100mV)來切換其狀態。在一些實施例中，FE材料包含 ABO_3 類型的鈣鈦礦，其中「A」及「B」是兩個不同尺寸的陽離子，且「O」是氧，它是陰離子，與兩個陽離子結合。一般來說，A的原子尺寸要比B的原子尺寸大。在一些實施例中，鈣鈦礦可以被摻雜(例如，藉由La或鏷系元素)。鈣鈦礦可以被適當地摻雜，以達成0.3到2%的範圍內的自發畸變。舉例來說，對於化學取代的鈦酸鉛，諸如Ti位點中的Zr；Ti位點中的La、Nb，這些取代物的濃度是這樣的，它達成了0.3到2%的範圍內的自發畸變。對於化學取代的 BiFeO_3 、 BiCrO_3 、 BiCoO_3 類型的材料，La或稀土取代到Bi位點可以調控自發畸變。

【0084】FE材料中的臨界值在極性化與電壓響應(polarization vs. voltage response)中具有高度非線性的轉換函數。臨界值與a)切換轉換函數的非線性度、及b)FE切換的平方度(squareness)有關。切換轉換函數的非線性度

是指極性化與電壓圖式的導數的寬度。平方度是藉由殘餘極性化與飽和極性化的比率所界定的；完美的平方度將顯示1的值。

【0085】FE切換的平方度可以用化學替換進行適當的操作。舉例來說，在 PbTiO_3 中，P-E(極性化-電場)方形環路可以藉由La或Nb的替代來修改，以建立S形環路。形狀可以被系統地調控，最終產生非線性介電質。FE切換的平方度也可以藉由FE層的粒度來改變。與多晶體FE相比，完美的外延、單晶體FE層將顯示較高的平方度(例如，比率更接近1)。這種完美的外延可以藉由使用晶格匹配的底部及頂部電極來實現。在一個範例中， BiFeO_3 (BFO)可以使用晶格匹配的 SrRuO_3 底部電極進行外延合成，產生的P-E環路是方形的。逐步摻雜La將降低平方度。

【0086】在一些實施例中，FE材料與導電金屬氧化物接觸，該導電金屬氧化物包括以下列舉的導電鈣鈦礦金屬氧化物中的一種： La-Sr-CoO_3 、 SrRuO_3 、 La-Sr-MnO_3 、 $\text{YBa}_2\text{Cu}_3\text{O}_7$ 、 $\text{Bi}_2\text{Sr}_2\text{CaCu}_2\text{O}_8$ 、 LaNiO_3 、及 ReO_3 。

【0087】在一些實施例中，FE材料包含層的堆疊，包括在導電氧化物之間(或夾在其中)的低電壓FE材料。在各種實施例中，當FE材料是鈣鈦礦時，導電氧化物是 $\text{AA}'\text{BB}'\text{O}_3$ 的類型。A'是原子位點A的摻雜物，它可以是鏷系元素。B'是原子位點B的摻雜物，它可以是過渡金屬元素，特別是Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zn。A'可能具有與位點A相同的價位，具有不同的鐵電極

化性。

【0088】 在一些實施例中，FE材料包含h-RMnO₃類型的六方晶鐵電，其中R是稀土元素，包括以下之其中一者：鈰(Ce)、鐳(Dy)、鉺(Er)、鎔(Eu)、釷(Gd)、釹(Ho)、鐳(La)、鐳(Lu)、釹(Nd)、鐳(Pr)、鉕(Pm)、釷(Sm)、釷(Sc)、鉕(Tb)、鉕(Tm)、鐳(Yb)、或釷(Y)。鐵電相(ferroelectric phase)的特點是層狀MnO₅多面體的屈曲，伴隨著Y離子的位移，這導致了淨電極化(net electric polarization)。在一些實施例中，六方晶FE包括以下之其中一者：YMnO₃或LuFeO₃。在各種實施例中，當FE材料包含六方晶鐵電時，與FE材料相鄰的導電氧化物是A₂O₃(例如，In₂O₃、Fe₂O₃)及ABO₃類型，其中「A」是稀土元素且B是Mn。

【0089】 在一些實施例中，FE材料包含不適當FE材料。不適當鐵電是一種鐵電，其主要秩序參數是一種秩序機制，諸如原子秩序的應變或屈曲。不適當FE材料的範例是LuFeO₃類型的材料或鐵電及順電材料的超級晶格，分別是PbTiO₃(PTO)及SnTiO₃(STO)，以及分別是LaAlO₃(LAO)及STO。舉例來說，[PTO/STO]_n或[LAO/STO]_n的超級晶格，其中「n」是在1到100之間。雖然這裡描述的各種實施例是指用於儲存電荷狀態的鐵電材料，但這些實施例也適用於順電材料。舉例來說，各種實施例的電容器可以使用順電材料而不是鐵電材料來形成。

【0090】 在一些實施例中，FE材料包括以下之其中一

者：鈦(Hf)、鋯(Zr)、鋁(Al)、矽(Si)、其氧化物或其合金氧化物。在一些實施例中，FE材料包括以下之其中一者： $Al(1-x)Sc(x)N$ 、 $Ga(1-x)Sc(x)N$ 、 $Al(1-x)Y(x)N$ 或 $Al(1-x-y)Mg(x)Nb(y)N$ 、摻雜 y 的 HfO_2 ，其中 x 包括以下之其中一者：Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y，其中「 x 」是分數。在一些實施例中，FE材料包括鐵酸鋇(BFO)、鋯鈦酸鉛(PZT)、具有摻雜材料的BFO、或具有摻雜材料的PZT，其中該摻雜材料是Nb或弛緩性鐵電(諸如PMN-PT)之其中一者。

【0091】在一些實施例中，FE材料包括鐵酸鋇(BFO)、具有摻雜材料的BFO，其中摻雜材料是釧、或週期表釧系元素之其中一者。在一些實施例中，FE材料105包括鋯鈦酸鉛(PZT)、或具有摻雜材料的PZT，其中該摻雜材料是La、或Nb之其中一者。在一些實施例中，FE材料包括弛緩性鐵電，其包括鎂鈮酸鉛(PMN)、鎂鈮酸鉛-鈦酸鉛(PMN-PT)、鋯鈦酸鉛釧(PLZT)、鈦鈮酸鉛(PSN)、鋇鈦-鋇鋅鈮鉭(BT-BZNT)、或鋇鈦-鋇鋇鈦(BT-BST)之其中一者。

【0092】在一些實施例中，FE材料包括以下形式的鈦氧化物， $Hf_{1-x}E_xO_y$ ，其中E可為Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y。在一些實施例中，FE材料105包括鈮酸鹽化合物 $LiNbO_3$ 、 $LiTaO_3$ 、鋇鐵鉭氧基氟化物、鋇鈮酸鋇、鋇鈮酸鈉、或鋇鈮酸鉀。

【0093】在一些實施例中，FE材料包含多層。舉例來

說，可以使用 $[\text{Bi}_2\text{O}_2]^{2+}$ 的交替層，及偽鈣鈦礦塊 ($\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 及相關的奧里維里斯相 (Aurivillius phases))，鈣鈦礦層的厚度是 n 個八面體層。

【0094】在一些實施例中，FE材料包含有機材料。舉例來說，聚偏氟乙烯或聚偏二氟乙烯 (PVDF)。

【0095】FE材料在兩個電極之間。這些電極是導電電極。在一些實施例中，電極是鈣鈦礦模板導體。在此模板結構中，在 IrO_2 、 RuO_2 、 PdO_2 、或 PtO_2 (它們具有非鈣鈦礦結構但具有更高的導電性) 的頂部塗上薄薄的一層 (例如，大約 10nm) 的鈣鈦礦導體 (諸如 SrRuO_3)，以便為純鈣鈦礦鐵電在低溫下的生長提供種子或模板。在一些實施例中，當鐵電包含六方晶鐵電材料時，電極可以具有六方晶金屬、尖晶石、或立方金屬。六方晶金屬的範例包括： PtCoO_2 、 PdCoO_2 、及其他銅鐵礦結構的六方晶金屬氧化物，諸如摻雜 Al 的 ZnO 。尖晶石的範例包括 Fe_3O_4 及 LiV_2O_4 。立方金屬的範例包括氧化銻錫 (ITO)，諸如摻雜 Sn 的 In_2O_3 。

【0096】在節點 n_1 上發展的電荷產生電壓及電流，其為多數閘極 104 的輸出。任何適合的驅動器 106 都可以驅動這個輸出。舉例來說，非 FE 邏輯、FE 邏輯、CMOS 邏輯、BJT 邏輯等可被使用以驅動輸出到下行邏輯。驅動器的範例包括反向器、緩衝器、NAND 閘極、NOR 閘極、XOR 閘極、放大器、比較器、數位類比轉換器、類比數位轉換器等。在一些實施例中，輸出「out」藉由驅動器 106 經由

C1k1訊號來重置。舉例來說，NAND閘極的一個輸入耦接到Vout_int2且另一輸入耦接到C1k1，可用於在重置階段期間將「out」重置。

【0097】雖然第1A圖圖示的是三輸入多數閘極，但同樣的概念可以延伸到三個以上的輸入，做成N輸入多數閘極，其中N大於2。

【0098】第1B圖圖示依照一些實施例，具有五輸入多數閘極124的邏輯閘120。五輸入多數閘極124與三輸入多數閘極104類似，但有額外的輸入Vin4及Vin5。這些輸入可以來自相同的驅動器(例如，驅動器101、102、103中的任何一個)或來自不同的驅動器諸如驅動器121及122。輸入Vin4及Vin5可以是類比、數位、或它們的結合。舉例來說，Vin4是數位訊號，而Vin5是類比訊號。額外的輸入Vin4及Vin5分別耦接到額外的非鐵電電容器C4及C5。電容器C4及C5的組成及尺寸與C1、C2、及C3相似。在這裡，電阻器R4及R5是寄生電阻器。

【0099】多數函數在共同節點cn被執行，且所得電壓被投射到電容器105上。舉例來說，節點cn上的電流(I_1 、 I_2 、 I_3 、 I_4 、及 I_5)的多數函數導致了對電容器105充電的結果電流。表2圖示五輸入多數閘極124的多數函數f (Majority Vin1、Vin2、Vin3、Vin4、Vin5)。

表 2

Vin1	Vin2	Vin3	Vin4	Vin5	cn (f(Majority Vin1, Vin2, Vin3, Vin4, Vin5))
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	1
1	0	1	0	0	0
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	1
1	1	1	1	0	1
1	1	1	1	1	1
1	1	1	0	1	1
1	1	1	1	0	1
1	1	1	1	0	1

【0100】第1F圖圖示依照一些實施例，具有基於通道閘極的重置機制的具有三輸入多數閘極的邏輯閘180。邏輯閘180與邏輯閘100類似，但有重置機制，用以重置非線性極性電容器105的終端。在這裡，下拉電晶體MN2被移除，且包含p型電晶體MP1及n型電晶體MN3的通道閘極被耦接到Vout_int2節點。在一些實施例中，電晶體MN3藉由Clk3來控制，而電晶體MP1藉由Clk3b來控制，其中Clk3b是Clk3的反向。在一些實施例中，當Clk1及Clk3被判定時，在Clk1及Clk3被解判定之前，Vpulse通過通道閘極到Vout_int2。Vpulse在重置階段期間產生，並在評估階段期間被解判定，如第1G圖所圖示。第1G圖圖示依照一些實施例，用於重置第1F圖的多數閘極的鐵電電容器的時序圖170。

【0101】在重置階段期間，藉由判定Clk1脈衝，節點Vout_Int1首先被重置或放電至接地。在相同階段中，電晶體MP3及MP1被導通，而Vpulse被施加到節點Vout_Int2。

【0102】在這裡，Vpulse從訊號產生的角度緩和了相對的時序控制。Vpulse還可以最大限度地減少在Vout_int2節點上的電荷注入，這是因為發生在通道閘極上的切換具有差分性質。要注意的是，由於當通道閘極的電晶體MP1及MN3大約抵銷了在Vout_int2節點處的電荷注入時的電荷共享，由於在通道閘極上的切換事件，通道閘極減少了電荷注入。Vout_int1(cn)節點所顯示的灰色虛線水平線表示

FE電容器 105的 V_c 將產生切換動作。對於多數閘極設計，在一些實施例中，此灰色虛線水平線的位置接近 $V_{dd}/2$ (例如， $V_c = V_{dd}/2$)，其中 V_{dd} 是邏輯高值。

【0103】 在一些情形中，當所有輸入都是 0 時 (例如， $V_{in1} = V_{in2} = V_{in3} = 0$ 或 V_{ss})，也就是指 3L，那麼在 V_{out_int1} 及 / 或 V_{out_int1} 上的電壓可能下降到 V_{ss} (或接地) 位準之下。當所有輸入都是 1 時 (例如， $V_{in1} = V_{in2} = V_{in3} = 1$ 或 V_{ss})，也就是指 3H，那麼在 V_{out_int1} 及 / 或 V_{out_int1} 上的電壓可能上升到 V_{ss} (或供應) 位準之上。然而，這可能依據在輸入訊號的判定之後，在時間 0 的節點 cn 上電荷注入的確切數量。因此，所有三個輸入為邏輯低 (3L) 與兩個輸入為邏輯低 (2L) 相比，轉變成略為不同的位準。在這裡，3H 指的是所有三個輸入為高，2H 指的是兩個輸入為高且一個輸入為低，而 1H 指的是一個輸入為高且兩個輸入為低。同樣的解釋也用於命名 3L、2L、及 1L。在 1H 情形中，在節點 cn 及 $n1$ 上的電壓可能略高於接地。3H 的情形也是如此，這意味著在節點 cn 及 / 或 $n1$ 上的電壓位準比在 2H 及 1L 的情形略高。

【0104】 第 1H 圖圖示依照一些實施例，具有輸入重置機制的具有三輸入多數閘極的邏輯閘 180。與第 1A-B 圖及第 E-G 圖描述的重置機制相比，這裡的輸入 (例如， V_{in1} 、 V_{in2} 、 V_{in3}) 在重置階段期間被阻止傳播。邏輯閘 180 與邏輯閘 100 相似，不同之處在於在電容器 105 的重置期間輸入電壓的決定論。

【0105】 在一些實施例中，對於第1A-B圖及第E-G圖的重置機制，產生輸入訊號(例如，Vin1到Vin5)的邏輯知道重置時序，因此確保當電容器105正被重置時發送正確的輸入訊號(本圖示中為0V)以進行處理。以預定電壓位準(例如，0V)來產生輸入訊號確保了線性電容器(例如，C1、C2、C3)上有預定電壓(例如，0V)。當產生這種預定輸入訊號時，在輸入訊號節點上的通道閘極可以被移除，以節省面積及成本。

【0106】 在一些其他實施例中，對於在邏輯叢集之間的這些多數閘極的多個階段，可以從輸入向量控制重置順序，以便在每個階段的重置階段期間正確地建立正確的電壓位準。在一些實施例中，在輸入(例如，Vin)處提供邏輯閘，使得在所有階段的正確電壓位準都驅動正確的邏輯。舉例來說，NAND閘極有一個輸入是重置訊號，另一個是邏輯位準(例如，Vin1)，這樣就確保了在重置階段期間，每個階段的輸入都施加了正確的電壓位準。在另一範例中，每個邏輯的輸出在重置期間被調節，以使隨後的邏輯(例如，多數閘極邏輯)在重置期間接收正確的輸入電壓位準。在一個這樣的範例中，非FE邏輯106包含NAND閘極，它的一個輸入是重置訊號，另一個是邏輯位準(例如，耦接到Vout_int2)，這樣就確保了在重置階段期間，正確的電壓位準被傳播到下個或後續的多數閘極階段的輸入。

【0107】 在一些實施例中，第一通道閘極被耦接到第

一電容器C1及產生第一輸入Vin1的驅動器。第一通道閘極包含可藉由Clk1來控制的p型電晶體MP1r及可藉由Clk1b來控制的n型電晶體MN1r。第一通道閘極阻擋了Vin1的傳播，而下拉電晶體MN2r可以經由Clk1將電容器C1的輸入設置為接地。在一些實施例中，第二通道閘極被耦接到第二電容器C2及產生第二輸入Vin2的驅動器。第二通道閘極包含可藉由Clk1來控制的p型電晶體MP2r及可藉由Clk1b來控制的n型電晶體MN2r。第二通道閘極阻擋了Vin2傳播，而下拉電晶體MN3r可以經由Clk1將電容器C2輸入設置為接地。在一些實施例中，第三通道閘極被耦接到第三電容器C3及產生第三輸入Vin3驅動器。第三通道閘極包含可藉由Clk1來控制的p型電晶體MP3r及可藉由Clk1b來控制的n型電晶體MN3r。第三通道閘極阻擋了Vin3的傳播，而下拉電晶體MN4r可以經由Clk1將電容器C3輸入設置為接地。同樣的技術也適用於其他輸入。

【0108】第1I圖圖示依照一些實施例，用於重置第1H圖的多數閘極的鐵電電容器的時序圖190。在重置階段期間，Clk1被判定(且Clkb被解判定)，以阻擋輸入電壓，及將電容器C1、C2、及C3的輸入設置為接地。Clk1的判定也使Vout_int1放電。因此，輸入電容器C1、C2、及C3兩個終端的電壓被放電。Clk3b最初(在重置階段期間)被解判定以導通MP1，來對Vout_int2預充電。此後，Clk2被判定以放電Vout_int2。

【0109】重置機制可以用兩個脈衝序列來描述。第一

序列脈衝是為了在FE電容器105上建立正確的電場，使其初始化為正確的操作狀態，而第二序列脈衝則確保所有節點被初始化為0狀態，所有線性電容器(例如，C1、C2、C3)上的電壓為0。精確的順序還考慮了無干擾(glitch-less)過渡的因素，以最小化在高阻抗節點上的電荷注入，並確保鐵電設備105不會因為重置脈衝而出現瞬變，從而影響到FE設備105的初始程式化狀態。

【0110】 各種實施例的重置機制也可以用四個階段來描述。在第一階段(階段1)中，使用Clk1(例如，藉由判定Clk1)及輸入調節(例如，將輸入Vin1、Vin2、Vin3設置為零)將線性電容器(C1、C2、C3)被初始化為零狀態。在第二階段(階段2)中，FE電容器105繼續使用Clk3b進行初始化(例如，解判定Clk3b)，同時保持Clk1為高位準(例如，Clk1保持判定)。在第三階段(階段3)中，Vout_int2節點及FE電容器105的介電質成份藉由解判定Clk2、判定Clk3b、及同時保持Clk1為高位準(例如，Clk1保持判定)被初始化為零狀態。在第四階段(階段4)中，重置開關被停用。舉例來說，電晶體MN1r、MP1r(及在輸入處的其他通道閘極開關)被導通、在輸入節點(例如，Vin1、Vin2)上的MN2r(及其他下拉電晶體)被關斷、下拉電晶體MN1及MN2被去能或關斷、上拉電晶體MP1被去能或關斷、具有電晶體MP1及MN3的Vpulse通道閘極被去能。

【0111】 雖然這裡的實施例是參照將FE設備105重置為接地及/或將非鐵電線性電容器(C1、C2、C3)的兩個終

端重置為接地來描述的，但重置電壓可以是接地以外的不同的電壓。舉例來說，當輸入訊號(例如， V_{in1} 、 V_{in2} 、 V_{in3})在正供應位準及負供應位準之間切換時，則FE設備105的兩個終端及/或非鐵電線性電容器($C1$ 、 $C2$ 、 $C3$)的兩個終端被重置到負供應軌。舉例來說，控制各種重置設備的邏輯低及邏輯高的定義分別改變為正及負。因此，如果較早的軌是0V及Vdd，而現在它們是負到正軌，那麼0V映射到負，而Vdd映射到正。

【0112】第1J圖圖示依照一些實施例，顯示在節點Vout_int2上與FE電容器105的行為有關的電壓的圖式195。在此情形中，FE電容器105保持在FE電容器105上的Vc電壓降窗內，但切換有助於在Vout_int2上產生不同的電壓。舉例來說，在重置期間的時間0(當Clk1被判定，其他訊號諸如Clk1b、Clk2、Clk3b、及Vpulse的行為符合第1G圖及第1I圖)，大的重置場使FE電容器105處於低位準狀態，然後FE電容器105在+Vc、及-Vc之間跳動。

【0113】第2A圖圖示依照一些實施例，具有可作為AND或OR閘極操作的三輸入臨界值閘極204的邏輯閘200。邏輯閘200與邏輯閘100相似，但用於移除第三輸入Vin及增加輸入Vbias。這種額外的輸入偏壓使邏輯閘成為臨界值閘極204。臨界值閘極204被稱為三輸入臨界值閘極，因為有三個輸入Vin1、Vin2、及Vbias。如果Vbias輸入不被算作單獨的輸入，那麼它也可以被稱為2-輸入臨界值閘極。在各種實施例中，臨界值閘極204包含額外的電

容器 C_{bias} ，它具有一個終端耦接到節點 cn 及另一終端耦接到 V_{bias} 。電容器 C_{bias} 的材料可以與電容器 $C1$ 、 $C2$ 、及 $C3$ 的材料相同。舉例來說，電容器 C_{bias} 包含非鐵電材料。

【0114】依據期望的臨界值閘極 204 的邏輯函數， V_{bias} 可以是正或負電壓。任何適合的來源可以產生 V_{bias} 。舉例來說，帶隙參考產生器、分壓器(諸如電阻分壓器)、數位類比轉換器(DAC)等可以產生 V_{bias} 。 V_{bias} 可以是固定的或可程式化的(或可調整的)。舉例來說， V_{bias} 可以藉由硬體(例如，保險絲、暫存器)、或軟體(例如，作業系統)來調整。在一些實施例中，當 V_{bias} 為正時，在節點 cn 上的多數函數是 OR 函數。舉例來說，在節點 cn 處的函數是 $OR(V_{in1}, V_{in2}, 0)$ 。在一些實施例中，當 V_{bias} 為負時，在節點 cn 上的多數函數是 AND 函數。舉例來說，在節點 cn 處的函數是 $AND(V_{in1}, V_{in2}, 1)$ 。表 2 及表 3 總結了臨界值閘極 206 的函數。

表 3

V_{in1}	V_{in2}	V_{bias}	$cn\ OR(V_{in1}, V_{in2}, V_{bias})$
0	0	正或 邏輯1	0
0	1	正或 邏輯1	1
1	0	正或 邏輯1	1
1	1	正或 邏輯1	1

表 4

Vin1	Vin2	Vbias	cn AND(Vin1, Vin2, Vbias)
0	0	負或 邏輯0	0
0	1	負或 邏輯0	0
1	0	負或 邏輯0	0
1	1	負或 邏輯0	1

【0115】與過渡性 CMOS AND 邏輯閘及 OR 邏輯閘相比，這裡的 AND 及 OR 函數是藉由電容器網路來執行的。在節點 cn 上的多數或臨界值函數的輸出接著被儲存在非線性極性電容器 105 中。此電容器以非揮發性形式來提供邏輯的最終狀態。因此，各種實施例的邏輯閘描述了具有用於預放電或預充電節點 cn 及 n1 的一個或兩個電晶體的非揮發性多輸入 AND 或 OR 閘極。各種實施例的 AND 或 OR 閘極的矽面積比傳統的 AND 或 OR 閘極要小幾個數量級。雖然第 2A 圖圖示的是三輸入臨界值閘極，但同樣的概念可以延伸到三個以上的輸入，做成 N 輸入臨界值閘極，其中 N 大於 2，且是奇數。第 2A 圖的重置機制與參照第 1A 圖描述的機制相似。

【0116】第 2B 圖圖示依照一些實施例，具有基於通道閘極的重置機制的具有三輸入臨界值閘極的邏輯閘 220，其中三輸入臨界值閘極可作為 AND 或 OR 閘極操作。邏輯 220 與邏輯 200 相似，但有重置機制。第 2B 圖的重置機制與

參照第1F圖描述的機制相似。

【0117】第2C圖圖示依照一些實施例，具有輸入重置機制的具有三輸入臨界值閘極的邏輯閘230，其中三輸入臨界值閘極可作為AND或OR閘極操作。邏輯230與邏輯200相似，但有重置機制。第2C圖的重置機制與參照第1H圖描述的機制相似。

【0118】第2D圖圖示依照一些實施例，具有五輸入AND或OR多數閘極222的邏輯閘240，其可操作為具有多數函數的AND或OR閘極。為了解釋五輸入AND/OR多數閘極222，考慮電容為 $C_{bias}=C_3=C_4=C/2$ 、 $C_1=C$ 、及 $C_2=C$ ，並有對應的輸入電位： $V_{bias}=V_B$ 、 $V_{in3}=V_A$ 、 $V_{in4}=V_B$ 、 $V_{in1}=V_C$ 、及 $V_{in2}=V_S$ ，其中 $V_B=-V_o$ 是常數偏壓電壓，其餘是一些尚未決定的 V_o 的 $+/- V_o$ 的二進制輸入電壓。閘極222具有函數(A AND B, C, S)。在這裡，AND閘極函數以偏壓電壓作為代價被吸收到多數閘極內。

【0119】如果 $V_S=V_C=+V_o$ ，那麼無論 V_A 、 V_B 如何，都期望輸出的量級大於 V_c ，即矯頑電壓。對於 $V_A=V_B=-V_o$ ，平均電位表示為：

$$V_F = \frac{C \cdot 2V_o - C/2 \cdot 2V_o - V_o \cdot C/2}{3.5C} \dots (11)$$

$$V_F = \frac{1}{7}V_o > V_c \cdot 4 \dots (12)$$

【0120】如果 $V_A=V_B=+V_o$ 且 $V_c=V_d=-V_o$ ，則以下所述可被達成：

$$V_F = \frac{-C \cdot 2V_o + C/2 \cdot 2V_o - V_o \cdot C/2}{3.5C} \dots (13)$$

$$V_F = -\frac{1}{7}V_o < -V_c \cdot 4 \dots (14)$$

【0121】為了檢查與 AND 操作的等效性，考慮 $V_A = -V_B = V_o$ ，那麼

$$V_F = \frac{V_A + V_B - V_o}{3.5C} \dots (15)$$

$$V_F \in \left\{ -\frac{3}{7}V_o, -\frac{1}{7}V_o, \frac{1}{7}V_o \right\} \dots (16)$$

【0122】按照設計，僅當 $V_A = V_B = +V_o$ 時，閘極 222 產生正輸出。進一步觀察到，依照一些實施例，藉由設定 $V_o > 7V_c$ ，所有輸出都大於 V_c 。

【0123】在這裡，AND 函數在 V_{in3} 及 V_{in4} 之間執行，且所得輸出被使用以與 V_{in1} 及 V_{in2} 執行多數函數，描述如下：Majority (V_{in3} AND V_{in4} , V_{in1} , V_{in2})。表 5 圖示 AND 多數閘極 222 的真值表。施加負電壓或偏壓，就相當於將輸入訊號施加到邏輯低。

表 5

Vin1	Vin2	Vin3	Vin4	Vbias	cn Majority of
					AND(Vin1, Vin2) Vin3, Vin4, Vbias
0	0	0	0	負	0
0	0	0	1	負	0
0	0	1	0	負	0
0	0	1	1	負	0
0	1	0	0	負	0
0	1	0	1	負	0
0	1	1	0	負	0
0	1	1	1	負	1
1	0	0	0	負	0
1	0	0	1	負	0
1	0	1	0	負	0
1	0	1	1	負	1
1	1	0	0	負	1
1	1	0	1	負	1
1	1	1	0	負	1
1	1	1	1	負	1

【0124】在OR多數函數的情形中，OR函數在Vin3及Vin4之間執行，且所得輸出被使用以與Vin1及Vin2執行多數函數，描述如下：Majority (Vin3 OR Vin4, Vin1, Vin2)。表6圖示OR多數閘極222的真值表。在Vbias上施加正電壓，就相當於將輸入訊號施加到邏輯高。

表 6

Vin1	Vin2	Vin3	Vin4	Vbias	cn Majority of OR(Vin3, Vin4) Vin3, Vin4, Vbias
					OR 函數
0	0	0	0	正	0
0	0	0	1	正	0
0	0	1	0	正	0
0	0	1	1	正	0
0	1	0	0	正	0
0	1	0	1	正	1
0	1	1	0	正	1
0	1	1	1	正	1
1	0	0	0	正	0
1	0	0	1	正	1
1	0	1	0	正	1
1	0	1	1	正	1
1	1	0	0	正	1
1	1	0	1	正	1
1	1	1	0	正	1
1	1	1	1	正	1

【0125】邏輯閘 222 可以依據 Vbias 的偏壓值來執行 AND 多數及 OR 多數函數。在這裡，僅僅兩個電晶體 (MN1 及 MN2) (可以濃縮成單一電晶體，用於預充電或預放電節點 cn 及 n1) 被使用，同時實現了 AND 多數及 OR 多數的複雜函數。

【0126】在各種實施例中，耦接到反向器 106 的多數閘極 222 形成少數臨界值閘極 (多數反向器臨界值)，從而形成通用邏輯閘。

【0127】第 3A 圖圖示依照一些實施例，顯示第 1B 圖

的三輸入多數閘極的操作的波形 300。第 3A 圖圖示輸入 V_{in1} 、 V_{in2} 、及 V_{in3} 的多數函數。

【0128】第 3B-E 圖圖示依照一些實施例，分別顯示具有不同的 V_{bias} 值的五輸入臨界值閘極的操作的波形 320、330、340、及 350。

【0129】第 4 圖圖示依照一些實施例，包括具有耦接反向器或緩衝器的三輸入多數閘極的 3D(三維)視圖的第 1A 圖的邏輯閘的組合邏輯 400。本文所述的任何重置機制(例如，參照第 1A-I 圖)都適用於邏輯 400。

【0130】在這個範例中，電容器 $C1(401)$ 、 $C2(402)$ 、及 $C3(403)$ 是 MIM 電容器，它們分別從緩衝器或驅動器 101、102、及 103 的第一終端來接收輸入 V_{in1} 、 V_{in2} 、及 V_{in3} 。然而，也可以使用其他類型的電容器。舉例來說，可以使用金屬及電晶體的混合體來實現電容器。電容器 $C1(401)$ 、 $C2(402)$ 、及 $C3(403)$ 的第二終端被耦接到共同節點互連 404(V_{out_int1})。驅動器 101、102、及 103 的輸出分別是 V_{in1d} 、 V_{in2d} 、及 V_{in3d} 。互連 404 可以是在任何適合的金屬層上。在一些實施例中，互連 404 包含一種材料，其包括以下之一或多個： Cu 、 Al 、 Ag 、 Au 、 Co 、或 W 。在一些實施例中，電容器 $C1(401)$ 、 $C2(402)$ 、及 $C3(403)$ 被形成於晶粒的後端。在一些實施例中，電容器 $C1(401)$ 、 $C2(402)$ 、及 $C3(403)$ 被形成於晶粒的前端。互連 404 被耦接到非線性極性電容器 105 的第一終端。於此範例中，電容器 105 包含鐵電材料，因此被標記為 C_{FE} 。然而，本文所

述的其他非線性極性材料也可以用於製造電容器 105。電容器 105 的第二終端被耦接到節點 n1(Vout_int2)。

【0131】在一些實施例中，電容器 105 是柱狀電容器。柱狀電容器的高度大於寬度，可以在 z 方向進行緊湊布局。在一個實施例中，電容器 C1(401)、C2(402)、及 C3(403) 被製造在柱狀電容器之下或之上，形成垂直多數閘極。

【0132】第 5 圖圖示依照一些實施例，包括具有耦接反向器或緩衝器的三輸入臨界值閘極的 3D 視圖的第 1B 圖的邏輯閘的組合邏輯 500。在這裡，三輸入臨界值閘極 204 類似於第 4 圖的多數閘極，但移除了電容器 C3 及其相關聯的輸入，並增加了額外的電容器 501 Cbias，其由 Vbias 進行偏壓。Vbias 可以為正或負。參考第 1B 圖及第 4 圖描述各種實施例可在此適用。本文所述的任何重置機制(例如，參照第 1A-I 圖)都適用於邏輯 500。

【0133】第 6 圖圖示依照一些實施例，包含非線性極性電容器的低功率循序電路 600(例如，閃鎖)。在一些實施例中，循序電路 600 包括資料輸入(D)、時脈輸入(Clk)、重置時脈輸入(Clk1、Clk2、Clk3b)、及輸出(Q)。在一些實施例中，循序電路 600 包括負載電容器 CL。循序電路 600 包含反向器 601、通道閘極 602、反向器 603、反向器 604、非線性極性電容器 105、及電晶體 MN1 及 MN2。通道閘極 602 包含 n 型電晶體 MNt 及 p 型電晶體 MPt。電晶體 MNt 藉由 Clk 來控制，而電晶體 MPt 藉由 Clkb 來控制(其為 Clk 的

反向)。在這裡，節點名稱及訊號名稱可以互換使用。舉例來說，依據句子的上下文，C1k可能指的是時脈訊號或攜帶時脈訊號的時脈節點。

【0134】在一些實施例中，通道閘極602被替換為三態反向器或緩衝器。資料輸入D藉由反向器601來反向。在一些實施例中，反向器601及603被替換成緩衝器。通道閘極602也被耦接到非線性極性電容器105。舉例來說，第一終端Dbd被耦接到通道閘極602或三態反向器(未顯示)，而第二終端Qb被耦接到反向器603的輸入。反向器603的輸出為Q。在一些實施例中，非線性極性電容器105被實現為兩個或多個並聯的非線性極性電容器。在一些實施例中，非線性極性電容器105被實現為兩個或多個串聯的非線性極性電容器。在一些實施例中，輸入電容器Cin被耦接到節點Dbd。電容器Cin的電容值依據在節點Dbd上的寄生電容及閘鎖600的期望速度或時序。

【0135】在各種實施例中，節點Qb是浮動節點，它可以在邏輯操作之間藉由電晶體MN2來接地，以移除任何電荷積聚。像電晶體MN1，在一些實施例中，電晶體MN1也被使用來對節點Dbd放電。節點Dbd(與Vout_in1相同)及Qb(與Vout_int2相同)根據參照第1A-I圖描述的方案，使用電晶體MN1、MN2、及MP1，而被重置。在重置階段之後，閘鎖600可以執行其正常操作。

【0136】不像傳統CMOS，當C1k = 0時，反向器603的電晶體不連接到源極或汲極終端。在各種實施例中，非線

性極性電容器 105 是鐵電電容器。然而，如此處所提到的，它也可以是順電電容器或非線性介電電容器。在循序電路 600 中，鐵電電容器 105 保留了電荷，它能夠供電予反向器 603 的電晶體的閘極。舉例來說，在鐵電電容器 105 上的電荷(依據其極性)可以關斷/導通反向器 603 的 p 型/n 型電晶體。

【0137】當時脈 Clk 為 1(例如，邏輯高值)時，反向的輸入 Dbd 被允許經由通道閘極 602 流向鐵電電容器 105，覆蓋在節點 Dbd 上先前保持的電荷，並將鐵電電荷設置為輸入 D 的反向。在電容器 105 上(例如，在節點 Qb 上)的電荷被直接送到反向器 603。在此情形中，輸出 Q 等於輸入 D。

【0138】當時脈 Clk 為 0(例如，邏輯低值)時，且先前的輸入 D 也為 0 時，沒有電壓可以通過鐵電電容器 105，因為通道閘極 602 是打開的。然而，鐵電電容器 105 保留了先前輸入的 0 的電荷，即 1。這個 1 的電荷被反向，使得儘管輸入 D 有任何改變，輸出 Q 保持為 0。因此，僅藉由幾個電晶體及鐵電電容器就能實現循序電路(例如，閃鎖)行為。

【0139】同樣地，如果時脈 Clk 為 0，且先前的輸入 D 為 1，那麼鐵電電容器 105 在節點 Qb 上保留 0 的電荷，且無論當前輸入 D 的邏輯狀態，輸出 Q 都保持 1。在一些實施例中，反向器 601、602、及/或 603 可以用 NAND 或 NOR 閘極代替。這些 NAND 或 NOR 閘極可以使用臨界值多數閘極(AND 及 OR 閘極，之後有反向器驅動器)來實現。因此，時脈閘控、掃描資料輸入多工、基於其他訊號的閘控、及設

定特徵可被實現。在各種實施例中，非線性極性電容器105被形成或安置在晶粒的後端，而閘極601、602、603、604、及/或電晶體MN1、MN2、及MP1的其他主動設備可被形成在晶粒的前端(例如，在CMOS處理技術中)或晶粒的後端(例如，在薄膜電晶體(TFT)處理技術中)。

【0140】第7圖圖示依照一些實施例，顯示第6圖的低功率循序電路的真值表的表700。表700圖示三種操作模式—透通、儲存、及重置。在透通模式期間，Clk為1，且D傳遞給輸出Q。在儲存模式期間，Clk為0，且輸出Q儲存先前的值，亦即， Q_{n-1} 。在重置模式期間，Clk為1，且Clk1也是1。在一些實施例中，在重置階段期間，Clk及D被調節為1。

【0141】第8A圖圖示依照一些實施例，包含非線性極性電容器的基於低功率多數閘極的循序電路800(例如，閘鎖)。循序電路800包括資料輸入(D)、時脈輸入(Clk)、重置時脈輸入(Clk1、Clk2、Clk3b)、及輸出(Q)。在一些實施例中，循序電路800包含三輸入多數閘極801、驅動器802、及比較邏輯803。

【0142】三輸入多數閘極801在其輸入節點Vin接收資料輸入D，在其輸入Vin2接收比較邏輯803的輸出Qc，及在其輸入Vin3接收輸出Q。在一些實施例中，三輸入多數閘極801與第1A圖及第4圖的閘極104相同。三輸入多數閘極801對輸入資料D、比較邏輯803的輸出Qc、及輸出Q執行多數函數。多數函數的結果被累積在節點cn(共同節點)

上，然後被儲存在非線性極性電容器 105 上。非線性極性電容器 105 的另一終端是節點 n1。在節點 n1 上的電壓被驅動器 802 驅動輸出到輸出節點 Q。驅動器 802 可以是任何適合的驅動器。舉例來說，驅動器 802 是以下之其中一者：緩衝器、AND 閘極、OR 閘極、放大器等。在一些實施例中，預放電電晶體 MN1 及 MN2 (或其 p 型等效物以對節點 cn 及 / 或 n1 預充電) 藉由重置 Rst 訊號來控制。

【0143】 在一些實施例中，比較邏輯 803 比較時脈 Clk 及輸出 Q 的邏輯值，且當 Clk 或 Q 為邏輯 1 值時，為輸出 Qc 產生邏輯 1 值。當時脈 clk 及輸出 Q 具有相同邏輯位準時，則比較邏輯 803 在節點 Qc 上產生邏輯 0 值。在各種實施例中，比較邏輯 803 是互斥或 (XOR) 閘。在一些實施例中，比較邏輯 803 是 X-NOR。在其他實施例中，可以使用其他邏輯閘來執行本文討論的函數。雖然這裡的實施例是參照三輸入多數閘極來描述的，但它也可以用臨界值閘極來實現，如參照第 1B 圖討論的那樣。

【0144】 第 8B 圖圖示依照一些實施例，包含非線性極性電容器的基於低功率多數閘極的正反器電路 820。在一些實施例中，可以藉由兩個閘鎖 800 的串連結合來實現正反器。在這裡，第一閘鎖 821 是閘鎖 800 的一個實例，而第二閘鎖 822 是閘鎖 800 的另一實例。閘鎖 821 的輸出 Q (標記為 Q_int) 被接收為閘鎖 822 的輸入 D。閘鎖 821 表現為主控閘鎖，而閘鎖 822 表現為從屬閘鎖。在各種實施例中，時脈 Clk 被提供給閘鎖 821 的時脈輸入 Clk，而它的反向版本

Clkb被提供給閘鎖 822的時脈輸入 Clk。在一些實施例中，NOR閘極 823被提供以藉由執行 Clk及 Clk1的 NOR操作來產生 Clkb的反向版本。在一些實施例中，在重置階段期間(例如，當 Clk1=1時)，Din及 Clk被調節為零，以重置閘鎖 821及 822的非線性極性電容器。

【0145】第9圖圖示依照一些實施例，第8A圖的循序電路 800的示意圖 900。在這裡，三輸入多數閘極 801被圖示，它與多數閘極 104相同，但用於控制預放電電晶體 MN1及 MN2的 Rst訊號。在這個範例中，比較邏輯 803被圖示為 XOR 803。電路 800利用鐵電多數閘極 801及 XOR閘極 803來建立另一個 D型正反器。因為多數閘極使用緩衝器，且輸出 Q被直接連接到緩衝器的電晶體的源極或汲極，而不是鐵電，所以輸出 Q可以經由閘極 801的輸入 Vin3來安全地回饋到閘極 801。

【0146】電路 800的函數表示為：

$$Q = \text{majority}(D, Q_{prev}, \text{XOR}(Q_{prev}, Clk)) \dots (17)$$

其中， Q_{prev} 是 Q的前一個輸出狀態。

【0147】在時脈訊號 clk被設置為 1之後，前一個輸出 Q仍然被回饋到電路 801內，在其更新 Qc之前。因為時脈輸入為 1，Qc及 Vin3(或 Q)總是相反的，不管之前的 Q值是多少。這個函數表示為：

$$Q = \text{majority}(D, Q_{prev}, \text{XOR}(Q_{prev}, 1)) \dots (18)$$

$$= \text{majority}(D, Q_{prev}, \overline{Q_{prev}}) = D \dots (19)$$

【0148】在輸入 D=1及前一個輸出 Q=1的情況下，多

數閘極 801 的輸入 ($V_{in1}=1$ 、 $V_{in2}=0$ 、 $V_{in3}=1$) 在共同節點 cn 上的平均輸出為 1。這個輸出 1 透過電容器 105 傳播到輸出 Q 。

【0149】在輸入 $D=1$ 及前一個輸出 $Q=0$ 的情況下，多數閘極 801 的輸入 ($V_{in1}=1$ 、 $V_{in2}=1$ 、 $V_{in3}=0$) 在共同節點 cn 上的平均輸出為 1。這個新的輸出透過電容器 105 傳播到輸出 Q 。

【0150】在輸入 $D=0$ 及前一個輸出 $Q=0$ 的情況下，多數閘極 801 的輸入 ($V_{in1}=0$ 、 $V_{in2}=1$ 、 $V_{in3}=0$) 在共同節點 cn 上的平均輸出為 0。在輸入 $D=0$ 及前一個輸出 $Q=1$ 的情況下，多數閘極 801 的輸入 ($V_{in1}=0$ 、 $V_{in2}=0$ 、 $V_{in3}=1$) 在共同節點 cn 上的平均輸出為 0。這個新的輸出透過電容器 105 傳播到輸出 Q 。

【0151】相比之下，當時脈 Clk 為 0 時， Q_c 及 V_{in3} (或 Q) 總是等於前一個輸出 Q 。因為 Q_c 及 V_{in3} 形成了多數閘極 801 的多數，所以無論輸入 D 為何，多數閘極 801 的輸出總是等於前一個輸出。這個函數表示為：

$$Q = \text{majority}(D, Q_{prev}, XOR(Q_{prev}, 0)) \dots (20)$$

$$= \text{majority}(D, Q_{prev}, Q_{prev}) = Q_{prev} \dots (21)$$

【0152】表 7 提供閘鎖 900 的操作的真值表。

表 7

操作模式	Clk	Q_{n-1}	D	V_{in1}	V_{in2}	V_{in3}	V_{n1}	Q_n
透通	1	0	D_{in}	D_{in}	1	0	D_{in}	D_{in}
透通	1	1	D_{in}	D_{in}	0	1	D_{in}	D_{in}
儲存	0	0	D_{in}	D_{in}	0	0	0	0
儲存	0	1	D_{in}	D_{in}	1	1	1	1
重置	0	0	0	0	0	0	$0 \rightarrow 1 \rightarrow 0$	0

【0153】當 Clk 為 1 時，資料 D 決定輸出值，與之前的狀態無關。當 Clk 為 0 時， Q_{n-1} 是回到 Q_n 的，所以閘鎖 900 處於儲存模式中。在重置期間，Clk、D、及 Q_n 被調節為 0，以便正確操作。如前所述，調節可以藉由確保驅動 Clk 及 D 的電路在重置階段期間強制為 0 來完成。調節也可以藉由斷開路徑及放下下拉重置邏輯來發生。在一些實施例中，對於回饋路徑，在重置階段期間 (Clk1 為高)，要使 Q_n 為 0，以確保正確的函數性。使 Q_n 為零可以在輸出處將緩衝器分成反向器 802a 及 NOR 閘極 802a，其中 NOR 閘極的其他輸入是 Clk1。注意： Q_n 、及 Q_{n-1} 只是節點 Q 的不同狀態。 Q_{n-1} ，就在輸入轉換被應用之前，而 Q_n 是目前的狀態。

【0154】第 10 圖圖示依照一些實施例，使用低電壓循序電路 (例如，600、800、820) 的系統單晶片 (SOC)。SOC 1000 包含具有靜態隨機存取記憶體 (SRAM) 或基於 FE 的隨機存取記憶體 FE-RAM 的記憶體 1001、或任何其他適合的記憶體。記憶體可以是非揮發性 (NV) 或揮發性記憶體。記憶體 1001 還可以包含控制記憶體 1002 的邏輯 1003。舉例來說，寫入及讀取驅動器是邏輯 1003 的一部分。這些驅動器及其他邏輯是使用各種實施例的多數或臨界值閘極來實現的。邏輯可以包含多數或臨界值閘極及傳統邏輯 (例如，基於 CMOS、NAND、NOR 等)。

【0155】SOC 進一步包含記憶體 I/O (輸入-輸出) 介面 1004。介面可以是雙資料率 (DDR) 適用介面或任何其他適合與處理器通訊的介面。SOC 1000 的處理器 1005 可以是單

一核心或多個核心處理器。處理器 1005 可以是通用處理器 (CPU)、數位訊號處理器 (DSP)、或特定應用積體電路 (ASIC) 處理器。在一些實施例中，處理器 1005 是人工智慧 (AI) 處理器 (諸如專用 AI 處理器、組構為 AI 處理器的圖形處理器)。

【0156】 AI 是一個廣泛的硬體及軟體計算的領域，其中資料被分析、分類、然後根據資料做出決定。舉例來說，描述某種性質的資料的分類的模型是透過大量的資料長期訓練出來的。訓練模型的過程需要大量的資料及處理能力來分析資料。當模型被訓練時，權重或權重因子基於模型的輸出而被修改。一旦模型的權重藉由反覆分析資料及修改權重以獲得期望的結果而被計算到高可信度 (例如，95% 或更多)，該模型就被認為是「經過訓練的 (trained)」。然後，這個具有固定權重的經過訓練的模型備用來對新的資料做決定。訓練模型，然後將經過訓練的模型應用於新的資料，這是硬體密集型活動。在一些實施例中，AI 處理器 405 具有計算訓練模型及使用訓練模型的延遲，這減少了這種 AI 處理器系統的電源消耗。

【0157】 處理器 1005 可以耦接到一些其他小晶片，這些小晶片可以在與 SOC 1000 相同的晶粒上，也可以在單獨的晶粒上。這些小晶片包括連接電路 1006、I/O 控制器 1007、電源管理 1008、及顯示系統 1009、及週邊連接 1100。

【0158】 連接 1006 代表與其他設備進行通訊的硬體設備及軟體組件。連接 1006 可支援各種連接電路及標準。舉

例來說，連接1006可支援GSM(全球行動通訊系統)或變化或衍生物、CDMA(碼分多重存取)或變化或衍生物、TDM(時分多工)或變化或衍生物、第三代合作夥伴計劃(3GPP)通用行動電信系統(UMTS)系統或變化或衍生物、3GPP長程演進(LTE)系統或變化或衍生物、3GPP先進LTE(LTE-A)系統或變化或衍生物、第五代(5G)無線系統或變化或衍生物、5G行動網路系統或變化或衍生物、5G新無線電(NR)系統或變化或衍生物、或其他蜂巢式服務標準。在一些實施例中，連接1006可以支援非蜂巢式標準，諸如WiFi。

【0159】I/O控制器1007表示有關與使用者之互動的硬體裝置與軟體組件。I/O控制器1007可用於管理作為音訊子系統及/或顯示子系統一部分的硬體。舉例來說，透過麥克風或其他音訊設備的輸入可以為SOC 1000的一或多個應用或函數提供輸入或命令。在一些實施例中，I/O控制器1007圖示連接到SOC 1000的額外設備的連接點，使用者可能透過這些設備與系統互動。舉例來說，可以連接到SOC 1000的設備可能包括麥克風設備、揚聲器或立體聲系統、音訊系統或其他顯示設備、鍵盤或小鍵盤設備、或其他用於特定應用的I/O設備，諸如讀卡機或其他設備。

【0160】電源管理1008代表執行電源管理操作的硬體或軟體，例如，至少部分基於從電源測量電路、溫度測量電路、電池的充電位準、及/或可被使用於電源管理的任何其他適當資訊的接收測量。藉由使用各種實施例的多數及臨界值閾極，在這些邏輯的輸出處實現了非揮發性。電

源管理 1008 可以相應地將這種邏輯放在低功率狀態，而不必擔心遺失資料。電源管理可以根據先進組態及電源介面 (ACPI) 規格為 SOC 1000 的一個或所有組件選擇電源狀態。

【0161】顯示系統 1009 代表硬體 (例如，顯示設備) 及軟體 (例如，驅動器) 組件，它們為使用者提供視覺及/或觸覺顯示，以便與處理器 1005 互動。在一些實施例中，顯示系統 1009 包括觸碰螢幕 (或觸碰墊) 設備，其向使用者提供輸出及輸入。顯示系統 1009 可以包括顯示介面，其包括被使用以向使用者提供顯示的特定螢幕或硬體設備。在一些實施例中，顯示介面包括與處理器 1105 分開的邏輯，以執行至少一些與顯示有關的處理。

【0162】週邊連接 1010 可以代表用於連接週邊設備 (諸如印表機、充電器、相機等) 的硬體設備及/或軟體設備。週邊連接 1010 支援通訊協定，例如，PCIe (週邊組件高速互連)、USB (通用串列匯流排)、Thunderbolt、高解析度多媒體介面 (HDMI)、Firewire 等。

【0163】此說明中提及「一實施例 (an embodiment)」、「一個實施例 (one embodiment)」、「一些實施例 (some embodiments)」、或「其他實施例 (other embodiments)」是指與該實施例有關之所描述的特定特徵、結構、或特點被包含於至少一些實施例，但不限於所有實施例。「一實施例」、「一個實施例」、或「一些實施例」之各種表示不需要全部參照相同實施例。若說明書陳述一組件、特徵、結構、或特點「可 (may, might, 或 could)」被包括，則

該特定組件、特徵、結構、或特點不需要被包括。若說明書或申請專利範圍參照「一(a或an)」元件，則並不表示僅有一個元件。若說明書或申請專利範圍參照「一額外(an additional)」元件，則並不排除有多於一個的額外元件。

【0164】再者，於一或更多實施例中，特定特徵、結構、功能、或特性可被結合於任何適合的方式。舉例來說，第一實施例可第二實施例結合(在任何程度上與此二實施例相關聯之特定特徵、結構、功能、或特點並非互斥的)。

【0165】雖然本揭露已配合其特定實施例加以說明，此實施例之許多替代、修改及變化對所屬技術領域中具有通常知識者在按照前述說明的情況下將為顯而易見的。本揭露之實施例打算包含所有此替代、修改、及變化，以落於後附申請專利範圍之廣範疇內。

【0166】此外，為了說明與討論之簡明，且不模糊本揭露，已熟知之電源/接地連接至積體電路(IC)晶片及其他組件可或可不於所示圖式中顯示。再者，配置可被顯示於方塊圖形式，以避免模糊本揭露，且亦考慮到以下事實：關於實現此方塊圖配置之特性係高度相關於在其中本揭露係被實現之平台(亦即，此特性應適當地在所屬技術領域中具有通常知識者之範圍內)。於其中特定細節(例如電路)係被提出以說明本揭露之範例實施例，所屬技術領域中具有通常知識者應了解的是，本揭露可在沒有這些特定細節(或對其改變)的情況下被實行。因此，說明係被考慮為例

示用而非限制用。

【0167】 下面提供的範例圖示各種實施例。這些範例可以與其他範例結合。因此，各種實施例可以與其他實施例結合，而不改變本發明的範疇。

【0168】 範例 1：一種裝置包含：三輸入多數邏輯閘，包含：第一、第二、及第三非鐵電電容器，分別用以接收第一輸入、第二輸入、及第三輸入；非線性極性電容器，用以儲存該第一、第二、及第三輸入的多數函數輸出，其中該非線性極性電容器的一個終端提供該三輸入多數邏輯閘的輸出；驅動器，耦接到該三輸入多數邏輯閘的該輸出，其中該驅動器用以產生該三輸入多數邏輯閘的放大輸出，其中該放大輸出耦接到該第三輸入；及比較邏輯，用以接收輸入時脈及該放大輸出，其中該比較邏輯閘的輸出是該第二輸入。

【0169】 範例 2：如範例 1 之裝置，其中該第一輸入是資料輸入。

【0170】 範例 3：如範例 1 之裝置，其中該驅動器包含以下之其中一者：緩衝器、放大器、NAND、AND、OR、多工器、或 NOR 邏輯閘，其中該比較邏輯包含互斥或 (XOR) 閘。

【0171】 範例 4：如範例 1 之裝置，包含：第一電晶體，耦接到該非線性極性電容器的第一終端，其中該第一電晶體可由第一時脈控制；第二電晶體，耦接到該非線性極性電容器的第二終端，其中該第二電晶體可由第二時脈

控制；及第三電晶體，耦接到該非線性極性電容器的該第二終端，其中該第三電晶體可由第三時脈控制。

【0172】範例5：如範例4之裝置，其中該第一時脈的脈衝寬度大於該第二時脈的脈衝寬度及該第三時脈的脈衝寬度。

【0173】範例6：如範例4之裝置，其中該第三時脈在該第二時脈的判定之前解判定。

【0174】範例7：如範例4之裝置，其中該第一電晶體是第一n型電晶體，其中該第二電晶體是第二n型電晶體，且其中該第三電晶體是p型電晶體。

【0175】範例8：如範例4之裝置，其中該第一電晶體、該第二電晶體、及該第三電晶體在評估階段中被去能，及在重置階段中被賦能，其中該重置階段是在該評估階段之前。

【0176】範例9：如範例4之裝置，其中該第一及第二時脈相同，且其中該第一及第二時脈是重置訊號。

【0177】範例10：如範例4之裝置，其中該第一及第二時脈是不同的訊號。

【0178】範例11：如範例1之裝置，包含：第一驅動器，用以產生該第一輸入；及第二驅動器，用以產生該輸入時脈。

【0179】範例12：如範例11之裝置，其中該第一及第二驅動器包含CMOS電晶體。

【0180】範例13：如範例1之裝置，其中該三輸入多

數邏輯閘的該第一、第二、及第三非鐵電電容器包含以下之其中一者：金屬-絕緣體-金屬(MIM)電容器、電晶體閘極電容器、金屬及電晶體混合電容器；或包含順電材料的電容器。

【0181】範例14：如範例1之裝置，其中該非線性極性電容器包括以下之其中一者：鐵電材料、順電材料、或非線性介電材料。

【0182】範例15：如範例14之裝置，其中該鐵電材料包括以下之其中一者：鐵酸鋇(BFO)、具有摻雜材料的BFO，其中該摻雜材料是鏷、或週期表鏷系元素之其中一者；銦鈦酸鉛(PZT)、或具有摻雜材料的PZT，其中該摻雜材料是La或Nb之其中一者；弛緩性鐵電包括鎂鈮酸鉛(PMN)、鎂鈮酸鉛-鈦酸鉛(PMN-PT)、銦鈦酸鉛鏷(PLZT)、釩鈮酸鉛(PSN)、鋇鈦-鋇鋅鈮鈦(BT-BZNT)、或鋇鈦-鋇鋇鈦(BT-BST)之其中一者；鈣鈦礦鐵電包括以下之其中一者：BaTiO₃、PbTiO₃、KNbO₃、或NaTaO₃；六方晶鐵電包括以下之其中一者：YMnO₃或LuFeO₃；h-RMnO₃類型的六方晶鐵電，其中R是稀土元素，包括以下之其中一者：鈰(Ce)、鐿(Dy)、鉺(Er)、鎔(Eu)、釷(Gd)、釹(Ho)、鏷(La)、鐳(Lu)、釹(Nd)、鐠(Pr)、鉕(Pm)、釷(Sm)、釷(Sc)、鐿(Tb)、鋳(Tm)、鐿(Yb)、或釷(Y)；鈷(Hf)、鈷(Zr)、鋁(Al)、矽(Si)、其氧化物或其合金氧化物；以下形式的鈷氧化物，Hf_{1-x} E_x O_y，其中E可為Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y；

$\text{Al}(1-x)\text{Sc}(x)\text{N}$ 、 $\text{Ga}(1-x)\text{Sc}(x)\text{N}$ 、 $\text{Al}(1-x)\text{Y}(x)\text{N}$ 或 $\text{Al}(1-x-y)\text{Mg}(x)\text{Nb}(y)\text{N}$ 、摻雜 y 的 HfO_2 ，其中 x 包括以下之其中一者： Al 、 Ca 、 Ce 、 Dy 、 Er 、 Gd 、 Ge 、 La 、 Sc 、 Si 、 Sr 、 Sn 、或 Y ，其中「 x 」是分數；鈮酸鹽化合物 LiNbO_3 、 LiTaO_3 、鋰鐵鈮氧基氟化物、鋇鈮酸鋇、鋇鈮酸鈉、或鋇鈮酸鉀；或不適當鐵電包括以下之其中一者： $[\text{PTO}/\text{STO}]_n$ 或 $[\text{LAO}/\text{STO}]_n$ ，其中「 n 」在 1 到 100 之間。

【0183】範例 16：如範例 1 之裝置，其中該非線性極性電容器被安置在晶粒的後端中，而該驅動器及該比較邏輯的電晶體被安置在晶粒的前端。

【0184】範例 17：一種裝置包含：具有第一、第二、及第三輸入的三輸入多數閘極，及第一輸出；驅動器，耦接到該第一輸出，其中該驅動器用以產生第二輸出；及比較邏輯，用以接收時脈及該第二輸出，其中該比較邏輯用以產生第三輸出，該第三輸出耦接到該第二輸入，其中該第一輸入用以接收資料，且其中該第三輸入用以接收該第二輸出。

【0185】範例 18：如範例 17 之裝置，其中該三輸入多數閘極包含：第一、第二、及第三非鐵電電容器，分別耦接到該第一輸入、該第二輸入、及該第三輸入；及非線性極性電容器，用以儲存該第一、第二、及第三輸入的多數函數輸出，其中該非線性極性電容器的一個終端提供該第一輸出。

【0186】範例 19：如範例 17 之裝置，其中該驅動器包

含以下之其中一者：緩衝器、放大器、NAND、AND、OR、多工器、或NOR邏輯閘，其中該比較邏輯包含互斥或(XOR)閘。

【0187】範例20：如範例18之裝置，包含：第一電晶體，耦接到該非線性極性電容器的第一終端，其中該第一電晶體可由第一訊號控制；第二電晶體，耦接到該非線性極性電容器的第二終端，其中該第二電晶體可由第二訊號控制；及第三電晶體，耦接到該非線性極性電容器的該第二終端，其中該第三電晶體可由第三訊號控制。

【0188】範例21：如範例20之裝置，其中該第一訊號的脈衝寬度大於該第二訊號的脈衝寬度及該第三訊號的脈衝寬度。

【0189】範例22：如範例20之裝置，其中該第三訊號在該第二訊號的判定之前解判定。

【0190】範例23：如範例20之裝置，其中該第一電晶體是第一n型電晶體，其中該第二電晶體是第二n型電晶體，且其中該第三電晶體是p型電晶體。

【0191】範例24：如範例20之裝置，其中該第一電晶體、該第二電晶體、及該第三電晶體在評估階段中被去能，及在重置階段中被賦能，其中該重置階段是在該評估階段之前。

【0192】範例25：一種系統，包含：處理器；通訊介面，通訊地耦接到該處理器；及記憶體，耦接到該處理器，其中該處理器包含循序電路，其包括：具有第一、第

二、及第三輸入的三輸入多數閘極，及第一輸出；驅動器，耦接到該第一輸出，其中該驅動器用以產生第二輸出；及比較邏輯，用以接收時脈及該第二輸出，其中該比較邏輯用以產生第三輸出，該第三輸出耦接到該第二輸入，其中該第一輸入用以接收資料，且其中該第三輸入用以接收該第二輸出。

【0193】 範例 26：如範例 25 之系統，其中該三輸入多數閘極包含：分別耦接到第一輸入、第二輸入、及第三輸入的第一、第二、及第三非鐵電電容器；及非線性極性電容器，用以儲存該第一、第二、及第三輸入的多數函數輸出，其中該非線性極性電容器的一個終端提供該第一輸出，其中該比較邏輯包含互斥或(XOR)閘。

【0194】 所提供的摘要將使讀者能夠確定技術揭露的本質和要點。所提出的摘要並非用以限制申請專利範圍的範疇或意義。以下申請專利範圍在此併入詳細說明中，且請求項各自為單獨實施例。

【符號說明】

【0195】

100:邏輯閘

101:驅動器

102:驅動器

103:驅動器

104:三輸入多數閘極

- 105:電容器
- 106:非 FE 邏輯
- 120:邏輯閘
- 121:驅動器
- 122:驅動器
- 124:五輸入多數閘極
- 130:圖式
- 140:圖式
- 170:時序圖
- 180:邏輯閘
- 190:時序圖
- 195:圖式
- 200:邏輯閘
- 204:臨界值閘極
- 220:邏輯閘
- 222:五輸入 AND/OR 多數閘極
- 230:邏輯閘
- 240:邏輯閘
- 300:波形
- 320:波形
- 330:波形
- 340:波形
- 350:波形
- 400:組合邏輯

- 401:電容器
- 402:電容器
- 403:電容器
- 404:共同節點互連
- 500:組合邏輯
- 501:電容器
- 600:循序電路
- 601:反向器
- 602:通道閘極
- 603:反向器
- 604:反向器
- 700:表
- 800:循序電路
- 801:三輸入多數閘極
- 802:驅動器
- 802a:反向器
- 802b:NOR閘極
- 803:比較邏輯
- 820:低功率多數閘極的正反器電路
- 821:閘鎖
- 822:閘鎖
- 823:NOR閘極
- 900:示意圖
- 1000:系統單晶片

1001:記憶體
1002:記憶體
1003:邏輯
1004:記憶體 I/O(輸入-輸出)介面
1005:處理器
1006:連接電路
1007:I/O控制器
1008:電源管理
1009:顯示系統
1010:週邊連接
C1:電容器
C2:電容器
C3:電容器
C4:電容器
C5:電容器
Cbias:電容器
CFE:電容器
Cin:輸入電容器
CL:負載電容器
Clk:時脈輸入
Clk1:重置時脈輸入
Clk1b:時脈
Clk2:重置時脈輸入
Clk3:時脈

C1k3b:重置時脈輸入

C1kb:時脈

cn:共同節點

D:資料輸入

Dbd:第一終端

I1:電流

I2:電流

I3:電流

I4:電流

I5:電流

MN1:n型電晶體

MN1r:n型電晶體

MN2:n型電晶體

MN2r:n型電晶體

MN3:n型電晶體

MN3r:n型電晶體

MN4r:n型電晶體

MNt:n型電晶體

MP1:p型電晶體

MP1r:p型電晶體

MP2r:p型電晶體

MP3r:p型電晶體

MPt:p型電晶體

n1:節點

out:輸出

Q:輸出

Q_int:輸出

Qb:輸出

Qc:輸出

R1:電阻器

R2:電阻器

R3:電阻器

R4:電阻器

R5:電阻器

Rs:電阻器

Vbias:輸入

Vin1:輸入

Vin1d:輸出

Vin2:輸入

Vin2d:輸出

Vin3:輸入

Vin3d:輸出

Vin4:輸入

Vin5:輸入

Vout:節點

Vout_int1:節點

Vout_int2:節點

Vpulse:訊號

【發明申請專利範圍】

【請求項 1】一種對資料進行取樣的裝置，該裝置包含：

三輸入多數邏輯閘，包含：

第一、第二、及第三非鐵電電容器，分別用以接收第一輸入、第二輸入、及第三輸入；及

非線性極性電容器，用以儲存該第一、第二、及第三輸入的多數函數輸出，其中該非線性極性電容器的一個終端提供該三輸入多數邏輯閘的輸出；

驅動器，耦接到該三輸入多數邏輯閘的該輸出，其中該驅動器用以產生該三輸入多數邏輯閘的放大輸出，其中該放大輸出耦接到該第三輸入；及

比較邏輯，用以接收輸入時脈及該放大輸出，其中該比較邏輯的輸出是該第二輸入。

【請求項 2】如請求項 1 之裝置，其中該第一輸入是資料輸入。

【請求項 3】如請求項 1 之裝置，其中該驅動器包含以下之其中一者：緩衝器、放大器、NAND、AND、OR、多工器、或 NOR 邏輯閘，且其中該比較邏輯包含互斥或 (XOR) 閘。

【請求項 4】如請求項 1 之裝置，包含：

第一電晶體，耦接到該非線性極性電容器的第一終端，其中該第一電晶體可由第一時脈控制；

第二電晶體，耦接到該非線性極性電容器的第二終

端，其中該第二電晶體可由第二時脈控制；及

第三電晶體，耦接到該非線性極性電容器的該第二終端，其中該第三電晶體可由第三時脈控制。

【請求項 5】如請求項 4 之裝置，其中該第一時脈的脈衝寬度大於該第二時脈的脈衝寬度及該第三時脈的脈衝寬度。

【請求項 6】如請求項 4 之裝置，其中該第三時脈在該第二時脈的判定之前解判定。

【請求項 7】如請求項 4 之裝置，其中該第一電晶體是第一 n 型電晶體，其中該第二電晶體是第二 n 型電晶體，且其中該第三電晶體是 p 型電晶體。

【請求項 8】如請求項 4 之裝置，其中該第一電晶體、該第二電晶體、及該第三電晶體在評估階段中被去能，及在重置階段中被賦能，且其中該重置階段是在該評估階段之前。

【請求項 9】如請求項 4 之裝置，其中該第一及第二時脈相同，且其中該第一及第二時脈是重置訊號。

【請求項 10】如請求項 4 之裝置，其中該第一及第二時脈是不同的訊號。

【請求項 11】如請求項 1 之裝置，包含：

第一驅動器，用以產生該第一輸入；及

第二驅動器，用以產生該輸入時脈。

【請求項 12】如請求項 11 之裝置，其中該第一及第二驅動器包含 CMOS 電晶體。

【請求項 13】如請求項 1 之裝置，其中該三輸入多數邏輯閘的該第一、第二、及第三非鐵電電容器包含以下之其中一者：金屬-絕緣體-金屬(MIM)電容器、電晶體閘極電容器、金屬及電晶體混合電容器；或包含順電材料的電容器。

【請求項 14】如請求項 1 之裝置，其中該非線性極性電容器包括以下之其中一者：鐵電材料、順電材料、或非線性介電材料。

【請求項 15】如請求項 14 之裝置，其中該鐵電材料包括以下之其中一者：

鐵酸鈹(BFO)、具有摻雜材料的 BFO，其中該摻雜材料是鐳、或週期表鐳系元素之其中一者；

鋳鈦酸鉛(PZT)、或具有摻雜材料的 PZT，其中該摻雜材料是 La 或 Nb 之其中一者；

弛緩性鐵電包括鎂鈮酸鉛(PMN)、鎂鈮酸鉛-鈦酸鉛(PMN-PT)、鋳鈦酸鉛鐳(PLZT)、釩鈮酸鉛(PSN)、鉍鈦-鈹鋅鈮鉭(BT-BZNT)、或鉍鈦-鉍鋇鈦(BT-BST)之其中一者；

鈣鈦礦鐵電包括以下之其中一者： BaTiO_3 、 PbTiO_3 、 KNbO_3 、或 NaTaO_3 ；

六方晶鐵電，其包括以下之其中一者： YMnO_3 或 LuFeO_3 ；

h-RMnO_3 類型的六方晶鐵電，其中 R 是稀土元素，包括以下之其中一者：鈰(Ce)、鐳(Dy)、鉺(Er)、鎔(Eu)、

釷 (Gd)、釹 (Ho)、鐳 (La)、鐳 (Lu)、釹 (Nd)、鐳 (Pr)、鉕 (Pm)、釷 (Sm)、釷 (Sc)、鉕 (Tb)、鉕 (Tm)、鐳 (Yb)、或釷 (Y)；

鈦 (Hf)、鈦 (Zr)、鋁 (Al)、矽 (Si)、其氧化物或其合金氧化物；

以下形式的鈦氧化物， $Hf_{1-x} E_x O_y$ ，其中 E 可為 Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或 Y；

$Al(1-x)Sc(x)N$ 、 $Ga(1-x)Sc(x)N$ 、 $Al(1-x)Y(x)N$ 或 $Al(1-x-y)Mg(x)Nb(y)N$ 、摻雜 y 的 HfO_2 ，其中 x 包括以下之其中一者：Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或 Y，其中「x」是分數；

鈦酸鹽化合物，其包括 $LiNbO_3$ 、 $LiTaO_3$ 、鋰鐵鈦氧基氟化物、鋰鈦酸鋇、鋇鈦酸鈉、或鋰鈦酸鉀；或

不適當鐵電，其包括以下之其中一者： $[PTO/STO]_n$ 或 $[LAO/STO]_n$ ，其中「n」在 1 到 100 之間。

【請求項 16】 如請求項 1 之裝置，其中該非線性極性電容器被安置在晶粒的後端中，而該驅動器及該比較邏輯的電晶體被安置在晶粒的前端。

【請求項 17】 一種對資料進行取樣的裝置，該裝置包含：

具有第一、第二、及第三輸入的三輸入多數閘極，及第一輸出；

驅動器，耦接到該第一輸出，其中該驅動器用以產生第二輸出；及

比較邏輯，用以接收時脈及該第二輸出，其中該比較邏輯用以產生第三輸出，該第三輸出耦接到該第二輸入，其中該第一輸入用以接收資料，且其中該第三輸入用以接收該第二輸出。

【請求項 18】如請求項 17 之裝置，其中該三輸入多數閘極包含：

第一、第二、及第三非鐵電電容器，分別耦接到該第一輸入、該第二輸入、及該第三輸入；及

非線性極性電容器，用以儲存該第一、第二、及第三輸入的多數函數輸出，其中該非線性極性電容器的一個終端提供該第一輸出。

【請求項 19】如請求項 17 之裝置，其中該驅動器包含以下之其中一者：緩衝器、放大器、NAND、AND、OR、多工器、或 NOR 邏輯閘，其中該比較邏輯包含互斥或 (XOR) 閘。

【請求項 20】如請求項 18 之裝置，包含：

第一電晶體，耦接到該非線性極性電容器的第一終端，其中該第一電晶體可由第一訊號控制；

第二電晶體，耦接到該非線性極性電容器的第二終端，其中該第二電晶體可由第二訊號控制；及

第三電晶體，耦接到該非線性極性電容器的該第二終端，其中該第三電晶體可由第三訊號控制。

【請求項 21】如請求項 20 之裝置，其中該第一訊號的脈衝寬度大於該第二訊號的脈衝寬度及該第三訊號的脈衝

寬度。

【請求項 22】如請求項 20 之裝置，其中該第三訊號在該第二訊號的判定之前解判定。

【請求項 23】如請求項 20 之裝置，其中該第一電晶體是第一 n 型電晶體，其中該第二電晶體是第二 n 型電晶體，且其中該第三電晶體是 p 型電晶體。

【請求項 24】如請求項 20 之裝置，其中該第一電晶體、該第二電晶體、及該第三電晶體在評估階段中被去能，及在重置階段中被賦能，且其中該重置階段是在該評估階段之前。

【請求項 25】一種可對資料進行取樣的系統，該系統包含：

處理器；

通訊介面，通訊地耦接到該處理器；及

記憶體，耦接到該處理器，其中該處理器包含如請求項 1 至 16 中任一項的裝置。

【請求項 26】一種可對資料進行取樣的系統，該系統包含：

處理器；

通訊介面，通訊地耦接到該處理器；及

記憶體，耦接到該處理器，其中該處理器包含如請求項 17 至 24 中任一項的裝置。

【請求項 27】一種對資料進行取樣的裝置，該裝置包含：

第一閘鎖，包含第一資料輸入、第一資料輸出、及第一時脈輸入，其中該第一閘鎖包含具有有顯著非線性極性材料的第一電容器的第一三輸入多數閘極；

第二閘鎖，包含第二資料輸入、第二資料輸出、及第二時脈輸入，其中該第二閘鎖包含具有有顯著非線性極性材料的第二電容器的第二三輸入多數閘極，其中該第一資料輸出耦接到該第二資料輸入；及

邏輯閘，耦接到該第一時脈輸入及該第二時脈輸入。

【請求項 28】如請求項 27 之裝置，其中該第一三輸入多數閘極包含第一、第二、及第三非鐵電電容器以分別接收該第一資料輸入、第二輸入、及第三輸入。

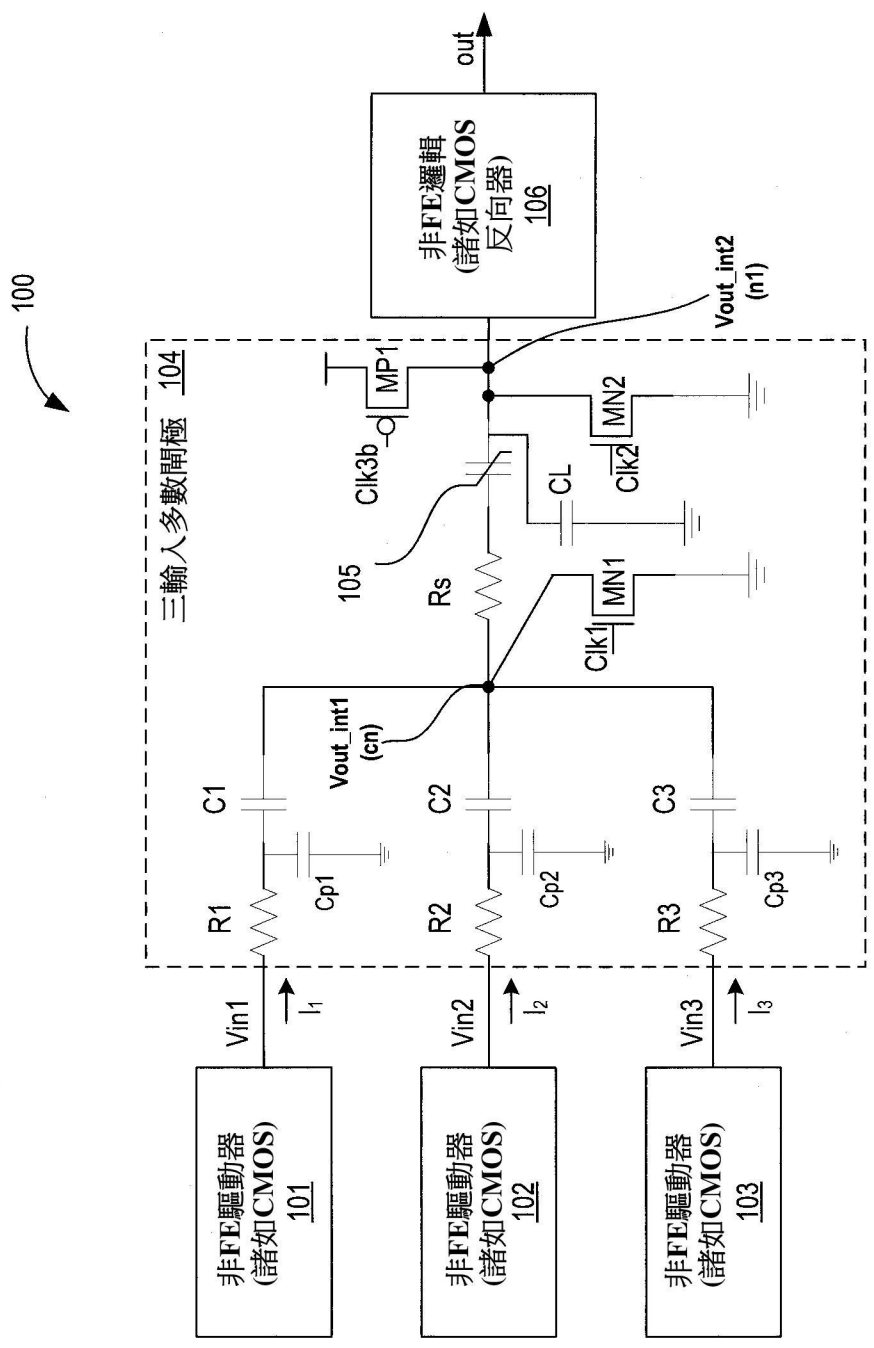
【請求項 29】一種對資料進行取樣的裝置，該裝置包含：

第一閘鎖，包含第一資料輸入、第一資料輸出、及第一時脈輸入，其中該第一閘鎖包含具有非線性極性材料的第一電容器；

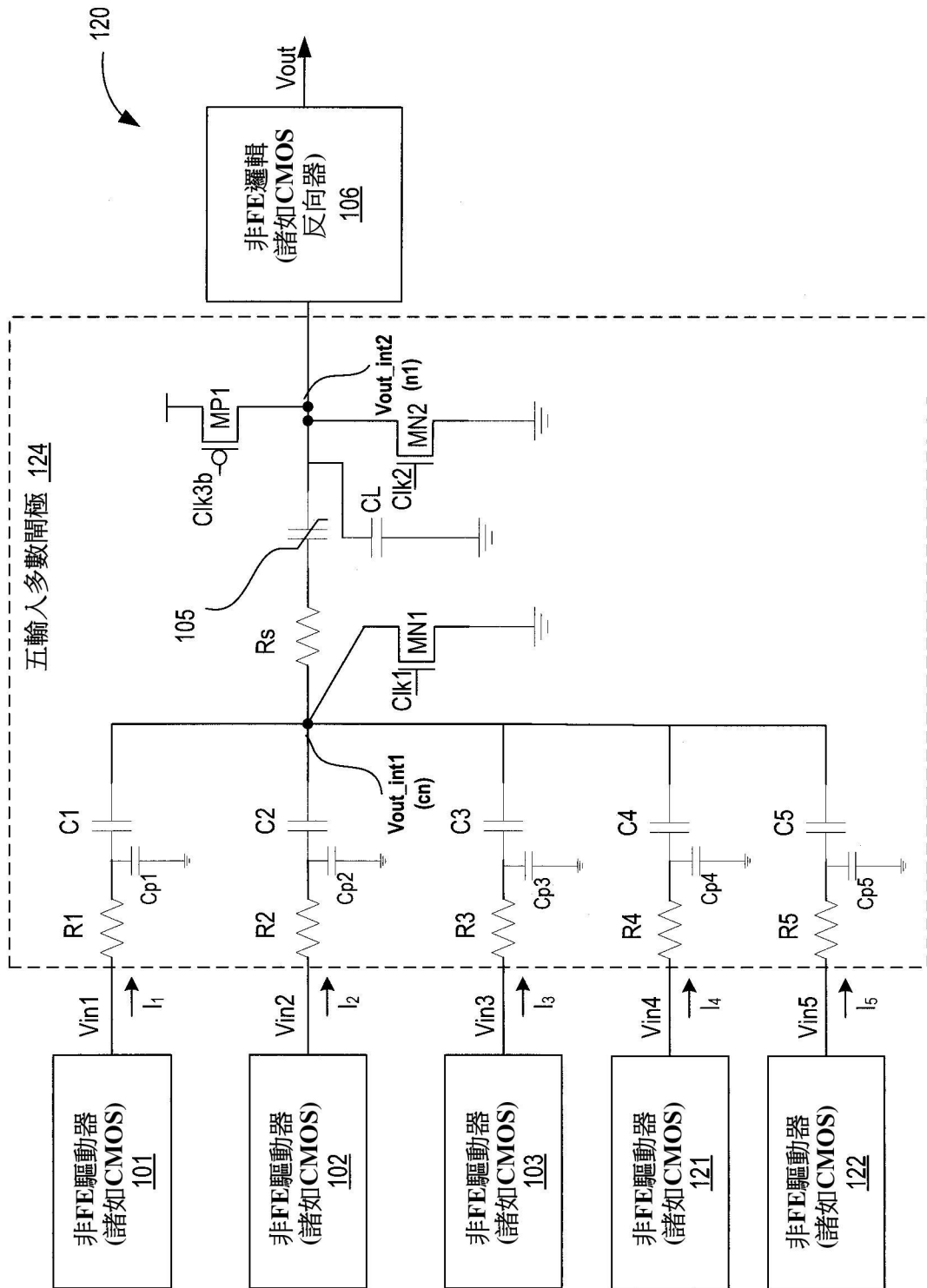
第二閘鎖，包含第二資料輸入、第二資料輸出、及第二時脈輸入，其中該第二閘鎖包含具有非線性極性材料的第二電容器，其中該第一資料輸出耦接到該第二資料輸入；及

反相邏輯閘，耦接到該第一時脈輸入及該第二時脈輸入。

【發明圖式】

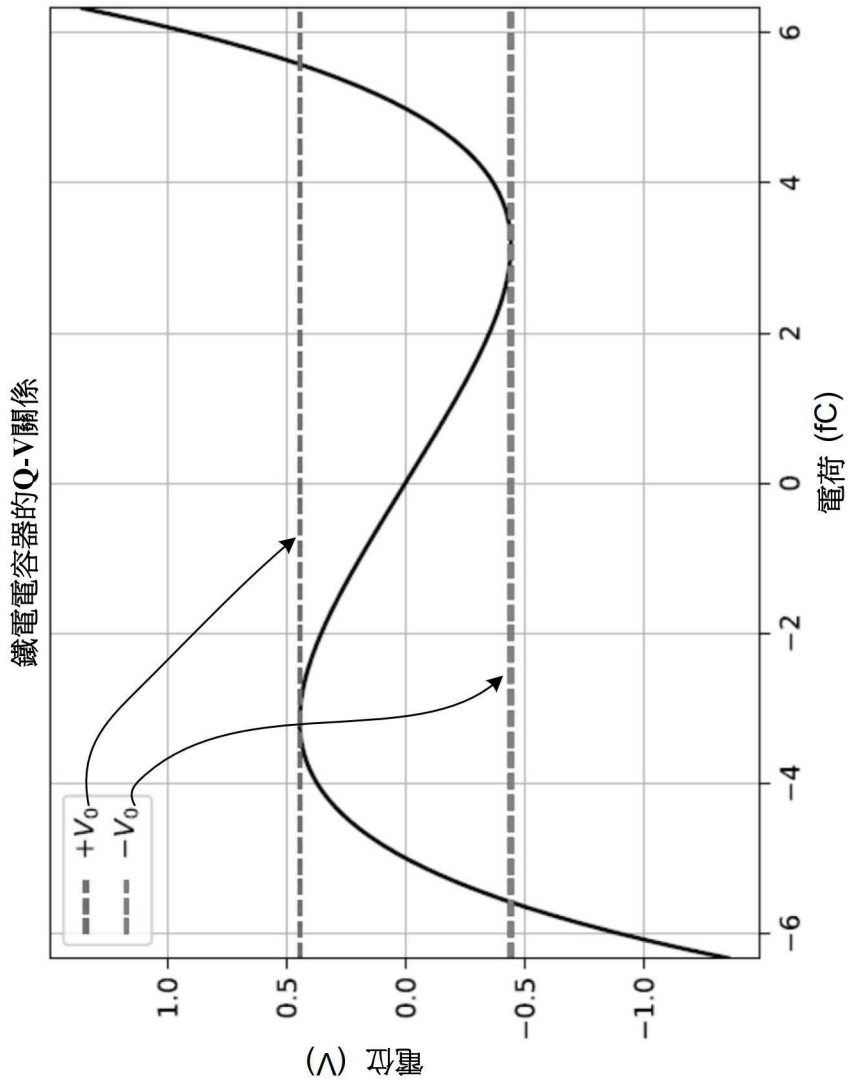


【第1A圖】



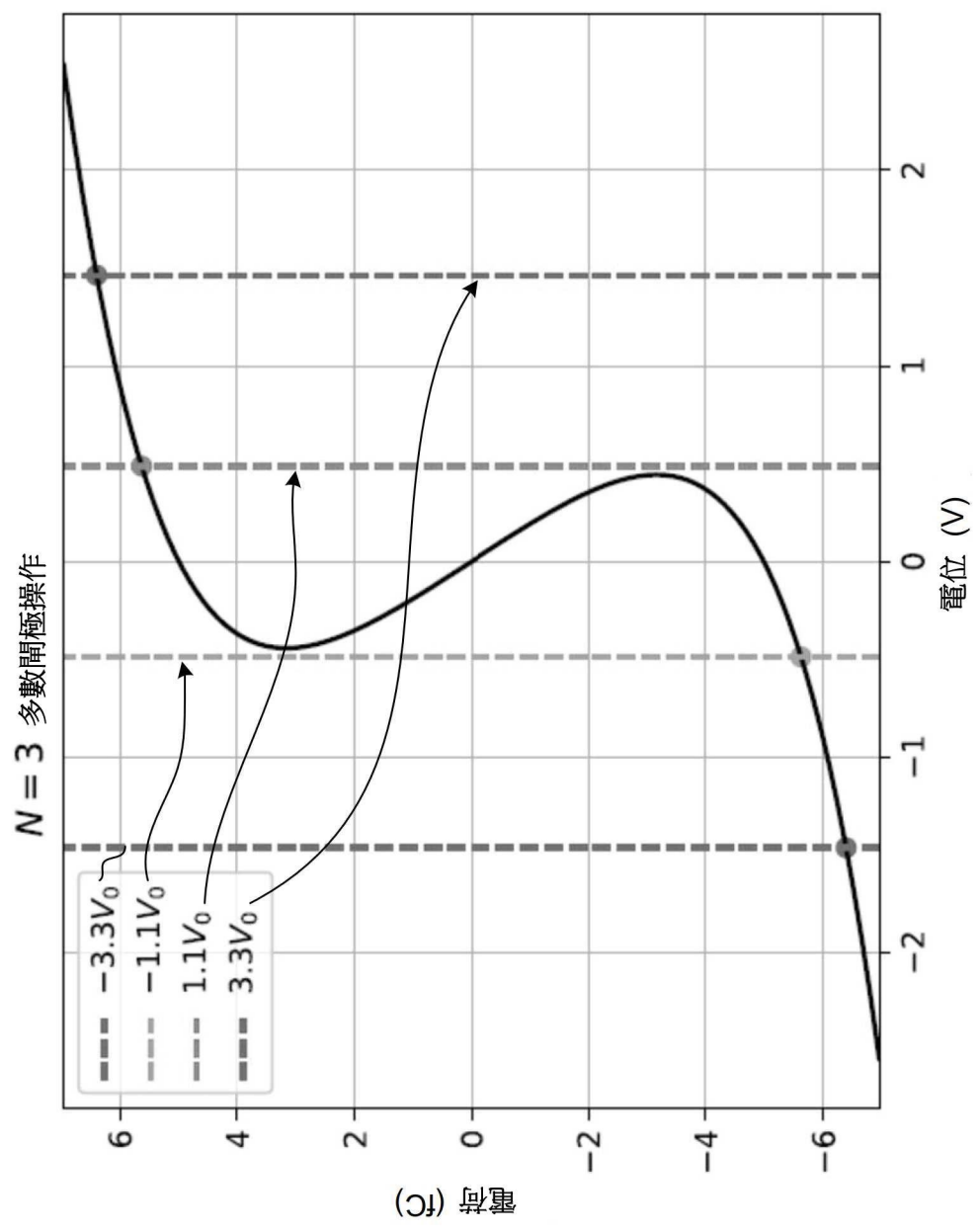
【第 1B 圖】

130

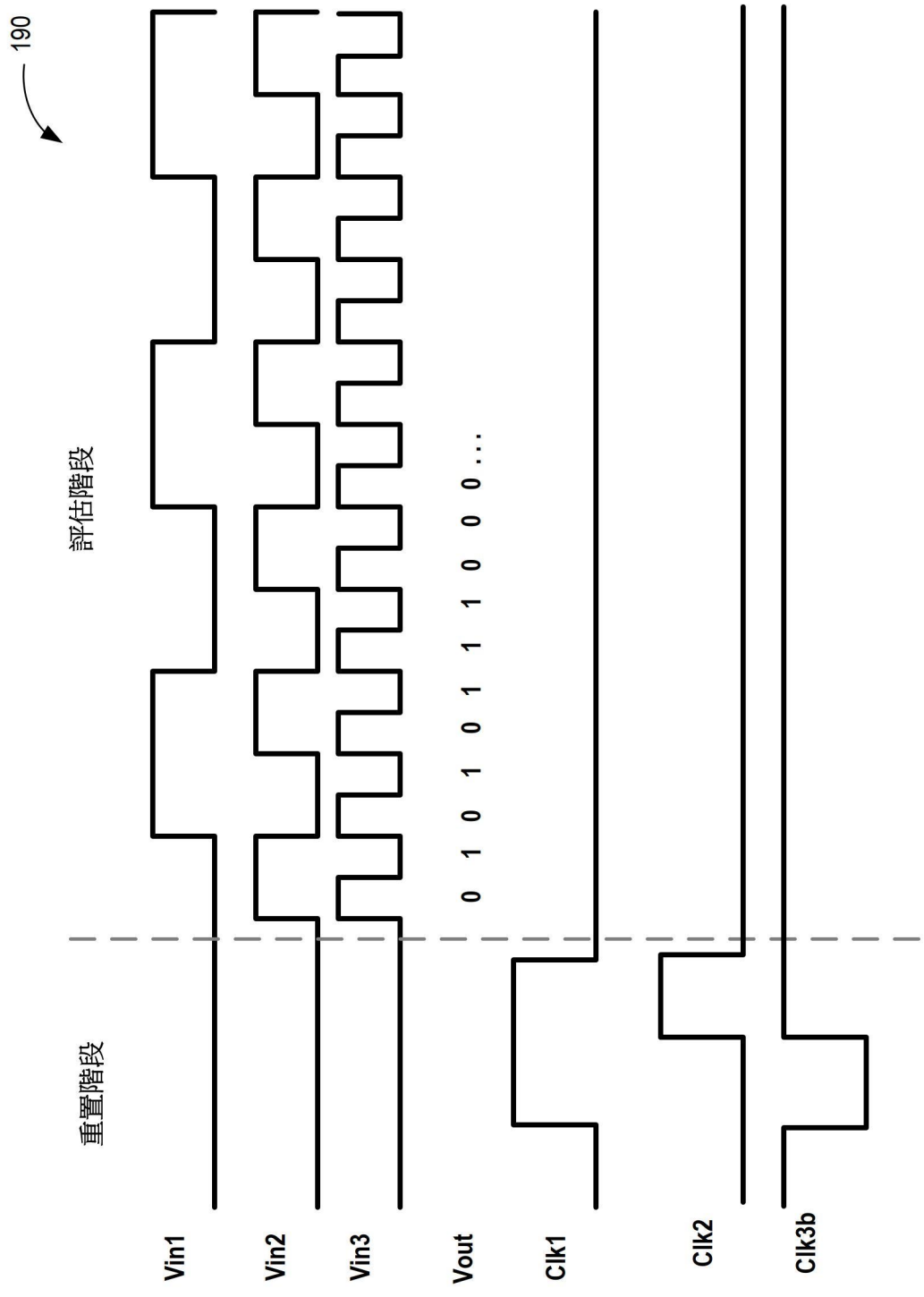


【第 1C 圖】

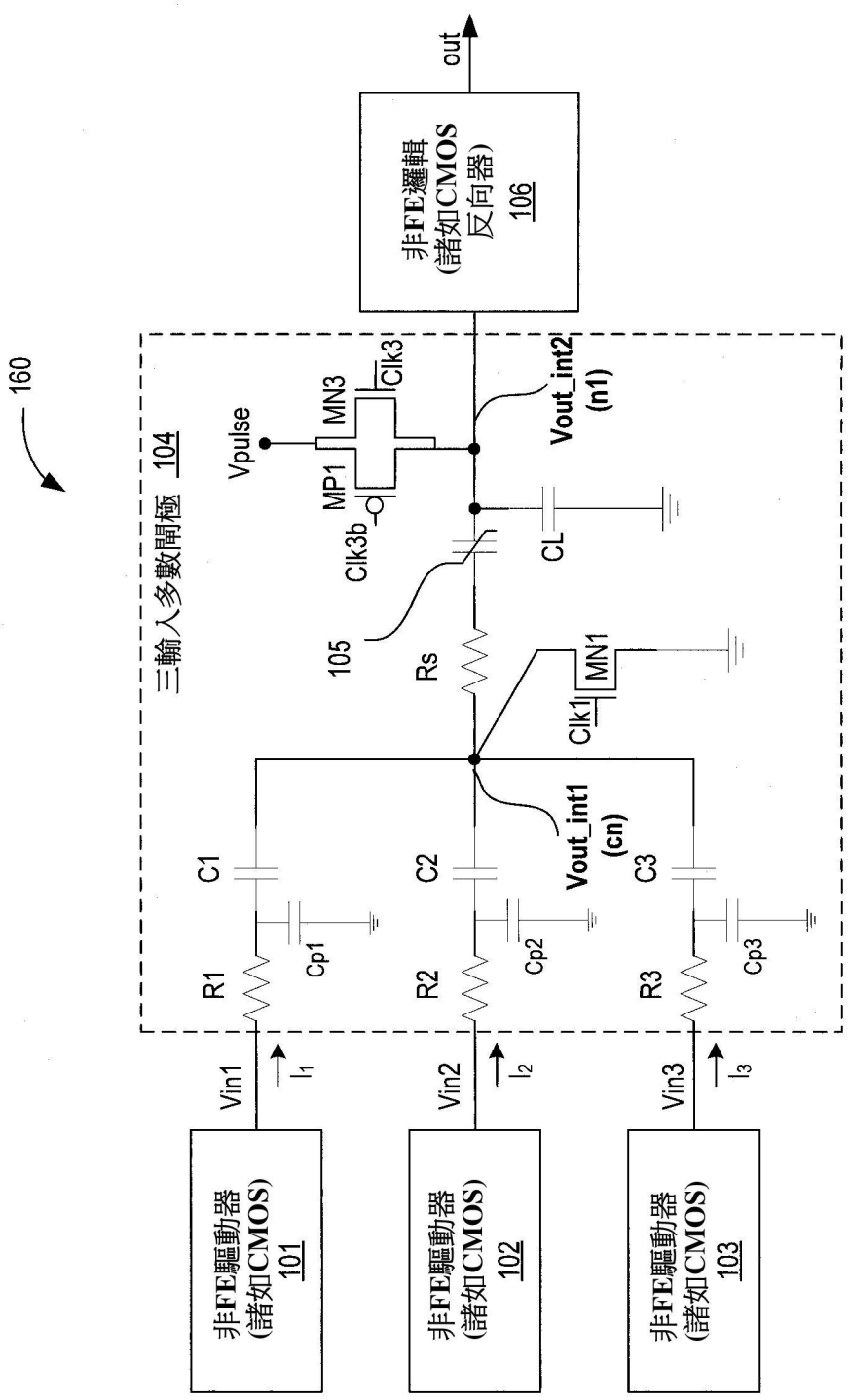
140



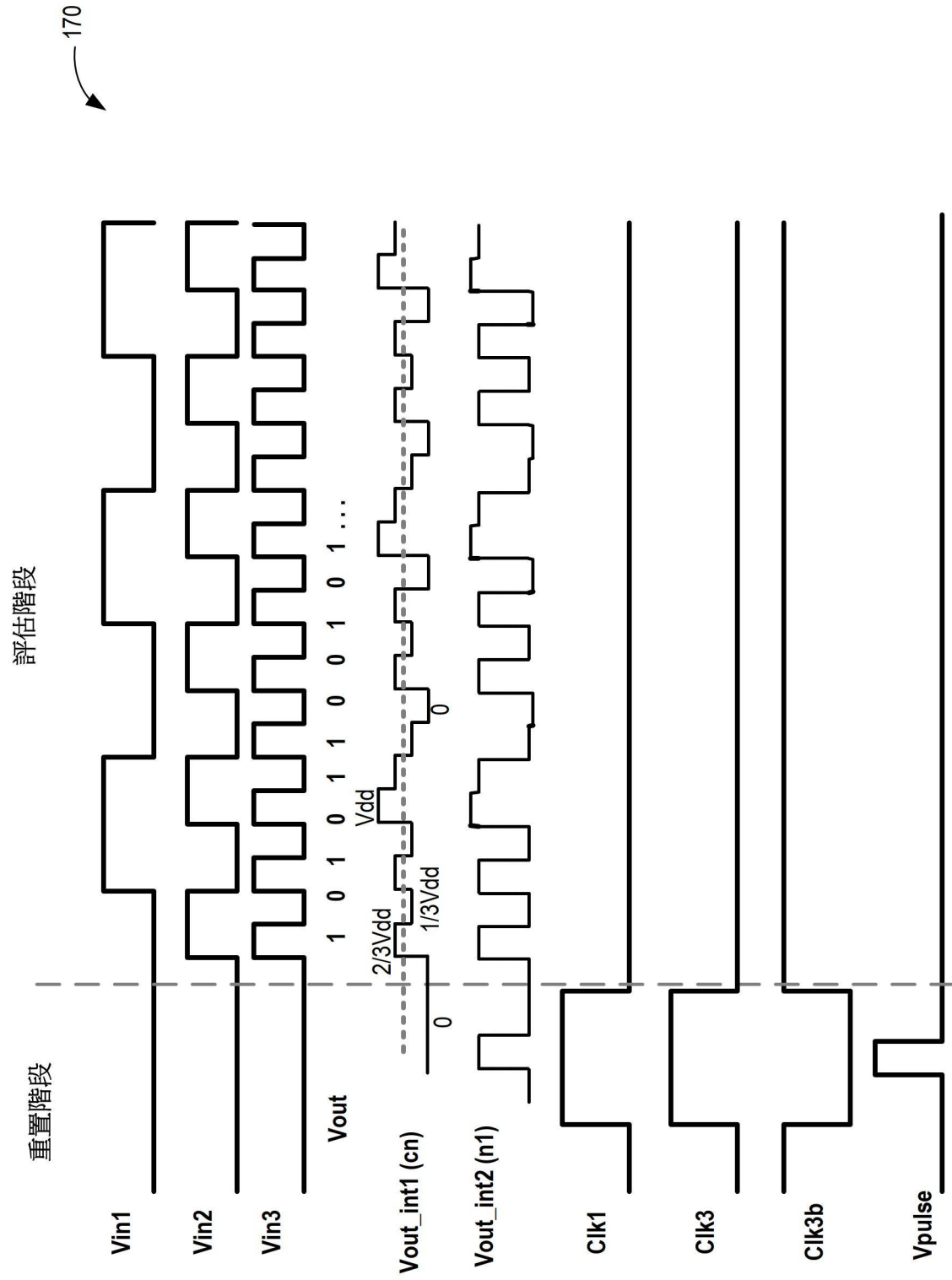
【第1D圖】



【第1E圖】



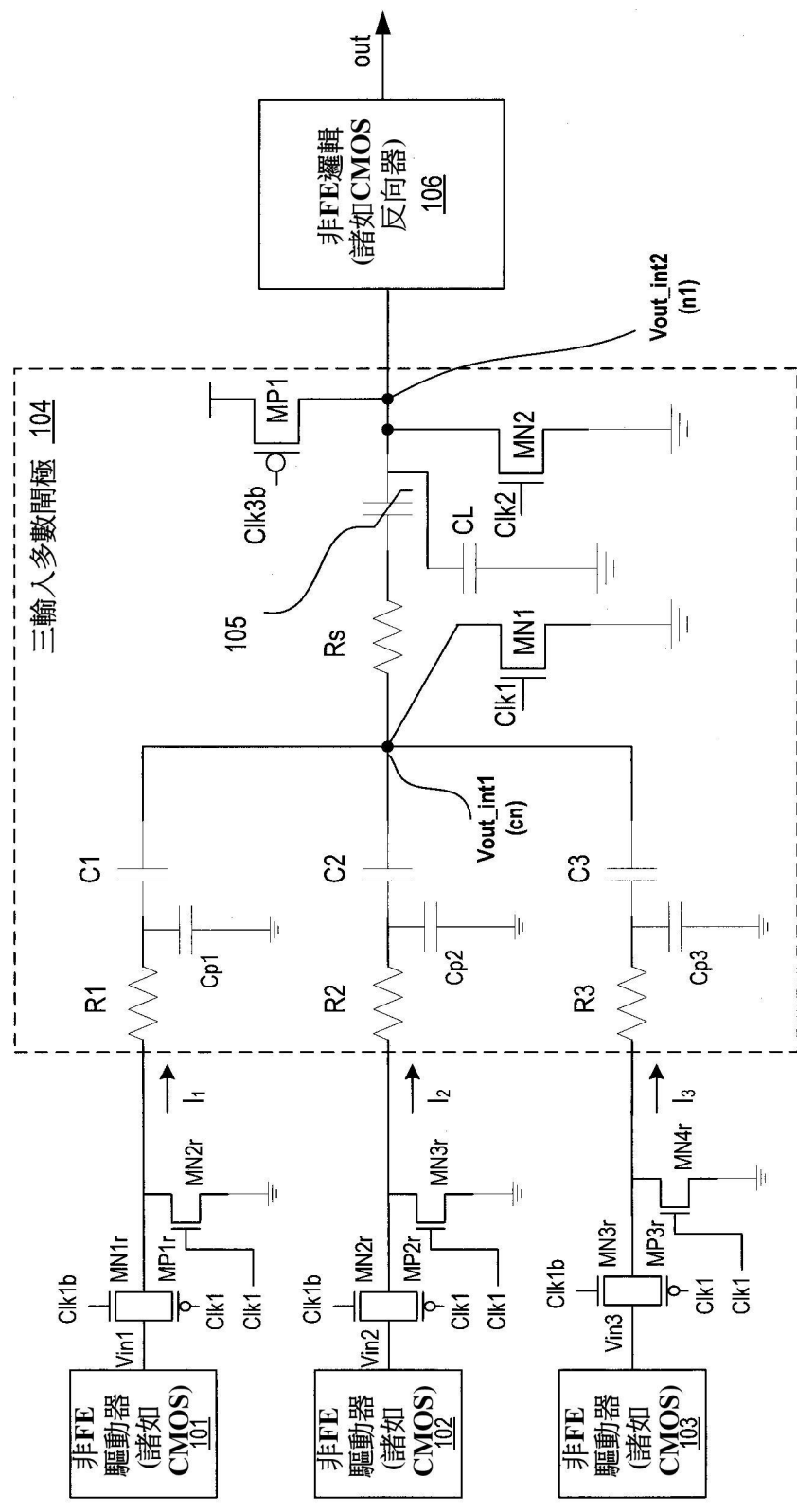
【第1F圖】



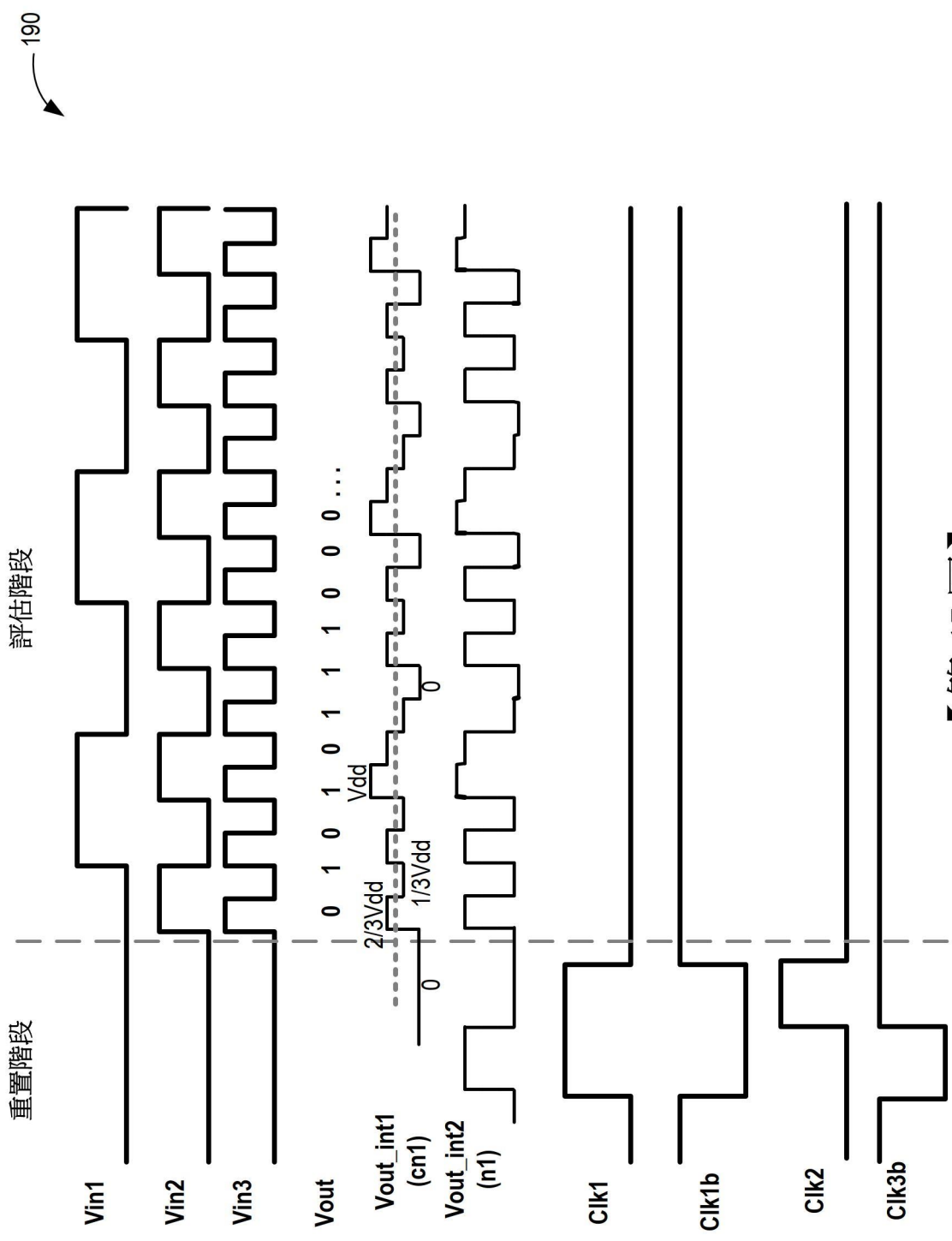
170

【第 1G 圖】

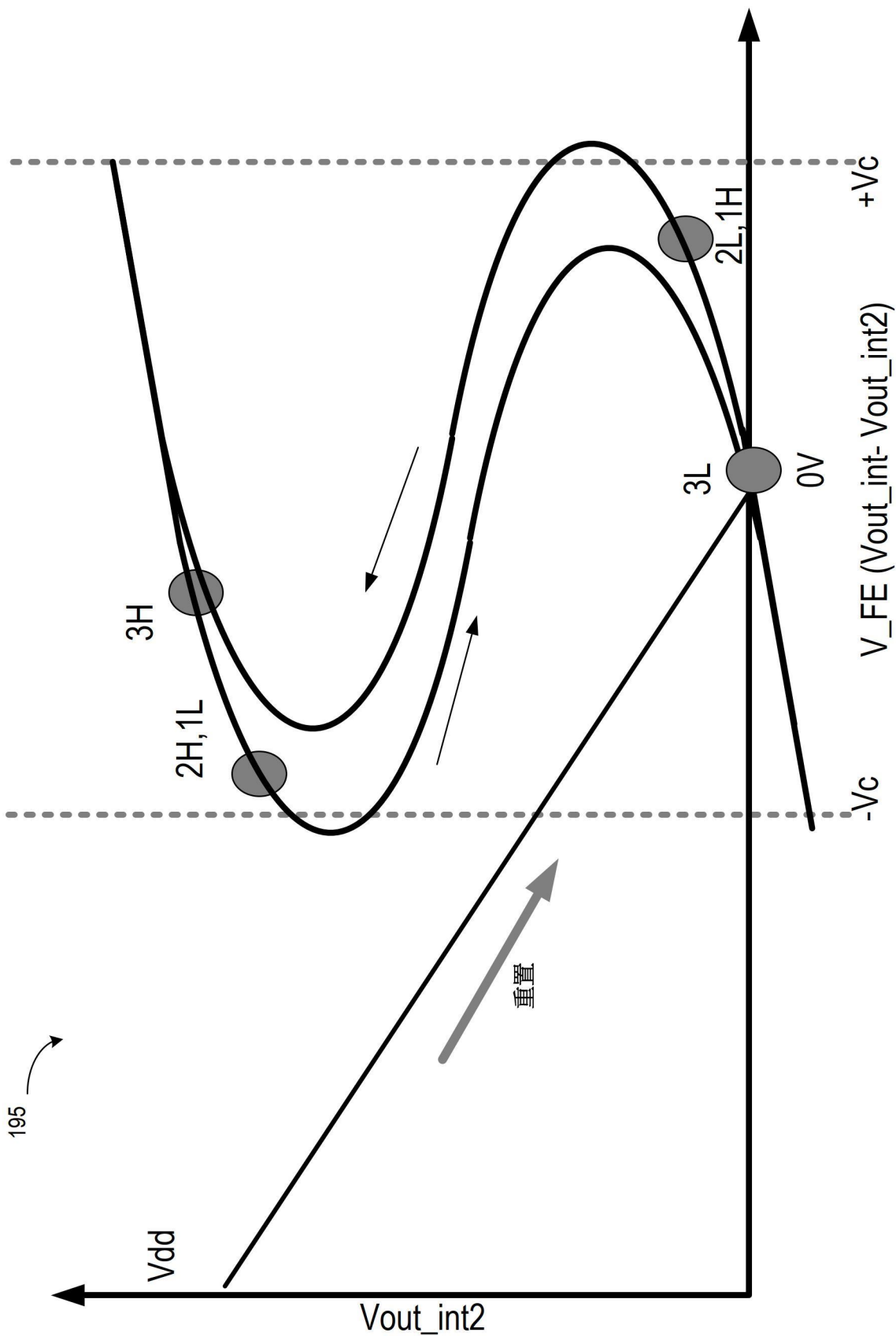
180



【第1H圖】

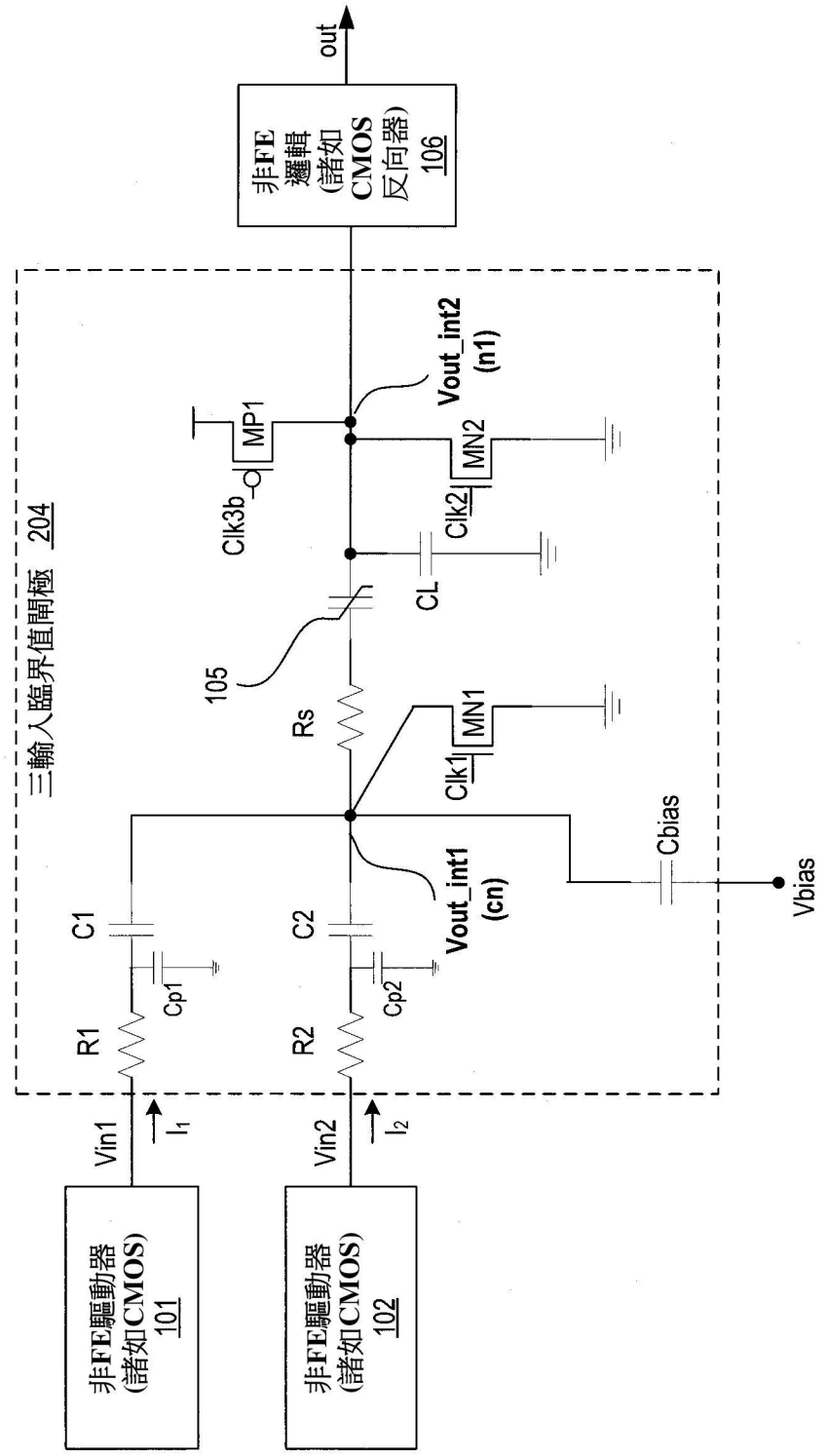


【第1圖】



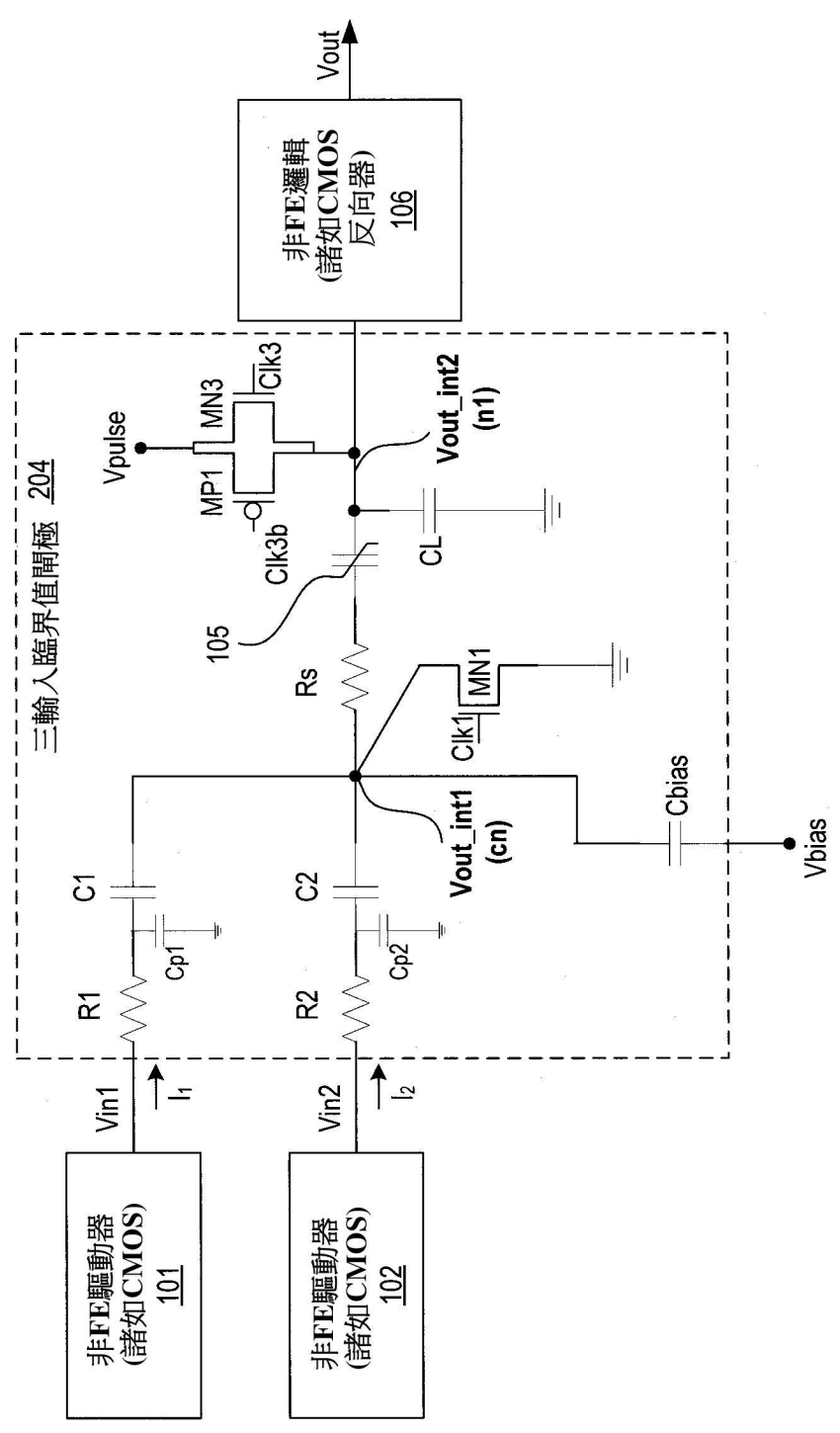
【第 1J 圖】

200



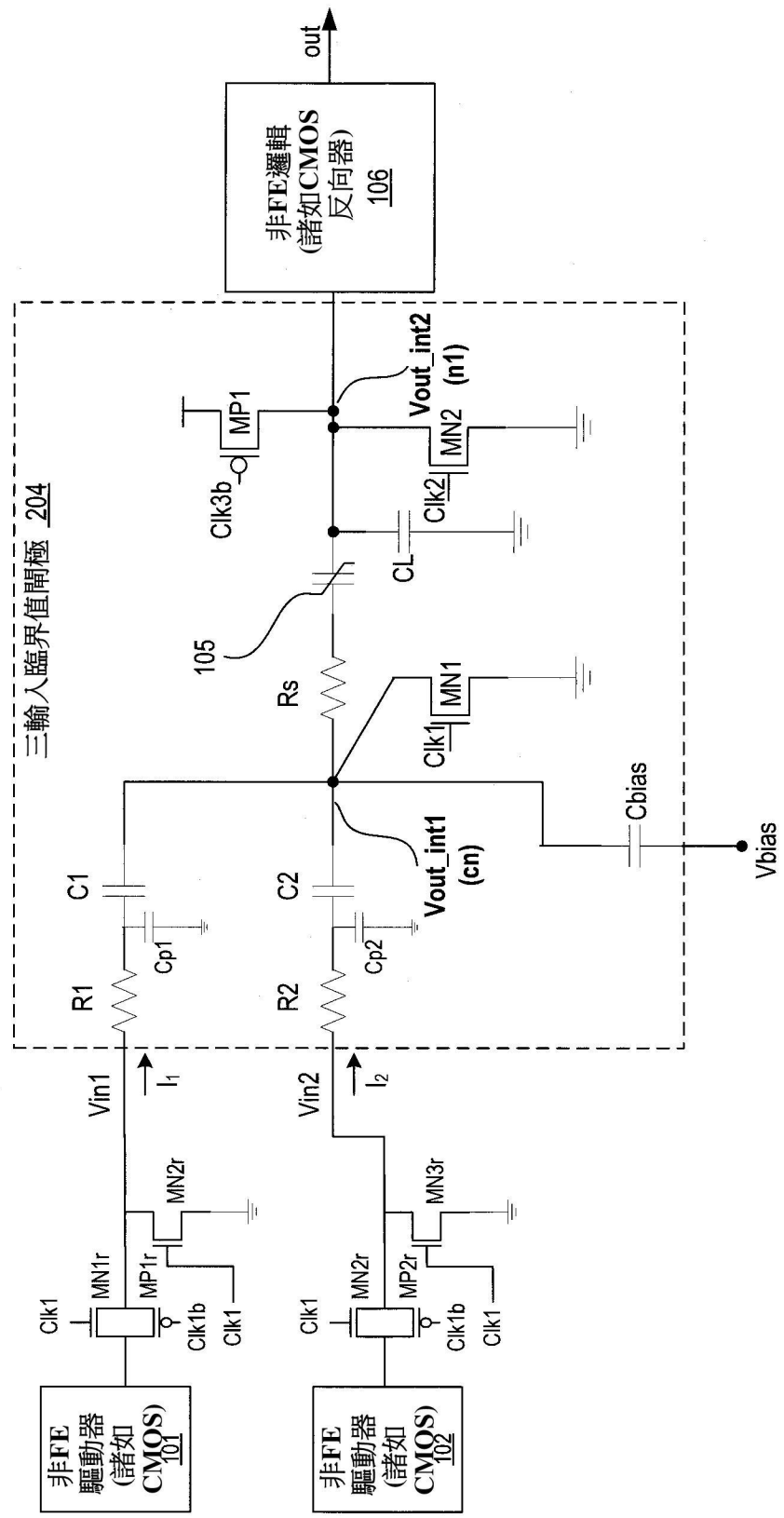
【第2A圖】

220

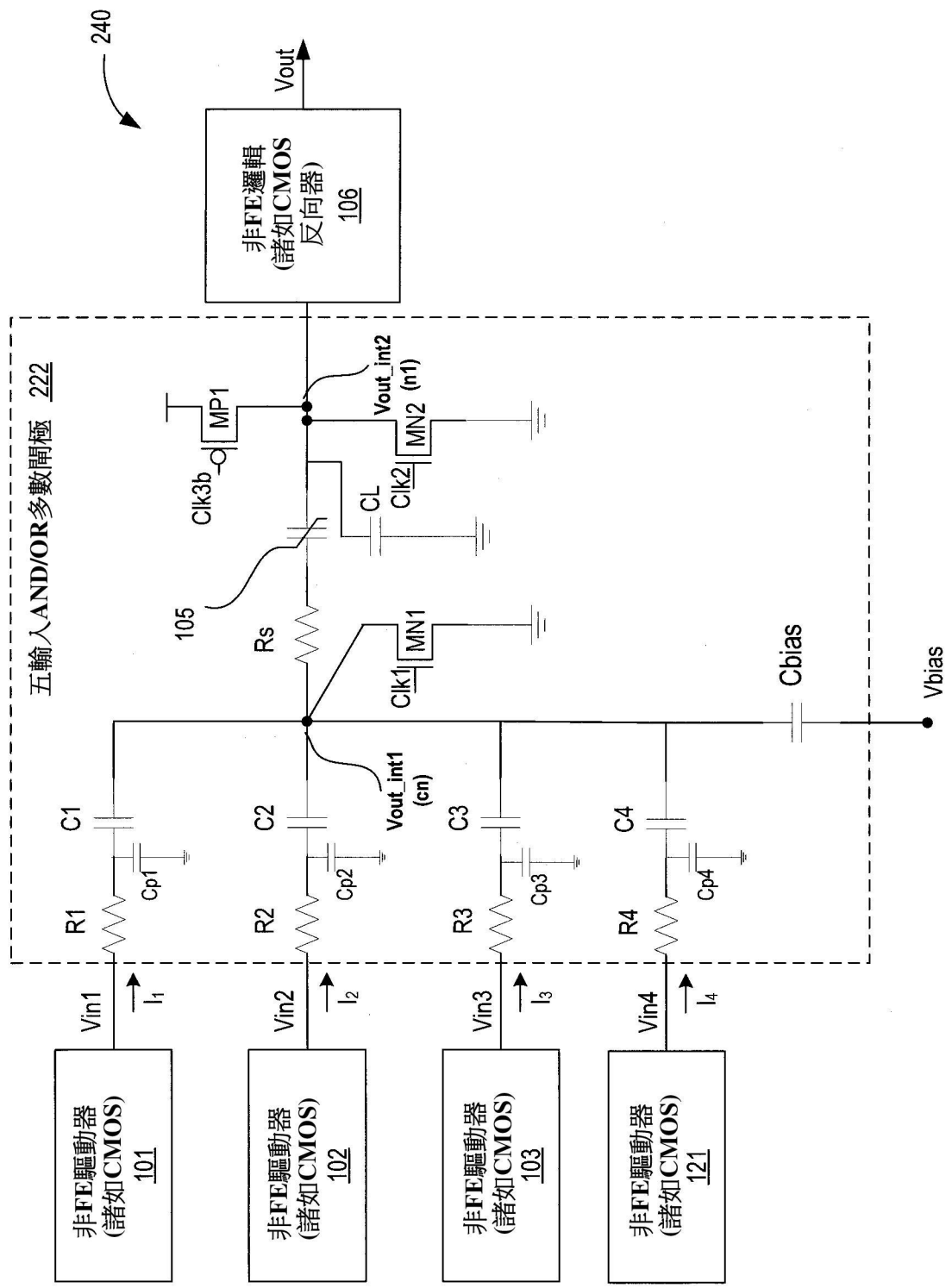


【第2B圖】

230

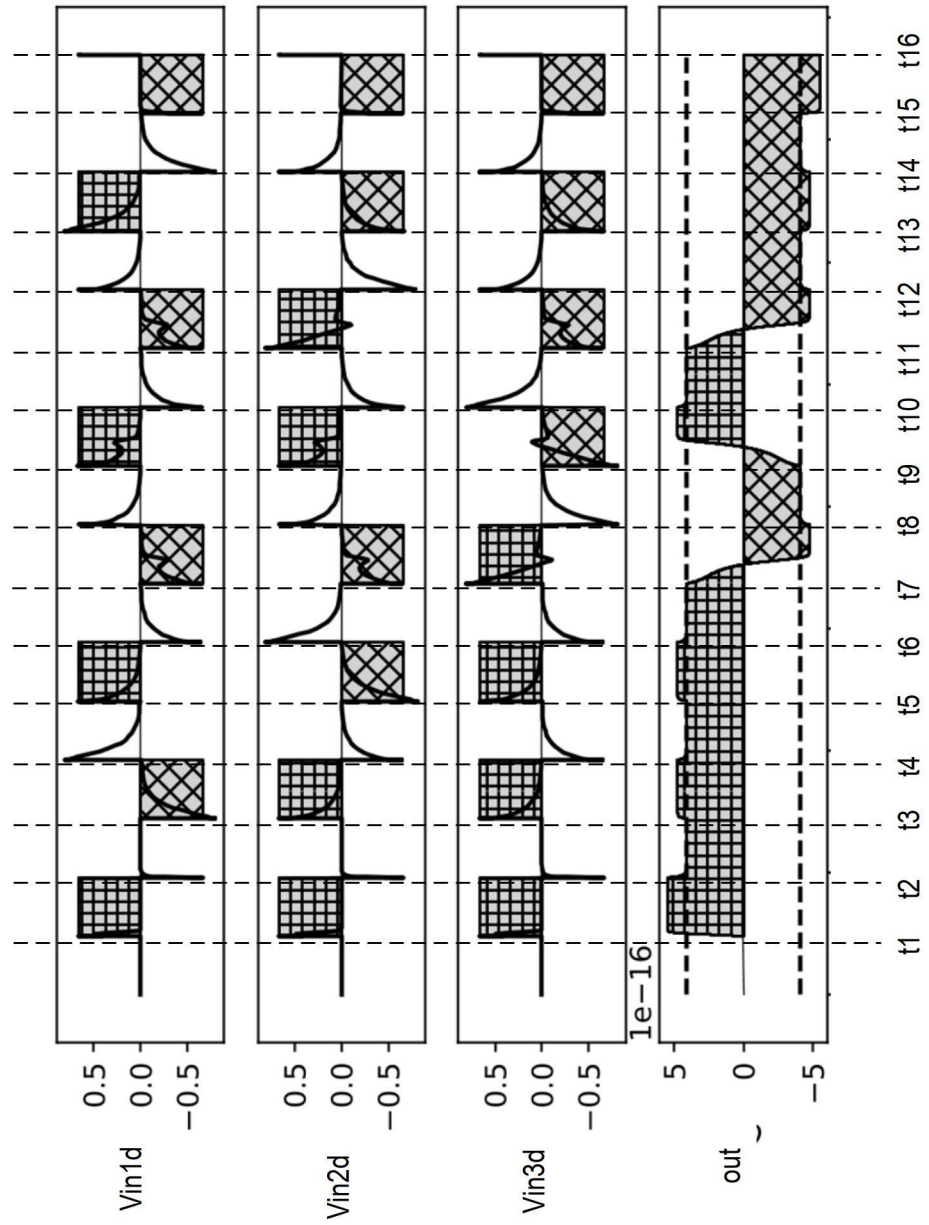


【第2C圖】

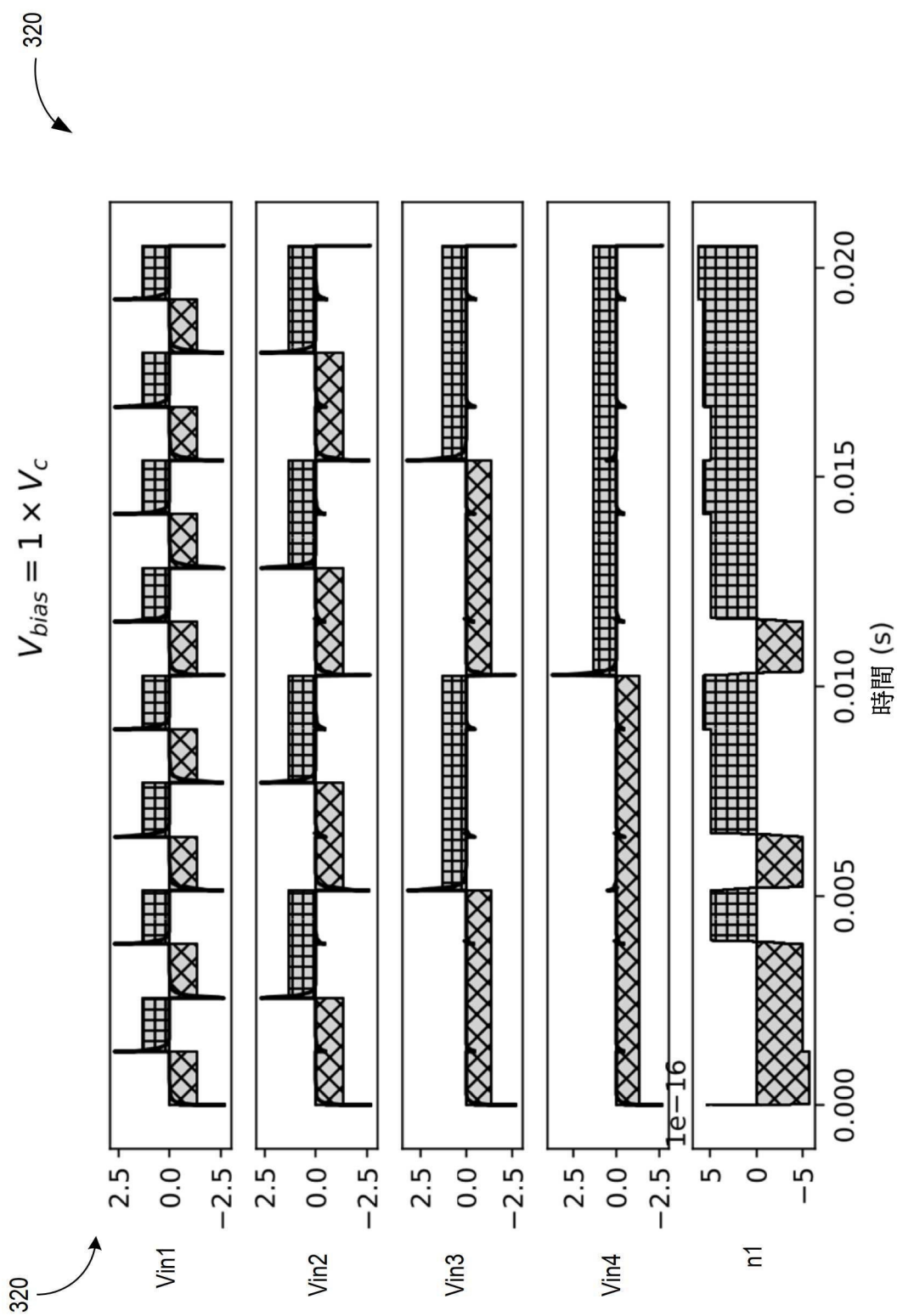


【第 2D 圖】

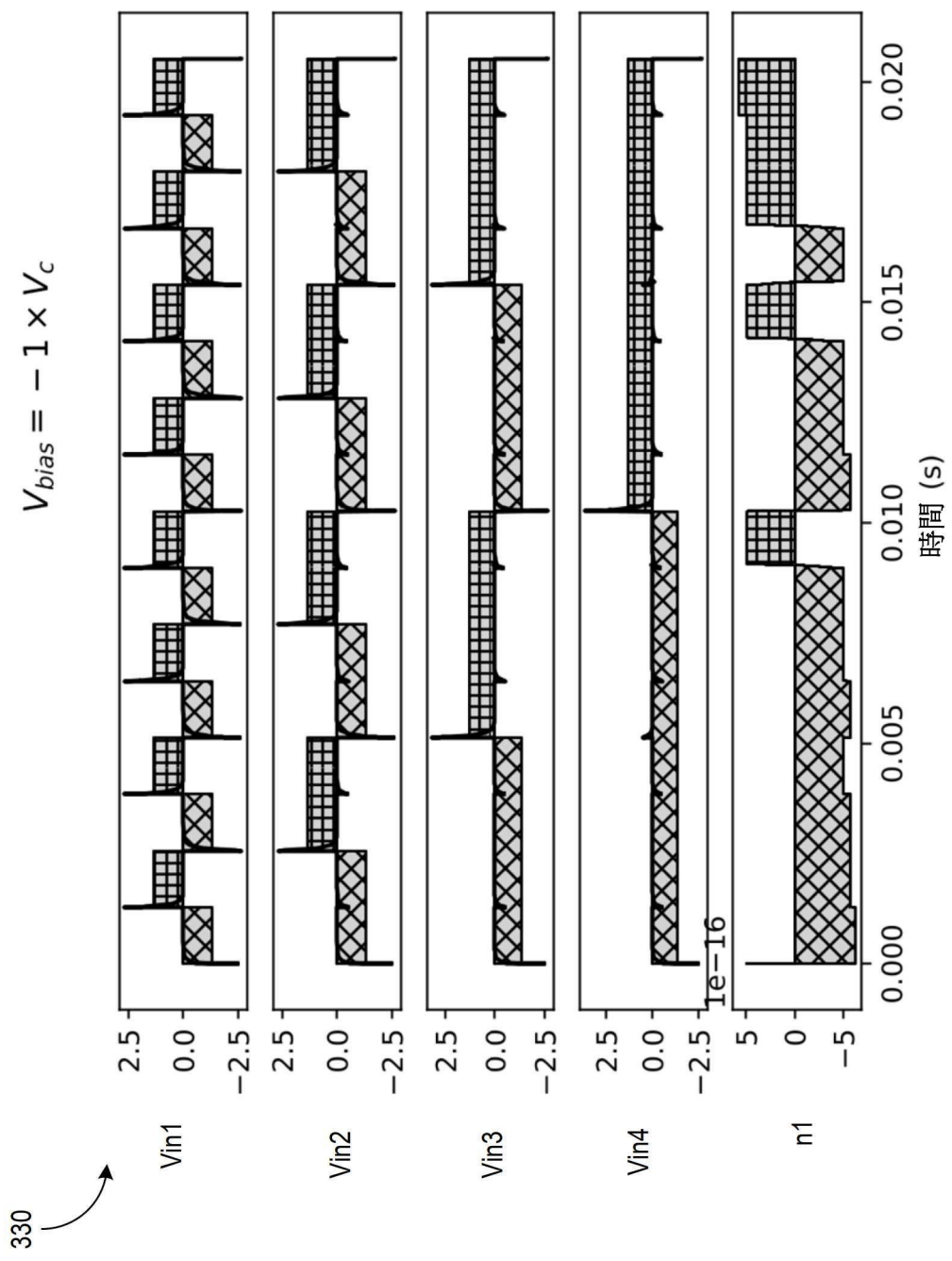
300



【第 3A 圖】



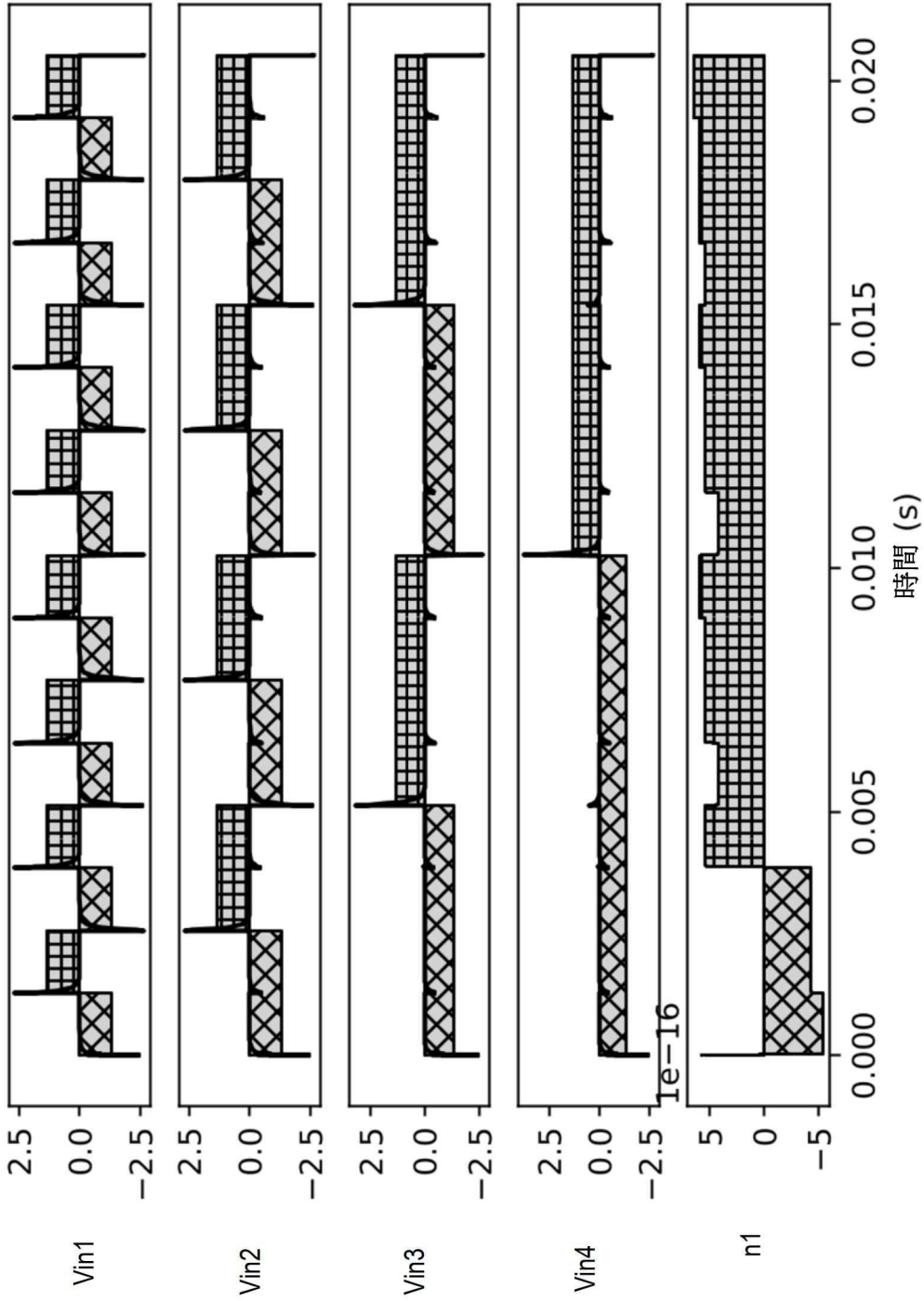
【第3B圖】



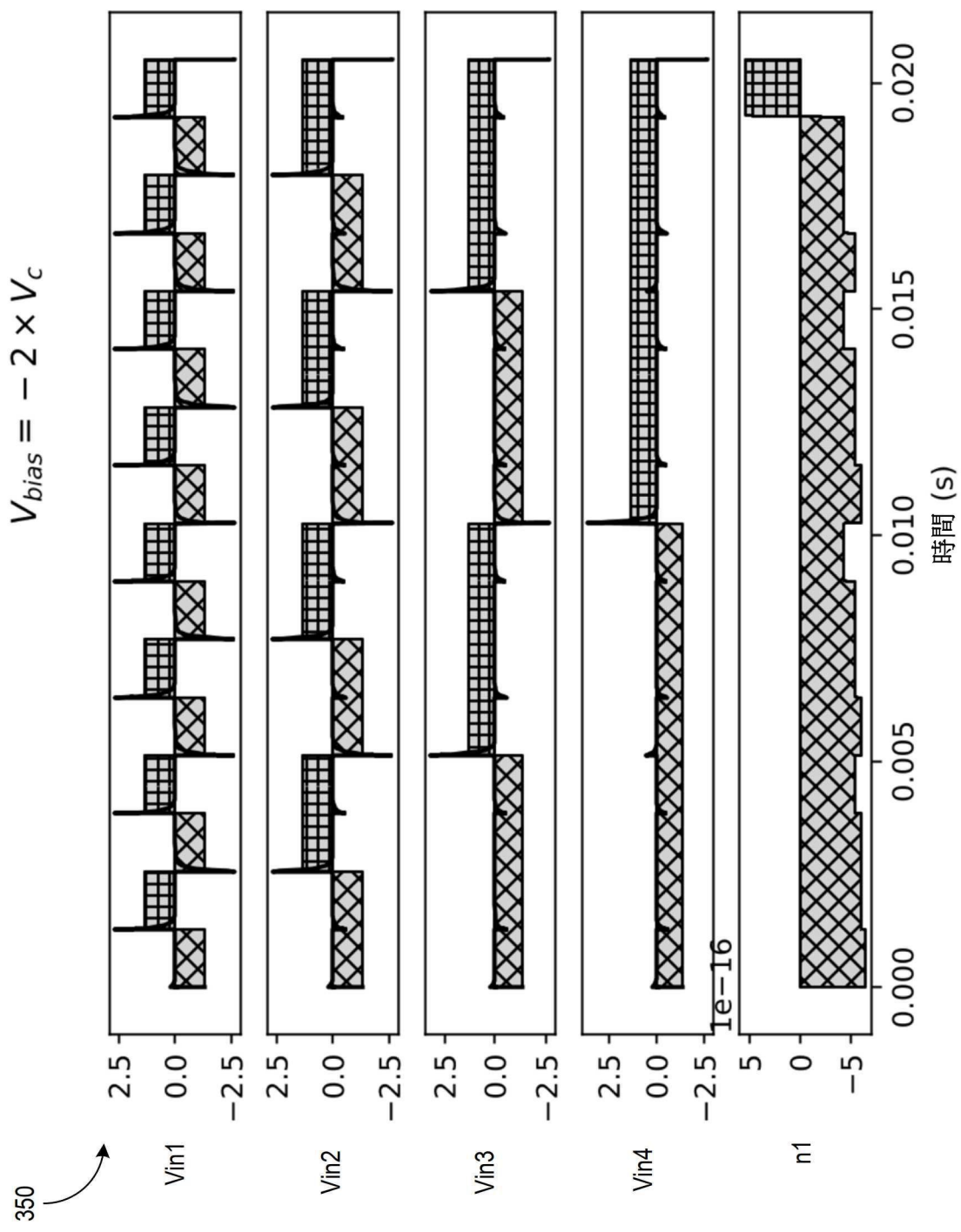
【第3C圖】

340

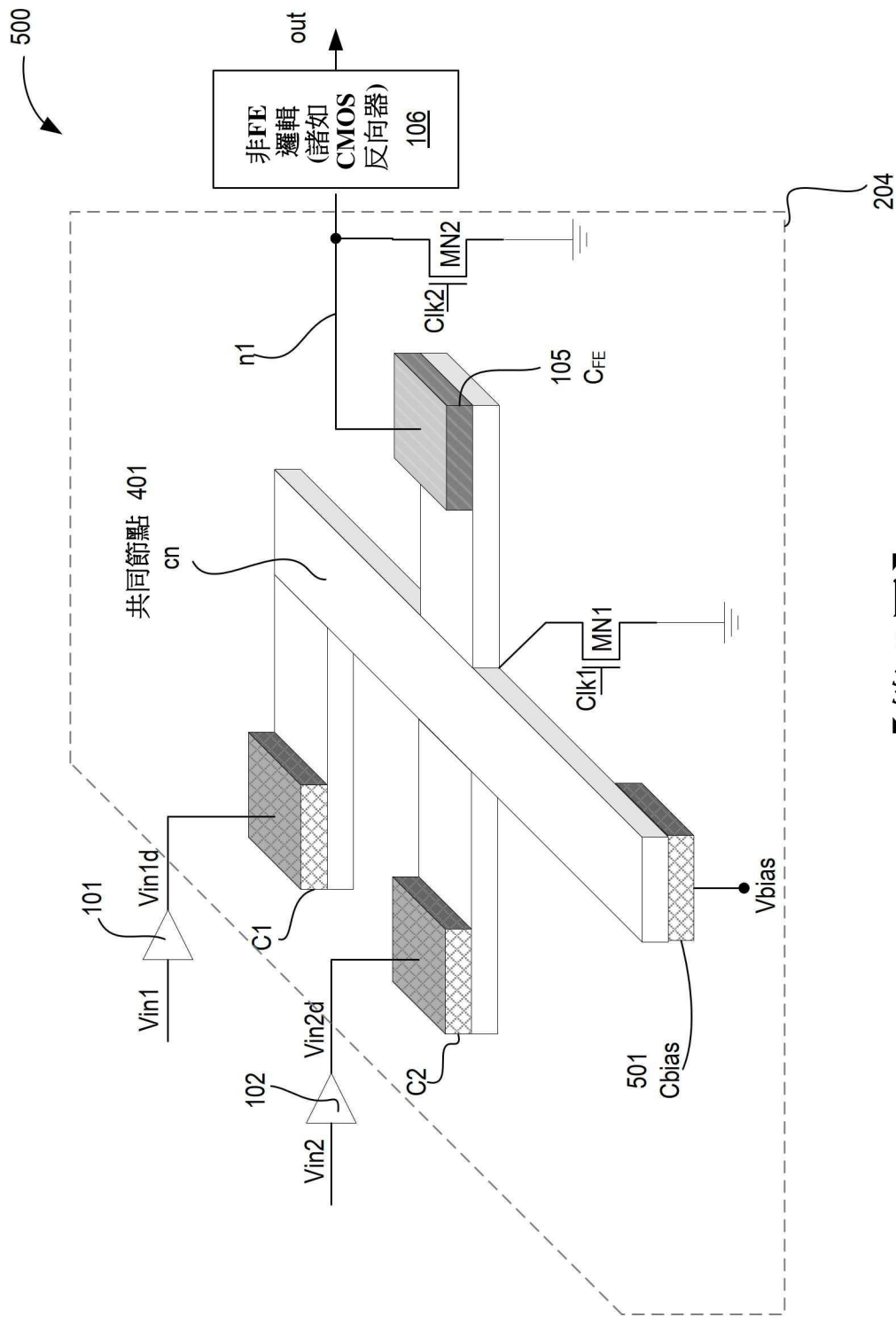
$V_{bias} = 2 \times V_c$



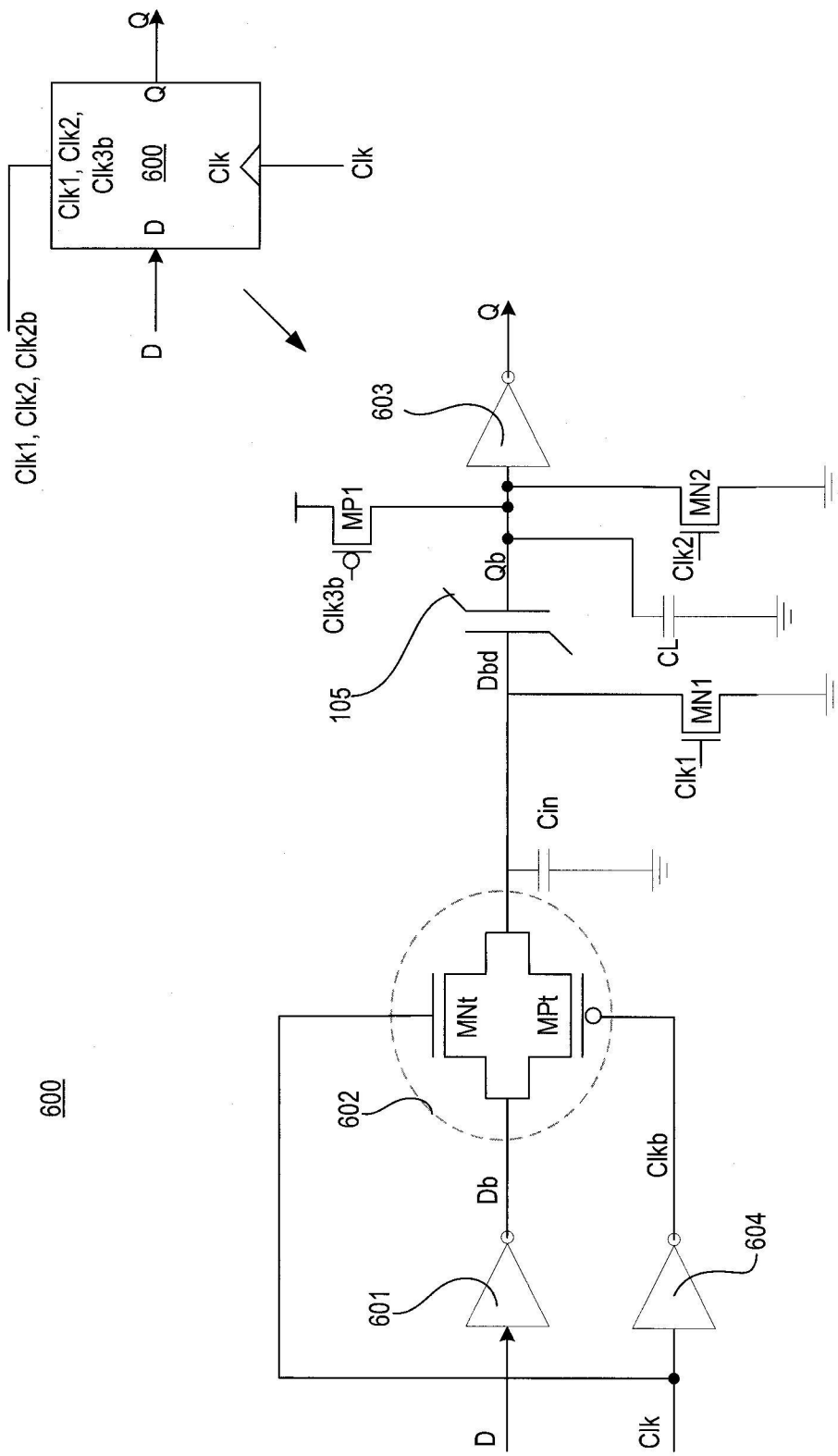
【第3D圖】



【第3E圖】



【第5圖】

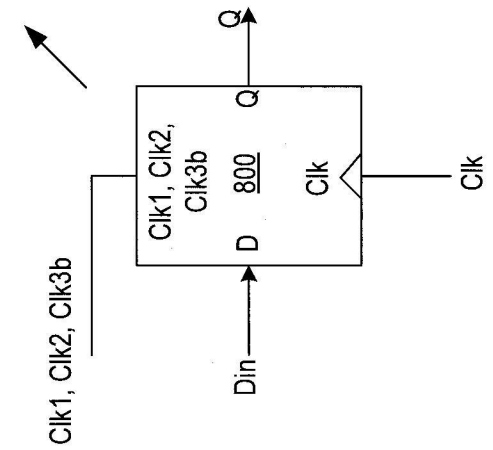
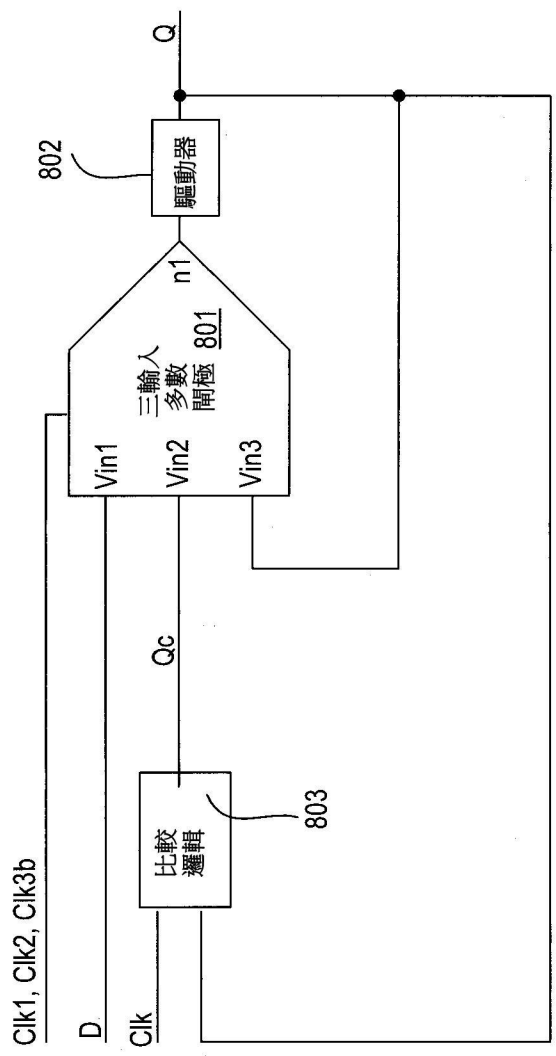


【第6圖】

700

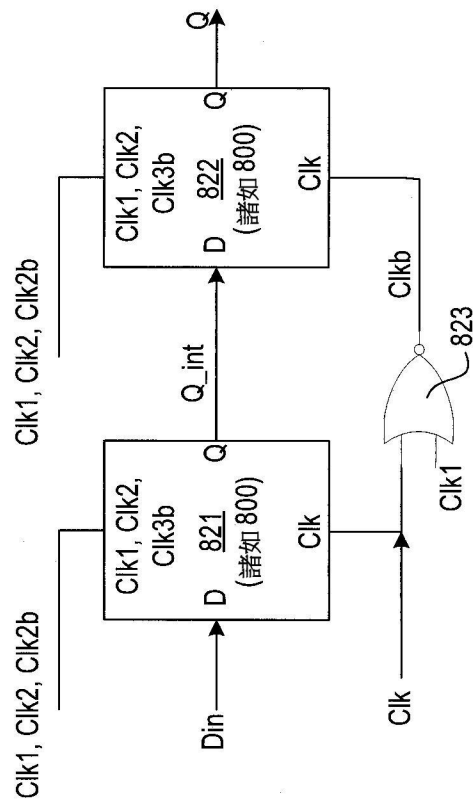
操作模式	CLK	D	Db	Dbd	Qb	Q
透過	1	Din	Din-inv	Din-inv	Din-inv	Din
儲存	0	Din	Din-inv	Qn-1-inv	Qn-1-inv	Qn-1
重置	1	1	0	0	0->1-0	1

【第7圖】

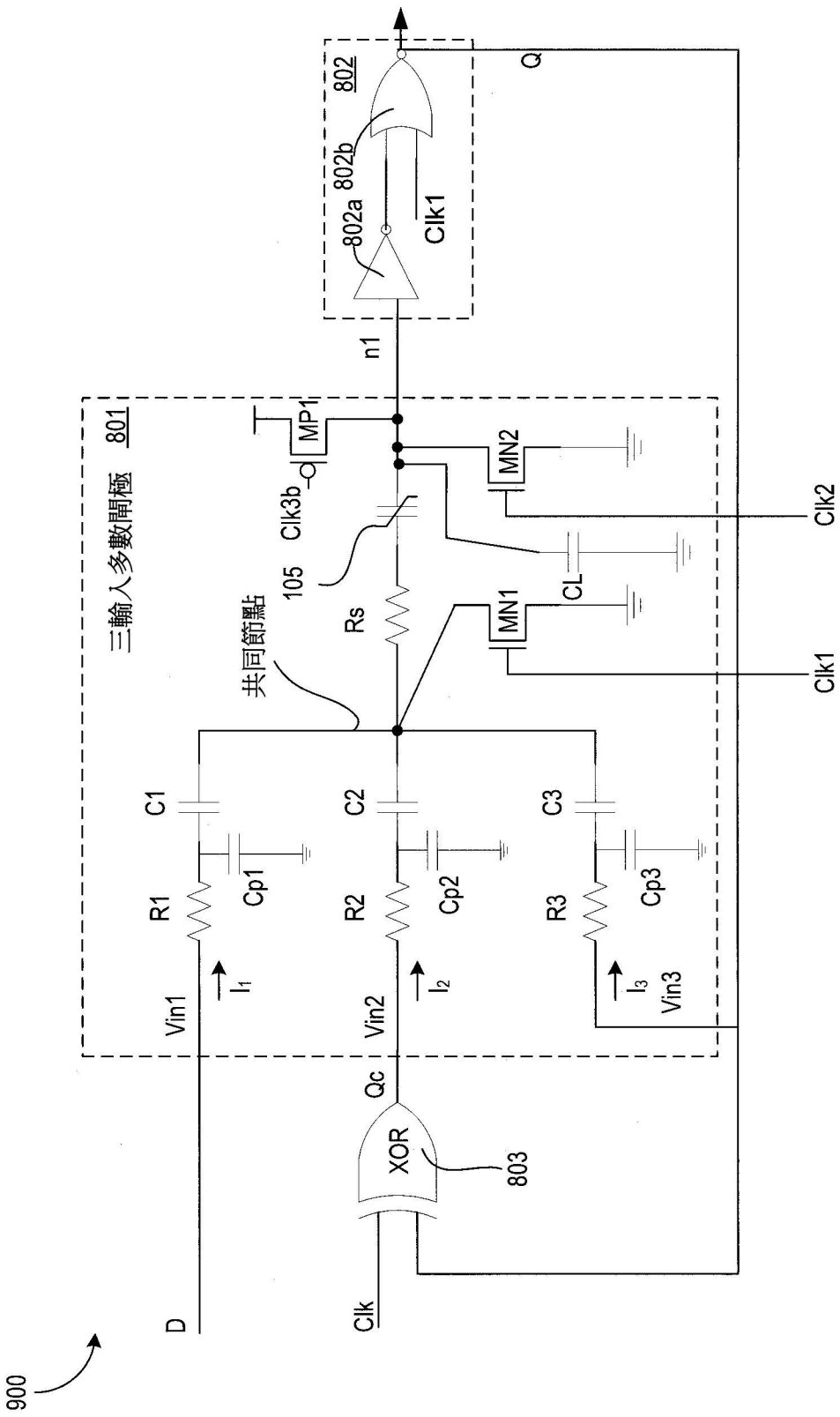


【第 8A 圖】

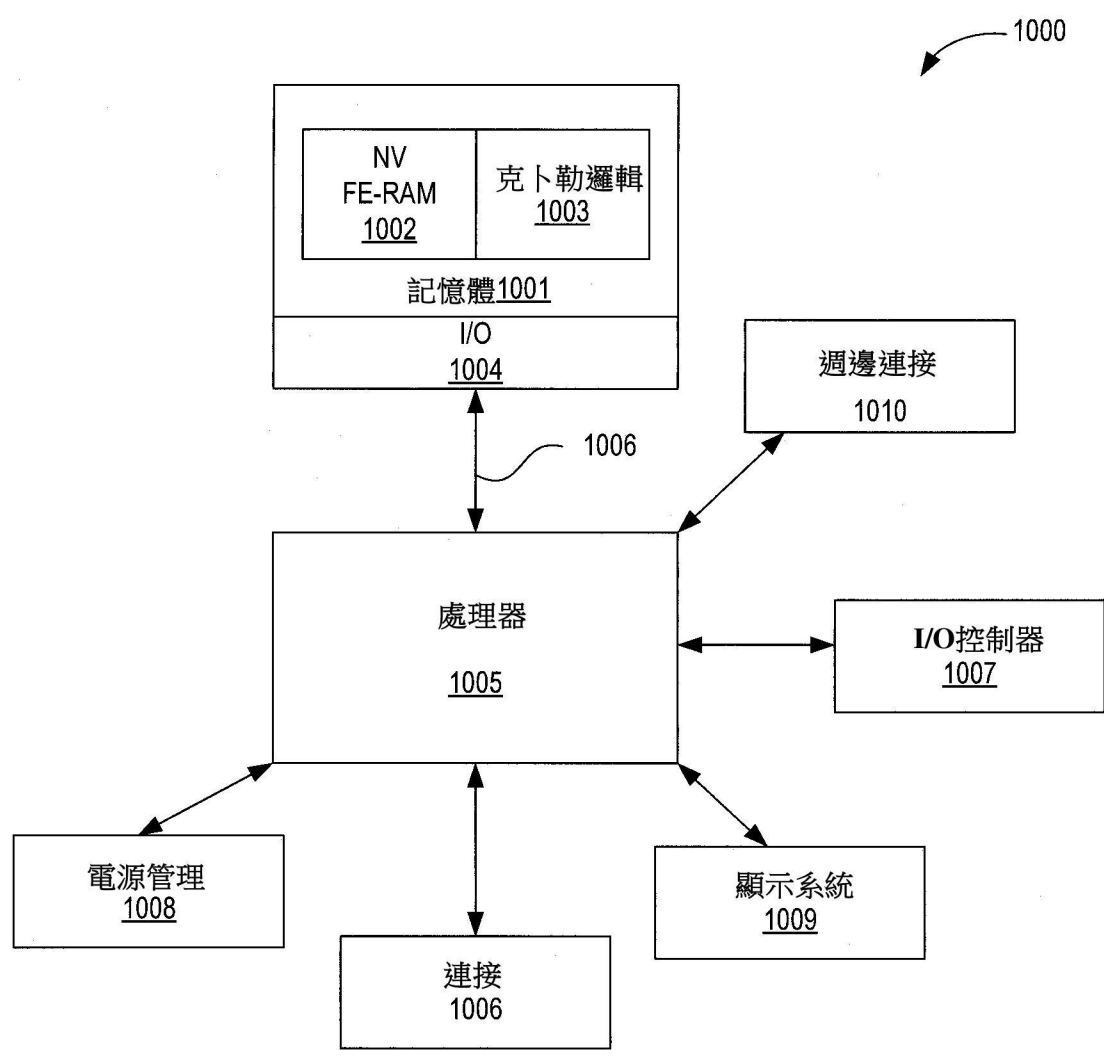
820



【第 8B 圖】



【第9圖】



【第 10 圖】