



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2010년09월03일
 (11) 등록번호 10-0979719
 (24) 등록일자 2010년08월27일

(51) Int. Cl.

H01L 21/302 (2006.01)

(21) 출원번호 10-2003-0049050
 (22) 출원일자 2003년07월18일
 심사청구일자 2008년07월16일
 (65) 공개번호 10-2005-0010159
 (43) 공개일자 2005년01월27일

(56) 선행기술조사문현

JP15124316 A*

KR1019990085675 A*

KR1020000048763 A*

KR1020020019056 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

매그나칩 반도체 유한회사

충북 청주시 흥덕구 향정동 1

(72) 발명자

김희진

충청북도 청주시 흥덕구 가경동 1514
 삼일원 앙아파트 103-1001

(74) 대리인

박장원

전체 청구항 수 : 총 3 항

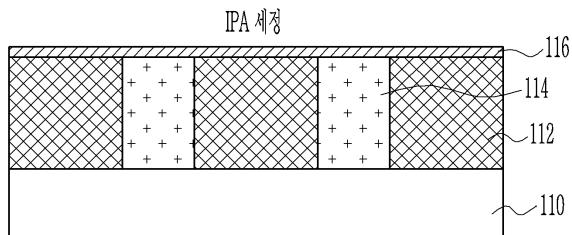
심사관 : 남인호

(54) 반도체 소자의 제조 방법

(57) 요 약

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 화학 기계적 연마 공정후 저유전율 유전체 물질막 상부 표면에 불순물이 발생하지 않는 세정공정을 실시할 수 있고, 저유전율의 유전체 물질막을 보호하기 위한 별도의 하드 마스크막 없이 금속 배선을 형성할 수 있으며, 저유전율의 유전체 물질막을 이용하여 금속배선을 형성함으로써 금속배선간의 커패시턴스 상승을 방지할 수 있는 반도체 소자의 제조 방법을 제공한다.

대 표 도 - 도2b



특허청구의 범위

청구항 1

트랜지스터나 커패시터와 같은 반도체 소자를 포함하는 여러 요소가 형성된 반도체 기판이 제공되는 단계;
 상기 반도체 기판상에 하이드로포빅한 유전체 물질막을 형성하는 단계;
 상기 하이드로포빅한 유전체 물질막을 포함하는 상기 기판 전면에 CO₂를 이용한 트리트먼트 공정을 실시하는 단계;
 상기 유전체 물질막을 패터닝 하여 금속배선용 트렌치를 형성하는 단계;
 상기 트렌치를 금속막으로 매립한 다음, 화학 기계적 연마공정을 실시하여 상기 유전체 물질막 상의 상기 금속막을 제거하는 단계;
 상기 하이드로포빅한 유전체 물질막과 금속막이 형성된 상기 기판 전면에 이소프로필 알코올(IPA)을 스프레이 타입으로 분사하여 제1 세정공정을 실시하는 단계;
 상기 기판 전면에 순수 용액(DI)을 이용하여 제2 세정공정을 실시하는 단계; 및
 상기 기판에 메가소닉(Megasonic)을 이용하여 제3 세정공정을 실시하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 트리트먼트 공정은 3 내지 10초 동안 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 하이드로포빅한 유전체 물질막은 2.5 내지 3.0의 저유전율과 하이드로포빅 성질을 갖는 막을 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0007] 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 반도체 소자의 금속배선 형성시 사용하는 물밀침성(Hydrophobic)한 유전체막의 세정 공정에 관한 것이다.

[0008] 차세대 고집적 반도체 소자에서의 금속 배선간의 RC 딜레이(RC Delay) 및 크로스stalk(Crosstalk)방지를 위해 초저유전율(Low-k)의 절연막을 적용한 구리배선 집적공정은 필수적이다. 이러한, 초저유전율의 절연막으로 하이드로포빅한 유전체물질을 사용할 경우 세정공정시 많은 문제점이 발생한다.

[0009] 도 1은 종래의 반도체 소자의 제조 공정시 발생하는 문제점을 설명하기 위한 단면도이다.

[0010] 도 1을 참조하면, 반도체 기판(10) 상에 하이드로포빅한 유전체 물질막(12)을 형성한 다음, 이를 패터닝 하여

금속배선용 트렌치(미도시)를 형성한다. 상기 트렌치를 금속막(14)으로 매립한 후, 화학 기계적 연마(Chemical Mechanical Polishing; CMP)를 이용한 평탄화 공정을 실시하여 하이드로포빅한 유전체 물질막(12) 상에 형성된 금속막(14)을 제거한다. 평탄화 공정 후, 표면 세정을 위해 세정공정을 실시한다.

[0011] 이때, 세정 공정 시 하이드로포빅한 유전체 물질막(12) 상에 워터 마크(Water Mark)가 남게 된다(도 1의 A 참조). 이러한 워터마크는 후속 공정 시 결함으로 작용하게 될 문제점이 있다. 워터마크로 인해 패턴의 불균일이 발생할 수 있고, 금속배선간의 연결시 큰 장해 요소로 발생하게 되며, 결국은 반도체 소자의 금속배선의 전기적 신뢰성을 떨어뜨리게 된다.

발명이 이루고자 하는 기술적 과제

[0012] 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 하이드로포빅한 유전체 물질막을 IPA(IsoPropyl Alcohol)를 이용한 세정공정을 통해 세정함으로써, 종래의 세정 시 발생하였던 워터마크를 제거할 수 있는 반도체 소자의 제조 방법을 제공한다.

발명의 구성 및 작용

[0013] 본 발명에 따른 반도체 소자의 제조 방법은, 트랜지스터나 커패시터와 같은 반도체 소자를 포함하는 여러 요소가 형성된 반도체 기판이 제공되는 단계, 상기 반도체 기판상에 하이드로포빅한 유전체 물질막을 형성하는 단계, 상기 하이드로포빅한 유전체 물질막을 포함하는 상기 기판 전면에 CO₂를 이용한 트리트먼트 공정을 실시하는 단계, 상기 유전체 물질막을 패터닝 하여 금속배선용 트렌치를 형성하는 단계, 상기 트렌치를 금속막으로 매립한 다음, 화학 기계적 연마공정을 실시하여 상기 유전체 물질막 상의 상기 금속막을 제거하는 단계, 상기 하이드로포빅한 유전체 물질막과 금속막이 형성된 상기 기판 전면에 이소프로필 알코올(IPA)을 스프레이 타입으로 분사하여 제1 세정공정을 실시하는 단계, 상기 기판 전면에 순수 용액(DI)을 이용하여 제2 세정공정을 실시하는 단계 및 상기 기판에 메가소닉(Megasonic)을 이용하여 제3 세정공정을 실시하는 단계를 포함한다.

상기 트리트먼트 공정은 3 내지 10초 동안 실시한다.

상기 하이드로포빅한 유전체 물질막은 2.5 내지 3.0의 저유전율과 하이드로포빅 성질을 갖는 막을 사용한다.

[0014] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

[0015] 상술한 하이드로포빅한 유전체 물질막을 세정할 경우 발생하는 문제점을 해결하기 위한 하이드로포빅한 유전체 물질막 상에 하드 마스크막을 형성할 수 있다. 예를 들어 반도체 기판상에 하이드로포빅한 유전체 물질막과 하드 마스크막을 순차적으로 형성한 다음 하드 마스크막과 유전체 물질막을 패터닝하여 금속배선용 트렌치를 형성한다. 트렌치를 금속막으로 매립한 다음, 화학 기계적 연마를 이용한 평탄화 공정을 실시하여 하드 마스크막 상의 금속막을 제거한다. 세정공정을 실시하여 하드 마스크막상에 잔류하는 금속막 및 화학 기계적 연마공정 시 발생하는 찌꺼기를 제거한다. 하드 마스크막으로 산화막을 사용한다. 상술한 바와 같이 하드 마스크막을 사용할 경우, 패터닝 공정 시 하드 마스크막과 유전체 물질막을 식각하여야 하여야 하고, 하드 마스크막으로 사용하는 산화막은 유전체 물질막보다 유전율이 높게됨으로 소정 높이 이상 형성하기 어려운 문제가 있다. 또한, 화학 기계적 연마시 과도한 연마로 인해 하드 마스크막 하부의 하이드로포빅한 유전체 물질막이 노출될 가능성이 있다. 따라서, 하드 마스크막을 사용하지 않고 하이드로포빅한 유전체 물질막 만을 이용하여 금속배선을 형성하는 것이 바람직하다.

[0016] 도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

[0017] 도 2a를 참조하면, 트랜지스터나 커패시터와 같은 반도체 소자(미도시)를 포함하는 여러 요소(접합부, 하부금속 배선)가 형성된 반도체 기판(110) 상에 하이드로포빅한 유전체 물질막(112)을 형성한다. 하이드로포빅한 유전체 물질막(112)을 패터닝 하여 금속배선용 트렌치(미도시)를 형성한다. 전체 구조상에 금속막(114)을 형성하여 상

기 트렌치를 매립한다. 화학 기계적 연마를 이용한 평탄화 공정을 실시하여 유전체 물질막(112) 상의 금속막(114)을 제거한다.

[0018] 하이드로포빅한 유전체 물질막(112)은 유전율이 2.5 내지 3.0인 저 유전율의 물질막을 사용하는 것이 바람직하다. 하이드로포빅한 유전체 물질막으로 SIOCH 계열의 유기 저유전율을 갖는 유전체(Organic Low-k Dielectric; Coral)를 지칭한다. 하이드로포빅한 유전체 물질막(112) 상에 감광막을 도포한 다음 마스크를 이용한 사진식각 공정을 실시하여 금속배선 트렌치용 감광막 패턴(미도시)을 형성한다. 상기 감광막 패턴을 식각마스크로 하는 식각공정을 실시하여 금속배선용 트렌치를 형성하는 것이 바람직하다. 상술한 감광막을 이용한 패터닝 공정시 하이드로포빅한 유전체 물질막(112)의 손상을 방지하기 위해 CO₂를 이용한 트리트먼트 공정을 수조(3 내지 10초)동안 실시할 수도 있다.

[0019] 금속막(114) 형성전에 전체 구조상에 금속 배리어막(미도시)을 형성할 수도 있다. 상기 금속 배리어막은, 금속막(114)을 구리로 이용할 경우, 구리막 내의 구리원자가 저유전율의 하이드로포빅한 유전체 물질막(112)내로 침투하는 형상을 방지하는 역할을 한다.

[0020] 본 실시예에서의 금속막(114)은 전체 구조상에 시드막(미도시)을 증착한 다음 금속 도금법을 이용하여 형성하는 것이 바람직하다. 금속 배리어막이 형성된 전체 구조상에 구리 시드막을 증착한 다음, 전기 도금법을 이용하여 구리막을 형성하는 것이 효과적이다. 구리막을 형성한 다음 소정의 열공정을 실시한 다음, 화학 기계적 연마를 이용한 평탄화 공정을 실시하여 하이드로포빅한 유전체 물질막(112) 상부에 형성된 금속막(114)을 제거하는 것이 바람직하다.

[0021] 도 2b를 참조하면, IPA(IsoPropyl Alcohol; 116)를 이용하여 반도체 기판을 제 1 세정한다. 즉, 평탄화된 웨이퍼 표면에 IPA(116)를 분사하여 하이드로포빅한 유전체 물질막(112) 표면을 제 1 세정한다. IPA(116)를 분사하여 화학 기계적 연마 공정시 발생한 미립자(Particle)를 제거한다. IPA(116)를 스프레이타입으로 웨이퍼 전면을 적시도록 하는 것이 바람직하다. 이때, IPA는 액체 상태 또는 흡(증가)상태를 유지할 수도 있다.

[0022] 도 2c를 참조하면, IPA(116)가 분사된 반도체 기판(110)을 DI 위터가 포함된 일반적인 세정액(118)을 이용하여 제 2 세정을 실시한다. 메가소닉(Megasonic)을 이용하여 기계적 미립자를 제거한다. 제 2 세정을 실시하여 IPA(116)와 함께 화학 기계적 연마 공정시 발생한 미립자를 제거하는 것이 바람직하다. 세정액(118)으로, DI 위터가 포함된 저유전율의 물질막을 세정하는 용액을 사용하는 것이 바람직하다. 이로써, DI 위터와 하이드로포빅한 유전체 물질막과의 접촉이 극히 제한되어 종래에 발생하였던 워터마크가 발생하지 않게 된다.

[0023] 본 발명은 이에 한정되지 않고, 다양한 형태의 저유전율의 유전체 물질막을 이용한 금속배선에 적용될 수 있다. 즉, 하이드로포빅한 유전체 물질막을 이용하여 듀얼 다마신 패턴의 금속배선 형성시에도 화학 기계적 연마 공정 후, 금속배선 및 하이드로포빅한 유전체 물질막 상부 표면 세정시에도 적용할 수 있다.

발명의 효과

[0024] 상술한 바와 같이, 본 발명은 화학 기계적 연마 공정후 저유전율 유전체 물질막 상부 표면에 불순물이 발생하지 않는 세정공정을 실시할 수 있다.

[0025] 또한, 저유전율의 유전체 물질막을 보호하기 위한 별도의 하드마스크막 없이 금속 배선을 형성할 수 있다.

[0026] 또한, 저유전율의 유전체 물질막을 이용하여 금속배선을 형성함으로써 금속배선간의 커패시턴스 상승을 방지할 수 있다.

도면의 간단한 설명

[0001] 도 1은 종래의 반도체 소자의 제조 공정시 발생하는 문제점을 설명하기 위한 단면도이다.

[0002] 도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

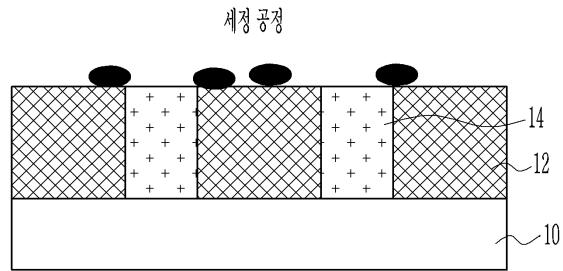
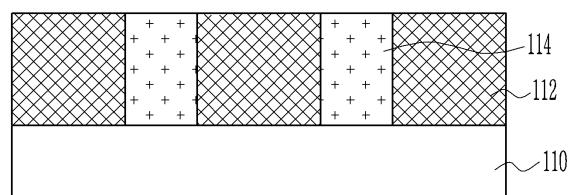
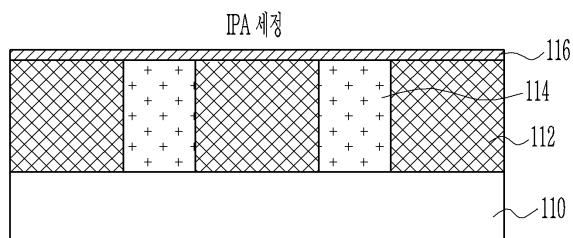
[0003] <도면의 주요 부분에 대한 부호의 설명>

[0004] 10, 110 : 반도체 기판 12, 112 : 유전체 물질막

[0005] 14, 114 : 금속막

116 : IPA

[0006] 118 : 세정액

도면**도면1****도면2a****도면2b****도면2c**