

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4273098号
(P4273098)

(45) 発行日 平成21年6月3日 (2009.6.3)

(24) 登録日 平成21年3月6日 (2009.3.6)

(51) Int.Cl.	F I
H O 5 K 3/46 (2006.01)	H O 5 K 3/46 Q
H O 5 K 1/02 (2006.01)	H O 5 K 3/46 N
	H O 5 K 3/46 Z
	H O 5 K 1/02 P

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2005-209882 (P2005-209882)	(73) 特許権者	000001007
(22) 出願日	平成17年7月20日 (2005.7.20)		キヤノン株式会社
(65) 公開番号	特開2006-196859 (P2006-196859A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成18年7月27日 (2006.7.27)	(74) 代理人	100090538
審査請求日	平成18年7月27日 (2006.7.27)		弁理士 西山 恵三
(31) 優先権主張番号	特願2004-259981 (P2004-259981)	(74) 代理人	100096965
(32) 優先日	平成16年9月7日 (2004.9.7)		弁理士 内尾 裕一
(33) 優先権主張国	日本国 (JP)	(72) 発明者	林 靖二
(31) 優先権主張番号	特願2004-364786 (P2004-364786)		東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(32) 優先日	平成16年12月16日 (2004.12.16)	(72) 発明者	稲川 秀穂
(33) 優先権主張国	日本国 (JP)		東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	黒石 孝志
			最終頁に続く

(54) 【発明の名称】 多層プリント回路板

(57) 【特許請求の範囲】

【請求項 1】

半導体集積回路が実装された第1の表層と、バイパスコンデンサが実装された前記第1の表層と反対面の第2の表層と、第1、第2の表層の内部に基幹電源配線層と基幹グラウンド層とを有する多層プリント回路板において、

前記第1の表層から第2の表層を貫き、前記基幹電源配線層とは電氣的に接続されない第1の電源ビアと、前記第1の表層に配置され前記半導体集積回路の電源端子と前記第1の電源ビアを接続する第1の導体パターンと、前記第2の表層から第1の表層を貫き、前記基幹電源配線層と電氣的に接続される第2の電源ビアと、前記第2の表層に配置され、前記第1の電源ビアと前記第2の電源ビアとを接続する第2の導体パターンと、前記第2の表層から第1の表層を貫き、前記グラウンド層と電氣的に接続されるグラウンドビアとを具備し、前記第2の導体パターンと、グラウンドビアとが前記バイパスコンデンサの一方の端子と接続されており、前記第2の電源ビアは、前記第1の電源ビアと前記グラウンドビアを結んだ線分の垂直二等分線よりもグラウンドビア側に位置し、かつグラウンドビアを中心として、ビアの長さをL、eを自然対数の底とした場合に、 $D = 2L / e$ で表わされる半径Dの円の内部に位置することを特徴とする多層プリント回路板。

【請求項 2】

前記第2の電源ビアが、前記第1の電源ビアと前記グラウンドビアを結ぶ直線上に位置することを特徴とする請求項1に記載のプリント回路板。

【請求項 3】

前記第 2 の導体パターンは、前記バイパスコンデンサと前記第 2 の電源ヴィアとの間の部分にミアンダ形状部分を有することを特徴とする請求項 1 に記載の多層プリント回路板。

【請求項 4】

前記第 1 の電源ヴィアの内径が、前記第 2 の電源ヴィアの内径よりも大きいことを特徴とする請求項 1 に記載のプリント配線基板。

【請求項 5】

前記第 1 の電源ヴィアの数、前記第 2 の電源ヴィアの数よりも多いことを特徴とする請求項 1 に記載のプリント配線基板。

【請求項 6】

前記第 2 の電源ヴィアの長さが、前記第 1 の電源ヴィアの長さよりも長いことを特徴とする請求項 1 に記載のプリント配線基板。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体集積回路（IC / LSI）およびバイパスコンデンサを実装したプリント回路板に関するものである。

【背景技術】**【0002】**

近年、電子機器の高機能化への要求はとどまることがなく、それに伴いプリント配線板に実装された ASIC をはじめとする半導体集積回路（IC / LSI）の高集積化、高速化が進んでいる。

【0003】

しかしながら、一方で、これらの半導体集積回路の高集積化、高速化は、電源及びグラウンド電圧の変動や放射ノイズを引き起こし、他の電子機器に影響を及ぼしたり、自回路の誤動作を引き起こすといった、大きな問題をひきおこしている。すなわち半導体集積回路の高集積化により半導体集積回路が大電流を必要とするようになり、プリント配線板の電源パターンのわずかなインダクタンスが、大きな電源電位変動が発生する要因となっている。また、半導体集積回路の電源及びグラウンド電圧の変動や、その変動がプリント配線板上で変換されて発生するコモンモードの電位変動が、放射ノイズの要因となっている。

【0004】

このような問題を解決する有効な手段として、バイパスコンデンサを IC 近傍に配置する対策が従来からとられている。バイパスコンデンサは、IC 近傍から IC に電荷を供給する仮想的な電源として作用するコンデンサである。

【0005】

特開平 9 - 139573 号公報（特許文献 1）では、バイパスコンデンサを半導体集積回路の電源端子にできるだけ近い位置に付加することが示されている。また基幹電源配線と半導体集積回路の間に、インダクタンスを付加することで放射ノイズを抑制することも示されている。

【0006】

また近年、BGA（Ball Grid Array）や QFP（Quad Flat Package）などのように、数百ピン規模の多ピン構造の半導体パッケージが用いられるようになってきている。このような半導体パッケージの近傍の領域は、信号線の引き出しに大部分が占有され、特許文献 1 のような電源配線パターンを実施することが困難となっている。そのため、図 9 に示すように、多層のプリント配線板を使用し、電源配線はヴィア（スルーホール）を介して裏面に引き出し、プリント配線板の裏面にバイパスコンデンサを実装している。

【0007】

10

20

30

40

50

図9において、101はノイズ発生源であるところのIC、102はIC101に電源を供給する電源端子、103はIC101に基準電位を与えるグラウンド端子、104はIC101の任意の機能を有する入出力端子である。105はIC101が実装されるプリント配線板の表層導体、106は表層導体に設けられた電源配線、107はプリント配線板の内層グラウンド導体である。108はIC101が実装されたプリント配線板の電源供給システムを構成する内層基幹電源プレーン、109はIC101が実装される表層導体105とは反対面の表層導体である。110はIC101が実装された表層導体105から表層導体109に引きだし、かつ内層基幹電源プレーン108と接続をとる電源ヴィア(スルーホール)、111は電源ヴィア110によって表層導体109に引き出された電源配線である。112は表層導体109に実装されたバイパスコンデンサ、113はバイパスコンデンサ112を通った電流がグラウンド端子103に戻るための最短経路を構成するグラウンドヴィアである。尚、本来バイパスコンデンサ112は表層導体109の裏面に配置されているのであるが、図9においては、説明を容易にするため表層導体109の表面に配置した図としている。

【特許文献1】特開平9-139573号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

理想的なバイパスコンデンサは、周波数の増加に対して、インピーダンスは減少する特性を示す。しかしながら、実際のコンデンサでは、寄生インダクタンスや寄生抵抗が発生するために、図10に示すように等価回路がLCRの直列回路で示されるインピーダンス特性を持っている。セラミックチップコンデンサの寄生インダクタンスはおおよそ、0.5~1.5nH程度であり、通常良く用いられる0.1μFのバイパスコンデンサの共振周波数は、十数MHzになる。

【0009】

従って近年のIC動作クロック周波数や、放射ノイズで問題とする周波数領域(30MHz~)では、バイパスコンデンサは、誘導性の低インピーダンス素子とみなすことができる。つまり対象とする周波数帯におけるインピーダンスの値は、インダクタンスの値で決まる。また、実際には、バイパスコンデンサによるノイズ低減効果は、ICの電源端子からバイパスコンデンサまでの配線のインダクタンスを含めたインピーダンス特性で決ま

【0010】

しかしながら、図9に示した構成において、IC101の動作によって発生したノイズ電流は、電源端子102から、電源配線106を経由して、電源ヴィア110へ流れる。そして電源ヴィア110と内層基幹電源プレーン108との交点において、ノイズ電流は、内層基幹電源プレーン側とバイパスコンデンサ側のインピーダンスの比に応じて分かれる。

【0011】

この形態では、バイパスコンデンサ112とIC101の間には、電源配線111、電源ヴィア110およびバイパスコンデンサの寄生インダクタンス(ESL)が設けられている。そのため、バイパスコンデンサ112とIC101との間のインピーダンスは、内層基幹電源プレーン108とIC101との間のインピーダンスよりも高くなり、アンテナとなりやすい内層基幹電源プレーン108に電流が流れてしまう。従ってバイパスコンデンサ112による、放射ノイズの抑制効果を十分に発揮しているとは言えない。

【0012】

そこで本発明の目的は、半導体集積回路の電源配線をヴィアで半導体集積回路実装面の裏に引き出した後、バイパスコンデンサを実装する形態において、効果的なバイパスコンデンサによる放射ノイズの抑制を、簡易な構成で実現できるようにすることである。

【課題を解決するための手段】

【0015】

前記課題を解決するために本発明は、半導体集積回路が実装された第1の表層と、バイパスコンデンサが実装された前記第1の表層と反対面の第2の表層と、第1、第2の表層の内部に基幹電源配線層と基幹グラウンド層とを有する多層プリント回路板において、

前記第1の表層から第2の表層を貫き、前記基幹電源配線層とは電氣的に接続されない第1の電源ビアと、前記第1の表層に配置され前記半導体集積回路の電源端子と前記第1の電源ビアを接続する第1の導体パターンと、前記第2の表層から第1の表層を貫き、前記基幹電源配線層と電氣的に接続される第2の電源ビアと、前記第2の表層に配置され、前記第1の電源ビアと前記第2の電源ビアとを接続する第2の導体パターンと、前記第2の表層から第1の表層を貫き、前記グラウンド層と電氣的に接続されるグラウンドビアとを具備し、前記第2の導体パターンと、グラウンドビアとが前記バイパスコンデンサの一方の端子と接続されており、前記第2の電源ビアは、前記第1の電源ビアと前記グラウンドビアを結んだ線分の垂直二等分線よりもグラウンドビア側に位置し、かつグラウンドビアを中心として、ビアの長さを L 、 e を自然対数の底とした場合に、 $D = 2L / e$ で表わされる半径 D の円の内部に位置する多層プリント回路板を提供している。

10

【発明の効果】

【0017】

本発明によれば、内層基幹電源配線と半導体集積回路の電源端子との間のインピーダンスを、バイパスコンデンサと半導体集積回路の電源端子との間のインピーダンスよりも高くしている。すなわち、内層基幹電源配線と半導体集積回路の電源端子との間のインピーダンスは、バイパスコンデンサと半導体集積回路の電源端子との間のインピーダンスよりも高くなり、バイパスコンデンサに流れる電流が増え、放射ノイズが抑制される。すなわちバイパスコンデンサをより効果的に使用することができる。

20

【0018】

このような電源実装パターンをプリント配線板に搭載することにより、製品開発において、放射ノイズ、機器誤動作による試作の繰り返しの抑制によるコスト削減、また他の放射ノイズ対策部品削減によるコスト削減を達成することができる。

【発明を実施するための最良の形態】

【0019】

ICの電源端子からバイパスコンデンサまでのインピーダンス特性は、バイパスコンデンサの寄生インダクタンス(ESL : Equivalent Series Inductance (L))と、ICの電源端子からバイパスコンデンサまでの配線のインダクタンスにより決定される。そのうちバイパスコンデンサの寄生インダクタンス(ESL)は、バイパスコンデンサとして用いるセラミックチップコンデンサのサイズ等の物理形状で決まるものである。しかしながら、ビアや配線部分のインダクタンスの値を調整させることにより、放射ノイズを抑制することは可能である。

30

【0020】

バイパスコンデンサをより効果的に使用するためには、内層基幹電源配線と半導体集積回路の電源端子との間のインピーダンスを、バイパスコンデンサと半導体集積回路の電源端子との間のインピーダンスよりも高くすれば良い。すなわち半導体集積回路で発生した高周波電流は、バイパスコンデンサと内層基幹電源配線との分岐点において、バイパスコンデンサのインピーダンスと内層基幹電源配線のインピーダンスの比に応じて分配される。そのため、バイパスコンデンサと基幹電源との分岐点と基幹電源との間にインダクタンスを付加することにより、内層基幹電源配線と半導体集積回路の電源端子との間のインピーダンスは高くなる。この時負荷するインダクタンスの値を、バイパスコンデンサの寄生インダクタンスよりも大きくすることにより、内層基幹電源配線と半導体集積回路の電源端子との間のインピーダンスは、バイパスコンデンサと半導体集積回路の電源端子との間のインピーダンスよりも高くなり、バイパスコンデンサに流れる高周波電流の割合を増加させることができる。

40

【0021】

50

本発明の実施形態は、第 1 に I C / L S I の電源端子が実装されたランドから裏面に引き出すための、第 1 の電源ビア（スルーホール）までの電源配線をできるだけ短くするものである。第 2 に第 1 の電源ビアと裏面に実装されたバイパスコンデンサ間の電源配線ができるだけ短くするものである。第 3 にバイパスコンデンサによってグラウンドに流れた電流が、半導体集積回路のグラウンド端子に到達するための経路が、最短になる位置にグラウンドビアを配置するものである。第 4 に裏面の電源配線のバイパスコンデンサを通る経路を経過した後の内層基幹電源配線に接続する第 2 の電源ビアが第 1 の電源ビア、グラウンドビア、第 2 の電源ビアの順に概略直線状に配置するものである。第 5 に、第 2 の電源ビアがグラウンドビアにできるだけ近い位置に配置するものである。

10

【 0 0 2 2 】

すなわち、本発明の実施形態では、まず第 1 に I C / L S I の電源端子につながる表面の電源導体から裏面に引き出す第 1 の電源ビアは、プリント配線板の内層を通る基幹電源導体と接続を取らずに裏面に実装されるバイパスコンデンサと接続されている。さらにバイパスコンデンサを経過した後、再び第 2 の電源ビアによって内層を通る基幹電源配線と接続を取っている。

【 0 0 2 3 】

また、本発明の実施形態では、上記の第 1 の電源ビアの近傍に G N D（グラウンド）ビアを配置し、ビア長さを L としたとき、グラウンドビアを中心に半径が $2L/e$ （ e ：自然対数の底）の円の内側かつ、第 1 の電源ビアとグラウンドビアを結んだ線分の垂直二等分線で分割したグラウンドビア側の領域に第 2 の電源ビアを配置している。

20

【 0 0 2 4 】

以下に、本発明の各実施形態について具体的に説明する。

【 0 0 2 5 】

（第 1 の実施形態）

図 1 は、本発明の第 1 の実施形態のプリント回路板を示す模式図である。

【 0 0 2 6 】

図 1 において、201 はノイズ発生源であるところの I C、202 は I C 201 に電源を供給する電源端子、203 は I C 201 に基準電位を与えるグラウンド端子、204 は I C 201 の任意の機能を有する入出力端子である。205 は I C 201 が実装されるプリント配線板の表層導体、206 は表層導体に設けられた電源配線である。207 は I C 201 が実装されたプリント配線板の電源供給システムを構成し、表層導体 205 の直下に位置する内層基幹電源プレーン、208 はプリント配線板の内層 G N D 導体である。209 は I C 201 が実装される表層導体 205 とは反対面の表層導体である。210 は I C 201 が実装された表層導体 205 から表層導体 209 に引き出す第 1 の電源ビアである。211 は第 1 の電源ビア 210 によって表層導体 209 に引き出された電源配線である。212 は表層導体 209 に実装されたバイパスコンデンサである。213 はバイパスコンデンサ 212 を通った電流がグラウンド端子 203 に戻るための最短経路を構成するグラウンドビアであり、214 はバイパスコンデンサ 212 への分岐経路を経由した後の電源配線 211 と内層基幹電源プレーンとの接続をとる第 2 の電源ビアである。尚本来バイパスコンデンサ 212 は表層導体 209 の裏面に配置されているのであるが、図 1 においては、説明を容易にするため表層導体 209 の表面に配置した図としている。

30

40

【 0 0 2 7 】

また図 2 は、図 1 に示すプリント回路板の等価回路図である。図 2 において、301 は図 1 の I C 201、電源端子 202、グラウンド端子 203 を内包した I C モデルである。302 は図 1 の電源配線 206 に相当する伝送線路である。303 は図 1 の第 1 の電源ビア 210 に相当するインダクタンス、304 は図 1 のバイパスコンデンサ 212 に相当するコンデンサである。305 は図 1 のバイパスコンデンサ 212 との分岐点以降の電源配線 211 と、第 2 の電源ビア 214 の表層導体 209 から内層電源プレーン 207

50

への接続を取るまでの部分のインダクタンスである。306は図1の内層基幹電源プレーンを示す伝送線路、307はIC201に電圧を供給するための直流電圧源を示す。308はバイパスコンデンサ212の内部の寄生インダクタンス(E_{SL}:Equivalent Series Inductance(L))である。

【0028】

上記構成において、IC201を動作させることにより、電源端子202からは、高周波のノイズが発生する。この高周波ノイズは電源配線206を通り、第1の電源ビア210を経由して表層209に引き出される。このとき第1の電源ビア210は内層電源プレーン207に設けられた穴を貫通するので、第1の電源ビア210と内層基幹電源プレーン207との接続はない。また、第1の電源ビア210を経由して表層209に引き出され電源配線211は、第2の電源ビア214を経由して内層基幹電源プレーン207に繋がっている。この経路からIC201へのDC的な電源供給を行っている。また電源配線211には、バイパスコンデンサ212の電源側の端子が接続されている。バイパスコンデンサ212のグラウンド側の端子は、グラウンドビア213を介してIC201のグラウンド端子203及び基幹グラウンドプレーン206に繋がっている。

【0029】

ノイズ電流は、電源配線211のバイパスコンデンサ212と基幹電源プレーン207への分岐点からみたバイパスコンデンサ側のインピーダンスと、内層基幹電源プレーン207側のインピーダンスの比に応じて分かれる。この場合、バイパスコンデンサ212側のインピーダンスは、寄生インダクタンス308のみである。従って、グラウンドビア213や電源配線211からなる基幹電源プレーン207側のインピーダンスの方が、寄生インダクタンス308のインピーダンスよりも高い値を示すように構成されている。そのためノイズ電流はバイパスコンデンサ212側の経路を取り、第1の電源ビア210の近傍に配置されたグラウンドビア214を通してIC201のグラウンド端子203に戻る。従って、第1の電源ビア210には表層導体205から表層導体209に向かって電流が流れるのに対し、グラウンドビア213には逆向きの表層導体209から表層導体205に向かって電流が流れる。また、構造的に第2の電源ビア214には、グラウンドビア213と同様に表層導体209から表層導体205の方向に電流が流れている。

【0030】

また、このグラウンドビア213と第2の電源ビア214の、互いに同じ方向に電流が流れる2つのビアを近接させることで、相互インダクタンスが働き、実効的な第2の電源ビア214のインダクタンスを増加させることができる。これは図2のインダクタンス305が増加したことにより、寄生インダクタンス308とのインピーダンスの差をより大きくすることができる。従って伝送線路306への電流の伝播を抑制するものである。これによって、基幹電源プレーン207に流れるノイズ電流を低減でき、放射ノイズを低減することができる。

【0031】

すなわち上記構成では、第1の電源ビアと第2の電源ビアはプリント配線板の鉛直方向に関してそれぞれ逆向きに電流が流れるが、グラウンドビアには第1の電源ビアを通った電流が、バイパスコンデンサを介してグラウンドに流れ込んだ電流のリターン経路として作用するために、第1の電源ビアとは反対方向の電流が励起される。そのため、第2の電源ビアとは同じ方向の電流が流れることになり、グラウンドビアとの相互インダクタンスによる実効的なインダクタンスの上昇を可能としている。

【0032】

この時、グラウンドビアと第2の電源ビアの間隔と2導体間に働く相互インダクタンスは以下の近似式(1)

$$M = 2L(1n(2L/d) - 1) \times 10^{-7} \dots (1)$$

によって示される(M:相互インダクタンス、L:ビア長さ、d:ビア間隔)。この式(1)より相互インダクタンスが作用する領域を近似的に相互インダクタンスMが正の

値を取る領域とみなすと、 $\ln(2L/d)$ が 1 以上という条件が得られる。このことから、相互インダクタンスが作用する領域はビア間隔 d が $2L/e$ 以内という条件が限定される（ただし e は自然対数の底）。

【0033】

上記構成では、第 1 の電源ビアとグラウンドビアの間には互いに逆向きの電流が流れるが、互いに逆向きの電流が流れる導体間に働く相互インダクタンスの効果によって第 1 の電源ビアの実効的なインダクタンスが低下する。半導体集積回路の電源端子からバイパスコンデンサまでのインダクタンスつまりインピーダンスが低減させることで、バイパスコンデンサによる電源電位安定、放射ノイズ低減効果を増加させる。ここで平行 2 導体間に働く相互インダクタンスは近似的に上記の式（1）で示されるため、相互インダクタンスが作用するビア間隔は、式（1）が正の値を取る領域とし、 $2L/e$ 以内（ただし e は自然対数の底）とビア間隔が限定されるものである。

10

【0034】

2 つの導体に働く相互インダクタンスは、式（1）で近似的に示されるように、グラウンドビア 214 と第 2 の電源ビア 213 の距離が近いほど大きく、可能な限り近接させることが望ましいことがわかる。また、逆に相互インダクタンスが働く限界のビア間距離は、相互インダクタンスを示す式（1）において相互インダクタンス M が正を取る領域とすれば、この条件より $2L/e$ 以内（ただし e は自然対数の底）とビア間隔が限定される。

【0035】

20

図 3 は図 1 に示される第 1 の電源ビア、第 2 の電源ビア、グラウンドビアの位置関係を説明するプリント配線板の平面図である。図 3 において、210 は第 1 の電源ビア、213 は第 2 の電源ビア、214 はグラウンドビアである。504 は第 1 の電源ビア 210 とグラウンドビア 214 を結ぶ線分の垂直 2 等分線、505 グラウンドビア 214 を中心に半径 $2L/e$ （ L はビア長さ、 e は自然対数の底）の円、506 は第 2 の電源ビア 213 が配置される領域をそれぞれ示す。

【0036】

図 1 においてグラウンドビア 213 と第 2 の電源ビア 214 の間に相互インダクタンスが働く間隔は、ビア長さを L とすれば $2L/e$ 以内であれば良い。その領域をプロットすると図 3 に示す円 505 以内の領域で示している。また、第 2 の電源ビア 214 が第 1 の電源ビア 210 との相互インダクタンスの影響を受けないためには、少なくとも第 2 の電源ビア 214 が、第 1 の電源ビア 210 よりもグラウンドビア 214 に近接させなければならない。つまり図 3 における垂直 2 等分線 504 よりもグラウンドビア 214 側に位置することが必要である。上記の二つの条件をプリント配線板上にプロットすると図 4 の領域 506 に示すものになる。

30

【0037】

図 4 は、ビア長さ L が、1.0 mm の時、1.6 mm の時、3.0 mm の時における、グラウンドビアと第 2 の電源ビアの間隔と 2 導体間に働く実効インダクタンスを示したグラフである。ビア長さ L が、1.0 mm の時の $2L/e$ の値は 0.735、ビア長さ L が、1.6 mm の時の $2L/e$ の値は 1.177、ビア長さ L が、3.0 mm の時の $2L/e$ の値は 2.207 である。図 4 からわかるように、第 1 の電源ビアとグラウンドビアの間隔が、ビア長さを L としたとき、 $2L/e$ 以内とすることにより、有効な効果を得ることができる。

40

【0038】

すなわち第 2 の電源ビアとグラウンドビアを $2L/e$ 以内に近接させ、かつ互いに逆向きの電流が流れる第 1 の電源ビアとは距離を保っている。これにより、第 1 の電源ビアとの間の相互インダクタンスによる実効的なインダクタンスの低減を避けつつ、グラウンドビアとの相互インダクタンスによる実効的なインダクタンスの上昇を可能とし、放射ノイズを低減させるように作用する。

【0039】

50

尚、第2の電源ビアに流れる電流は、バイパスコンデンサを経過した分だけ、第1の電源ビアを流れる電流に比べて小さい。グラウンドビアを流れる電流の向きは、第2の電源ビアをグラウンドビアに近接させたところで、実質的には第1の電源ビアの影響が大きく、グラウンドビアと第2の電源ビアに流れる電流の向きが逆向きになることは実際にはない。

【0040】

また、図1に示すように、第1の電源ビア210、グラウンドビア214、第2の電源ビア213の順番で略直線上に配置すれば、同じ実装配線領域内で第2の電源ビア213が受ける第1の電源ビア210からの影響を最小にできる。また実装領域を小さくすることもできる。

10

【0041】

また、本実施形態に示すように、内層基幹電源プレーン207を表層導体205の直下の内層に取ることで、表層導体209から内層基幹電源プレーン207に電源を引き出す第2の電源ビア213が長くなる。そのため、図2におけるインダクタンス305を大きくすることができ、放射ノイズの抑制に有効である。

【0042】

(第2の実施形態)

図5は、本発明の第2の形態を示す模式図である。図5において、601はノイズ発生源であるところのIC、602はIC601に電源を供給する電源端子、603はIC601に基準電位を与えるグラウンド端子、604はIC601の任意の機能を有する入出力端子である。605はIC601が実装されるプリント配線板の表層導体、606は表層導体に設けられた電源配線である。607はIC601が実装されたプリント配線板の電源供給システムを構成し、表層導体605の直下に位置する内層基幹電源プレーンである。608はプリント配線板の内層GND導体、609はIC601が実装される表層導体605とは反対面の表層導体である。610はIC601が実装された表層導体605から表層導体609に引き出す第1の電源ビアである。611は第1の電源ビア610によって表層導体609に引き出された電源配線である。612は表層導体609に実装されたバイパスコンデンサである。615は電源配線611上のバイパスコンデンサ612実装位置から後の電源配線に設けられたミランダ配線パターンである。613はバイパスコンデンサ612を通った電流がグラウンド端子603に戻るための最短経路を構成するグラウンドビアであり、614はミランダ配線パターン615と内層基幹電源プレーン607との接続をとる第2の電源ビアである。

20

30

【0043】

上記構成では、ミランダ配線パターン615はインダクタンスとして作用する。従って、第2の電源ビア614とミランダ配線パターン615の値を、バイパスコンデンサ612の寄生インダクタンスの値よりも高くしている。これにより内層基幹電源プレーン608とIC601の電源端子との間のインピーダンスを、バイパスコンデンサ612とIC601の電源端子との間のインピーダンスよりも高くすることができる。

【0044】

以上のようにしてバイパスコンデンサ周りの設計においては、半導体集積回路の電源端子からバイパスコンデンサまでのインダクタンスを低減している。これによりバイパスコンデンサを経過した後、基幹電源に接続する個所のインダクタンスを上げ、半導体集積回路の電源電位変動、放射ノイズの発生を抑制している。

40

【0045】

(第3の実施形態)

図6は、本発明の第3の実施形態としてのプリント配線基板の構成を示す断面図である。QFPまたはSOPタイプのIC701の電源ピン702は、プリント配線板に設けられた電源配線706に半田付けにより実装されている。一方、プリント配線板のIC701の表面導体705とは反対側の表面導体709には、バイパスコンデンサ712を実装するための電源配線711が設けられている。

50

【 0 0 4 6 】

プリント配線板は、基材 7 2 0 を絶縁材として、4 層の配線層に分かれている。これら 4 つの配線層を上側から第 1 層～第 4 層とする。第 2 層には内層基幹電源プレーン 7 0 7 が設けられており、第 3 層には内層グラウンドプレーン 7 0 8 が設けられている。内層基幹電源プレーン 7 0 7 とバイパスコンデンサ 7 1 2 との間は、内径 0 . 4 m m 未満の細い第 2 の電源ビア 7 1 4 が、内層基幹グラウンドプレーン 7 0 8 を避けて接続されている。さらに、バイパスコンデンサ 7 1 2 と I C 7 0 1 の電源配線 7 0 6 との間は、0 . 4 m m 以上の太い第 1 の電源ヴァイ 7 1 0 で配線接続されている。

【 0 0 4 7 】

このように、本実施形態では、第 2 の電源ヴァイ 7 1 4 の内径を、第 1 の電源ヴァイ 7 1 0 の内径よりも小さくすることによりインダクタンスを高くしている。従って、内層基幹電源プレーン 7 0 8 と I C 7 0 1 の電源端子との間のインピーダンスを、バイパスコンデンサ 7 1 2 と I C 7 0 1 の電源端子との間のインピーダンスよりも高くすることができる。

【 0 0 4 8 】

このようにして、I C のへ供給される電流が、基幹電源配線から直接ではなく、バイパスコンデンサからの供給が支配的となるように配線経路を設計することにより、バイパスコンデンサが有効に機能させることができる。

【 0 0 4 9 】

(第 4 の実施形態)

図 7 は、本発明の第 4 の形態を示す模式図である。図 7 において、8 0 1 はノイズ発生源であるところの I C、8 0 2 は I C 8 0 1 に電源を供給する電源端子である。8 0 5 は I C 8 0 1 が実装されるプリント配線板の表層導体、8 0 6 は表層導体に設けられた電源配線である。8 0 7 は I C 8 0 1 が実装されたプリント配線板の電源供給システムを構成し、表層導体 8 0 5 の直下に位置する内層基幹電源プレーンである。8 0 8 はプリント配線板の内層グラウンドプレーン、8 0 9 は I C 8 0 1 が実装される表層導体 8 0 5 とは反対面の表層導体である。8 1 0 は I C 8 0 1 が実装された表層導体 8 0 5 から表層導体 8 0 9 に引き出す第 1 の電源ヴァイである。8 1 1 は第 1 の電源ヴァイ 8 1 0 によって表層導体 8 0 9 に引き出された電源配線である。8 1 2 は表層導体 8 0 9 に実装されたバイパスコンデンサである。8 1 4 は電源配線 8 1 1 と内層基幹電源プレーン 8 0 7 との接続をとる第 2 の電源ヴァイである。第 2 の電源ヴァイ 8 1 4 は表層導体 8 0 9 から一端表層導体 8 0 5 に引き出され、ふたたび第 2 の電源ヴァイ 8 1 4 に隣接する第 3 の電源ヴァイ 8 1 5 により内層基幹電源プレーン 8 0 7 と接続している。

【 0 0 5 0 】

このように、本実施形態では、ヴァイホールの長さを異ならせることによって、内層基幹電源プレーン 8 0 8 と I C 8 0 1 の電源端子との間のインピーダンスを、バイパスコンデンサ 8 1 2 と I C 8 0 1 の電源端子との間のインピーダンスよりも高くすることができる。従って、I C のへ供給される電流が、基幹電源配線から直接ではなく、バイパスコンデンサからの供給が支配的となるように配線経路を設計することにより、バイパスコンデンサが有効に機能させることができる。

【 0 0 5 1 】

(第 5 の実施形態)

図 8 は、本発明の第 5 の形態を示す模式図である。図 8 において、9 0 1 はノイズ発生源であるところの I C、9 0 2 は I C 9 0 1 に電源を供給する電源端子である。9 0 5 は I C 9 0 1 が実装されるプリント配線板の表層導体、9 0 6 は表層導体に設けられた電源配線である。9 0 7 は I C 9 0 1 が実装されたプリント配線板の電源供給システムを構成し、表層導体 9 0 5 の直下に位置する内層基幹電源プレーンである。9 0 8 はプリント配線板の内層 G N D 導体、9 0 9 は I C 9 0 1 が実装される表層導体 9 0 5 とは反対面の表層導体である。9 1 0 は I C 9 0 1 が実装された表層導体 8 0 5 から表層導体 8 0 9 に引き出す第 1 の電源ヴァイである。電源ヴァイ 9 1 0 は平行に 2 本のヴァイにより形成され

10

20

30

40

50

ている。911は第1の電源ビア810によって表層導体809に引き出された電源配線である。912は表層導体909に実装されたバイパスコンデンサである。914は電源配線811と内層基幹電源プレーン907との接続をとる第2の電源ビアである。

【0052】

このように、本実施形態では、電源ビア910をプリント配線基板の上下2つの面を接続する並列に配置された2つのビアホールで構成している。これにより、内層基幹電源プレーン908とIC901の電源端子との間のインピーダンスを、バイパスコンデンサ912とIC901の電源端子との間のインピーダンスよりも高くすることができる。すなわちビアホール910は、並列な2つのビアホールを接続したものと見なされ、2つのビアホールの断面積を合計した、内径の大きい1つのビアホールと同等のインピーダンスを有すると見なせる。従って、内層基幹電源プレーン708とIC701の電源端子との間のインピーダンスを、バイパスコンデンサ712とIC701の電源端子との間のインピーダンスよりも高くすることができる。

10

【0053】

このように、ICへの供給される電流が、基幹電源配線から直接ではなく、バイパスコンデンサからの供給が支配的となるように配線経路を設計することにより、バイパスコンデンサが有効に機能させることができる。

【0054】

(他の実施形態)

以上説明した実施形態では、ヴァイアホールとしてスルーホールを用いる場合を例に挙げて説明したが、本発明に係るヴァイアホールの構造はこれに限定されず、ヴァイアホールやインナーヴァイアホールを用いた場合でも、同様な効果が得られる。

20

【0055】

また、上記の実施形態では、プリント配線基板が4層基板の例を示しているが、2層以上のプリント配線基板であれば層数にかかわらず、本発明を適用することができ、効果が得られることは自明であろう。

【0056】

更に、上記の実施形態では、ICとバイパスコンデンサとはプリント配線基板の異なる面の実装される場合について説明したが、ICとバイパスコンデンサが同じ面の実装される構成であっても本発明を適用することができる。

30

【0057】

本発明は、表面実装型のIC及びバイパスコンデンサを実装するプリント配線基板やその等価物(BGAインターポーザ基板など)に適用できるが、コンピュータ装置を含む電子機器に用いられるプリント配線基板に適用すると好適である。

【図面の簡単な説明】

【0058】

【図1】第1の実施形態のプリント回路板を表す模式図

【図2】図1のプリント回路板の等価回路図

【図3】第1の実施形態における電源ビアとグラウンドビアの物理的配置を説明する模式図

40

【図4】第1の実施形態におけるグラウンドビアと第2の電源ビアの間隔と2導体間に働く相互インダクタンスを示したグラフ

【図5】第2の実施形態のプリント回路板を表す模式図

【図6】第3の実施形態のプリント回路板を表す模式図

【図7】第4の実施形態のプリント回路板を表す模式図

【図8】第5の実施形態のプリント回路板を表す模式図

【図9】従来例を示す模式図

【図10】従来のバイパスコンデンサのインピーダンス特性を示すグラフ

【符号の説明】

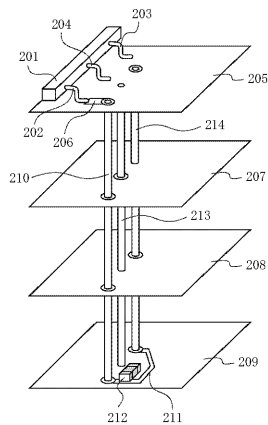
【0059】

50

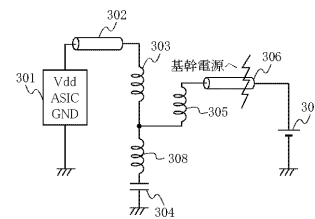
101、201、601、701、801、901	IC
102、202、602、702、802、902	電源端子
103、203、603	グラウンド端子
104、204、604	入出力端子
105、205、605、705、805、905	表層導体
106、206、606、706、806、906	電源配線
107、207、607、707、807、907	内層グラウンドプレーン
108、208、608、708、808、908	内層基幹電源プレーン
109、209、609、709、809、909	表層導体
110	電源ビア
210、610、710、810、910	第1の電源ビア
111、211、611、711、811、911	電源配線
112、212、304、612、712、812、912	バイパスコンデンサ
113、213、613、713、813、913	グラウンドビア
214、614、714、814、914	第1の電源ビア
301	ICモデル
302、306	伝送線路
303、305	インダクタンス
307	電源

10

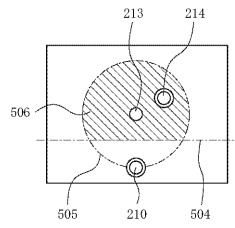
【図1】



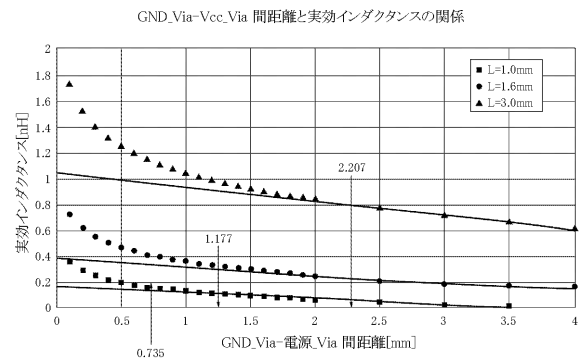
【図2】



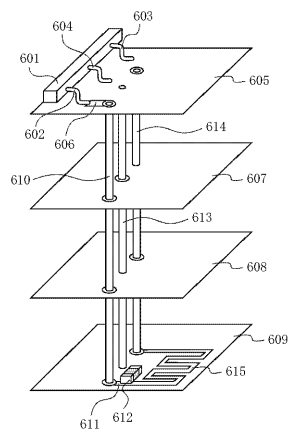
【図 3】



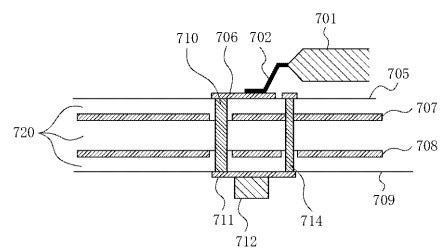
【図 4】



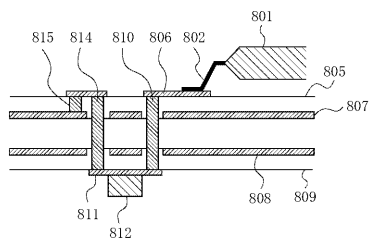
【図 5】



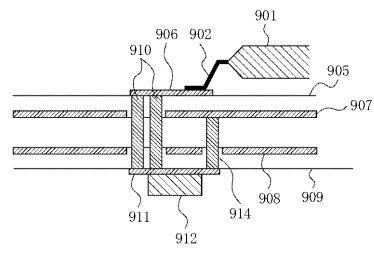
【図 6】



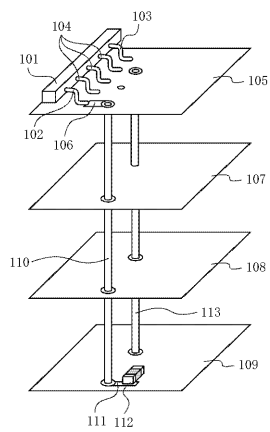
【図 7】



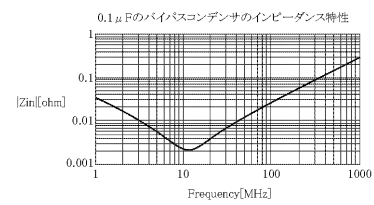
【図 8】



【図 9】



【図 10】



フロントページの続き

(56)参考文献 特開2003-297963(JP,A)
特開2003-332706(JP,A)
特開2000-40859(JP,A)

(58)調査した分野(Int.Cl., DB名)
H05K 3/46
H05K 1/02