



(12)实用新型专利

(10)授权公告号 CN 211702000 U

(45)授权公告日 2020.10.16

(21)申请号 202020086731.3

(22)申请日 2020.01.15

(73)专利权人 深圳市云腾微电子有限公司

地址 518000 广东省深圳市宝安区西乡街
道永丰社区新湖路与劳动路交汇处永
丰综合楼5楼501室

(72)发明人 陈盛 李双飞

(74)专利代理机构 深圳市新虹光知识产权代理
事务所(普通合伙) 44499

代理人 郭长龙

(51)Int.Cl.

H03K 7/08(2006.01)

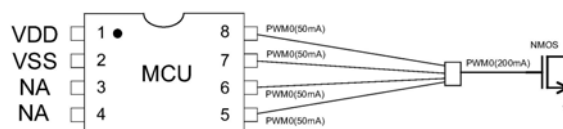
权利要求书2页 说明书6页 附图2页

(54)实用新型名称

一种MCU驱动大功率电路

(57)摘要

本实用新型涉及单片机技术领域,公开了一种MCU驱动大功率电路,包括MCU和特殊功能寄存器PWMOS,特殊功能寄存器PWMOS位于MCU的内部,特殊功能寄存器PWMOS用于使MCU驱动大功率电路;本实用新型解决了目前解决MCU驱动大功率电路存在的MCU芯片设计成本增加的问题。



1. 一种MCU驱动大功率电路,其特征在于,包括MCU和特殊功能寄存器PWMOS,所述特殊功能寄存器PWMOS位于所述MCU的内部,所述特殊功能寄存器PWMOS用于使所述MCU驱动大功率电路。

2. 根据权利要求1所述的一种MCU驱动大功率电路,其特征在于,所述特殊功能寄存器PWMOS为两位;

所述特殊功能寄存器PWMOS的配置包括:

将所述MCU的四路PWM0输出合成一路PWM0输出,以使所述MCU驱动200mA的NMOS管;

将所述MCU的四路PWM0输出合成两路PWM0输出,以使所述MCU驱动100mA的NMOS管;

将所述MCU的三路PWM0输出和一路PWM3输出合成一路PWM0输出和一路PWM3输出,以使所述MCU驱动150mA的NMOS管。

3. 根据权利要求1或2所述的一种MCU驱动大功率电路,其特征在于,所述特殊功能寄存器PWMOS包括第一PMOS管、第二PMOS管、第一NMOS管以及第二NMOS管,所述第一PMOS管的栅极与所述第一NMOS管的栅极的连接点接所述MCU的时钟端,所述第一PMOS管的衬底与所述第一PMOS管的源极相连后接VDD,所述第一PMOS管的漏极和所述第一NMOS管的漏极的连接点与所述第二PMOS管的栅极和所述第二NMOS管的栅极的连接点相连,所述第一NMOS管的衬底与所述第一NMOS管的源极相连后接VSS,所述第二PMOS管的衬底与所述第二PMOS管的源极相连后接VDD,所述第二PMOS管的漏极与所述第二NMOS管的漏极的连接点开路,所述第二NMOS管的衬底与所述第二NMOS管的源极相连后接VSS。

4. 根据权利要求3所述的一种MCU驱动大功率电路,其特征在于,所述特殊功能寄存器PWMOS还包括第三PMOS管和第三NMOS管,所述第三PMOS管衬底与所述第三PMOS管的源极相连后接VDD,所述第三PMOS管的栅极与所述第三NMOS管的栅极的连接点接所述MCU的复位端,所述第三PMOS管的漏极与所述第三NMOS管的漏极的连接点开路,所述第三NMOS管的衬底与所述第三NMOS管的源极相连后接VSS。

5. 根据权利要求4所述的一种MCU驱动大功率电路,其特征在于,所述特殊功能寄存器PWMOS还包括第四PMOS管、第五PMOS管、第六PMOS管、第七PMOS管、第八PMOS管、第九PMOS管、第十PMOS管、第十一PMOS管、第十二PMOS管、第十三PMOS管、第十四PMOS管、第十五PMOS管、第十六PMOS管、第十七PMOS管以及第十八PMOS管,第四NMOS管、第五NMOS管、第六NMOS管、第七NMOS管、第八NMOS管、第九NMOS管、第十NMOS管、第十一NMOS管、第十二NMOS管、第十三NMOS管、第十四NMOS管、第十五NMOS管、第十六NMOS管、第十七NMOS管以及第十八NMOS管;所述第四PMOS管的栅极与所述第五NMOS管的栅极的连接点接所述MCU的数据输入端,所述第四PMOS管的漏极与所述第五PMOS管的源极相连,所述第五PMOS管的衬底与所述第四PMOS管的衬底相连后接VDD,所述第四NMOS管的源极与所述第五NMOS管的漏极相连,所述第四NMOS管的衬底与所述第五NMOS管的衬底相连后接VSS,所述第五PMOS管的漏极与所述第四NMOS管的漏极的连接点分别连接所述第十五PMOS管的漏极与所述第十四NMOS管的漏极的连接点以及所述第七PMOS管的栅极与所述第六NMOS管的栅极的连接点,所述第六PMOS管的栅极与所述第七NMOS管的栅极相连,所述第七PMOS管的衬底与所述第六PMOS管的衬底相连后接VDD,所述第六PMOS管的漏极与所述第七PMOS管的源极相连,所述第六NMOS管的漏极与所述第七PMOS管的漏极与所述第七NMOS管的漏极相接,所述第七PMOS管的漏极与所述第七NMOS管的漏极的连接点还与分别连接所述第十四PMOS管的栅极与所述第十五NMOS管的栅极的

连接点以及所述第八PMOS管的栅极与所述第九NMOS管的栅极的连接点,所述第六NMOS管的衬底与所述第六NMOS管的源极相连的连接点与所述第七NMOS管的衬底与所述第七NMOS管的源极相连的连接点相连后接VSS,所述第十五PMOS管的衬底与所述第十四PMOS管的衬底相连的连接点与所述第十四PMOS管的源极相接后接VDD,所述第十四NMOS管的衬底与所述第十五NMOS管的衬底相连的连接点与所述第十五NMOS管的源极相接后接VSS,所述第九PMOS管的衬底与所述第八PMOS管的源极相连后接VDD,所述第九PMOS管的漏极与所述第八NMOS管的漏极相连的连接点分别连接所述第十七PMOS管的漏极与所述第十六NMOS管的漏极连接点以及所述第十一PMOS管的栅极与所述第十NMOS管的栅极的连接点,所述第十PMOS管的栅极与所述第十一NMOS管的栅极相连,所述第十一PMOS管的衬底与所述第十PMOS管的衬底相连的连接点与所述第十PMOS管的源极相连后接VDD,所述第十一PMOS管的漏极与所述第十一NMOS管的漏极的连接点接所述第十NMOS管的漏极,所述第十NMOS管的衬底与所述第十NMOS管的源极的连接点与所述第十一NMOS管的衬底与所述第十一NMOS管的源极的连接点相连后接VSS,所述第十一PMOS管的漏极与所述第十一NMOS管的漏极的连接点还分别连接所述第十六PMOS管的栅极与所述第十七NMOS的栅极的连接点、所述第十二PMOS管的栅极与所述第十二NMOS的栅极的连接点以及所述第十八PMOS管的栅极与所述第十八NMOS管的栅极的连接点,所述第十七PMOS管的衬底与所述第十六PMOS管的衬底的连接点与所述第十七PMOS管的源极相连后接VDD,所述第十六NMOS管的衬底与所述第十七NMOS管的衬底的连接点与所述第十七NMOS管的源极相连后接VSS,所述第十二PMOS管的衬底与所述第十二PMOS管的源极相连后接VDD,所述第十二PMOS管的漏极和所述第十二NMOS管的漏极的连接点与所述第十三PMOS管的栅极和所述第三NMOS管的栅极的连接点相连,所述第十二NMOS管的衬底与所述第十二NMOS管的源极相连后接VSS,所述第十三PMOS管的衬底与所述第十三PMOS管的源极相连后接VDD,所述第十三PMOS管的漏极与所述第十三NMOS管的漏极的连接点接所述MCU的数据输出端,所述第十三NMOS管的衬底与所述第十三NMOS管的源极相连后接VSS,所述第十八PMOS管的衬底与所述第十八PMOS管的源极相连后接VDD,所述第十八PMOS管的漏极与所述第十八NMOS管的漏极的连接点接所述MCU的数据取反输出端,所述第十八NMOS管的衬底与所述第十八NMOS管的源极相连后接VSS。

6. 根据权利要求3所述的一种MCU驱动大功率电路,其特征在于,所述第一PMOS管和所述第二PMOS管为耗尽型,所述第一NMOS管和所述第二NMOS管为耗尽型。

7. 根据权利要求4所述的一种MCU驱动大功率电路,其特征在于,所述第三PMOS管为耗尽型,所述第三NMOS管为耗尽型。

8. 根据权利要求5所述的一种MCU驱动大功率电路,其特征在于,所述第四PMOS管、所述第五PMOS管、所述第六PMOS管、所述第七PMOS管、所述第八PMOS管、所述第九PMOS管、所述第十PMOS管、所述第十一PMOS管、所述第十二PMOS管、所述第十三PMOS管、所述第十四PMOS管、所述第十五PMOS管、所述第十六PMOS管、所述第十七PMOS管以及所述第十八PMOS管为耗尽型。

9. 根据权利要求5所述的一种MCU驱动大功率电路,其特征在于,所述第四NMOS管、所述第五NMOS管、所述第六NMOS管、所述第七NMOS管、所述第八NMOS管、所述第九NMOS管、所述第十NMOS管、所述第十一NMOS管、所述第十二NMOS管、所述第十三NMOS管、所述第十四NMOS管、所述第十五NMOS管、所述第十六NMOS管、所述第十七NMOS管以及所述第十八NMOS管为耗尽型。

一种MCU驱动大功率电路

技术领域

[0001] 本实用新型涉及单片机技术领域,具体涉及一种MCU驱动大功率电路。

背景技术

[0002] MCU的脉冲宽度调制(Pulse Width Modulation;PWM)波形驱动能力有限(最大为50mA左右),不能驱动大电流MOS管,应用受限。为了增加驱动能力,现有解决方案需要增加一个三极管,从而导致MCU的设计成本增加。

实用新型内容

[0003] 为了克服现有技术的不足,本实用新型的目的是提供一种MCU驱动大功率电路,解决目前解决方案存在的增加MCU设计成本的问题。

[0004] 为了达到上述目的,本实用新型所采用的技术方案是:提供一种MCU驱动大功率电路,包括MCU和特殊功能寄存器PWMOS,所述特殊功能寄存器 PWMOS位于所述MCU的内部,所述特殊功能寄存器PWMOS用于使所述MCU 驱动大功率电路。

[0005] 进一步地,所述特殊功能寄存器PWMOS为两位。

[0006] 进一步地,所述特殊功能寄存器PWMOS的配置包括:

[0007] 将所述MCU的四路PWM0输出合成一路PWM0输出,以使所述MCU驱动200mA的NMOS管;

[0008] 将所述MCU的四路PWM0输出合成两路PWM0输出,以使所述MCU驱动100mA的NMOS管;

[0009] 将所述MCU的三路PWM0输出和一路PWM3输出合成一路PWM0输出和一路PWM3输出,以使所述MCU驱动150mA的NMOS管。

[0010] 进一步地,所述特殊功能寄存器PWMOS包括第一PMOS管、第二PMOS 管、第一NMOS管以及第二NMOS管,所述第一PMOS管的栅极与所述第一 NMOS管的栅极的连接点接所述MCU的时钟端,所述第一PMOS管的衬底与所述第一PMOS管的源极相连后接VDD,所述第一PMOS管的漏极和所述第一 NMOS管的漏极的连接点与所述第二PMOS管的栅极和所述第二NMOS管的栅极的连接点相连,所述第一NMOS管的衬底与所述第一NMOS管的源极相连后接VSS,所述第二PMOS管的衬底与所述第二PMOS管的源极相连后接VDD,所述第二PMOS管的漏极与所述第二NMOS管的漏极的连接点开路,所述第二 NMOS管的衬底与所述第二NMOS管的源极相连后接VSS。

[0011] 进一步地,所述特殊功能寄存器PWMOS还包括第三PMOS管和第三NMOS 管,所述第三PMOS管衬底与所述第三PMOS管的源极相连后接VDD,所述第三PMOS管的栅极与所述第三NMOS管的栅极的连接点接所述MCU的复位端,所述第三PMOS管的漏极与所述第三NMOS管的漏极的连接点开路,所述第三 NMOS管的衬底与所述第三NMOS管的源极相连后接VSS。

[0012] 进一步地,所述特殊功能寄存器PWMOS还包括第四PMOS管、第五PMOS 管、第六PMOS管、第七PMOS管、第八PMOS管、第九PMOS管、第十PMOS 管、第十一PMOS管、第十二PMOS管、第十三PMOS管、第十四PMOS管、第十五PMOS管、第十六PMOS管、第十七PMOS管以及第十八PMOS管,第四NMOS管、第五NMOS管、第六NMOS管、第七NMOS管、第八NMOS 管、第九NMOS管、第十

NMOS管、第十一NMOS管、第十二NMOS管、第十三NMOS管、第十四NMOS管、第十五NMOS管、第十六NMOS管、第十七NMOS管以及第十八NMOS管；所述第四PMOS管的栅极与所述第五NMOS管的栅极的连接点接所述MCU的数据输入端，所述第四PMOS管的漏极与所述第五PMOS管的源极相连，所述第五PMOS管的衬底与所述第四PMOS管的衬底相连后接VDD，所述第四NMOS管的源极与所述第五NMOS管的漏极相连，所述第四NMOS管的衬底与所述第五NMOS管的衬底相连后接VSS，所述第五PMOS管的漏极与所述第四NMOS管的漏极的连接点分别连接所述第十五PMOS管的漏极与所述第十四NMOS管的漏极的连接点以及所述第七PMOS管的栅极与所述第六NMOS管的栅极的连接点，所述第六PMOS管的栅极与所述第七NMOS管的栅极相连，所述第七PMOS管的衬底与所述第六PMOS管的衬底相连后接VDD，所述第六PMOS管的漏极与所述第七PMOS管的源极相连，所述第六NMOS管的漏极与所述第七PMOS管的漏极与所述第七NMOS管的漏极相接，所述第七PMOS管的漏极与所述第七NMOS管的漏极的连接点还与分别连接所述第十四PMOS管的栅极与所述第十五NMOS管的栅极的连接点以及所述第八PMOS管的栅极与所述第九NMOS管的栅极的连接点，所述第六NMOS管的衬底与所述第六NMOS管的源极相连的连接点与所述第七NMOS管的衬底与所述第七NMOS管的源极相连的连接点相连后接VSS，所述第十五PMOS管的衬底与所述第十四PMOS管的衬底相连的连接点与所述第十四PMOS管的源极相接后接VDD，所述第十四NMOS管的衬底与所述第十五NMOS管的衬底相连的连接点与所述第十五NMOS管的源极相接后接VSS，所述第九PMOS管的衬底与所述第八PMOS管的源极相连后接VDD，所述第九PMOS管的漏极与所述第八NMOS管的漏极相连的连接点分别连接所述第十七PMOS管的漏极与所述第十六NMOS管的漏极连接点以及所述第十一PMOS管的栅极与所述第十NMOS管的栅极的连接点，所述第十PMOS管的栅极与所述第十一NMOS管的栅极相连，所述第十一PMOS管的衬底与所述第十PMOS管的衬底相连的连接点与所述第十PMOS管的源极相连后接VDD，所述第十一PMOS管的漏极与所述第十一NMOS管的漏极的连接点接所述第十NMOS管的漏极，所述第十NMOS管的衬底与所述第十NMOS管的源极的连接点与所述第十一NMOS管的衬底与所述第十一NMOS管的源极的连接点相连后接VSS，所述第十一PMOS管的漏极与所述第十一NMOS管的漏极的连接点还分别连接所述第十六PMOS管的栅极与所述第十七NMOS管的栅极的连接点、所述第十二PMOS管的栅极与所述第十二NMOS管的栅极的连接点以及所述第十八PMOS管的栅极与所述第十八NMOS管的栅极的连接点，所述第十七PMOS管的衬底与所述第十六PMOS管的衬底的连接点与所述第十七PMOS管的源极相连后接VDD，所述第十六NMOS管的衬底与所述第十七NMOS管的衬底的连接点与所述第十七NMOS管的源极相连后接VSS，所述第十二PMOS管的衬底与所述第十二PMOS管的源极相连后接VDD，所述第十二PMOS管的漏极和所述第十二NMOS管的漏极的连接点与所述第十三PMOS管的栅极和所述第三NMOS管的栅极的连接点相连，所述第十二NMOS管的衬底与所述第十二NMOS管的源极相连后接VSS，所述第十三PMOS管的衬底与所述第十三PMOS管的源极相连后接VDD，所述第十三PMOS管的漏极与所述第十三NMOS管的漏极的连接点接所述MCU的数据输出端，所述第十三NMOS管的衬底与所述第十三NMOS管的源极相连后接VSS，所述第十八PMOS管的衬底与所述第十八PMOS管的源极相连后接VDD，所述第十八PMOS管的漏极与所述第十八NMOS管的漏极的连接点接所述MCU的数据取反输出端，所述第十八NMOS管的衬底与所述第十八NMOS管的源极相连后接VSS。

[0013] 进一步地，所述第一PMOS管和所述第二PMOS管为耗尽型，所述第一NMOS管和所述

第二NMOS管为耗尽型。

[0014] 进一步地,所述第三PMOS管为耗尽型,所述第三NMOS管为耗尽型。

[0015] 进一步地,所述第四PMOS管、所述第五PMOS管、所述第六PMOS管、所述第七PMOS管、所述第八PMOS管、所述第九PMOS管、所述第十PMOS管、所述第十一PMOS管、所述第十二PMOS管、所述第十三PMOS管、所述第十四PMOS管、所述第十五PMOS管、所述第十六PMOS管、所述第十七PMOS管以及所述第十八PMOS管为耗尽型。

[0016] 进一步地,所述第四NMOS管、所述第五NMOS管、所述第六NMOS管、所述第七NMOS管、所述第八NMOS管、所述第九NMOS管、所述第十NMOS管、所述第十一NMOS管、所述第十二NMOS管、所述第十三NMOS管、所述第十四NMOS管、所述第十五NMOS管、所述第十六NMOS管、所述第十七NMOS管以及所述第十八NMOS管为耗尽型。

[0017] 与现有技术相比,本实用新型的有益效果在于,本实用新型提供一种MCU驱动大功率电路,通过开发并开放相应的特殊功能寄存器PWMOS来配置MCU的PWM0的组合输出模式,特殊功能寄存器PWMOS采用PMOS管+NMOS管的电路系统结构,从而解决了现有解决方案存在的增加MCU设计成本的问题。

附图说明

[0018] 为了更清楚地说明本实用新型实施例中的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0019] 图1是本实用新型实施例提供的一种MCU驱动大功率电路的MCU管脚输出示意图。

[0020] 图2是本实用新型实施例提供的一种MCU驱动大功率电路的输出合成一路输出电路图。

[0021] 图3是本实用新型实施例提供的一种MCU驱动大功率电路的输出合成两路输出电路图。

[0022] 图4是本实用新型实施例提供的一种MCU驱动大功率电路的另一种输出合成两路输出电路图。

[0023] 图5是本实用新型实施例提供的一种MCU驱动大功率电路的特殊功能寄存器PWMOS电路原理图。

具体实施方式

[0024] 为了使本实用新型的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本实用新型进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本实用新型,并不用于限定本实用新型。

[0025] 本实施例的附图中相同或相似的标号对应相同或相似的部件;在本实用新型的描述中,需要理解的是,若有术语“上”、“下”、“左”、“右”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本实用新型和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此附图中描述位置关系的用语仅用于示例性说明,不能理解为对本专利的限制,对于本领域的普通技术人员而

言,可以根据具体情况理解上述术语的具体含义。

[0026] 以下结合附图与具体实施例,对本实用新型的技术方案做详细的说明。

[0027] 如图2至图5所示,为本实用新型提供的较佳实施例。

[0028] 本实施例提供的一种MCU驱动大功率电路,包括MCU和特殊功能寄存器 PWMOS,特殊功能寄存器PWMOS位于MCU的内部,特殊功能寄存器PWMOS 用于使MCU驱动大功率电路。

[0029] 上述技术方案提供的一种MCU驱动大功率电路,通过开发并开放相应的特殊功能寄存器PWMOS来配置MCU的PWM0的组合输出模式,特殊功能寄存器PWMOS采用PMOS管+NMOS管的电路系统结构,从而解决了现有解决方案存在的增加MCU设计成本的问题。

[0030] MCU的管脚输出如图1所示,管脚8输出PWM0,管脚7可输出PWM0或 PWM1,管脚6可输出PWM0或PWM2,管脚5可输出PWM0或PWM3;PWM0、PWM1、PWM2以及PWM3可各输出50mA电流。

[0031] 作为本实用新型的一种实施方式,特殊功能寄存器PWMOS为两位: PWMOS[1:0]对PWM0的组合输出方式进行配置,配置描述如下表所示:

PWMOS[1:0]	描述
2'b00	无合并输出, PCB 板级上各自输出 (MCU 的管脚 8 输出 PWM0、管脚 7 输出 PWM1、管脚 6 输出 PWM2、管脚 5 输出 PWM3)
2'b01	合成一路输出, PCB 板级上合成一路 PWM0 (MCU 的管脚 8 输出 PWM0、管脚 7 输出 PWM0、管脚 6 输出 PWM0、管脚 5 输出 PWM0)
2'b10	合成两路输出, PCB 板级上合成两路 PWM0 (MCU 的管脚 8 输出 PWM0、管脚 7 输出 PWM0、管脚 6 输出 PWM0、管脚 5 输出 PWM0)
2'b11	合成两路输出, PCB 板级上合成一路 PWM0, 一路 PWM3 (MCU 的管脚 8 输出 PWM0、管脚 7 输出 PWM0、管脚 6 输出 PWM0、管脚 5 输出 PWM3)

[0033] 实施例一:MCU驱动200mANMOS管;MCU的管脚8输出PWM0、管脚 7输出PWM0、管脚6输出PWM0,以及管脚5输出PWM0,参照图2,配置PWMOS 为2' b01,PWMOS[1:0]将MCU的管脚8输出的PWM0、管脚7输出的PWM0、管脚6输出的PWM0,以及管脚5输出的PWM0,合并为一 PWM0,使得该路 PWM0的输出电流达到了200mA,从而实现了驱动200mA NMOS管。

[0034] 实施例二:MCU驱动150mANMOS管;MCU的管脚8输出PWM0、管脚 7输出PWM0、管脚6输出PWM0以及管脚5输出PWM3,参照图3,配置PWMOS 为2' b11,PWMOS[1:0]将MCU的管脚8输出的PWM0、管脚7输出的PWM0、管脚6输出的PWM0以及管脚5输出的PWM3,合并为一 PWM0和一路 PWM3,则该路PWM0的输出电流达到了150mA,从而实现了驱动150mA NMOS 管。

[0035] 实施例三:MCU驱动100mANMOS管;MCU管脚8输出PWM0、管脚7 输出PWM0、管脚6输出PWM0以及管脚5输出PWM0,参照图4,配置PWMOS 为2' b10,PWMOS[1:0]将MCU的管脚8输出的PWM0、管脚7输出的PWM0、管脚6输出的PWM0以及管脚5输出的PWM0,合并为两路PWM0,每一路PWM0的输出电流各位100mA,从而实现了分别驱动100mA NMOS管。

[0036] 作为本实用新型的一种实施方式,参照图5,特殊功能寄存器PWMOS包括第一PMOS管PM1、第二PMOS管PM2、第一NMOS管NM1以及第二NMOS 管NM2,第一PMOS管PM1的栅极与第一NMOS管NM1的栅极的连接点接 MCU的时钟端CLK,第一PMOS管PM1的衬底与第一PMOS管PM1的

源极相连后接VDD,第一PMOS管PM1的漏极和第一NMOS管NM1的漏极的连接点与第二PMOS管PM2的栅极和第二NMOS管NM2的栅极的连接点相连,第一NMOS管NM1的衬底与第一NMOS管NM1的源极相连后接VSS,第二PMOS管PM2的衬底与第二PMOS管PM2的源极相连后接VDD,第二PMOS管PM2的漏极与第二NMOS管NM2的漏极的连接点开路,第二NMOS管NM2的衬底与第二NMOS管NM2的源极相连后接VSS。

[0037] 具体地,特殊功能寄存器PWMOS还包括第三PMOS管PM3和第三NMOS管NM3,第三PMOS管PM3衬底与第三PMOS管PM3的源极相连后接VDD,第三PMOS管PM3的栅极与第三NMOS管NM3的栅极的连接点接MCU的复位端,第三PMOS管PM3的漏极与第三NMOS管NM3的漏极的连接点开路,第三NMOS管NM3的衬底与第三NMOS管NM3的源极相连后接VSS。

[0038] 具体地,特殊功能寄存器PWMOS还包括第四PMOS管PM4、第五PMOS管PM5、第六PMOS管PM6、第七PMOS管PM7、第八PMOS管PM8、第九PMOS管PM9、第十PMOS管PM10、第十一PMOS管PM11、第十二PMOS管PM12、第十三PMOS管PM13、第十四PMOS管PM14、第十五PMOS管PM15、第十六PMOS管PM16、第十七PMOS管PM17以及第十八PMOS管PM18,第四NMOS管NM4、第五NMOS管NM5、第六NMOS管NM6、第七NMOS管NM7、第八NMOS管NM8、第九NMOS管NM9、第十NMOS管NM10、第十一NMOS管NM11、第十二NMOS管NM12、第十三NMOS管NM13、第十四NMOS管NM14、第十五NMOS管NM15、第十六NMOS管NM16、第十七NMOS管NM17以及第十八NMOS管NM18;第四PMOS管PM4的栅极与第五NMOS管NM5的栅极的连接点接MCU的数据输入端D,第四PMOS管PM4的漏极与第五PMOS管PM5的源极相连,第五PMOS管PM5的衬底与第四PMOS管PM4的衬底相连后接VDD,第四NMOS管NM4的源极与第五NMOS管NM5的漏极相连,第四NMOS管NM4的衬底与第五NMOS管NM5的衬底相连后接VSS,第五PMOS管PM5的漏极与第四NMOS管NM4的漏极的连接点分别连接第十五PMOS管PM15的漏极与第十四NMOS管NM14的漏极的连接点以及第七PMOS管PM7的栅极与第六NMOS管NM6的栅极的连接点,第六PMOS管PM6的栅极与第七NMOS管NM7的栅极相连,第七PMOS管PM7的衬底与第六PMOS管PM6的衬底相连后接VDD,第六PMOS管PM6的漏极与第七PMOS管PM7的源极相连,第六NMOS管NM6的漏极与第七PMOS管PM7的漏极与第七NMOS管NM7的漏极相接,第七PMOS管PM7的漏极与第七NMOS管NM7的漏极的连接点还与分别连接第十四PMOS管PM14的栅极与第十五NMOS管NM15的栅极的连接点以及第八PMOS管PM8的栅极与第九NMOS管NM9的栅极的连接点,第六NMOS管NM6的衬底与第六NMOS管NM6的源极相连的连接点与第七NMOS管NM7的衬底与第七NMOS管NM7的源极相连的连接点相连后接VSS,第十五PMOS管PM15的衬底与第十四PMOS管PM14的衬底相连的连接点与第十四PMOS管PM14的源极相接后接VDD,第十四NMOS管NM14的衬底与第十五NMOS管NM15的衬底相连的连接点与第十五NMOS管NM15的源极相接后接VSS,第九PMOS管PM9的衬底与第八PMOS管PM8的源极相连后接VDD,第九PMOS管PM9的漏极与第八NMOS管NM8的漏极相连的连接点分别连接第十七PMOS管PM17的漏极与第十六NMOS管NM16的漏极连接点以及第十一PMOS管PM11的栅极与第十NMOS管NM10的栅极的连接点,第十PMOS管PM10的栅极与第十一NMOS管NM11的栅极相连,第十一PMOS管PM11的衬底与第十PMOS管PM10的衬底相连的连接点与第十PMOS管PM10的源极相连后接VDD,第十一PMOS管PM11的漏极与第十一NMOS管NM11的漏极的连接点接第十NMOS管NM10的漏极,第十NMOS管NM10的衬底与第十NMOS管NM10的源极的连接点与第十一NMOS管NM11的衬底与第十一NMOS管NM11的源极的连接点相连后接VSS,第十一PMOS管PM11的漏极与第十一NMOS管NM11的漏极的连接点还分别连接第十六PMOS管PM16的栅极

与第十七NMOS 的栅极的连接点、第十二PMOS管PM12的栅极与第十二NMOS的栅极的连接点以及第十八PMOS管PM18的栅极与第十八NMOS管NM18的栅极的连接点,第十七PMOS管PM17的衬底与第十六PMOS管PM16的衬底的连接点与第十七PMOS管PM17的源极相连后接VDD,第十六NMOS管NM16的衬底与第十七NMOS管NM17的衬底的连接点与第十七NMOS管NM17的源极相连后接VSS,第十二PMOS管PM12的衬底与第十二PMOS管PM12的源极相连后接VDD,第十二PMOS管PM12的漏极和第十二NMOS管NM12的漏极的连接点与第十三PMOS管PM13的栅极和第三NMOS管NM3的栅极的连接点相连,第十二NMOS管NM12的衬底与第十二NMOS管NM12的源极相连后接 VSS,第十三PMOS管PM13的衬底与第十三PMOS管PM13的源极相连后接 VDD,第十三PMOS管PM13的漏极与第十三NMOS管NM13的漏极的连接点接MCU的数据输出端Q,第十三NMOS管NM13的衬底与第十三NMOS管 NM13的源极相连后接VSS,第十八PMOS管PM18的衬底与第十八PMOS管 PM18的源极相连后接VDD,第十八PMOS管PM18的漏极与第十八NMOS管 NM18的漏极的连接点接MCU的数据取反输出端QB,第十八NMOS管NM18 的衬底与第十八NMOS管NM18的源极相连后接VSS。

[0039] 优选地,第一PMOS管PM1和第二PMOS管PM2为耗尽型,第一NMOS 管NM1和第二NMOS管NM2为耗尽型。

[0040] 优选地,第三PMOS管PM3为耗尽型,第三NMOS管NM3为耗尽型。

[0041] 优选地,第四PMOS管PM4、第五PMOS管PM5、第六PMOS管PM6、第七PMOS管PM7、第八PMOS管PM8、第九PMOS管PM9、第十PMOS管 PM10、第十一PMOS管PM11、第十二PMOS管PM12、第十三PMOS管PM13、第十四PMOS管PM14、第十五PMOS管PM15、第十六PMOS管PM16、第十七PMOS管PM17以及第十八PMOS管PM18为耗尽型。

[0042] 优选地,第四NMOS管NM4、第五NMOS管NM5、第六NMOS管NM6、第七NMOS管NM7、第八NMOS管NM8、第九NMOS管NM9、第十NMOS 管NM10、第十一NMOS管NM11、第十二NMOS管NM12、第十三NMOS管 NM13、第十四NMOS管NM14、第十五NMOS管NM15、第十六NMOS管 NM16、第十七NMOS管NM17以及第十八NMOS管NM18为耗尽型。

[0043] 以上对本实用新型的实施例进行了详细的说明,但本实用新型的创造并不限于本实施例,熟悉本领域的技术人员在不违背本实用新型精神的前提下,还可以做出许多同等变型或替换,这些同等变型或替换均包含在本申请的权利要求所限定的保护范围内。

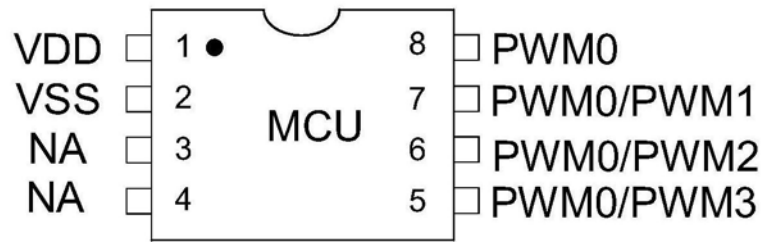


图1

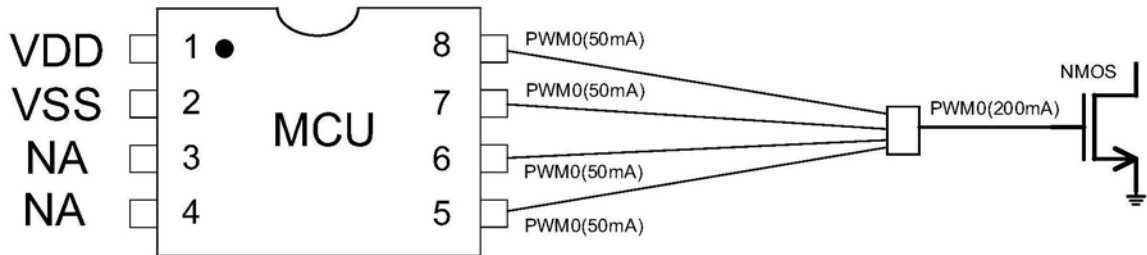


图2

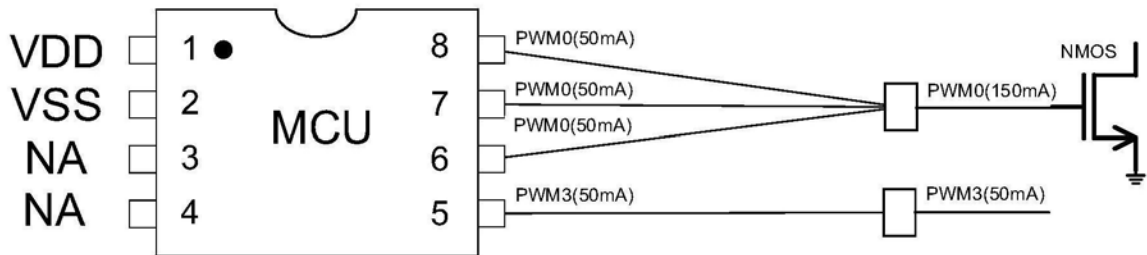


图3

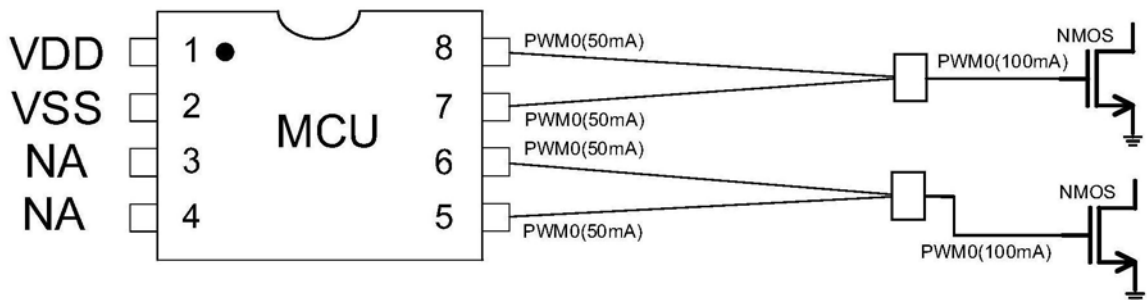


图4

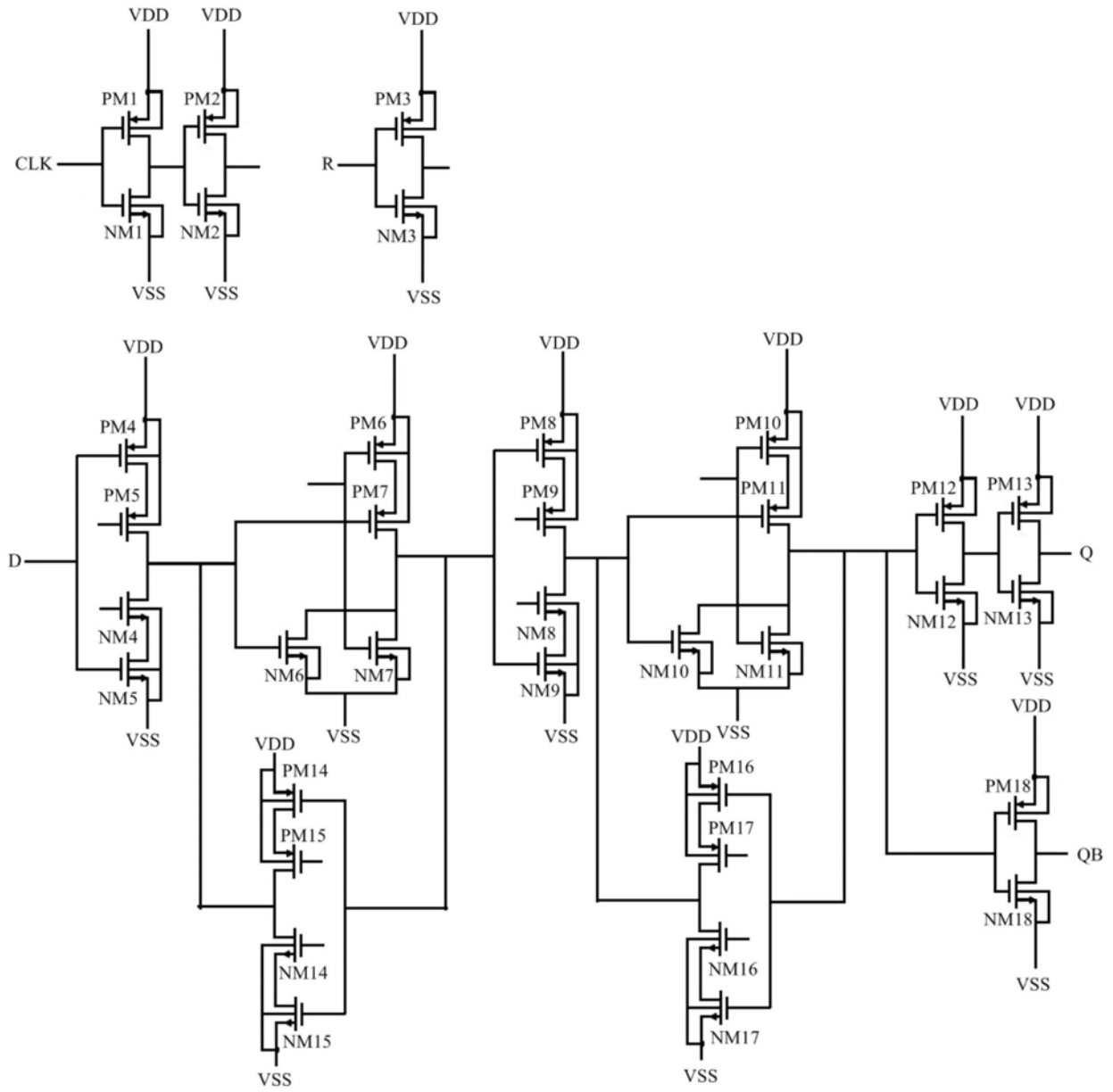


图5