



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I493884 B

(45)公告日：中華民國 104 (2015) 年 07 月 21 日

(21)申請案號：101131219

(22)申請日：中華民國 101 (2012) 年 08 月 28 日

(51)Int. Cl. : H03M3/02 (2006.01)

H03M1/06 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：吳書豪 WU, SU HAO (TW) ; 吳介琮 WU, JIEH TSORNG (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 200713765A

US 5896101A

US 7944385B2

2010 年 07 月 06 日公開文件 Cho-Ying Lu ; Electr. & Comput. Eng. Dept., Texas A&M Univ., College Station, TX, USA ; Silva-Rivas, J.F. ; Kode, P. ; Silva-Martinez, J. "A Sixth-Order 200 MHz IF Bandpass Sigma-Delta Modulator With Over 68 dB SNDR in 10 MHz Bandwidth", Solid-State Circuits, IEEE Journal of (Volume:45 , Issue: 6)

審查人員：蘇齊賢

申請專利範圍項數：21 項 圖式數：6 共 31 頁

(54)名稱

三角積分調變器及其校正方法

DELTA-SIGMA MODULATOR AND METHOD OF CALIBRATION THEREOF

(57)摘要

一種三角積分調變器及其校正方法，其包括迴路濾波器、校正處理器、量化器及數位類比轉換器。其中，迴路濾波器用以接收輸入訊號、回授訊號與校正訊號，且迴路濾波器更包括至少一積分器，各積分器相互串聯。校正處理器包括至少一校正單元，各校正單元耦接相對應之各積分器，各校正單元利用偵測訊號以產生誤差訊號至各積分器，各積分器依據偵測訊號調整其操作極點。量化器耦接迴路濾波器，用以數位化迴路濾波器之輸出訊號以輸出數位資料。數位類比轉換器耦接量化器，轉換量化器之數位資料以輸出回授訊號。

A Delta-sigma modulator and method of calibration thereof are provided. The Delta-sigma modulator includes a loop filter, a calibration processor, a quantizer, and a digital-to-analog converter. The loop filter receives an input signal, a feedback signal, and a calibrating signal. The loop filter includes at least one integrator, and each integrator connects to each other in series. The calibration processor includes at least one calibration unit, and each calibration unit connects to each integrator correspondingly. Each calibration unit generates a deviation signal to each integrator correspondingly by using a detection signal, and each integrator adjusts its operation pole based on the detection signal. The quantizer is coupled to the loop filter and quantizes an output signal of the loop filter to generate digital data. The digital-to-analog converter is coupled to the quantizer and converts the digital data of the quantizer to output the feedback signal.

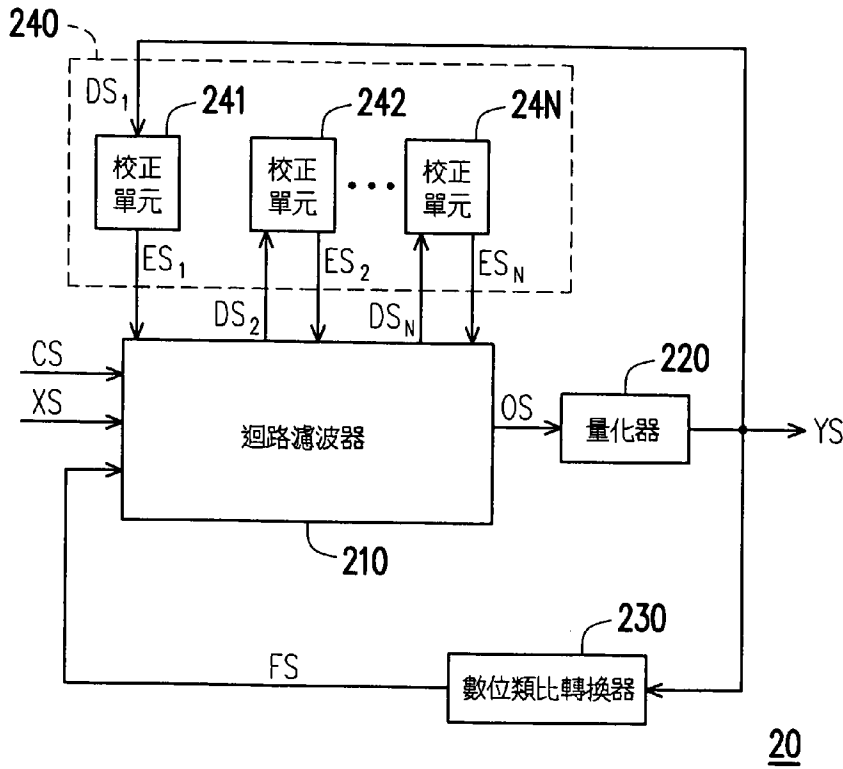


圖 2

- 20 . . . 三角積分調變器
- 210 . . . 迴路濾波器
- 220 . . . 量化器
- 230 . . . 數位類比轉換器
- 240 . . . 校正處理器
- 241~24N . . . 校正單元
- XS . . . 輸入訊號
- CS . . . 校正訊號
- YS . . . 數位資料
- OS . . . 輸出訊號
- ES₁~ES_N . . . 誤差訊號
- DS₁~DS_N . . . 偵測訊號
- FS . . . 回授訊號

20

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101131219

H03M 3/02 (2006.01)

※申請日：101.8.28

※IPC 分類：

H03M 1/06 (2006.01)

一、發明名稱：

三角積分調變器及其校正方法 / DELTA-SIGMA
MODULATOR AND METHOD OF CALIBRATION THEREOF

二、中文發明摘要：

一種三角積分調變器及其校正方法，其包括迴路濾波器、校正處理器、量化器及數位類比轉換器。其中，迴路濾波器用以接收輸入訊號、回授訊號與校正訊號，且迴路濾波器更包括至少一積分器，各積分器相互串聯。校正處理器包括至少一校正單元，各校正單元耦接相對應之各積分器，各校正單元利用偵測訊號以產生誤差訊號至各積分器，各積分器依據偵測訊號調整其操作極點。量化器耦接迴路濾波器，用以數位化迴路濾波器之輸出訊號以輸出數位資料。數位類比轉換器耦接量化器，轉換量化器之數位資料以輸出回授訊號。

三、英文發明摘要：

A Delta-sigma modulator and method of calibration thereof are provided. The Delta-sigma modulator includes a loop filter, a calibration processor, a quantizer, and a digital-to-analog converter. The loop filter receives an input signal, a feedback signal, and a calibrating signal. The loop filter includes at least one integrator, and each integrator connects to each other in series. The calibration processor includes at least one calibration unit, and each calibration unit connects to each integrator correspondingly. Each calibration unit generates a deviation signal to each integrator correspondingly by using a detection signal, and each integrator adjusts its operation pole based on the detection signal. The quantizer is coupled to the loop filter and quantizes an output signal of the loop filter to generate digital data. The digital-to-analog converter is coupled to the quantizer and converts the digital data of the quantizer to output the feedback signal.

四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

20：三角積分調變器

210：迴路濾波器

220：量化器

230：數位類比轉換器

240：校正處理器

241~24N：校正單元

XS：輸入訊號

CS：校正訊號

YS：數位資料

OS：輸出訊號

ES₁~ES_N：誤差訊號

DS₁~DS_N：偵測訊號

FS：回授訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種三角積分調變器，且特別是有關於一種三角積分調變器及其對各個積分器校正之方法。

【先前技術】

近年來，三角積分調變器(Delta-Sigma modulator, DSM)被大幅的應用於音訊系統中的高取樣類比數位轉換器(Over-Sampling ADC)上，從現有相當普及的MP3隨身聽到高階音響甚至是助聽器，都可以看到三角積分調變器的蹤影。一般而言，三角積分調變器具有解析度高、電路簡單、對時脈抖動不敏感的優點。又由於三角積分調變器具有雜訊整形之特性，其訊雜比也相對提高，而其中越高階的三角積分調變器其雜訊整形之效果也就越好。另外，三角積分調變器中的積分器更左右著三角積分調變器的效能，如果三角積分調變器裡的積分器產生失真的現象，其雜訊整形的能力也會相對隨之下降，訊雜比也會相對的不理想。

一般來說，切換式電容電路(switched-capacitor circuit)的技術可以應用於三角積分調變器的積分器上。一個切換式電容電路包括了開關、電容與運算放大器，其中運算放大器的增益與整體電路效能有著顯著的關聯。然而，隨著現今積體電路製程的進步，雖然增進了電路的速度且實現了較小的電路面積，但其電源電壓也相對隨之下降。這不

但限制了運算放大器的輸出阻抗，也限制了運算放大器增益，更因此可能造成切換式電容電路中的積分電容有漏損(leakage)的現象發生。

為了降低此漏損現象的影響，必須要使用大積分電容以及輸出阻抗大的運算放大器，也就是消耗大功率的大型元件。但在現今的製程中，要實現具有良好電壓增益的運算放大器是不易設計的，使得電容切換電路在現今製程的低電源供應的環境中確實遇到了瓶頸。此外，除了製程對積分器產生的影響，操作的環境因素也會使積分器產生漏損的現象，例如溫度的升降等。

為了改善電容切換式電路積分器所遇到的漏損或失真問題，在習知技術中，在三角積分調變器的量化器前或後加入一個測試訊號，並依據此測試訊號於系統的響應來校正積分器為一個常見的方法。此外，也藉由一特殊電路的計算來調整三角積分調變器的時間常數，也就是調整積分器中的多個電子元件來改善積分器的效能。然而，在習知技術中不僅需要花較長的時間進行校正，更需要較複雜之硬體電路設計，例如：適應性濾波器或窄頻濾波器的增設等。對於目前電子產業來說，不僅講求高效率，同時更要求低成本，因此如何更完善的設計出符合需求的產品也形成一個重要的議題。

【發明內容】

有鑑於此，本發明提供一種三角積分調變器及其校正方

法，在三角積分調變器中各個串聯的積分器之輸出端的位置加入校正訊號，以及在各個串聯的積分器之輸入端的位置收集偵測訊號，並設置一簡單的校正處理器來計算與處理，據此調整各積分器的操作極點，以克服積分器漏損對三角積分調變器所造成的影響。

本發明提出一種三角積分調變器，其包括迴路濾波器、量化器、數位類比轉換器，以及校正處理器。其中，迴路濾波器用以接收輸入訊號、回授訊號與校正訊號。此迴路濾波器包括 N 個積分器，這些積分器相互串聯，而 N 為正整數。量化器耦接迴路濾波器，用以數位化迴路濾波器之輸出訊號以輸出數位資料。數位類比轉換器耦接量化器，轉換量化器之數位資料以輸出回授訊號。校正處理器包括 N 個校正單元，各個校正單元耦接相對應之各個積分器，其中第 i 個校正單元利用第 $(i-1)$ 個積分器輸出的偵測訊號以產生誤差訊號至第 i 個積分器，第 i 個積分器根據上述誤差訊號調整其操作極點，而 i 為大於 1 且小於等於 N 的整數。

在本發明之一實施例中，上述之三角積分調變器中的迴路濾波器更包括多個加法器，這些加法器位於串聯的各個積分器的輸入端位置以及輸出端位置。這些加法器用來將校正訊號輸入至各個積分器的輸出端之位置，並將回授訊號輸入至各個積分器的輸入端之位置。

在本發明之一實施例中，上述之三角積分調變器中的第 1 個校正單元利用三角積分調變器輸出的數位資料以產生誤差訊號至第 1 個積分器，第 1 個積分器根據誤差訊號調整操作極

點。

在本發明之一實施例中，上述之三角積分調變器中的校正處理器更包括(N-1)個校正量化器，其中第 i 個校正量化器用以數位化第(i-1)個積分器所輸出的偵測訊號以產生數位偵測訊號至第 i 個校正單元。

在本發明之一實施例中，上述之各個校正單元包括乘法器、第一累加器、雙峰值偵測器，與第二累加器。其中，第一累加器耦接乘法器，接收濾波整形訊號，並累加濾波整形訊號以產生累加訊號。雙峰值偵測器耦接第一累加器，用以接收累加訊號，判斷累加訊號的絕對值是否大於臨界值，若判斷為是，則產生一穩定偵測訊號。第二累加器耦接雙峰值偵測器，用以接收穩定偵測訊號，並累加穩定偵測訊號以產生誤差訊號。其中，第 1 個校正單元的乘法器耦接三角積分調變器的輸出端，用以接收三角積分調變器的數位資料，第 i 個校正單元的乘法器耦接第 i 個校正量化器，用以接收數位偵測資料。

在本發明之一實施例中，上述之三角積分調變器中各校正單元的乘法器接收濾波序列訊號，用以對數位偵測訊號進行濾波整形。其中校正訊號為週期性訊號，且濾波序列訊號之週期與校正訊號相同。

在本發明之一實施例中，上述之三角積分調變器中，當累加訊號的絕對值大於臨界值，雙峰值偵測器產生重置訊號至第一累加器。

在本發明之一實施例中，上述之三角積分調變器中的積分器為可調極點切換式電容積分器。

在本發明之一實施例中，上述之三角積分調變器中，各積分器包括可變電容元件，依據誤差訊號控制可變電容元件的電容值以調整各積分器的操作極點。

在本發明之一實施例中，上述之三角積分調變器更包括校正訊號產生器。此校正訊號產生器耦接迴路濾波器，用來產生校正訊號。

在本發明之一實施例中，上述之三角積分調變器更包括邏輯電路。邏輯電路耦接校正訊號產生器，用來產生濾波序列訊號。

本發明提出一種三角積分調變器的校正方法，三角積分器接收輸入訊號並輸出數位資料，三角積分器包括至少一積分器與至少一校正單元，此校正方法包括下列步驟。首先，在各積分器的輸出端的位置輸入校正訊號。接著，在各積分器的上一個積分器的輸出端之位置收集偵測訊號，其中第一個校正單元收集三角積分調變器的數位資料。然後，各校正單元根據偵測訊號產生誤差訊號至各積分器。最後，各積分器根據誤差訊號調整各積分器的操作極點。

在本發明之一實施例中，上述之收集偵測訊號的步驟更包括利用校正量化器數位化偵測訊號以產生數位偵測訊號。

在本發明之一實施例中，上述之產生誤差訊號的步驟包括下列步驟。首先，把數位偵測訊號乘上濾波序列訊號，以產生濾波整形訊號。再來，累加濾波整形訊號以產生累加訊號。然後，判斷累加訊號的絕對值是否大於臨界值，若判對為是，產生穩定偵測訊號。最後，累加穩定偵測訊號，並據以輸出誤差

訊號。

在本發明之一實施例中，上述之判斷累加訊號的絕對值是否大於臨界值的步驟更包括若判斷為是，產生重置訊號使累加訊號回復為 0。

在本發明之一實施例中，上述之調整各積分器的操作極點的步驟包括依據誤差訊號控制可變電容元件的電容值，以調整各積分器的操作極點。

基於上述，本發明所提供之三角積分調變器與其校正方法，藉由在各積分器之輸出端之位置輸入校正訊號及在各積分器輸入端之位置收集偵測訊號，並搭配簡單的校正處理器的設計，對每個積分器的操作極點逐一的進行校正。據此，使得各積分器能操作於較佳的操作極點上，克服積分器因製程或環境因素所造成的不良現象，也避免了複雜的硬體電路設計，讓三角積分調變器能實現其預期的雜訊整形功效。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

在現今主流積體電路設計當中，有大量的三角積分調變器皆採用切換式電容積分器與以實踐。舉例來說，圖 1 即為一個切換式電容積分器，當開關相位為 T_1 時，輸入電壓 V_{ip} 和 V_{in} 分別被各自相連的 C_s 電容取樣，輸出電壓 V_{op} 與 V_{on} 分別被各自相連的 C_f 電容取樣。當開關相位為 T_2 時，因為電荷守恆，被取樣的電壓差會被累加到 C_i 上。

因此此類積分器的 Z 轉換方程式 (z-domain transfer-function) 為

$$H = \frac{\alpha z^{-1}}{1 - \beta z^{-1}}$$

由上式可知，在此切換式電容積分器中， β 為其極點，且當 β 為 1 的時候，此積分器會有最佳的操作結果。此外， β 更與此積分器中的電容 C_f 的電容值有關，增加 C_f 可使 β 變大，減少 C_f 可使 β 縮小，因此可以藉由調整電容 C_f 來改變此積分器的極點，降低其失真或漏損的現象，以致三角積分調變器能有最好的雜訊重整效果，達到最佳的訊雜比。本發明便是藉由設計一校正處理方法來調控三角積分調變器中積分器的極點，以降低積分器漏損現象所造成的負面影響，為了使本發明內容更未明瞭，以下列舉實施例作為本發明確實能夠據以實施的範例。

圖 2 為本發明根據一實施例繪示的三角積分調變器的方塊圖。請參照圖 2，本實施例之三角積分調變器 20 利用其元件的所組成的迴路，可讓電路將輸入訊號 XS 經過所產生的雜訊推至高頻(noise-shaping)，而其中包括迴路濾波器 210、量化器 220、數位類比轉換器 230，以及校正處理器 240。圖 2 中三角積分調變器 20 使用迴路濾波器 210 接收一個欲將其調變的輸入訊號 XS、回授訊號 FS，與校正訊號 CS，迴路濾波器 210 包括至少一個積分器(未繪示)。量化器 220 耦接迴路濾波器 210，並數位化迴路濾波器 210 的輸出訊號 OS，再輸出三角積分調變器 20 的數位資料 YS。數位類比轉換器 230 耦接量化器 220，把量化器產生

的數位資料 YS 轉換成類比的回授訊號 FS ，也就是轉換量化器 220 輸出的數位資料 YS 以輸出回授訊號 FS 至回授濾波器 210。

本實施例之三角積分調變器 20 更具備一校正處理器 240，用以校正迴路濾波器 210 中的各個積分器，進而克服積分器失真的問題。校正處理器 240 包括了 N 個校正單元 241~24N，而 N 除了為正整數也代表三角積分調變器中積分器的數量，每個校正單元 241~24N 都耦接迴路濾波器 210。由於校正訊號 CS 的輸入以及電路之負回授的連接關係，每個校正單元 241~24N 可藉由從回授濾波器 210 接收到的偵測訊號 $DS_1 \sim DS_N$ ，來計算處出誤差訊號 $ES_1 \sim ES_N$ ，進而輸入誤差訊號 $ES_1 \sim ES_N$ 至回授濾波器中來調整積分器的操作極點。也就是說，當積分器的極點產生偏移的情形時，可藉由偵測訊號 $DS_1 \sim DS_N$ 的收集與校正單元 241~24N 的計算，取得誤差訊號 $ES_1 \sim ES_N$ 來調整積分器中與極點有關聯的一電容值，使積分器能夠回覆到較佳的操作狀態。

更詳細的來說，圖 2 繪示為本發明之三角積分調變器之另一實施例。三角積分調變器 30 包括了迴路濾波器 310、量化器 320、數位類比轉換器 330 以及校正單元 340。迴路濾波器 310 更包括 N 個積分器 $H_1 \sim H_N$ 、多個加法器 3111~311(p) 以及增益元件 $b_1 \sim b_N$ 。校正處理器 340 包括了 N 個校正單元 $CP_1 \sim CP_N$ 以及 $N-1$ 個校正量化器 $ADC_2 \sim ADC_N$ ，校正量化器 $ADC_2 \sim ADC_N$ 數位化偵測訊號 $DS_2 \sim DS_N$ 來產生數位偵測訊號 $DDS_2 \sim DDS_N$ ，使校正單元

的電路設計能夠因為數位化而更簡單。

如圖所示，積分器 $H_1 \sim H_N$ 耦接其相對應之校正單元 $CP_1 \sim CP_N$ ，即第 i 個校正單元 CP_i 耦接第 i 個積分器 H_i 。舉例來說，第 1 個積分器 H_1 耦接第 1 個校正單元 CP_1 ，第 2 個積分器 H_2 耦接第 2 個校正單元 CP_2 ，第 N 個積分器 H_N 耦接第 N 個校正單元 CP_N 。本實施例中的加法器 3111~311(p) 位於各積分器 $H_1 \sim H_N$ 的輸入端位置以及輸出端位置，這些加法器 3111~311(p) 用來將校正訊號 CS 輸入至各個積分器 $H_1 \sim H_N$ 後方的輸出端之位置，並將回授訊號 FS 輸入至各積分器 $H_1 \sim H_N$ 前方的輸入端之位置。換句話說，本發明校正訊號 CS 的輸入方法，即為在每個待校正的積分器 $H_1 \sim H_N$ 後方輸入校正訊號 CS 。

於本示範性實施例中，由於積分器 $H_1 \sim H_N$ 與校正單元 $CP_1 \sim CP_N$ 電路架構與運作原理實質上相同，僅第 1 個積分器 H_1 與第 1 個校正單元 CP_1 耦接關係略有不同，故此針對第 i 個積分器 H_i 與第 i 個校正單元 CP_i 來做說明如下，並額外說明第 1 個積分器 H_1 與第 1 個校正單元 CP_1 耦接關係。

在本發明之實施例中，當欲校正第 i 個積分器 H_i 時，先將校正訊號 CS 輸入至加法器 311(j)。然後收集第 $(i-1)$ 個積分器 H_{i-1} 的輸出作為偵測訊號 DS_i 。偵測訊號 DS_i 經過校正量化器 ADC_i 的量化之後，產生了數位偵測訊號 DDS_i ，第 i 個校正單元 CP_i 接收數位偵測訊號 DDS_i 並計算處理之，而得到誤差訊號 ES_i 。於是，第 i 個積分器 H_i 便

可以藉由誤差訊號 ES_i 來調整其操作極點，使第 i 個積分器的操作極點能保持在接近 1 的地方，避免積分器漏損或失真所產生的問題。

在此需要注意的是，第 1 個校正單元 CP_1 接收三角積分調變器 30 輸出的數位資料 YS 作為偵測訊號 DS_1 ，又由於三角積分調變器 30 具有天生的量化器 320，所以並不需要再透過校正量化器來量化偵測訊號 DS_1 。因此，第 1 個校正單元 CP_1 僅需要利用量化器 320 輸出的數位資料 YS 作為其偵測訊號，以產生誤差訊號 ES_1 至第 1 個積分器 H_1 ，第 1 個積分器再根據誤差訊號 ES_1 調整第 1 個積分器 H_1 的操作極點。由此可發現，本發明中之每一個積分器皆有其校正單元，校正過程可個別的針對各積分進行調整，不但可以簡短校正所需的時間，且可針對個別積分器做出相對應的調整。

基於上述，在當上述積分器數量為一的情形下 ($N=1$)，亦即以包括一個積分器的三角積分調變器為例，來詳細說明校正單元內部的操作原理。圖 4A 繪示為圖 3 中 $N=1$ 的一實施例，圖 4B 繪示為圖 4A 之校正單元的方塊圖，而圖 5 繪示為圖 4 之三角積分調變器的內部訊號的示意圖。請合併參照圖 4A、圖 4B 與圖 5，三角積分調變器 40 包括第一個積分器 411、第一個校正器 440、加法器 451 與 452、量化器 420，以及數位類比轉換器 430。校正單元 440 更包括乘法器 441、第一累加器 442、雙向峰值偵測器 443 以及第二累加器 444。

在本實施例中，三角積分調變器 40 為一個標準的三角積分調變器，其積分器 411 例如為圖 1 所示的可調極點切換式電容積分器，積分器 411 包括一可變電容元件 C_f 。此外，三角積分調變器 40 更包括了一個校正單元 440。當三角積分調變器 40 在對輸入訊號 XS 進行訊號處理以產生數位資料 YS 的過程當中，積分器 411 可能會因為種種因素產生漏損的現象。使積分器 411 操作極點慢慢的偏離理想值，導致此三角積分調變器漸漸喪失其雜訊型變的功效，而校正單元 440 被用來對積分器 411 進行校正的動作，藉由控制圖 1 中之可變電容元件 C_f 的電容值以調整積分器 411 的操作極點。

當要校正積分器 411 時，先將校正訊號 CS 輸入至加法器 452。在本實施例中，如圖 5 所示，校正訊號 CS 為一個週期性的方波。由於三角積分調變器之負回授(negative feedback)機制的影響，三角積分調變器 40 的數位資料 YS 除了本身的輸入訊號 XS 以及量化器 420 產生的訊號，此校正訊號 CS 會造成數位資料 YS 帶有如圖 5 中響應訊號 CRS 的成分。

如圖 5 所示，響應訊號 CRS 每半週期會收斂到一剩餘電壓(residue voltage)，且此剩餘電壓的極性和積分器的操作極點偏移的極性相關。換句話說，當有殘餘電壓的存在時，即代表了操作極點有偏移的現象產生。故可藉由校正單元 440 計算此殘餘電壓的殘餘量，來判斷出積分器 411 的極點的偏移方向及程度。據此，校正單元 440 收集收集

數位資料 YS ，並經由計算產生誤差訊號 ES_1 ，來調整積分器 411 的操作極點。

再者，在校正單元接收到數位資料 YS 後，校正單元 440 的乘法器 441 接收一濾波序列訊號 GS ，對數位資料 YS 進行濾波整形的動作，並產生濾波整形訊號 GFS 至第一累加器 442。在此需要注意的是，濾波序列訊號 GS 為三元序列，大小為 0、+1 或 -1，週期與校正訊號 CS 相同。如圖 5 所示， GS 由 +1 變 0 的時脈邊緣(edge)與校正訊號 CS 的下緣(falling-edge)同步或延遲數個取樣時脈。 GS 由 -1 變 0 的時脈邊緣與校正訊號 CS 的上緣(rising-edge)同步或延遲數個取樣時脈。

乘上此濾波整離型訊號 GS 的濾波功能可藉由使用一保護頻帶濾波器或一細節保護濾波器等濾波器達成，本發明對此不限定。如圖 5 所示，由於乘上了濾波整形訊號 GS ，可以濾除響應訊號 GRS 於週期前期尚未穩定的訊號，保留了收斂後的殘餘電壓值。使用此含有保護區間的 GRS 的目的，在於可濾除因三角積分調變器對偵測訊號產生的干擾，避免額外或複雜的濾波器設計，簡易且快速的取出數位資料 YS 中帶有響應訊號 CRS 之殘餘電壓成分的資訊。

第一累加器 442 耦接乘法器 441，接收濾波整形訊號 GFS ，並累加濾波整形訊號 GFS 以產生累加訊號 SS ，雙峰值偵測器 443 耦接第一累加器 442，接收累加訊號 SS ，判斷累加訊號 SS 的絕對值是否大於一臨界值，若判斷為是，

產生一穩定偵測訊號 BS。雙向峰值偵測器 443 之功能為監測累加訊號 SS，累加訊號 SS 是校正單元 441 接收到的數位資料 YS 再乘上濾波整形訊號 GS 後的累加結果，其極性與操作極點相關。

雙向峰值偵測器 443 內部設有一臨界值，當累加訊號 SS 高於臨界值(Nth)，雙向峰值偵測器 443 送出穩定偵測訊號 BS 為 1 的訊號；當累加訊號 SS 低於負臨界值(-Nth)，雙向峰值偵測器 443 送出穩定偵測訊號 BS 為 -1 的訊號；其餘情況，穩定偵測訊號 BS 保持為 0。上述動作除了可偵測出積分器漏損的程度，也可偵測出極點偏移的極性，檢查此時的操作極點是不足或是過頭。此外，由於數位訊號 YS 帶有許多其他訊號的成分，為了避免校正單元因太敏感而造成一時的誤差，雙向峰值偵測器 443 與第一累加器 442 收集一定的訊號資訊後再予之判斷，增加校正單元的穩定度與可信度。

另外，一旦累加訊號 SS 的絕對值大於臨界值，雙向峰值偵測器 443 送出穩定偵測訊號 BS 後，也將產生一重置訊號 RS 給第一累加器 442，使累加訊號 SS 回復為 0，重新開始累加的動作。第二累加器 444 耦接雙峰值偵測器 443，接收穩定偵測訊號 BS，並累加穩定偵測訊號 BS 以產生誤差訊號 ES_1 。誤差訊號 ES_1 便可以用來調整積分器 H_1 的極點，每當誤差訊號 ES_1 增加 1，積分器 H_1 裡的可變電容隨之增加一固定微小量，因此積分器 H_1 的操作極點也隨之改變至較接近理想值的一操作極點，達到了校正積分

器 H_1 的目的。

圖 6 為根據本發明之另一實施例所繪示的示意圖。請參照圖 6，三角積分調變器 60 包括二個積分器 611 與 612。在此實施例中，三角積分調變器 60 還包括了一校正訊號產生器 660 與邏輯電路 670。校正訊號產生器 660 產生校正訊號 CS 至加法器 652 與 653，用以對積分器 611 與 612 來進行校正的動作。而邏輯電路 670 耦接校正訊號產生器 660，產生一濾波序列訊號 GS 至校正單元 642 與 641。

第一個積分器 H_1 的操作原理可參考圖 4 所示實施例之說明，在此不贅述。此外，校正訊號產生器 660 輸入校正訊號 CS 至第 2 個積分器後方的加法器 653。而校正單元 642 利用第 1 個積分器 H_1 輸出的偵測訊號 DS_2 來偵測出第 2 個積分器 H_2 的操作極點的偏移，並依據誤差訊號 ES_2 來調整第 2 個積分器 H_2 的操作極點。其中，校正量化器 643 數位化偵測訊號 DS_2 以產生數位偵測訊號 DDS_2 ，使校正單元 642 能夠進行更簡單的數位處理。

需要注意的是，在本實施例中的濾波序列訊號 GS 可藉由邏輯電路 670 簡單的處理校正訊號產生器 660 的校正訊號 CS 而產生，並輸入至乘法器 6421 來進行濾波的動作。也就是說，乘法器 6421 把校正量化器產生的數位偵測訊號 DDS_2 與邏輯電路產生的濾波序列訊號 GS 相乘，得到濾波整形訊號 GFS。第 2 個校正單元 CP2 其餘的操作原理可參考圖 4 所示實施例之說明，在此不再贅述。第 2 個校正單元 CP2 產生誤差訊號 ES_2 ，而第 2 個積分器 H_2 依據誤

差訊號 ES_2 調整其操作極點。

在此，雖然上述示範性實施例僅以描述第 1 個校正單元 CP_1 內部的運作原理以及包含兩個積分器的三角積分調變器之耦接關係做說明，但其他包含多個積分器與校正單元的三角積分調變器中，其運作原理皆與之相似，對於熟悉本領域之技藝者而言可依之類推，故而在此並不再加以贅述之。

綜上所述，本發明主要是藉由校正訊號的輸入、偵測訊號取得，以及校正單元的計算，逐一的控制調整每個積分器的操作極點，來解決積分器漏損或失真的問題。藉由本發明所提出的校正方法，可在三角積分調變器正常運作的同時，能自行修正校正的幅度達到校正的目的，使漏損現象維持在低水平，並不影響三角積分器的正常操作。而每一個有漏損現象的積分器之極點誤差都可以單獨的被偵測出來，並不會受限於三角積分調變器的架構。此外，本發明僅需要簡單的電路設計及可以達到目的，不需要額外濾波器的增設，也不需要複雜的計算處理電路，大幅減少因校正所需的電路，提升其處理速度，也節省了功率的消耗。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

下面的所附圖式是本發明的說明書的一部分，繪示了本發明的示例實施例，所附圖式與說明書的描述一起說明本發明的原理。

圖 1 繪示為本發明之切換式電容積分器實施例的電路圖。

圖 2 繪示為本發明之一實施例之三角積分調變器的方塊圖。

圖 3 繪示為本發明另一實施例之三角積分調變器的方塊圖。

圖 4A 繪示為本發明另一實施例之三角積分調變器的方塊圖。

圖 4B 繪示為本發明一實施例之校正單元的方塊圖。

圖 5 繪示為本發明一實施例之三角積分調變器訊之訊號波形的示意圖。

圖 6 繪示為本發明另一實施例之三角積分調變器的方塊圖。

【主要元件符號說明】

20、30、40、60：三角積分調變器

210、310：迴路濾波器

220、320、420、620：量化器

230、330、430、630：數位類比轉換器

240、340：校正處理器

241~24N：校正單元

3111、3112、311(i)、311(j)、311(o)、311(p)：加法器

$CP_1 \sim CP_N$ 、 CP_i 、 CP_{i+1} ：校正單元
 $H_1 \sim H_N$ 、 H_i 、 H_{i+1} 、 H_{i-1} 、 H_{N-1} ：積分器
 $b_1 \sim b_N$ 、 b_i 、 b_{i+1} ：增益元件
 $ADC_2 \sim ADC_N$ 、 ADC_i 、 ADC_{i+1} ：校正量化器
411、611、612：積分器
440、641、642：校正單元
451、452、651、652、653：加法器
441、6421：乘法器
442、6422：第一累加器
443、6423：雙峰值偵測器
444、6424：第二累加器
660：校正訊號產生器
670：邏輯電路
643：校正量化器
 V_{ip} 、 V_{in} ：輸入電壓
 V_{op} 、 V_{on} ：輸出電壓
 T_1 、 T_2 ：開關
 C_s 、 C_i 、 C_j ：電容
 C_f ：可變電容
XS：輸入訊號
CS：校正訊號
YS：數位資料
OS：輸出訊號
 $ES_1 \sim ES_N$ ：誤差訊號

$DS_1 \sim DS_N$: 偵測訊號

FS : 回授訊號

$DDS_1 \sim DDS_N$: 數位偵測資料

GS : 濾波序列訊號

GFS : 濾波整形訊號

RS : 重置訊號

SS : 累加訊號

BS : 穩定偵測訊號

CRS : 響應訊號

七、申請專利範圍：

1. 一種三角積分調變器，包括：

一迴路濾波器，接收一輸入訊號、一回授訊號與一校正訊號，該迴路濾波器包括 N 個積分器，該些積分器相互串聯，其中 N 為正整數；

一量化器，耦接該迴路濾波器，數位化該迴路濾波器之一輸出訊號以輸出一數位資料；

一數位類比轉換器，耦接該量化器，轉換從該量化器接收的該數位資料以輸出該回授訊號；以及

一校正處理器，包括 N 個校正單元，各該校正單元耦接相對應之各該積分器，其中第 i 個校正單元利用第 $(i-1)$ 個積分器輸出的一偵測訊號以產生一誤差訊號至第 i 個積分器，第 i 個積分器根據該誤差訊號調整一操作極點， i 為大於 1 且小於等於 N 的整數。

2. 如申請專利範圍第 1 項所述之三角積分調變器，其中該迴路濾波器更包括多個加法器，該些加法器位於各該積分器的輸入端之位置以及輸出端之位置。

3. 如申請專利範圍第 2 項所述之三角積分調變器，其中該些加法器用來將該校正訊號輸入至各該積分器的輸出端的位置，並將該回授訊號輸入至各該積分器的輸入端的位置。

4. 如申請專利範圍第 1 項所述之三角積分調變器，其中第 1 個校正單元利用該三角積分調變器輸出的該數位資

料以產生該誤差訊號至第 1 個積分器，第 1 個積分器根據該誤差訊號調整該操作極點。

5. 如申請專利範圍第 1 項所述之三角積分調變器，其中該校正處理器更包括(N-1)個校正量化器，其中第 i 個校正量化器用以數位化第(i-1)個積分器所輸出的該偵測訊號以產生一數位偵測訊號至第 i 個校正單元。

6. 如申請專利範圍第 1 項所述之三角積分調變器，其中該校正訊號為一週期性訊號。

7. 如申請專利範圍第 5 項所述之三角積分調變器，其中各該校正單元更包括：

一乘法器；

一第一累加器，耦接該乘法器，接收一濾波整形訊號，並累加該濾波整形訊號以產生一累加訊號；

一雙峰值偵測器，耦接該第一累加器，接收該累加訊號，判斷該累加訊號的絕對值是否大於一臨界值，若是，產生一穩定偵測訊號；以及

一第二累加器，耦接該雙峰值偵測器，接收該穩定偵測訊號，並累加該穩定偵測訊號以產生該誤差訊號，

其中，第 1 個校正單元的該乘法器耦接該三角積分調變器的一輸出端，用以接收該三角積分調變器的該數位資料，第 i 個校正單元的該乘法器耦接第 i 個校正量化器，接收該數位偵測資料。

8. 如申請專利範圍第 7 項所述之三角積分調變器，其中各該校正單元的該乘法器接收一濾波序列訊號，用以對該數位偵測訊號進行濾波整形。

9. 如申請專利範圍第 8 項所述之三角積分調變器，其中該校正訊號為一週期性訊號，且該濾波序列訊號之週期與該校正訊號相同。

10. 如申請專利範圍第 7 項所述之三角積分調變器，其中當該累加訊號的絕對值大於該臨界值，該雙峰值偵測器產生一重置訊號至該第一累加器。

11. 如申請專利範圍第 1 項所述之三角積分調變器，其中該些積分器為一可調極點切換式電容積分器。

12. 如申請專利範圍第 1 項所述之三角積分調變器，其中各該積分器包括一可變電容元件，依據該誤差訊號控制該可變電容元件的電容值以調整各該積分器的該操作極點。

13. 如申請專利範圍第 1 項所述之三角積分調變器，更包括一校正訊號產生器，耦接該迴路濾波器，用來產生該校正訊號。

14. 如申請專利範圍第 13 項所述之三角積分調變器，更包括一邏輯電路，耦接該校正訊號產生器，用來產生一濾波序列訊號。

15. 一種三角積分調變器的校正方法，該三角積分器接收一輸入訊號並輸出一數位資料，該三角積分器包括至

N 個積分器與 N 個校正單元，其中 N 為正整數，該校正方法包括：

在各該積分器的輸出端之位置輸入一校正訊號至該三角積分調變器，其中各該校正單元耦接相對應之各該積分器；

藉由第 i 個校正單元在第 $(i-1)$ 個積分器的輸出端之位置收集第 $(i-1)$ 個積分器輸出的一偵測訊號，其中第一個校正單元收集該三角積分調變器的該數位資料， i 為大於 1 且小於等於 N 的整數；

藉由第 i 個校正單元根據該偵測訊號產生一誤差訊號至第 i 個積分器；

藉由第 i 個積分器根據對應的該誤差訊號調整第 i 個積分器的一操作極點。

16. 如申請專利範圍第 15 項所述之校正方法，其中收集該偵測訊號的步驟更包括利用一校正量化器數位化該偵測訊號以產生一數位偵測訊號。

17. 如申請專利範圍第 15 項所述之校正方法，其中該校正訊號為一週期性訊號。

18. 如申請專利範圍第 15 項所述之校正方法，其中產生該誤差訊號的步驟包括：

把該數位偵測訊號乘上一濾波序列訊號，產生一濾波整形訊號；

累加該濾波整形訊號，產生一累加訊號；

判斷該累加訊號的絕對值是否大於一臨界值，若是，產生一穩定偵測訊號；

累加該穩定偵測訊號，並據以輸出該誤差訊號。

19. 如申請專利範圍第 18 項所述之校正方法，其中判斷該累加訊號的絕對值是否大於一臨界值的步驟更包括，若該累加訊號的絕對值大於該臨界值，產生一重置訊號使該累加訊號回復為 0。

20. 如申請專利範圍第 18 項所述之校正方法，其中該校正訊號為一週期性訊號，且該濾波序列訊號之週期與該校正訊號相同。

21. 如申請專利範圍第 15 項所述之校正方法，其中調整各該積分器的該操作極點的步驟包括依據該誤差訊號控制一可變電容元件的電容值以調整各該積分器的該操作極點。

八、圖式：

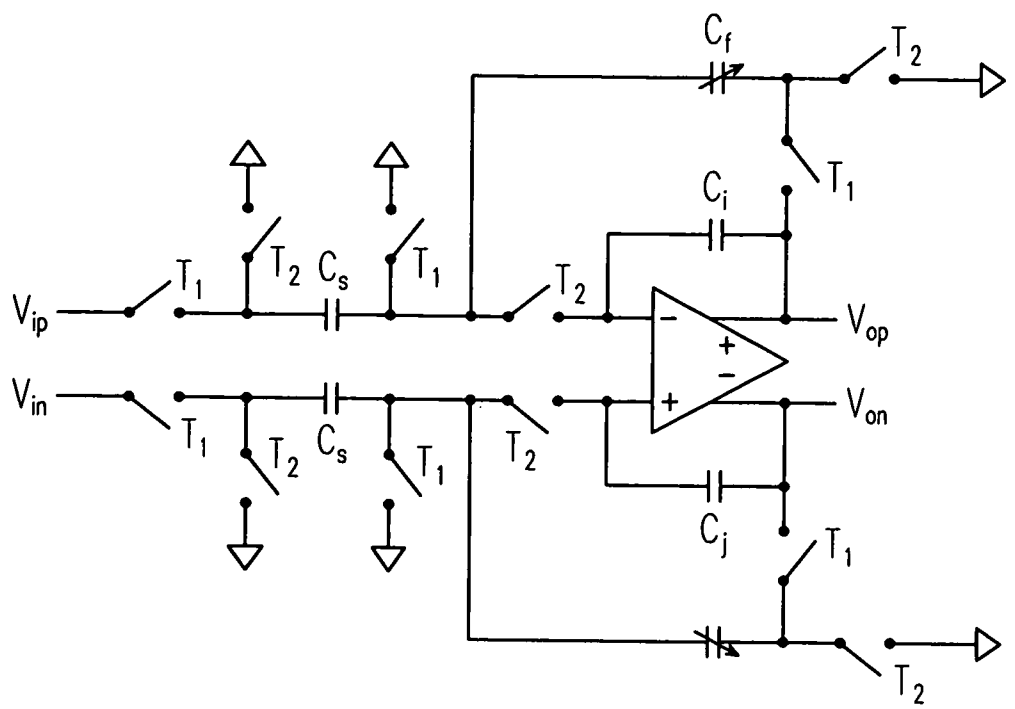


圖 1

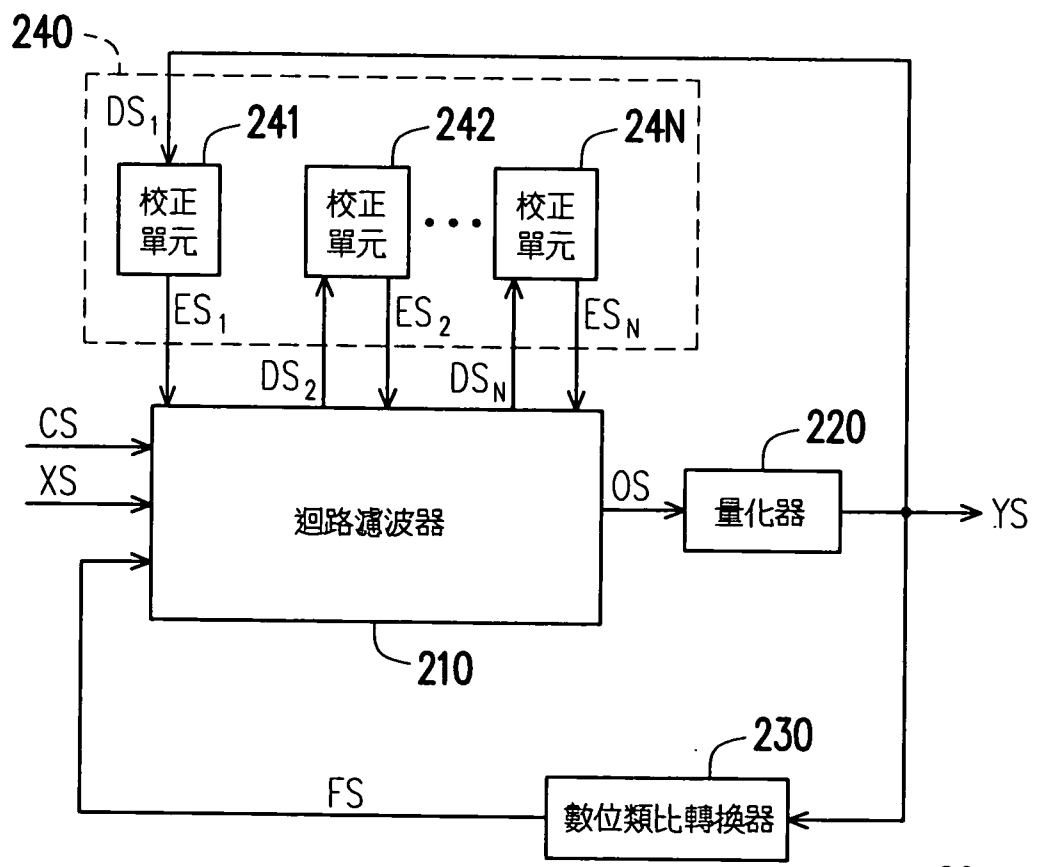


圖 2

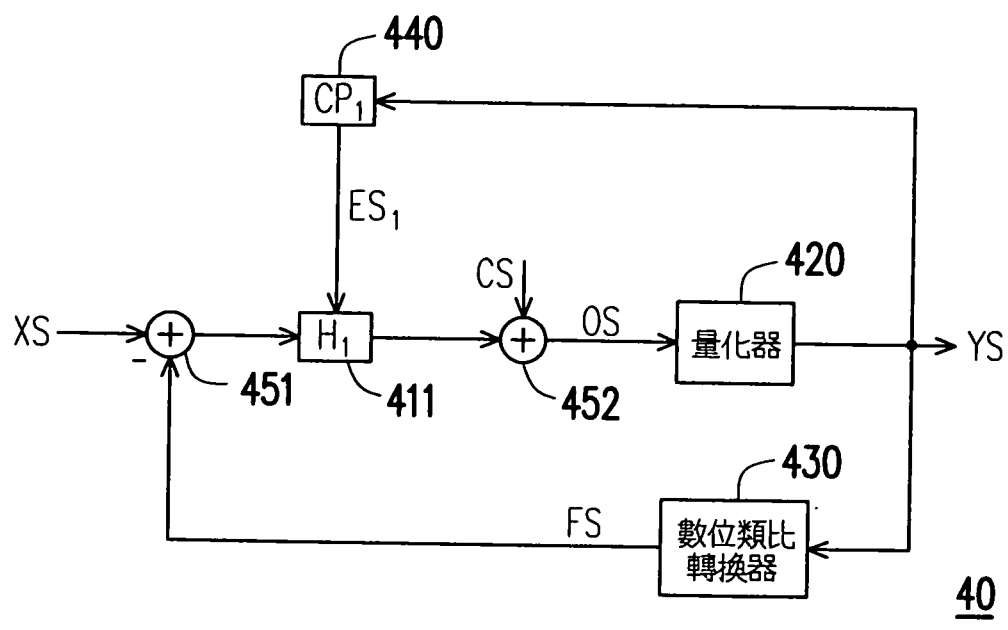


圖 4A

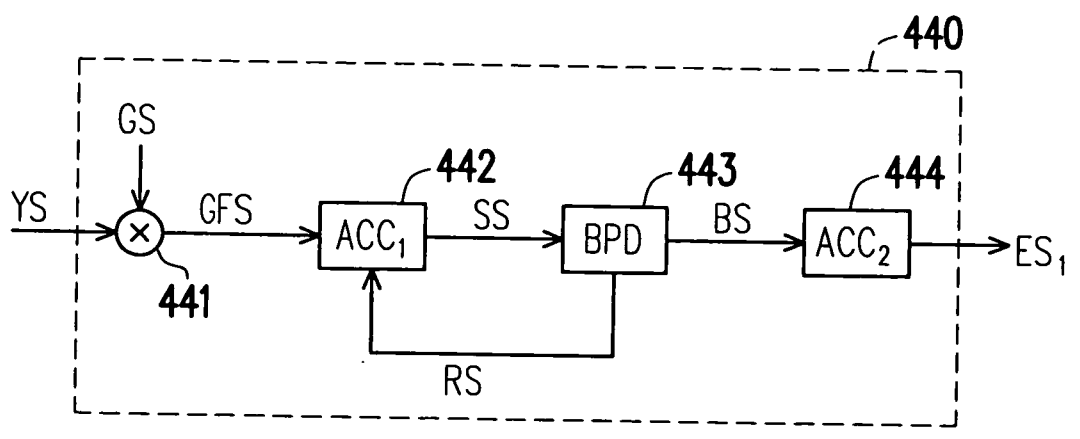


圖 4B

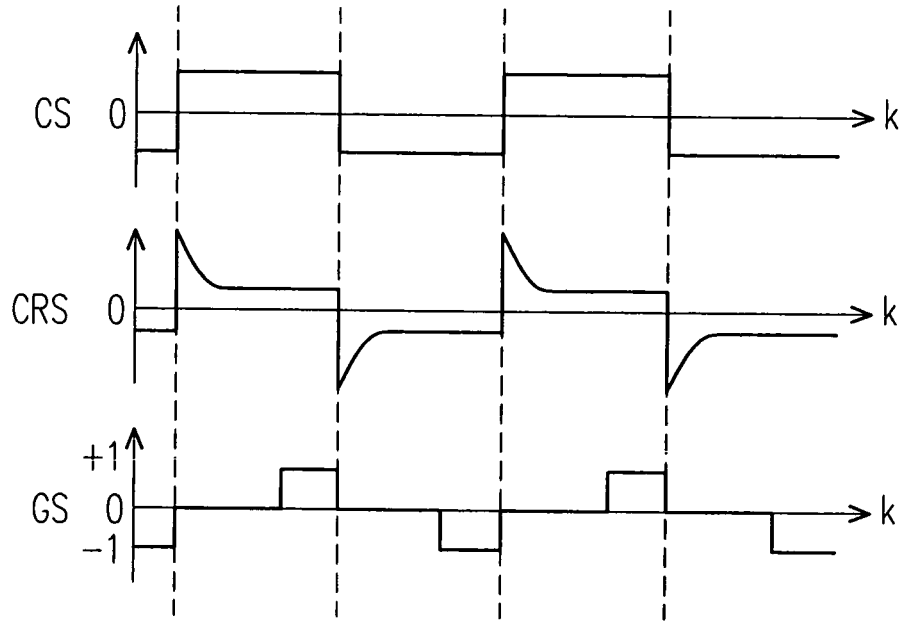


圖 5

