(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/31

(45) 공고일자 1999년02월01일
(11) 등록번호 특0159464
(24) 등록일자 1998년08월11일

(21) 출원번호	특1995-019713	(65) 공개번호	특1996-005852
(22) 출원일자	1995년07월06일	(43) 공개일자	1996년02월23일
(30) 우선권주장	94-156210 1994년07월07일 일본(JP)		

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 우에노 요시히로
일본국 가나가와현 가와시키시 사이와이구 호리가와정 72번지 가부시키가이샤 도시바 호리가와정 공장내
아마이 츠토무
일본국 가나가와현 가와시키시 사이와이구 호리가와정 72번지 가부시키가이샤 도시바 호리가와정 공장내
사마타 슈이치
일본국 가나가와현 가와시키시 사이와이구 호리가와정 72번지 가부시키가이샤 도시바 호리가와정 공장내
(74) 대리인 이세진, 김윤배

심사관 : 강명섭

(54) 반도체장치의 제조방법

요약

[목적]

마이크로러프니스를 저감시키는 것이 가능하고, 또한 반도체장치내에 형성되는 소자의 구조나 전기특성을 변화시킬 수 없는 반도체장치의 제조방법을 제공한다.

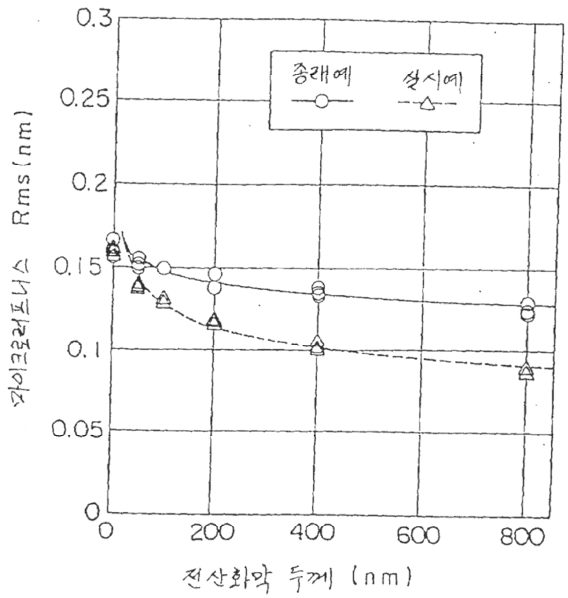
[구성]

실리콘웨이퍼상에 산화막을 형성한 후에 이 산화막을 제거함으로써 실리콘웨이퍼표면의 불순물을 제거하는 전산화공정을 갖춘 반도체장치의 제조방법에 있어서, 전산화공정에서의 산화막의 형성을 O_2가스, H_2가스 및 GeH_4가스를 함유한 산화성분위기중에서 수행한다.

[효과]

산화성분위기에 GeH_4가스를 함유시키기 때문에, 실리콘웨이퍼의 연화점을 낮추는 것이 가능하고, 따라서 실리콘웨이퍼표면의 마이크로러프니스를 저감시키는 것이 가능하다. 또, 전산화공정을 저온에서 단시간에 수행할 수 있기 때문에, 반도체장치내에 형성되는 소자의 구조한 전기특성을 변화시킬 수 없다.

대표도



명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제1도는 전산화공정에서의 산화막두께와 마이크로러프니스의 관계에 대한 측정결과를 나타낸 그래프.

제2도는 전산화공정에서의 산화온도와 마이크로러프니스의 관계에 대한 측정결과를 나타낸 그래프.

제3도는 전산화공정에서의 산화온도와 불순물확산영역의 재확산의 관계를 측정하기 위해 사용한 샘플을 개략적으로 나타낸 단면도.

제4도는 전산화공정에서의 산화온도와 불순물확산영역의 재확산의 관계에 대한 측정결과를 나타낸 그래프이다.

* 도면의 주요부분에 대한 부호의 설명

11 : 실리콘웨이퍼　　12,13 : 불순물확산영역

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체장치의 제조방법에 관한 것으로, 특히 전산화공정(前酸化工程)을 갖춘 반도체장치의 제조방법에 관한 것이다.

[종래의 기술 및 그 문제점]

종래부터 반도체장치의 제조공정에 있어서 사용되는 공정으로서, 전산화(前酸化)라고 일컬어지는 처리가 알려져 있다. 이것은, 반도체기판상에 산화막을 형성한 후에, 이 산화막을 제거하는 것이다. 이 전산화는, 예컨대 게이트산화막을 형성하기 전 등에 반도체기판표면의 불순물을 제거하기 위하여 수행된다.

이 전산화를 수행하는 방법은 드라이(dry) O_2산화와 웨트(wet)산화로 크게 나눌 수 있다.

드라이 O_2산화란 산소를 사용하여 산화막을 형성하는 방법이다. 이 드라이 O_2산화의 반응식은 하기와 같이 된다. 이 방법에 의하면, 막을 형성하는 속도는 느리지만, 고정밀도의 막두께제어가 가능하게 된다.

$$Si + O_2 = SiO_2$$

한편, 웨트산화란 수증기(H_2O)를 사용하여 산화막을 형성하는 방법이다. 웨트산화의 방응식은 하기와 같이 된다. 이 방법에 의하면, 산화막의 막두께 정밀도는 낮지만, 막을 형성하는 속도를 빠르게 할 수 있

다.

$$Si + 2H_2O = SiO_2 + 2H_2$$

통상, 전산화에서는 공정밀도의 막두께제어가 필요하지 않기 때문에, 막을 형성하는 속도가 빠른 웨트산화를 사용하게 된다.

[발명이 해결하고자 하는 과제]

근래, 반도체장치의 미세화 및 고집적화에 따라서 반도체기판의 표면의 마이크로러프니스(micro-roughness)의 존재가 무시할 수 없는 것으로 되고 있다. 여기서, 마이크로러프니스란 반도체기판의 결정표면에 형성된 凹凸을 말하며, 반도체장치의 전기특성(내압,신뢰성 등)을 악화시키는 원인으로 된다.

반도체장치에 형성되는 소자의 사이즈가 크고, 집적도가 작은 경우에는, 반도체기판상에 형성되는 산화막(게이트산화막 등)의 막두께를 두껍게 하는 것이 가능하기 때문에, 마이크로러프니스의 영향은 작다. 그러나, 반도체장치의 미세화, 고집적화가 진행됨에 따라 산화막을 박막화할 필요가 생기기 때문에, 마이크로러프니스가 전기특성에 주는 영향이 커져, 무시할 수 없는 것으로 되는 것이다.

이와 같은 결점을 해소하기 위하여, 본 발명자는 전산화공정에 있어서 반도체기판의 산화시간을 장시간화하는 방법(즉, 산화막두께를 두껍게 하는 방법)과, 산화온도를 고온화하는 방법을 시도해 보았다. 그 결과, 이들 방법에 의해 반도체기판면상의 불순물의 제거와 아울러 마이크로러프니스의 저감도 도모할 수 있었다.

그러나, 전산화공정에 있어서, 반도체기판의 산화시간을 장시간화하기도 하고 산화온도를 고온화하기도 하면, 반도체기판에 형성된 불순물영역내의 불순물이 재확산해 버린다는 새로운 결점을 야기한다. 즉, 반도체기판에 대하여 이온주입이나 확산 등을 행함으로써 불순물확산영역(소오스·드레인영역 등)을 형성하고, 그 후에 전산화를 수행하는 경우에, 산화시간을 장시간화하기도 하고 산화온도를 고온화하기도 하면, 이 불순물확산영역이 넓어져서 소자구조가 변화해 버림으로써 설계대로의 전기특성을 얻을수 없게 되어 버리는 것이다.

이 때문에, 전산화공정에 있어서 반도체기판의 산화시간을 장시간화하기도 하고 산화온도를 고온화하기도 함으로써 마이크로러프니스를 저감시키는 방법은, 실제로는 사용할 수 없었다.

[발명의 목적]

본 발명은 이와 같은 종래기술의 결점을 감안하여 된 것으로, 마이크로러프니스를 저감시키는 것이 가능하고, 도한 반도체장치내에 형성되는 소자의 구조나 전기특성을 변화시킬 수 없는 반도체장치의 제조방법을 제공하는 것을 그 목적으로 한다.

[과제를 해결하기 위한 수단]

본 발명에 따른 반도체장치의 제조방법은, 반도체기판상에 산화막을 형성한 후에 이 산화막을 제거함으로써 상기 반도체기판표면의 불순물을 제거하는 전산화공정을 갖춘 반도체장치의 제조방법에 있어서, 상기 전산화공정에서의 상기 산화막의 형성을 수증기와 4족 원소가스를 함유한 산화성 분위기중에서 수행하는 것을 특징으로 한다.

[작용]

본 발명에 의하면, 전산화공정에 있어서, 수증기를 함유한 산화성분위기에 4족 원소가스를 함유시키도록 하였기 때문에, 산화공정을 저온에서 단시간에 수행한 경우라도, 마이크로러프니스를 저감시키는 것이 가능하다. 이것은, 산화성분위기에 4족 원소가스를 함유시킴으로써 반도체기판의 연화점(軟化點)을 낮추는 것이 가능하기 때문이다.

[실시예]

이하, 본 발명의 실시예를 종래의 반도체장치의 제조방법과 비교하면서 설명한다.

[제1 실시예]

제1 실시예로서, 전산화공정에서의 산화막두께와 마이크로러프니스와의 관계(즉, 산화시간과 마이크로러프니스와의 관계)에 관하여 측정한 결과를 나타낸다.

반도체기판으로서는, 6인치 (100)면 N형 실리콘웨이퍼이며 비저항이 1~60Ω·㎝인 것을 사용한다. 그리고, 이하와 같은 수순으로 본 실시예의 전산화공정을 수행한다.

① 우선, 이 실리콘웨이퍼를 산화로에 수납하고, O_2가스, H_2가스 및 GeH_4가스 및 H_2가스(본 발명의 「4족 원소가스」에 해당한다)를 공급한다. 여기서, O_2가스 및 H_2가스의 유량은 각각 10리터/분으로 하고, 이들 가스에 대하여 GeH_4가스의 함유량은 4mol%로 한다. 이에 따라, O_2가스와 H_2가스가 산화로내에서 반응하여 수증기가 생성된다. 그리고, 실리콘웨이퍼를 800℃로 가열함으로써, 실시콘웨이퍼상에 산화막이 형성된다.

본 실시예에서는, 막두께가 0nm, 50nm, 100nm, 200nm, 400nm 및 800nm의 산화막이 형성된 실리콘웨이퍼를 각각 산화시간을 변화시킴으로써 제작한다.

② 이 후, 각 실리콘웨이퍼의 산화막을 불화암모늄을 사용하여 각각 박리한다.

③ 최후로, 측정기로서 AFM(Atomic Force Microscope)을 사용하여 각 실리콘웨이퍼표면의 마이크로러프

니스를 측정한다.

또한, 비교를 위해, 본 실시예와 동일한 실리콘웨이퍼를 사용하여 종래의 제조방법에 의한 전산화를 수행한 샘플도 제작한다. 제조방법은, 산화막형성시(상기 공정①)에 GeH_4가스를 사용하지 않는 것 이외에는 본 실시예의 경우(상기 공정①~③)와 동일하게 한다.

이들 각 샘플의 마이크로러프니스의 측정결과를 제1도에 나타냈다. 동도면으로부터 알 수 있는 바와 같이, 마이크로러프니스는 전산화의 산화막두께가 두꺼워질수록 저감되지만, 어느 막두께에 있어서도 본 실시예의 샘플쪽이 마이크로러프니스가 저감되고 있다.

이와 같이, 마이크로러프니스는 전산화의 산화시간을 장시간화함으로써 (즉, 전산화의 산화막두께를 두껍게함으로써) 저감시키는 것이 가능하지만, 상술한 바와 같이 이 장시간화에 의해 불순물확산영역에 재확산이 일어난다. 따라서, 이 장시간화에는 한계가 있다. 또한, 산화시간을 어느 정도까지 장시간화할 수 있는가(즉, 불순물확산영역에 재확산을 어느 정도까지 허용할 수 있는가)는 제조하는 반도체장치의 집적도 등에 따라서 결정된다. 본 실시예에 의하면 산화시간의 한계치가 주어진 경우에, 그 한계치에서의 마이크로러프니스를 종래의 제조방법의 경우보다 저감시키는 것이 가능하다.

또한, 산화막두께가 얇은 경우에는 본 실시예의 샘플과 종래의 샘플의 마이크로러프니스 발생량의 차는 작은 값으로 된다. 본 발명자의 검토에 따르면, 산화막두께는 30nm이상으로 하는 것이 바람직하다.

[제2 실시예]

다음에, 제2 실시예로서 전산화공정에서의 산화온도와 마이크로러프니스의 관계에 관하여 측정한 결과를 나타낸다.

반도체기판으로서는, 상술한 제1 실시예와 마찬가지로 6인치의 (100)면 N형 실리콘웨이퍼이며 비저항이 1~60Ω·㎝인 것을 사용한다. 그리고, 이하와 같은 수순으로 본 실시예의 전산화공정을 수행한다.

① 우선, 이 실리콘웨이퍼를 산화로에 수납하고, O_2가스, H_2가스 및 GeH_4 가스를 공급한다. 여기서, 제1 실시예와 마찬가지로 O_2가스 및 H_2가스의 유량은 각각 10리터/분으로 하고, 이들 가스에 대한 GeH_4가스의 함유량은 4mol%로 한다.

본 실시예에서는, 산화온도가 750℃, 800℃, 850℃, 900℃ 및 1000℃의 경우에 대하여, 각각 샘플을 제작한다. 또한, 산화막의 두께는 750℃ 및 800℃의 경우에 대해서는 약 30nm로 하고, 850℃, 900℃ 및 1000℃의 경우에 대해서는 약 100nm로 한다. 온도에 따라서 막두께가 다른 것은 산화시간을 일하게 하기 때문이다.

② 이 후, 각 실리콘웨이퍼의 산화막을 불화암모늄을 사용하여 각각 박리한다.

③ 최후로, 측정기로서 AFM(Atomic Force Microscope)를 사용하여 각 실리콘웨이퍼 표면의 마이크로러프니스를 측정한다.

또한, 비교를 위해, 본 실시예와 동일한 실리콘웨이퍼를 사용하여 종래의 제조방법에 의한 전산화를 수행한 샘플도 제작한다. 제조방법은 산화막형성시(상기 공정①)에 GeH_4가스를 사용하지 않은 것 이외에는 본 실시예의 경우(상기 공정①~③)와 동일하게 한다.

이들 각 샘플의 마이크로러프니스의 측정결과를 제2도에 나타낸다. 동도면으로부터 알 수 있는 바와 같이, 마이크로러프니스는 전산화의 산화온도가 높을수록 저감되지만, 어느 산화온도에 있어서도 본 실시예의 샘플쪽이 마이크로러프니스가 저감되고 있다. 즉, 본 실시예에 따르면, 전산화의 산화막형성을 저온에서 수행한 경우에도 마이크로러프니스를 저감시키는 것이 가능하다.

마이크로러프니스는 전산화를 고온화함으로써 저감시키는 것이 가능하지만, 상술한 바와 같이 이 고온화에 의해 불순물확산영역에 재확산이 일어난다. 따라서, 이 고온화에는 한계가 있다. 또한, 이 산화온도를 어느 정도까지 고온화할 수 있는가(즉, 불순물확산영역에 재확산을 어느 정도까지 허용할 수 있는가)는 제작하는 반도체장치의 집적도 등에 따라서 결정된다. 본 실시예에 따르면, 산화온도의 한계치가 주어진 경우에, 그 온도에서의 마이크로러프니스를 종래의 제조방법보다 저감시키는 것이 가능하다.

본 실시예의 제조방법에서의, 산화온도의 한계를 조사하기 위하여 이 산화온도와 불순물확산영역의 재확산과의 관계를 측정한다.

반도체기판으로서는, 상기와 마찬가지로 6인치의 (100)면 N형 실리콘웨이퍼이며 비저항이 1~60Ω·㎝인 것을 사용한다. 그리고, 이하와 같은 수순으로 샘플을 제작한다.

① 우선, 제3도에 나타낸 바와 같이 실리콘웨이퍼(10)에 대하여 가속전압 150keV, 농도 $1.8\times10^{12}/㎠$로 보른(B)을 이온주입하고, 더욱이 질소분위기중에서 1190℃로 24시간의 웰확산을 수행함으로써, P웰층(불순물확산영역)(11,12)을 형성한다. 여기서, P웰층(11,12)의 깊이는 7㎛로 하고, 양 영역의 간격은 0.1+㎛로 한다.

② 이 후, 이 실리콘웨이퍼를 산화로에 수납하고, O_2가스, H_2가스 및 GeH_4가스를 공급한다. 여기서, 상기와 마찬가지로 O_2가스 및 H_2가스의 유량은 각각 10리터/분으로 하고, 이들 가스에 대한 GeH_4가스의 함유량은 4mol%로 한다. 그리고, 산화온도가 750℃, 800℃, 850℃, 900℃ 및 1000℃의 경우에 대하여 각각 1시간의 열처리를 수행하여 각 실리콘웨이퍼상에 산화막을 형성한다.

③ 이 후, 각 샘플상의 산화막을 불화암모늄을 사용하여 각각 박리한다.

④ 그리고, 각 샘플에 대하여 P웰층의 확산폭을 측정한다.

이 확산폭의 측정결과를 제4도에 나타낸다. 동 도면으로부터 알 수 있는 바와 같이 전산화의 산화온도가

높을수록 P웰층의 확산폭은 커진다.

상술한 바와 같이, 이 확산폭의 허용치는 제조하는 반도체장치의 집적도 등에 따라서 다르다. 예컨대, P웰층의 확산폭을 35nm이내로 억제하고자 하면 산화온도의 상한은 900℃로 되는 것을 알 수 있다.

한편, 전산화공정의 산화온도의 하한값은 반도체기판의 연화점에 의해 주어진다. 예컨대, 본 실시예에서처럼 4족 원소가스로서 GeH_4가스를 사용한 경우에는 산화막형성온도는 750℃이상으로 하는 것이 바람직하다. 이것은, 4족 원소로서 게르마늄(Ge)을 사용한 경우에는 실리콘의 연화점이 약 750℃까지 저하하기 때문이다.

[제3 실시예]

다음에, 제3 실시예로서 본 발명의 제조방법을 이용하여 제작한 반도체장치의 신뢰성의 평가결과를 나타낸다.

반도체기판으로서는, 상술한 제1 및 제2 실시예와 마찬가지로 6인치의 (100)면 N형 실리콘웨이퍼이며 비저항이 1~60Ω·㎝인 것을 사용한다. 그리고, 이하와 같은 수순으로 전산화공정을 수행한다.

① 우선, 제1 및 제2 실시예와 마찬가지로 실리콘웨이퍼를 산화로에 수납하고, O_2가스, H_2가스 및 GeH_4가스를 공급한다. 여기서, 제1 실시예와 마찬가지로 O_2가스 및 H_2가스의 유량은 각각 10리터/분으로 하고, 이들 가스에 대한 GeH_4가스의 함유량은 4mol%로 한다. 그리고, 실리콘웨이퍼상에 산화온도 800℃로 산화막을 형성한다.

② 이 후, 실리콘웨이퍼의 산화막을 불화암모늄을 사용하여 각각 박리한다.

③ 계속해서, 이 실리콘웨이퍼상에 900℃로 O_2산화를 수행하여 게이트산화막을 형성한다. 그리고, 이 게이트산화막상에 게이트전극을 더 형성하여 MOS형 캐패시터를 제작한다.

④ 이 후, 이와 같이 하여 제작한 MOS형 캐패시터의 진성수명(TDDB; Time Dependent Dielectric Breakdown)을 측정한다.

또한, 비교를 위해, 본 실시예와 동일한 실리콘웨이퍼를 사용하여 종래의 제조방법에 의한 전산화를 수행한 샘플도 제작한다. 제조방법은 산화막형성시(상기 공정①)에 GeH_4가스를 사용하지 않은 것 이외에는 본 실시예의 경우(상기 공정①~③)와 동일하게 한다.

이와 같이 하여 얻은 MOS형 캐패시터의 진성수명을, 본 실시예의 샘플과 종래의 샘플에 대하여 비교한 바, 본 실시예의 샘플은 종래예의 샘플의 약 2배의 진성수명을 가짐을 알 수 있다. 이것은, 본 실시예의 샘플에서는 실리콘웨이퍼상의 마이크로러프니스가 저감되고 있기 때문이라고 여겨진다.

또한, 이상 설명한 각 실시예에서는 4족 원소가스로서 GeH_4가스를 사용했지만, 이 4족 원소가스로서 게르마늄(Ge)을 함유한 다른 화합물가스를 사용한 경우에도 본 발명의 효과를 얻을 수 있다. 또, 예컨대 SnH_4, PbH_4 등 다른 4족 원소를 함유한 가스를 사용한 경우에도 본 발명의 효과를 얻을 수 있다.

또, 상술한 각 실시예에서는 4족 원소가스의 함유율을 4mol%로 했지만, 이 함유율이 1mol%~20mol%의 사이에서 변화하는 경우에도 동일한 효과를 얻을 수 있게 된다.

[발명의 효과]

이상 상세하게 설명한 바와 같이 본 발명에 따르면, 산화성분위기에 4족 원소를 함유시키도록 하였기 때문에 반도체기판의 연화점을 낮추는 것이 가능하고, 따라서 반도체기판의 표면의 마이크로러프니스를 저감시키는 것이 가능하다. 또 전산화공정을 저온에서 단시간에 수행하기 때문에, 반도체장치내에 형성되는 소자의 구조와 전기특성을 변화시킬 수 없다.

(57) 청구의 범위

청구항 1

반도체기판상에 산화막을 형성한 후에 이 산화막을 제거함으로써 상기 반도체기판표면의 불순물을 제거하는 전산화공정을 갖춘 반도체장치의 제조방법에 있어서, 상기 전산화공정에서의 상기 산화막의 형성을 수증기와 4족 원소가스를 함유한 산화성 분위기중에서 수행하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

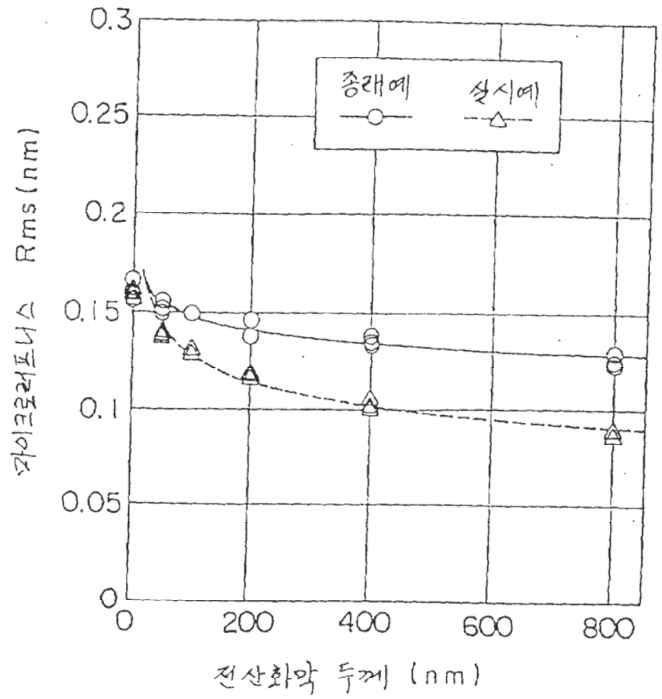
제1항에 있어서, 상기 전산화공정에서의 상기 산화막의 형성을 750℃이상에서 수행하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

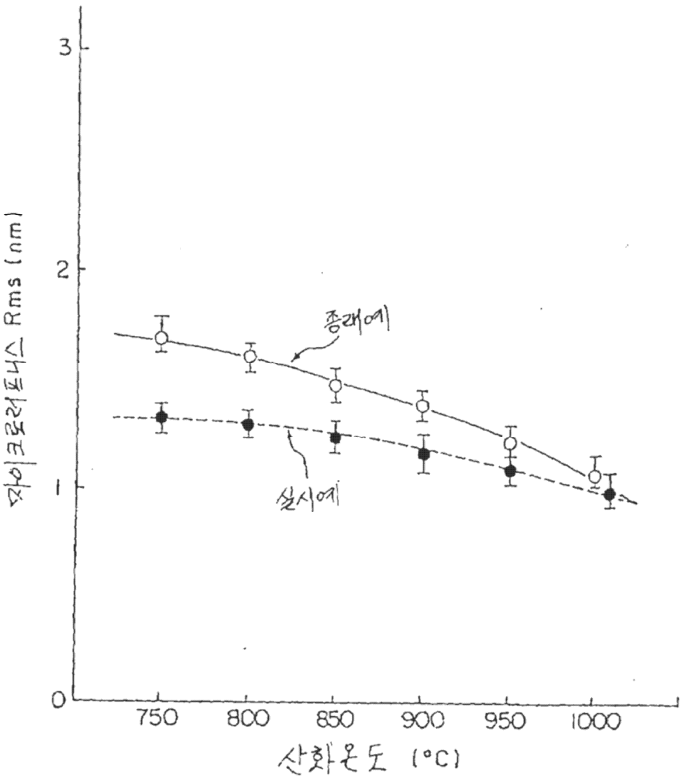
제1항에 있어서, 상기 전산화공정에 있어서 형성되는 상기 산화막의 막두께가 30nm이상인 것을 특징으로 하는 반도체장치의 제조방법.

도면

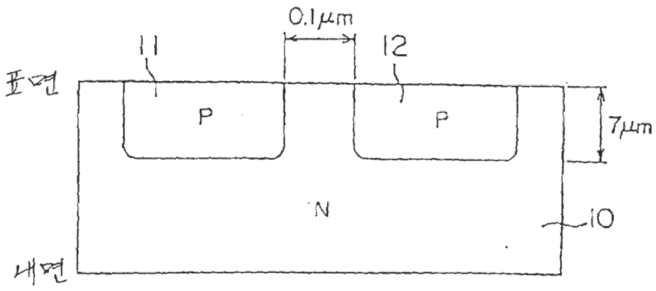
도면1


0.3
0.25
0.2
0.15
0.1
0.05
0
0
200
400
600
800
종래예
실시예
마이크로러프니스 Rms (nm)
전산화막 두께 (nm)

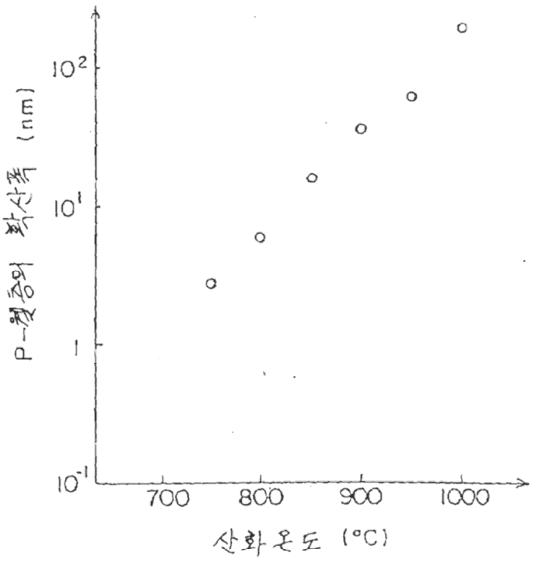
도면2


3
2
1
0
750
800
850
900
950
1000
종래예
실시예
마이크로러프니스 Rms (nm)
산화온도 (°C)

도면3


0.1μm
11
12
표면
P
P
7μm
N
10
내면

도면4


P-웰층의 확산층 (nm)
10²
10¹
1
10⁻¹
700
800
900
1000
산화온도 (°C)