

(12) 发明专利

(10) 授权公告号 CN 101939843 B

(45) 授权公告日 2012. 09. 26

(21) 申请号 200980104440. 9

(22) 申请日 2009. 02. 06

(30) 优先权数据

2008-026973 2008. 02. 06 JP

(85) PCT申请进入国家阶段日

2010. 08. 06

(86) PCT申请的申请数据

PCT/JP2009/052050 2009. 02. 06

(87) PCT申请的公布数据

W02009/099182 JA 2009. 08. 13

(73) 专利权人 罗姆股份有限公司

地址 日本京都府

(72) 发明人 大塚拓一 箕谷周平

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 刘建

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/12(2006. 01)

H01L 29/739(2006. 01)

(56) 对比文件

CN 1777982 A, 2006. 05. 24, 说明书第 8 页最后一段 - 第 15 页第 6 段、附图 3G.

JP 特开 2000-77662 A, 2000. 03. 14, 说明书 [0015]、附图 1.

JP 特开 2006-303272 A, 2006. 11. 02, 说明书 [0021]-[0067]、附图 1-5.

JP 特开平 5-259443 A, 1993. 10. 08, 说明书 [0028], [0046]、附图 1.

JP 平 3-192772 A, 1991. 08. 22, 说明书第 2 页左栏第 1 段 - 右栏第 3 段、附图 1.

CN 101114593 A, 2008. 01. 30, 说明书第 40 页第 6 段 - 第 41 页第 3 段、附图 15.

CN 1777982 A, 2006. 05. 24, 说明书第 8 页最后一段 - 第 15 页第 6 段、附图 3G.

审查员 闫立刚

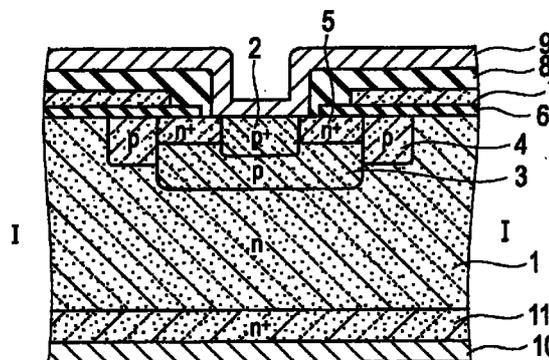
权利要求书 1 页 说明书 10 页 附图 21 页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种能提高耐压性、简化制造工序的半导体装置。本发明的半导体装置具备：层叠在含有 SiC 的 n⁺型基板 (11)，含有 SiC 的 n 型外延层 (1)；在外延层 (1) 的表面层相互隔离地配置的 n⁺型源极区域 (5)；被源极区域 (5) 夹持的 p 型阱接触区域 (2)；与源极区域 (5) 及 p 型阱接触区域 (2) 的基板 (11) 侧表面相接地配置的 p 型阱区域 (3)；配置为夹持源极区域 (5) 及 p 型阱区域 (3) 的 p 型阱扩展区域 (4)。在从外延层 (1) 的表面向基板 (11) 的深度方向，p 型阱区域 (3) 的杂质浓度的浓度峰值位置比 p 型阱扩展区域 (4) 的杂质浓度的浓度峰值位置深。



1. 一种半导体装置,具备:
 - 含有碳化硅,由第 1 主电极区域构成的基板;
 - 层叠在所述基板的表面,由碳化硅构成的第 1 导电型外延层;
 - 在所述外延层的表面层相互隔离地配置的第 1 导电型且在俯视的状态下为四角形状的第 2 主电极区域;
 - 被所述第 2 主电极区域夹持的第 2 导电型阱接触区域;
 - 与所述第 2 主电极区域及所述第 2 导电型阱接触区域的所述基板侧表面相接地配置的第 2 导电型阱区域;
 - 配置为夹持所述第 2 主电极区域及所述第 2 导电型阱区域的第 2 导电型阱扩展区域;
 - 隔着栅极绝缘膜而在被所述第 2 主电极区域及所述外延层的表面露出部夹持的所述第 2 导电型阱扩展区域的表面配置的栅极电极;
 - 与所述第 2 主电极区域及所述第 2 导电型阱接触区域的表面共同接触地配置的第 2 主电极;和
 - 配置在所述基板的与表面对置的背面的第 1 主电极,
 - 所述第 2 主电极区域和所述第 2 导电型阱区域利用共用的杂质注入用掩模来形成,
 - 在从所述外延层的表面向所述基板的深度方向,所述第 2 导电型阱区域具有的第 2 导电型杂质的浓度的浓度峰值位置比所述第 2 导电型阱扩展区域具有的所述第 2 导电型杂质的浓度的浓度峰值位置深,
 - 所述第 2 导电型阱区域具有的第 2 导电型杂质的浓度在最深部附近具有峰值,越接近表面越连续、缓慢地降低,
 - 所述第 2 导电型阱扩展区域具有的第 2 导电型杂质的浓度在最深部附近具有峰值,越接近表面越连续、缓慢地降低,
 - 所述第 2 导电型阱区域的浓度峰值位置的第 2 导电型杂质的浓度比所述第 2 导电型阱扩展区域的浓度峰值位置的第 2 导电型杂质的浓度高,
 - 所述第 2 导电型阱区域具有的第 2 导电型杂质的峰值浓度为 $2 \times 10^{17} \sim 3 \times 10^{18} \text{cm}^{-3}$,所述第 2 导电型阱扩展区域具有的第 2 导电型杂质的峰值浓度为 $1 \times 10^{17} \sim 2 \times 10^{18} \text{cm}^{-3}$ 。
2. 根据权利要求 1 所述的半导体装置,其特征在于,
 - 所述第 1 主电极区域具有第 1 导电型,并且所述第 1 主电极区域为漏极区域、所述第 2 主电极区域为源极区域、所述第 1 主电极为漏极电极、所述第 2 主电极为源极电极。
3. 根据权利要求 1 所述的半导体装置,其特征在于,
 - 所述第 1 主电极区域具有第 2 导电型,并且所述第 1 主电极区域为集电极区域、所述第 2 主电极区域为发射极区域、所述第 1 主电极为集电极电极、所述第 2 主电极为发射极电极。
4. 根据权利要求 1 ~ 3 中任意一项所述的半导体装置,其特征在于,
 - 所述第 2 导电型阱区域的所述基板侧表面与所述第 2 导电型阱扩展区域的所述基板侧表面相比,其距离所述外延层的表面的深度深,
 - 所述第 2 导电型阱接触区域与所述第 2 导电型阱区域及所述第 2 导电型阱扩展区域相比,第 2 导电型杂质的平均浓度高,
 - 含有第 2 导电型杂质的护环被配置在所述外延层的外周缘部的表面附近。

半导体装置

技术领域

[0001] 本发明涉及半导体装置,尤其涉及利用了碳化硅的半导体装置。

[0002] 背景技术

[0003] 近年来,作为电力用半导体元件,推进开发一种利用了 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 或 IGBT(Insulated Gate Bipolar Transistor) 的电力转换用半导体装置。其中,与硅(Si)相比,利用了碳化硅(SiC)半导体的装置由于 SiC 的带隙宽、绝缘破坏电场大一数量级等的理由而被特别关注。

[0004] 图 25 表示利用了现有 SiC 的功率型 MOSFET 的构造的一例。现有的功率型 MOSFET,在 n⁺ 型 SiC 半导体基板 11 的表面设置有 n⁻ 型 SiC 半导体外延层 1。在 n⁻ 型 SiC 半导体外延层 1 的表层部设置有 p 型杂质区域 14 和 n⁺ 型杂质区域 5,其中 n⁺ 型杂质区域 5 在该 p 型杂质区域 14 内夹持 p⁺ 型杂质区域 2。

[0005] 以往,为了形成 SiC 的杂质区域,基于在 Si 半导体中利用的热扩散法难以形成杂质区域,所以通常利用离子注入法(例如,参照专利文献 1)。

[0006] 专利文献 1:日本特开 2002-299620 号公报

[0007] 可是,在利用了 SiC 的 MOSFET 中,在 p 型杂质区域 14 的与栅极绝缘膜 6 的界面附近(沟道区域)的杂质浓度变大时,在沟道区域中的迁移率就会变低。因此,为了降低 p 型杂质区域 14 的表面附近的杂质浓度,需要减少杂质离子的注入剂量且使 p 型杂质区域 14 的杂质浓度整体降低加以抑制。结果,在施加了逆电压的情况下,在 p 型杂质区域 14 发生击穿。因此,存在着未产生 SiC 本来的绝缘破坏电场的优点、无法得到高耐压的问题。

[0008] 另外,在用不同的掩模分别形成了护环(guard ring)或 p 型杂质区域、n 型杂质区域的情况下,存在着制造工序增加、成品率下降的问题。

[0009] 发明内容

[0010] 本发明的目的在于,提供一种可提高耐压性、简化制造工序的半导体装置。

[0011] 用于达成上述目的的本发明的一个方式,提供一种如下半导体装置,具备:含有碳化硅,由第 1 主电极区域构成的基板;层叠在所述基板的表面,由碳化硅构成的第 1 导电型外延层;在所述外延层的表面层相互隔离地配置的第 1 导电型且在俯视的状态下为四角形状的第 2 主电极区域;被所述第 2 主电极区域夹持的第 2 导电型阱接触区域;与所述第 2 主电极区域及所述第 2 导电型阱接触区域的所述基板侧表面相接地配置的第 2 导电型阱区域;配置为夹持所述第 2 主电极区域及所述第 2 导电型阱区域的第 2 导电型阱扩展区域;隔着栅极绝缘膜而在被所述第 2 主电极区域及所述外延层的表面露出部夹持的所述第 2 导电型阱扩展区域的表面配置的栅极电极;与所述第 2 主电极区域及所述第 2 导电型阱接触区域的表面共同接触地配置的第 2 主电极;和配置在所述基板的与表面对置的背面的第 1 主电极,所述第 2 主电极区域和所述第 2 导电型阱区域利用共用的杂质注入用掩模来形成,在从所述外延层的表面向所述基板的深度方向,所述第 2 导电型阱区域具有的第 2 导电型杂质的浓度的浓度峰值位置比所述第 2 导电型阱扩展区域具有的所述第 2 导电型杂质的浓度的浓度峰值位置深,所述第 2 导电型阱区域具有的第 2 导电型杂质的浓度在最深部附近

具有峰值,越接近表面越连续、缓慢地降低,所述第 2 导电型阱扩展区域具有的第 2 导电型杂质的浓度在最深部附近具有峰值,越接近表面越连续、缓慢地降低,所述第 2 导电型阱区域的浓度峰值位置的第 2 导电型杂质的浓度比所述第 2 导电型阱扩展区域的浓度峰值位置的第 2 导电型杂质的浓度高,所述第 2 导电型阱区域具有的第 2 导电型杂质的峰值浓度为 $2 \times 10^{17} \sim 3 \times 10^{18} \text{cm}^{-3}$,所述第 2 导电型阱扩展区域具有的第 2 导电型杂质的峰值浓度为 $1 \times 10^{17} \sim 2 \times 10^{18} \text{cm}^{-3}$ 。

[0012] 发明效果

[0013] 根据本发明,能够提供一种可提高耐压性、简化制造工序的半导体装置。

附图说明

[0014] 图 1 是本发明的第 1 实施方式所涉及的半导体装置的示意剖面构造图。

[0015] 图 2 是图 1 的示意俯视图。

[0016] 图 3 是本发明的第 1 实施方式所涉及的半导体装置的制造方法的说明图,(a) 是在基板 11 的表面形成外延层 1 的工序图、(b) 是利用能够同时形成护环部的 p 型用掩模在外延层 1 的表层部形成 p 型阱扩展区域 4 的工序图,(c) 是利用 n 型用掩模在外延层 1 的表面层形成 P 型阱区域 3 的工序图。

[0017] 图 4 是本发明的第 1 实施方式所涉及的半导体装置的制造方法的说明图,(d) 是利用 n 型用掩模形成 n^+ 型源极区域 5 及 p 型阱接触区域 2 的工序图,(e) 是在形成了栅极绝缘膜 6 之后形成栅极电极 7 的工序图,(f) 是在形成了层间绝缘层 8 之后形成源极电极 9 的工序图。

[0018] 图 5 是表示以离子注入能量 380keV、剂量 $3.6 \times 10^{13} \text{cm}^{-2}$ 进行掺杂 (dope) 时的深度方向的杂质浓度的图。

[0019] 图 6 是表示以离子注入能量 300keV、剂量 $1.8 \times 10^{13} \text{cm}^{-2}$ 进行掺杂时的深度方向的杂质浓度的图。

[0020] 图 7 是表示以离子注入能量 300keV、剂量 $6.0 \times 10^{12} \text{cm}^{-2}$ 进行掺杂时的深度方向的杂质浓度的图。

[0021] 图 8 是表示以离子注入能量 250keV、剂量 $1.8 \times 10^{13} \text{cm}^{-2}$ 进行掺杂时的深度方向的杂质浓度的图。

[0022] 图 9 是表示以离子注入能量 200keV、剂量 $8.0 \times 10^{12} \text{cm}^{-2}$ 进行掺杂时的深度方向的杂质浓度的图。

[0023] 图 10 是表示模拟仿真下的形状模型的图,(a) 是表示本发明的第 1 实施方式所涉及的半导体装置的形状模型,(b) 是表示现有的半导体装置的形状模型的图。

[0024] 图 11 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 300keV/ $1.2 \times 10^{13} \text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0025] 图 12 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 300keV/ $1.5 \times 10^{13} \text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0026] 图 13 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是

针对第 1 级将杂质的照射条件设为 $300\text{keV}/1.8 \times 10^{13}\text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 $380\text{keV}/3.6 \times 10^{13}\text{cm}^{-2}$ 的情况下的图。

[0027] 图 14 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 $250\text{keV}/6.0 \times 10^{12}\text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 $380\text{keV}/3.6 \times 10^{13}\text{cm}^{-2}$ 的情况下的图。

[0028] 图 15 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 $300\text{keV}/6.0 \times 10^{12}\text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 $380\text{keV}/3.6 \times 10^{13}\text{cm}^{-2}$ 的情况下的图。

[0029] 图 16 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 $250\text{keV}/1.2 \times 10^{13}\text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 $380\text{keV}/3.6 \times 10^{13}\text{cm}^{-2}$ 的情况下的图。

[0030] 图 17 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 $250\text{keV}/1.5 \times 10^{13}\text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 $380\text{keV}/3.6 \times 10^{13}\text{cm}^{-2}$ 的情况下的图。

[0031] 图 18 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 $250\text{keV}/1.8 \times 10^{13}\text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 $380\text{keV}/3.6 \times 10^{13}\text{cm}^{-2}$ 的情况下的图。

[0032] 图 19 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 $200\text{keV}/8.0 \times 10^{12}\text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 $300\text{keV}/4.0 \times 10^{12}\text{cm}^{-2}$ 的情况下的图。

[0033] 图 20 是表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 $200\text{keV}/1.2 \times 10^{13}\text{cm}^{-2}$ 、针对第 2 级将杂质的照射条件设为 $300\text{keV}/6.0 \times 10^{12}\text{cm}^{-2}$ 的情况下的图。

[0034] 图 21 是表示现有的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 $380\text{keV}/1.8 \times 10^{13}\text{cm}^{-2}$ 的情况下的图。

[0035] 图 22 是表示现有的半导体装置的模拟仿真结果的图,是针对第 1 级将杂质的照射条件设为 $380\text{keV}/3.6 \times 10^{13}\text{cm}^{-2}$ 的情况下的图。

[0036] 图 23 是本发明的第 2 实施方式所涉及的半导体装置的示意俯视图。

[0037] 图 24 是本发明的第 3 实施方式所涉及的半导体装置的示意剖面构造图。

[0038] 图 25 是现有的半导体装置的示意剖面构造图。

[0039] 符号说明：

[0040] 1-n 型外延 (epitaxial) 层 ;2-p 型阱 (well) 接触区域 ;3-p 型阱区域 ;4-p 型阱扩展 (extension) 区域 ;5-n⁺ 型源极区域 ;6- 栅极绝缘膜 ;7- 栅极电极 ;8- 层间绝缘层 ;9- 源极电极 ;10- 漏极电极 ;11- 基板 ;21-n 型外延层 ;22-p 型阱接触区域 ;23-p 型阱区域 ;24-p 型阱扩展区域 ;25-n⁺ 型发射极区域 ;26- 栅极绝缘膜 ;27- 栅极电极 ;28- 层间绝缘层 ;29- 发射极电极 ;30- 集电极电极 ;31- 基板。

具体实施方式

[0041] 以下,参照附图对本发明实施方式的半导体装置进行说明。在以下的附图记载中,

对相同或类似部分附加相同或类似的符号。其中,附图只是示意图,与实际的不同。另外,应注意:在附图相互间也包括相互尺寸关系或比率不同的部分。

[0042] [第1实施方式]

[0043] (半导体装置的构造)

[0044] 参照图1及图2,对作为本发明的第1实施方式所涉及的半导体装置的功率型MOSFET进行说明。

[0045] 如图1所示,第1实施方式的功率型MOSFET具备:含有碳化硅,由第1主电极区域构成的基板11;层叠在基板11的表面,由碳化硅构成的第1导电型外延层1;在外延层1的表面层相互隔离地配置的第1导电型的第2主电极区域5;被第2主电极区域5夹持的第2导电型阱接触区域2;与第2主电极区域5及第2导电型阱接触区域2的基板11侧表面相接地配置的第2导电型阱区域3;配置为夹持第2主电极区域5及第2导电型阱区域3的第2导电型阱扩展区域4;隔着栅极绝缘膜6配置在被第2主电极区域5及被外延层1的表面露出部夹持的第2导电型阱扩展区域4的表面的栅极电极7;与第2主电极区域5及第2导电型阱接触区域2的表面共同接触地配置的第2主电极9;配置在基板11的与表面对置的背面的第1主电极10,其中,在从外延层1的表面向基板11的深度方向,第2导电型阱区域3具有的第2导电型杂质的浓度的浓度峰值位置比第2导电型阱扩展区域4具有的第2导电型杂质的浓度的浓度峰值位置深。

[0046] 这里,所谓主电极区域是指位于主电流的通路的两端的半导体区域,所谓主电极是指漏极电极、源极电极等的主电极。

[0047] 由第1主电极区域构成的基板11具有第1导电型,第1主电极区域为漏极区域,第2主电极区域5为源极区域,第1主电极10为漏极电极,第2主电极9为源极电极。

[0048] 第1导电型和第2导电型互为反导电型。即、如果第1导电型为n型则第2导电型为p型,如果第1导电型为p型则第2导电型为n型。以下,第1导电型为n型、第2导电型为p型。

[0049] 含有碳化硅(SiC)的基板11由n型杂质浓度相对高的 n^+ 型SiC半导体构成,在基板11的表面配置了具有比基板11低的n型杂质浓度的n型SiC半导体外延层1。

[0050] 图2是表示配置在外延层1的表面层的各杂质区域的构造的一例的俯视图。在图2中,栅极绝缘膜6、栅极电极7、层间绝缘层8及源极电极9被省略了。沿着图2的I-I线切割的部分的剖面图为图1。

[0051] 在图2所示的例子中,在俯视的情况下, n^+ 型源极区域5具有四角框状的形状,p型阱接触区域2配置为被包围在 n^+ 型源极区域5的四角框内。p型阱区域3与 n^+ 型源极区域5及p型阱接触区域2的基板11侧表面相接地配置,p型阱扩展区域4配置为夹持 n^+ 型源极区域5及p型阱区域3的侧面。

[0052] p型阱区域3的基板11侧表面与p型阱扩展区域4的基板11侧表面相比,其距离外延层1表面的深度深。

[0053] 在各区域中,关于距外延层1的表面的深度,p型阱接触区域2有 $0.2 \sim 0.5 \mu\text{m}$ 、 n^+ 型源极区域5有 $0.05 \sim 0.1 \mu\text{m}$ 、p型阱区域3有 $0.2 \sim 0.7 \mu\text{m}$ 、p型阱扩展区域4有 $0.15 \sim 0.5 \mu\text{m}$ 。

[0054] 在外延层1上依次层叠栅极绝缘膜6及栅极电极7。栅极绝缘膜6例如由氧化硅

(SiO₂) 构成,配置为跨在 n⁺ 型源极区域 5 的外周缘部和 p 型阱扩展区域 4 外之间,覆盖着在 n⁺ 型源极区域 5 的外周缘部和 p 型阱扩展区域 4 外之间的外延层 1 的表面。

[0055] 栅极电极 7 例如由多晶硅构成,与外部电极端子连接。

[0056] 层间绝缘层 8 例如由 SiO₂ 构成,配置为覆盖栅极绝缘膜 6 及栅极电极 7,将源极电极 9 和栅极电极 7 绝缘。

[0057] 源极电极 9 例如由铝 (Al) 等的金属形成,形状例如在俯视的状态下有四角形状,且配置在层间绝缘层 8 上。源极电极 9 与包括 n⁺ 型源极区域 5 的内周缘部的表面和 p 型阱接触区域 2 的表面在内的源极接触区域连接。也可以隔着 Ni 等的金属薄膜与源极接触区域连接。

[0058] 漏极电极 10 例如由 Al 等的金属构成,配置为在基板 11 的背面侧 (与外延层 1 相反的侧) 整体覆盖基板 11 的背面。

[0059] 为了确保半导体装置的耐压,优选含有 p 型杂质的护环 (省略图示) 被配置在外延层 1 的外周缘部的表面附近。

[0060] 在从外延层 1 的表面向基板 11 的深度方向,p 型阱区域 3 具有的 p 型杂质的浓度的浓度峰值位置比 p 型阱扩展区域 4 具有的 p 型杂质的浓度的浓度峰值位置深。

[0061] p 型阱区域 3 的 p 型杂质浓度,在最深部 (与外延层 1 的交界部) 附近具有峰值,优选越接近表面越连续、缓慢地降低。

[0062] 例如,p 型阱区域 3 的 p 型杂质的峰值浓度为 $2 \times 10^{17} \sim 3 \times 10^{18} \text{cm}^{-3}$,优选 $4 \times 10^{17} \sim 2 \times 10^{18} \text{cm}^{-3}$ 。另外,p 型杂质浓度的峰值位置为 $0.3 \sim 0.6 \mu\text{m}$,优选 $0.4 \sim 0.5 \mu\text{m}$ 。

[0063] p 型阱扩展区域 4 的 p 型杂质浓度,在最深部 (与外延层 1 的交界部) 附近具有峰值,优选越接近表面越连续、缓慢地降低。

[0064] 例如,p 型阱扩展区域 4 的 p 型杂质的峰值浓度为 $1 \times 10^{17} \sim 2 \times 10^{18} \text{cm}^{-3}$,优选 $5 \times 10^{17} \sim 1 \times 10^{18} \text{cm}^{-3}$,在表面附近的 p 型杂质浓度为 $1 \times 10^{16} \text{cm}^{-3}$ 以下,优选 $5 \times 10^{15} \text{cm}^{-3}$ 以下。另外,p 型杂质浓度的峰值位置为 $0.2 \sim 0.5 \mu\text{m}$,优选 $0.3 \sim 0.4 \mu\text{m}$ 。

[0065] 优选,p 型阱接触区域 2 与 p 型阱区域 3 及 p 型阱扩展区域 4 相比,其 p 型杂质的平均浓度高。因 p 型杂质的平均浓度高,故降低了通态电阻。

[0066] (工作原理)

[0067] 本发明的第 1 实施方式所涉及的功率型 MOSFET 的工作原理如下所述。

[0068] 向栅极电极 7 施加正的电压。通过该电压施加,从而在栅极电极 7 下的 p 型阱扩展区域 4 的表层部形成了反转层,通过该反转层导通了 n⁺ 型源极区域 5 和外延层 1。由此,电流能够从外延层 1 下的基板 11 背面所设置的漏极电极 10 流向 n⁺ 型源极区域 5 的表面所设置的源极电极 9。即、能够通过施加于栅极电极的电压来控制电流。

[0069] (制造方法)

[0070] 图 3 及图 4 是对本发明的第 1 实施方式的半导体装置的制造方法进行说明的图。

[0071] 本发明的第 1 实施方式所涉及的半导体装置的制造方法具有:在含有碳化硅、由第 1 主电极区域构成的基板 11 的表面,形成由碳化硅构成的第 1 导电型外延层 1 的工序;通过用第 2 导电型用掩模向外延层 1 的表面层离子注入第 2 导电型杂质,来形成第 2 导电型阱扩展区域 4 的工序;通过用第 1 导电型用掩模向外延层 1 的表面层离子注入第 2 导电型杂质,来形成第 2 导电型阱区域 3 的工序;和通过用第 1 导电型用掩模离子注入第 1 导电

型杂质,来形成第 1 导电型的第 2 主电极区域 5 的工序。

[0072] 以下,对制造工序进行详细叙述。

[0073] (a) 首先,如图 3(a) 所示,在形成有 n^+ 型 SiC 半导体的基板 11 的表面,使与基板 11 相同的 n 型 SiC 半导体外延生长,从而形成了外延层 1。

[0074] (b) 其次,如图 3(b) 所示,用能同时形成护环部的 p 型区域形成用掩模,在外延层 1 的表层部,根据离子注入法,在注入能量 250keV、剂量 $1.8 \times 10^{13} \text{cm}^{-2}$ 的照射条件下,掺杂(doping) p 型杂质,形成了 p 型阱扩展区域 4。

[0075] 作为 p 型杂质,能够举出 B、Al、In、Ga 等。也可优选利用 B 或 Al。

[0076] 这里,通过调节注入能量,能够控制形成有 p 型杂质的深度。另外,通过调节剂量,能够控制 p 型杂质的浓度。

[0077] 图 5~9 示出下述例子:在改变了注入能量和剂量的情况下,距所得到的杂质浓度的外延层 1 的表面的深度方向的浓度的例子。

[0078] 图 8 是表示在上述照射条件下得到的、 p 型阱扩展区域 4 具有的 p 型杂质的深度方向的浓度的一例的图。关于浓度的峰值位置,距外延层 1 的表面的深度约为 $0.31 \mu\text{m}$ 。在峰值位置的 p 型杂质浓度约为 $1 \times 10^{18} \text{cm}^{-3}$,在表面附近约为 $5 \times 10^{15} \text{cm}^{-3}$ 。

[0079] (c) 接着,如图 3(c) 所示,用 n 型源极区域形成用掩模,在外延层 1 的表面层,根据离子注入法,在注入能量 380keV、剂量 $3.6 \times 10^{13} \text{cm}^{-2}$ 的照射条件下,例如掺杂作为 p 型杂质的 Al,从而形成了 p 型阱区域 3。由此,由于在 p 型阱区域 3 中,除了 p 型阱扩展区域 4 的杂质浓度以外还调和 p 型阱区域 3 的杂质浓度,故能够有效防止在纵向引起的击穿。此外,因为 p 型阱区域 3 与沟道区域无关,所以虽然在表面的杂质浓度变高,但是却不影响迁移率。

[0080] 图 5 是表示在上述的照射条件下得到的、 p 型阱区域 3 具有的 p 型杂质的深度方向的浓度的一例的图。关于浓度的峰值位置,与 p 型阱扩展区域 4 的情况相比,通过提高注入能量,从而距外延层 1 的表面的深度形成在更深的位置,该深度约为 $0.48 \mu\text{m}$ 。另外,在峰值位置的 p 型杂质浓度约为 $2 \times 10^{18} \text{cm}^{-3}$ 。

[0081] (d) 接着,如图 4(d) 所示,利用相同的 n 型源极区域形成用掩模,根据离子注入法离子注入 n 型杂质,从而形成了 n^+ 型源极区域 5。接着,用 p 型阱接触区域形成用掩模,形成了 p 型阱接触区域 2。

[0082] 作为 n 型杂质,能够举出 N, P, As, Sb 等。也可优选 N 或 P。

[0083] (e) 接着,如图 4(e) 所示,在根据发热(Pyrogenic)法热氧化外延层 1 的表面并形成了栅极绝缘膜 6 之后,根据减压 CVD(Chemical Vapor Deposition)法形成多晶硅,用光刻法形成了栅极电极 7。

[0084] (f) 接着,如图 4(f) 所示,在根据发热法进行热氧化并形成了层间绝缘层 8 之后,根据 RIE(Reactive Ion Etching)使外延层 1 的表面的电极接触部分露出之后,对铝等进行蒸镀,形成了源极电极 9。

[0085] (g) 最后,在基板 11 的背面蒸镀铝等,形成了漏极电极 10,从而完成了图 1 所示的半导体装置。

[0086] 通过这样的制造方法,能够制造在 p 型阱区域 3 和 p 型阱扩展区域 4 中具有 p 型杂质浓度的峰值位置的深度不同的 2 级构造的 p 阱构造的半导体装置。

[0087] (模拟仿真)

[0088] 图 11 ~ 20 表示本发明的第 1 实施方式所涉及的半导体装置的模拟仿真结果,图 21 及 22 表示现有的半导体装置的模拟仿真结果。关于图 11 ~ 22 中的 (a) ~ (c),在水平方向(单位: 10^{-6}m)及深度方向(单位: 10^{-6}m)的二维方向上,(a)表示受主(acceptor)密度分布、(b)表示空穴密度分布、(c)表示电流密度分布、(d)的横轴表示将 n^+ 型源极区域 5 和 p 型阱扩展区域 4 的界面设为零、从该界面向 p 型阱扩展区域 4 侧的水平方向(单位: 10^{-10}m)、(d)的纵轴表示电流密度。

[0089] 图 10 是表示模拟仿真下的形状模型的图,图 10(a) 对应于图 11 ~ 20 的各 (a) ~ (c) 的水平方向及深度方向的位置。图 10(b) 对应于图 21 及 22 的各 (a) ~ (c) 的水平方向及深度方向的位置。

[0090] 关于 p 型杂质(受主)的掺杂,是在第 1 级的 p 阱 4(p 型阱扩展区域 4) 和第 2 级的 p 阱 3(p 型阱区域 3) 中分别通过在不同的注入能量及剂量的条件下的照射进行的。

[0091] 关于上述得到的半导体装置,在源极-漏极电极间施加逆电压,并使其增加的情况下,利用公知的装置·模拟仿真方法进行了模拟仿真。

[0092] 如图 14、图 17、图 18 及图 20 所示,即使在耐压 1200V 的情况下,也未发生第 1 级 p 阱 4 的横向 45 及第 2 级 p 阱 3 的纵向 35 的击穿、在外延层 1 未流过电流,表示了高耐压。

[0093] 如图 11、图 12、图 13、图 15、图 16 及图 19 所示,在这些杂质照射条件下,发生了击穿。可是,关于击穿刚刚发生前的耐压,在图 11 中为 120V、在图 12 中为 500V、在图 13 中为 700V、在图 15 中为 200V、在图 16 中为 800V、在图 19 中为 1100V,表示了高耐压。

[0094] 另一方面,关于现有的半导体装置而言,在掺杂 p 型杂质(受主)的照射条件:注入能量 380keV、剂量 $1.8 \times 10^{13}\text{cm}^{-2}$ 下形成了仅有 1 级的 p 阱 14 的半导体装置如图 21 所示,在耐压 500V 的情况下,在仅有 1 级的 p 阱 14 的横向 41 及纵向 51 发生了击穿,电流流向了外延层 1。

[0095] 此外,在上述的现有的半导体装置中,在将剂量提高至 $3.6 \times 10^{13}\text{cm}^{-2}$ 的情况下,如图 22 所示,即使耐压 1200V 也不会发生击穿。可是,在沟道区域的迁移率却降低了。

[0096] 根据本发明的第 1 实施方式,p 阱构造为 2 级构造,第 1 级 p 阱 4 的深部中的 p 型杂质浓度高,所以即使在施加了逆电位的情况下,也能够抑制在 p 阱 4 的横向 45 引起的击穿。另外,由于第 2 级 p 阱 3 的深部中的 p 型杂质浓度高,所以能够抑制在第 2 级 p 阱 3 的纵向 35 引起的击穿。

[0097] 根据本发明的第 1 实施方式,因为在第 1 级 p 阱 4 的表面附近的 p 型杂质浓度低,所以能够确保良好的迁移率、能够减少通态电阻。

[0098] 根据本发明的第 1 实施方式,因为在形成了 n^+ 型源极区域 5 之后且在形成 p 阱 3 之际利用共用的 n 型用掩模,所以能够在制造工序不增加的情况下形成耐压构造。

[0099] 根据本发明的第 1 实施方式,因为 p 阱构造为 2 级构造,所以即使在和护环一起形成第 1 级 p 阱 4 的制造工序中,也能够将护环的杂质浓度设定为期望浓度。

[0100] 根据本发明的第 1 实施方式所涉及的半导体装置,能够提高耐压性、简化制造工序。

[0101] [第 2 实施方式]

[0102] 参照图 23,对本发明的第 2 实施方式所涉及的半导体装置进行说明。此外,在第 2

实施方式中,对与第 1 实施方式相同的部分附加相同的参考符号,并省略重复的说明。

[0103] 图 23 是表示被配置于外延层 1 的表面层的各杂质区域的构造的一例的俯视图。在图 23 中,栅极绝缘膜 6、栅极电极 7、层间绝缘层 8 及源极电极 9 被省略了。沿着图 23 的 I-I 线的部分的剖面图为图 1。

[0104] 本发明的第 2 实施方式所涉及的半导体装置,如图 23 所示,在俯视的状态下为四角形状的 n^+ 型源极区域 5 相互隔离地配置,且配置有被 n^+ 型源极区域 5 夹持的 p 型阱接触区域 2。因为其他构成与第 1 实施方式相同,故省略说明。

[0105] 由于第 2 实施方式所涉及的半导体装置的制造方法中的形成 n^+ 型源极区域 5 的方法与第 1 实施方式中的制造方法不同,其他的都与第 1 实施方式相同,所以省略重复的说明。

[0106] 根据本发明的第 2 实施方式所涉及的半导体装置,能够提高耐压性、简化制造工序。

[0107] [第 3 实施方式]

[0108] (半导体装置的构造)

[0109] 参照图 24,对作为本发明的第 3 实施方式所涉及的半导体装置的 IGBT 进行说明。其中,在第 3 实施方式中,对与第 1 实施方式相同的部分附加相同的参考符号,并省略重复的说明。

[0110] 如图 24 所示,第 3 实施方式的 IGBT 具备:含有碳化硅、由第 1 主电极区域构成的基板 31;层叠在基板 31 的表面、由碳化硅构成的第 1 导电型外延层 21;在外延层 21 的表面层相互隔离地配置的第 1 导电型的第 2 主电极区域 25;被第 2 主电极区域 25 夹持的第 2 导电型阱接触区域 22;与第 2 主电极区域 25 及第 2 导电型阱接触区域 22 的基板 31 侧表面相接地配置的第 2 导电型阱区域 23;配置为夹持第 2 主电极区域 25 及第 2 导电型阱区域 23 的第 2 导电型阱扩展区域 24;隔着栅极绝缘膜 26 配置被在第 2 主电极区域 25 及被外延层 21 的表面露出部夹持的第 2 导电型阱扩展区域 24 的表面的栅极电极 27;与第 2 主电极区域 25 及第 2 导电型阱接触区域 22 的表面共同接触地配置的第 2 主电极 29;和配置在基板 31 的与表面对置的背面的第 1 主电极 30,其中,在从外延层 21 的表面向基板 31 的深度方向,第 2 导电型阱区域 23 具有的第 2 导电型杂质的浓度的浓度峰值位置比第 2 导电型阱扩展区域 24 具有的第 2 导电型杂质的浓度的浓度峰值位置深。

[0111] 由第 1 主电极区域构成的基板 31 具有第 2 导电型,第 1 主电极区域为集电极区域,第 2 主电极区域 25 为发射极区域,第 1 主电极 30 为集电极电极,第 2 主电极 29 为发射极电极。

[0112] 以下,第 1 导电型为 n 型、第 2 导电型为 p 型。

[0113] 含有碳化硅 (SiC) 的基板 31 由 p 型杂质浓度相对高的 p^+ 型 SiC 半导体构成,在基板 31 的表面配置有 n 型 SiC 半导体外延层 21。

[0114] 在外延层 21 的表面层,在俯视的状态下为四角形状的 n^+ 型发射极区域 25 相互隔离地配置,且配置有被 n^+ 型发射极区域 25 夹持的 p 型阱接触区域 22。p 型阱区域 23 配置为与 n^+ 型发射极区域 25 及 p 型阱接触区域 22 的基板 31 侧表面相接,p 型阱扩展区域 24 配置为夹持 n^+ 型发射极区域 25 及 p 型阱区域 23 的侧面。

[0115] p 型阱区域 23 的基板 31 侧表面与 p 型阱扩展区域 24 的基板 31 侧表面相比,距外

延层 21 表面的深度深。

[0116] 在各区域中,关于距外延层 21 的表面的深度,p 型阱接触区域 22 有 $0.2 \sim 0.5 \mu\text{m}$ 、 n^+ 型发射极区域 25 有 $0.05 \sim 0.1 \mu\text{m}$ 、p 型阱区域 23 有 $0.2 \sim 0.7 \mu\text{m}$ 、p 型阱扩展区域 24 有 $0.15 \sim 0.5 \mu\text{m}$ 。

[0117] 栅极绝缘膜 26 及栅极电极 27 依次层叠在外延层 21 上。栅极绝缘膜 26 例如由氧化硅 (SiO_2) 构成,配置为跨在 n^+ 型发射极区域 25 的外周缘部与 p 型阱扩展区域 24 外之间,覆盖了 n^+ 型发射极区域 25 的外周缘部与 p 型阱扩展区域 24 外之间的外延层 21 的表面。

[0118] 栅极电极 27 例如由多晶硅构成,与外部电极端子连接。

[0119] 层间绝缘层 28 例如由 SiO_2 构成,配置为覆盖栅极绝缘膜 26 及栅极电极 27,将发射极电极 29 和栅极电极 27 绝缘。

[0120] 发射极电极 29 例如由铝 (Al) 等的金属构成,在俯视的状况下,形状例如具有四角形状,且配置在层间绝缘层 28 上。发射极电极 29 与包括 n^+ 型发射极区域 25 的内周缘部的表面和 p 型阱接触区域 22 的表面在内的接触区域连接。也可隔着 Ni 等的金属薄膜与接触区域连接。

[0121] 集电极电极 30 例如由 Al 等的金属构成,配置为在基板 31 的背面侧(与外延层 21 相反的侧)整体覆盖基板 31 的背面。

[0122] 为了确保半导体装置的耐压,优选含有 p 型杂质的护环(省略图示)配置在外延层 21 的外周缘部的表面附近。

[0123] 因为 p 型阱区域 23 具有的 p 型杂质的浓度与第 1 实施方式中的 p 型阱区域 3 的浓度相同、p 型阱扩展区域 24 具有的 p 型杂质的浓度与第 1 实施方式中的 p 型阱扩展区域 4 的浓度相同,故省略说明。

[0124] (工作原理)

[0125] 本发明的第 3 实施方式所涉及的 IGBT 的工作原理如下所述。

[0126] 在发射极电极 29 施加了负电压、集电极电极 30 施加了正电压的状态下,向栅极电极 27 施加比发射极电压高的电压。通过该电压施加,从而在栅极电极 27 下的 p 型阱扩展区域 24 的表层部形成有反转层,电子从发射极区域 25 经由反转层而注入基板 31,并且空穴从基板 31 向外延层 21 注入。由此,电流从外延层 21 下的基板 31 背面所设置的集电极电极 30 流向发射极区域 25 的表面所设置的发射极电极 29。通过施加于栅极电极 27 的电压能够控制该电流。

[0127] 关于第 3 实施方式所涉及的半导体装置的制造方法,其形成基板 31 的方法与第 1 实施方式中的制造方法不同,因为其他都与第 1 实施方式相同,故省略了重复的说明。

[0128] 根据本发明的第 3 实施方式所涉及的半导体装置,能够提高耐压性、简化制造工序。

[0129] [其他的实施方式]

[0130] 以上,虽然通过上述的第 1 至第 3 实施方式对本发明进行了详细说明,但是对于本技术领域的技术人员来说,本发明并不限于在本说明书中说明的第 1 至第 3 实施方式是显而易见的。本发明只要在不脱离由权利要求书所规定的本发明的宗旨及范围,就能够进行修正及变更来加以实施。因此,本说明书的记载只是为了例示说明,不具有对本发明作任何限制的意思。以下,对变更了上述的第 1 至第 3 实施方式的一部分的变更方式进行说明。

[0131] 在上述的第 1 至第 3 实施方式所涉及的半导体装置中,虽然将第 1 导电型作为 n 型、将第 2 导电型作为 p 型进行了说明,但也可将第 1 导电型作为 p 型、将第 2 导电型作为 n 型。在该构成中,得到分别与上述的第 1 至第 3 实施方式同样的效果。

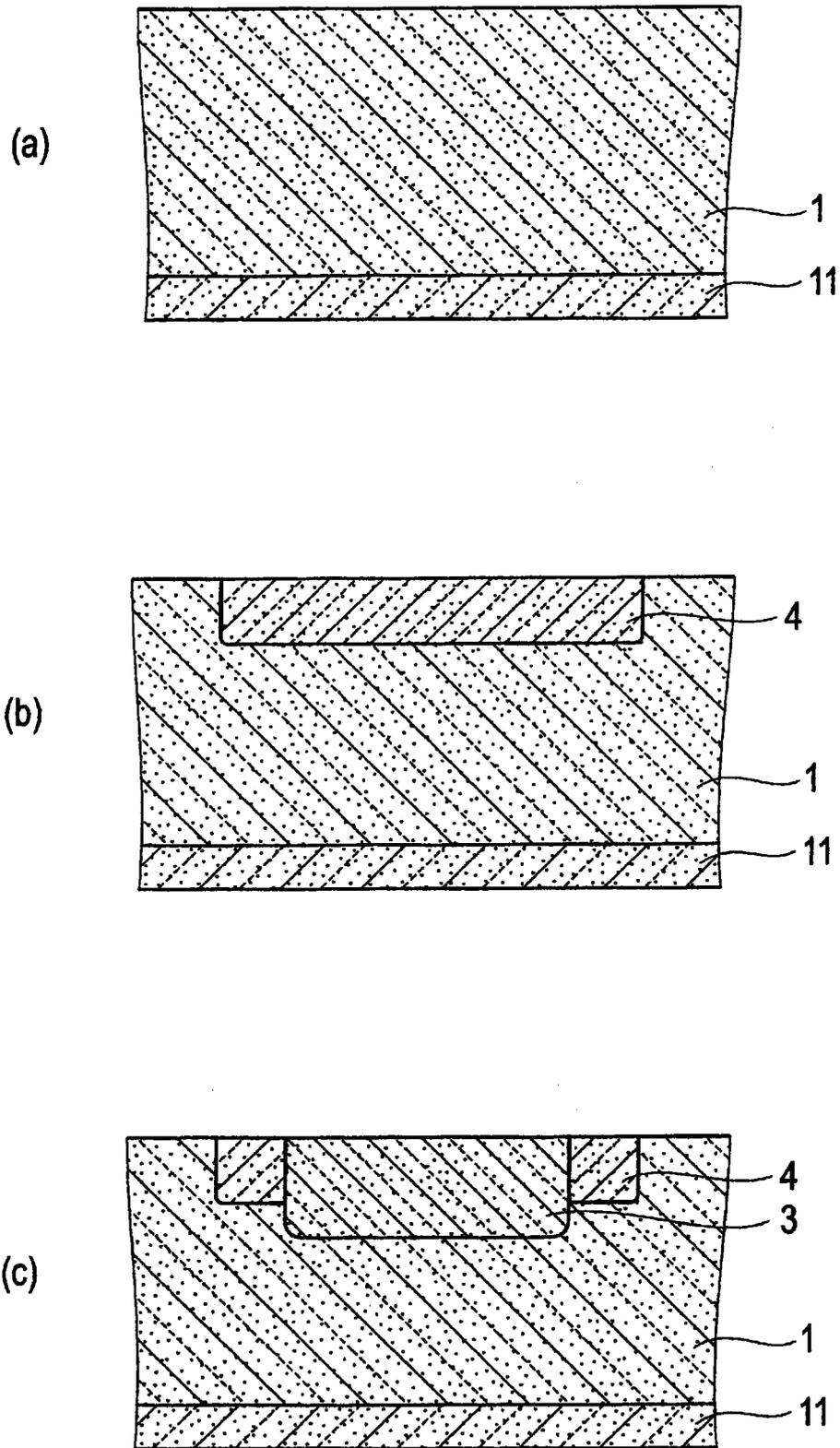


图 3

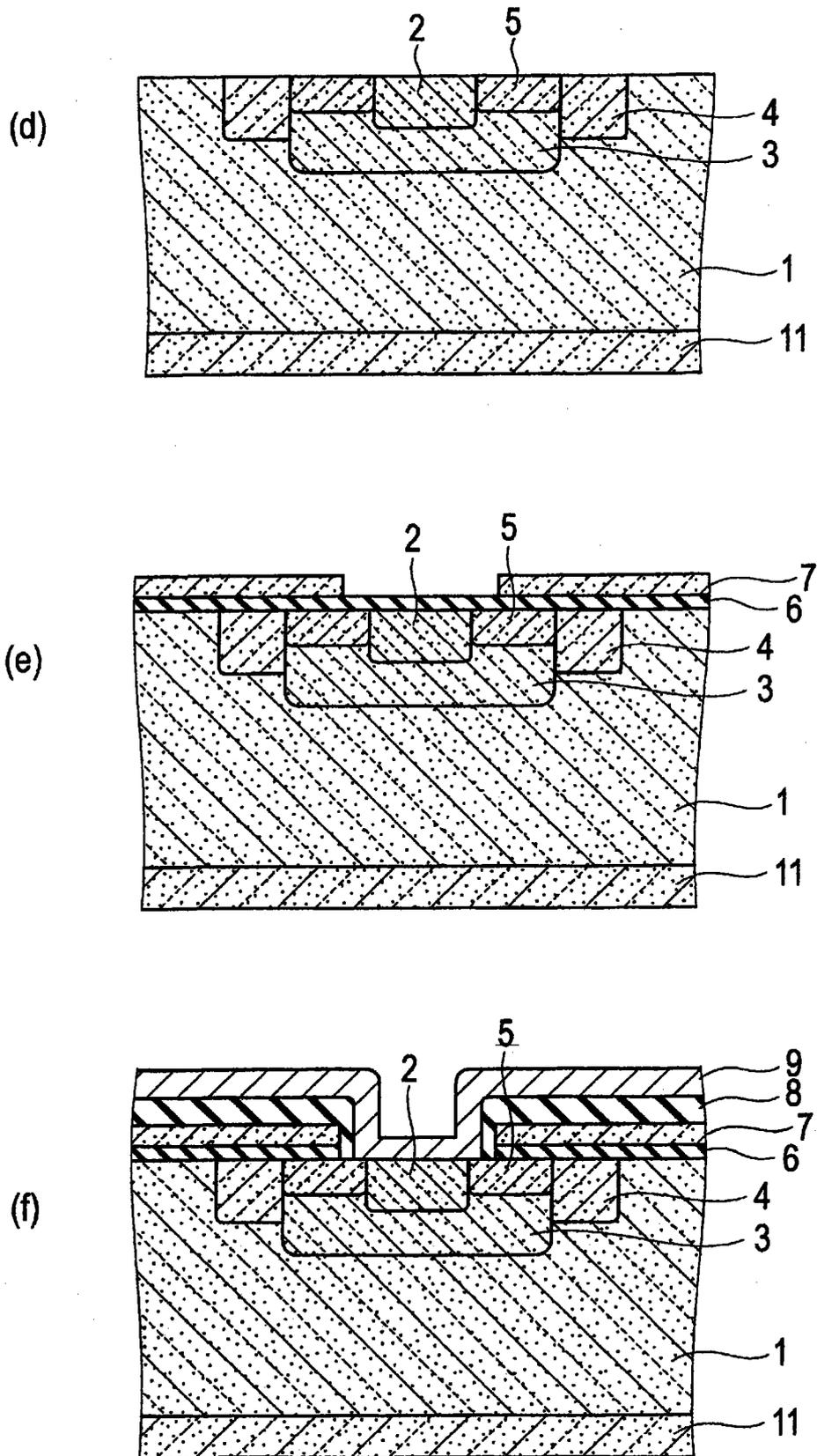


图 4

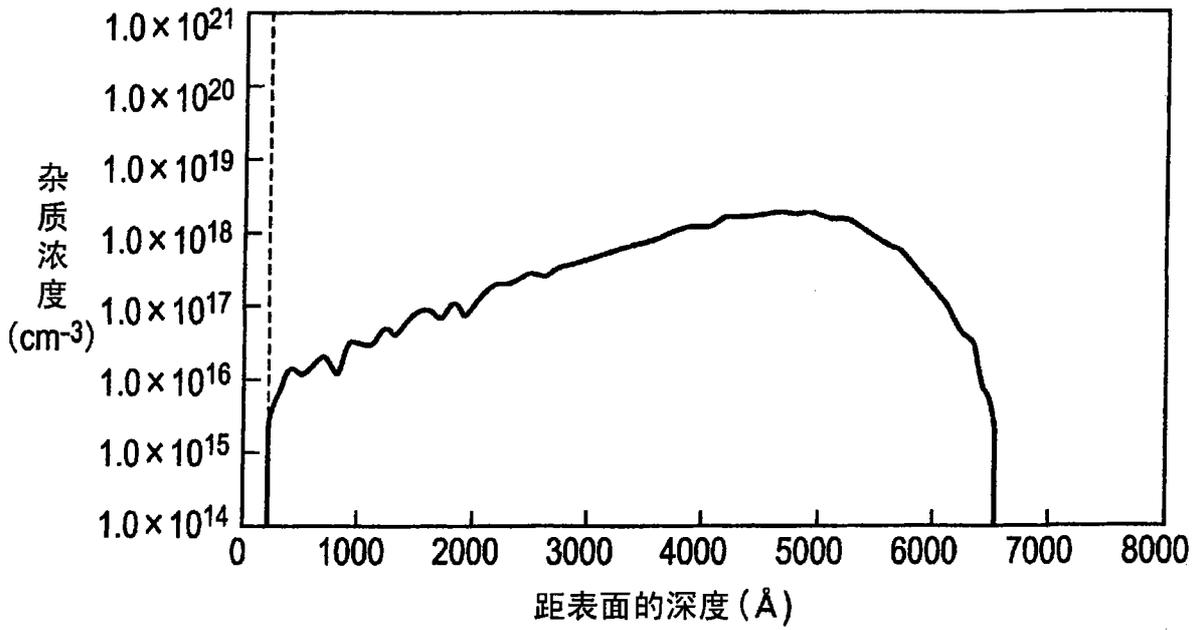


图 5

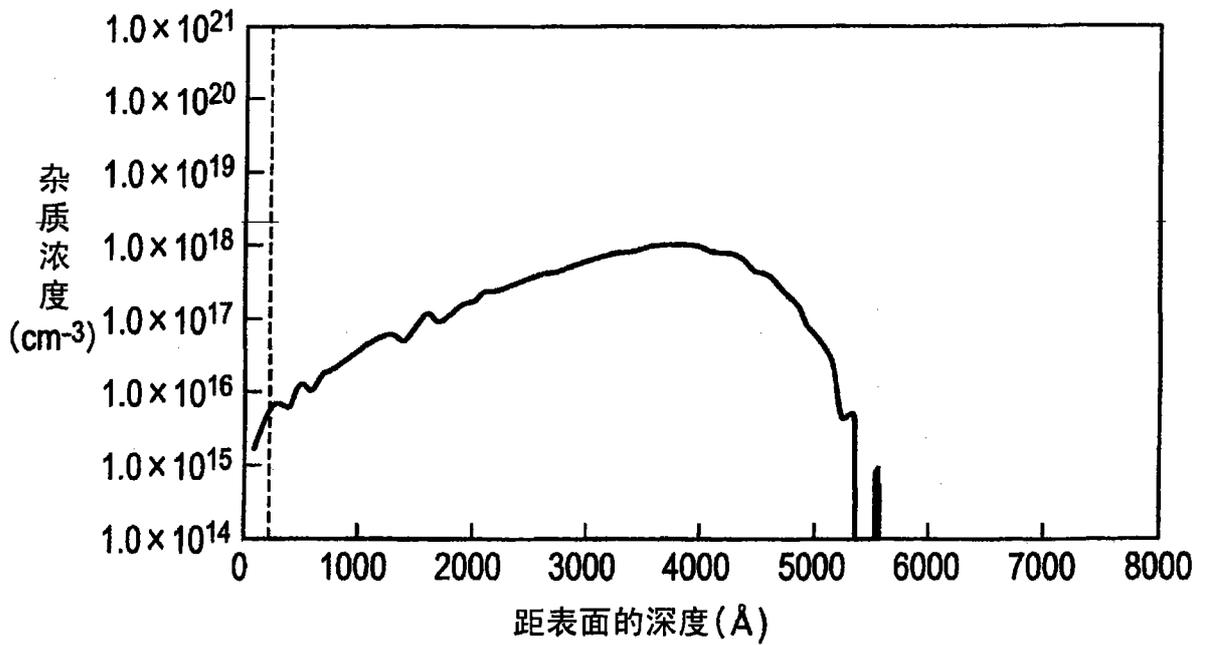


图 6

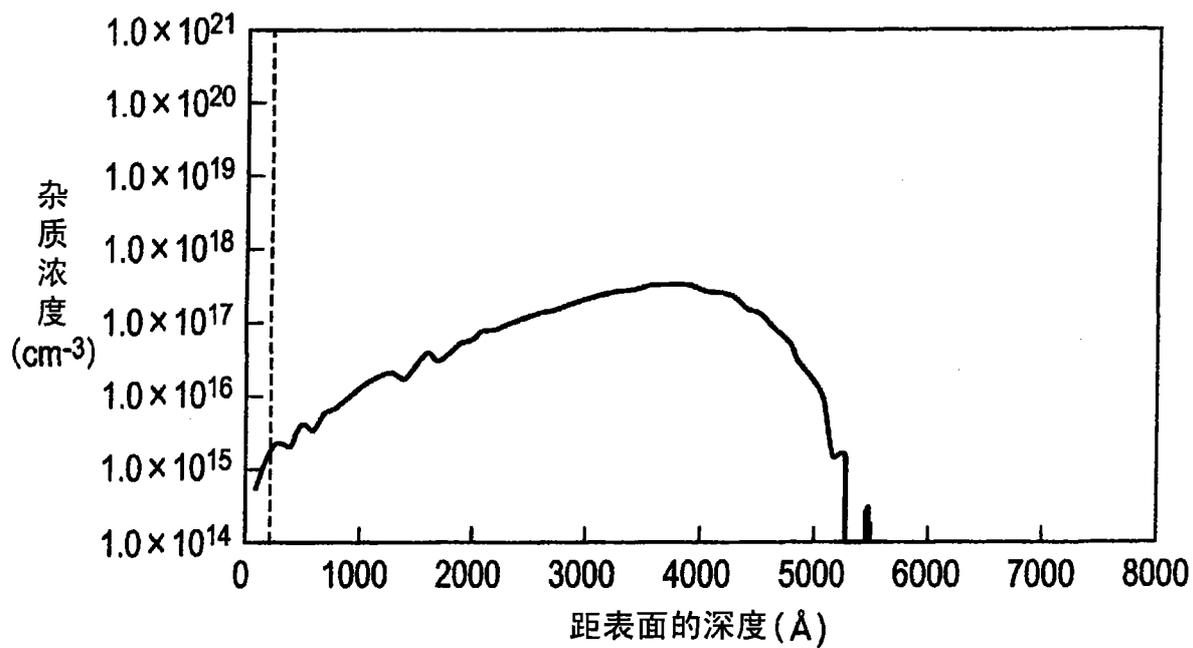


图 7

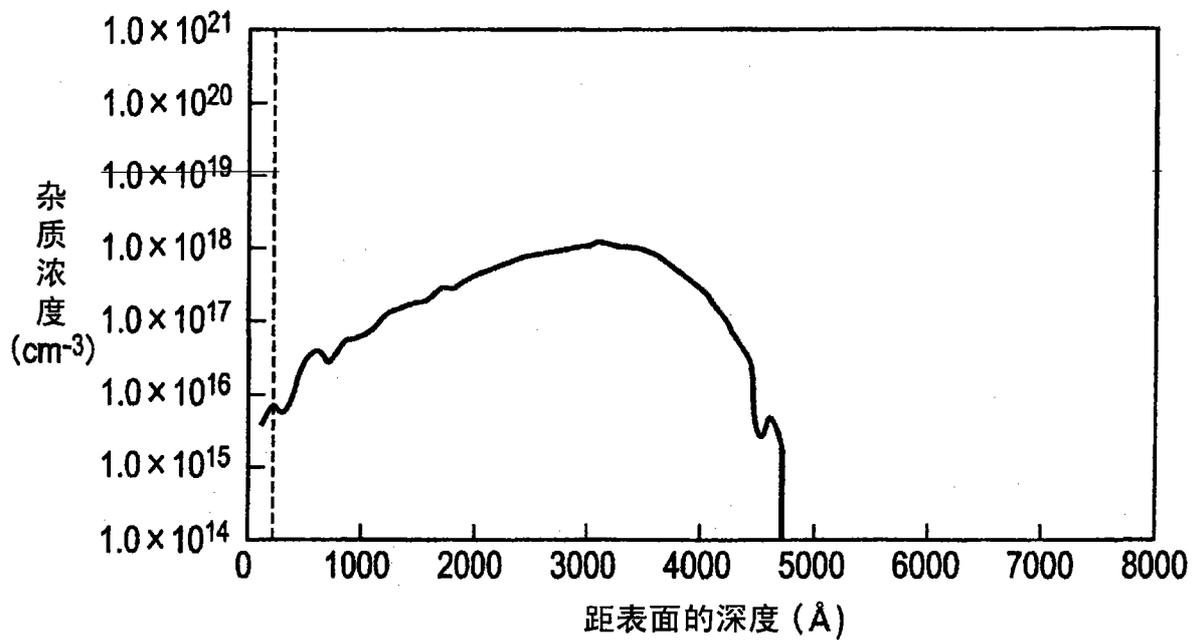


图 8

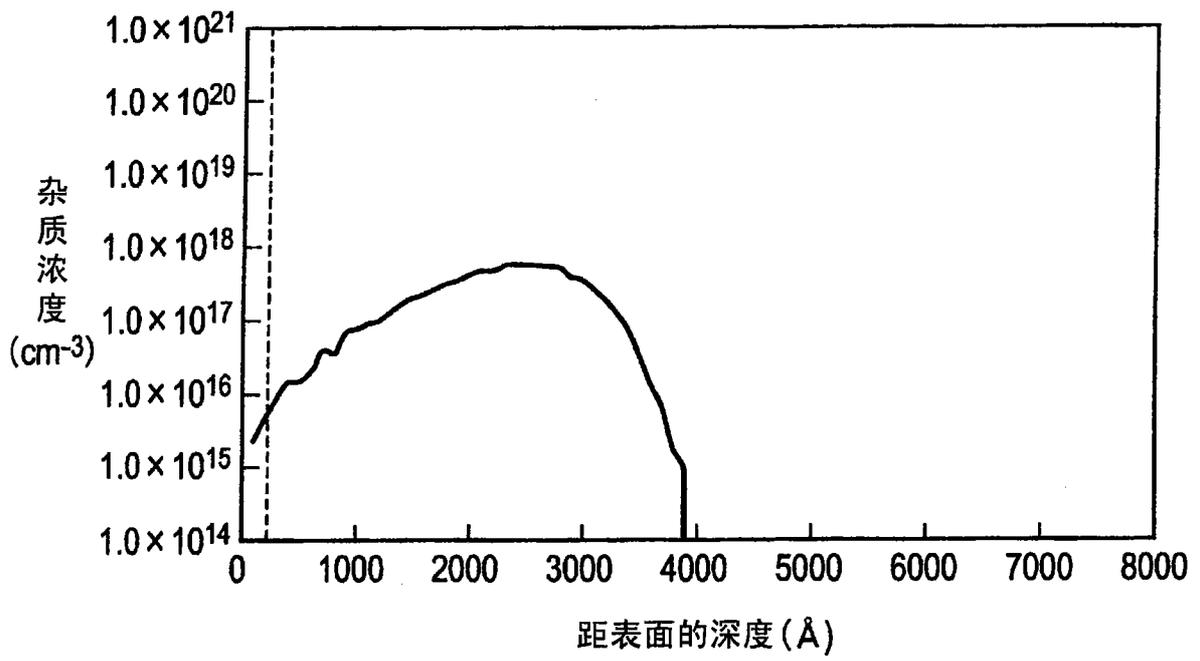


图 9

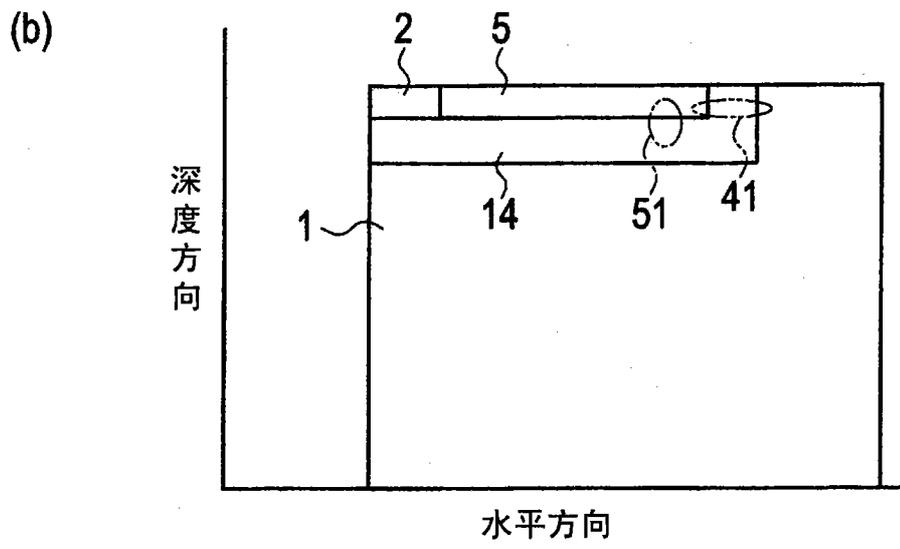
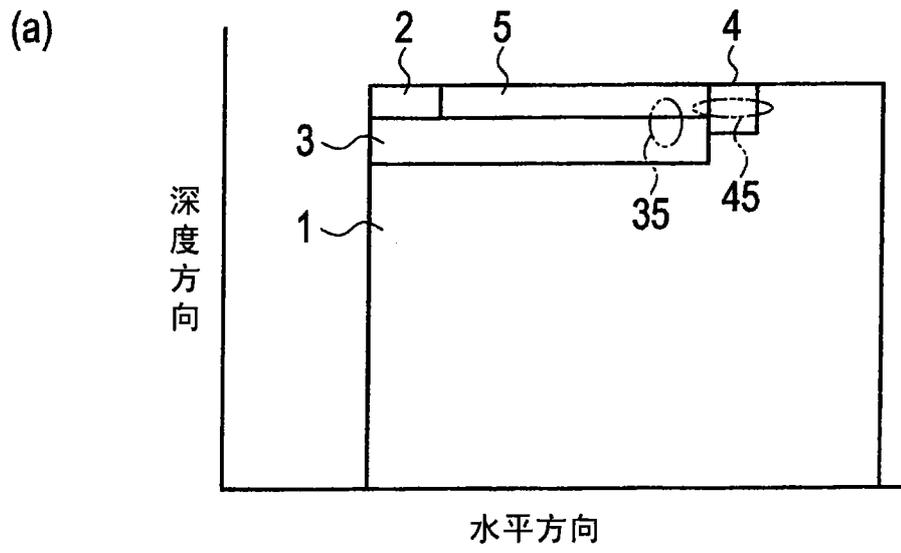


图 10

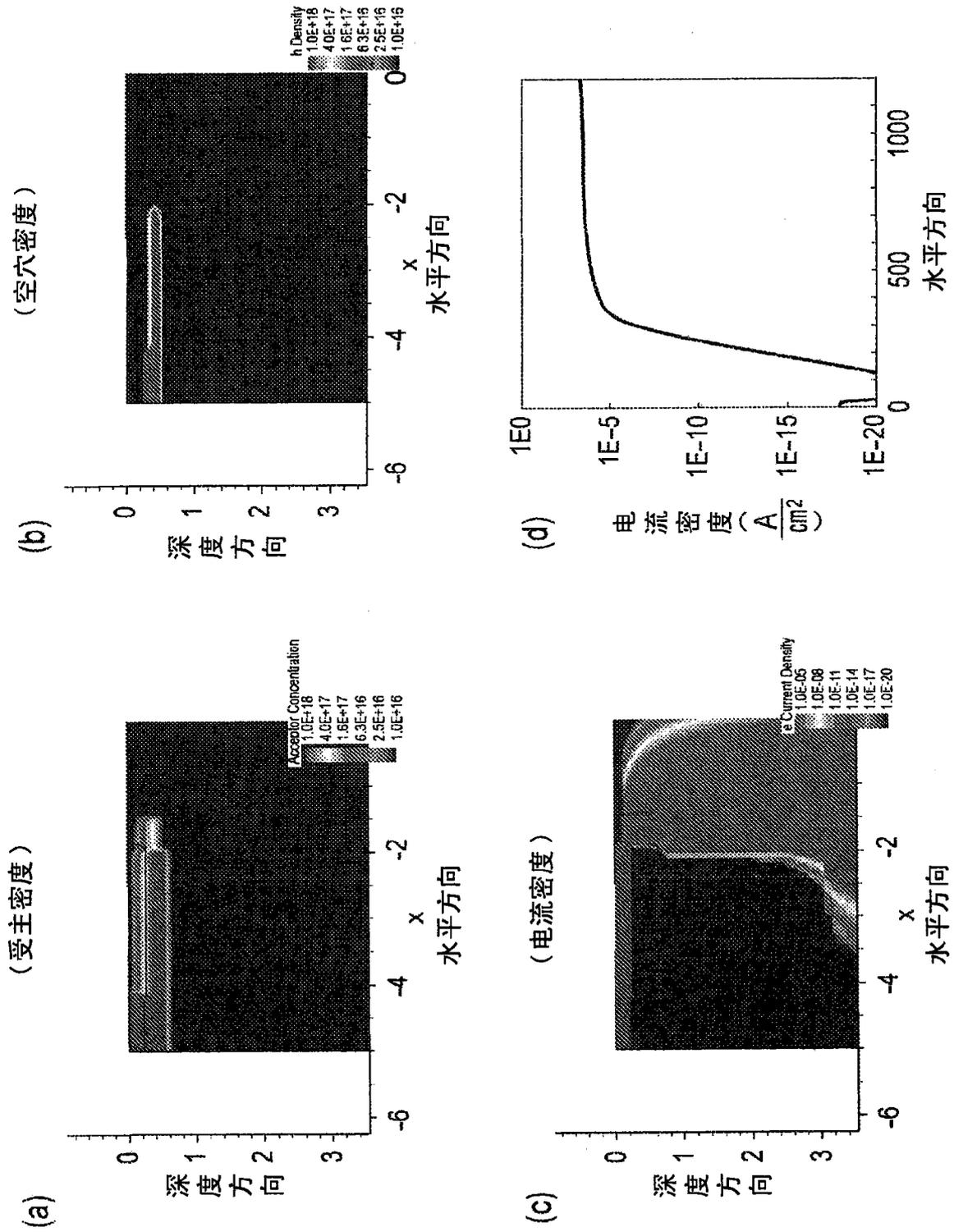


图 11

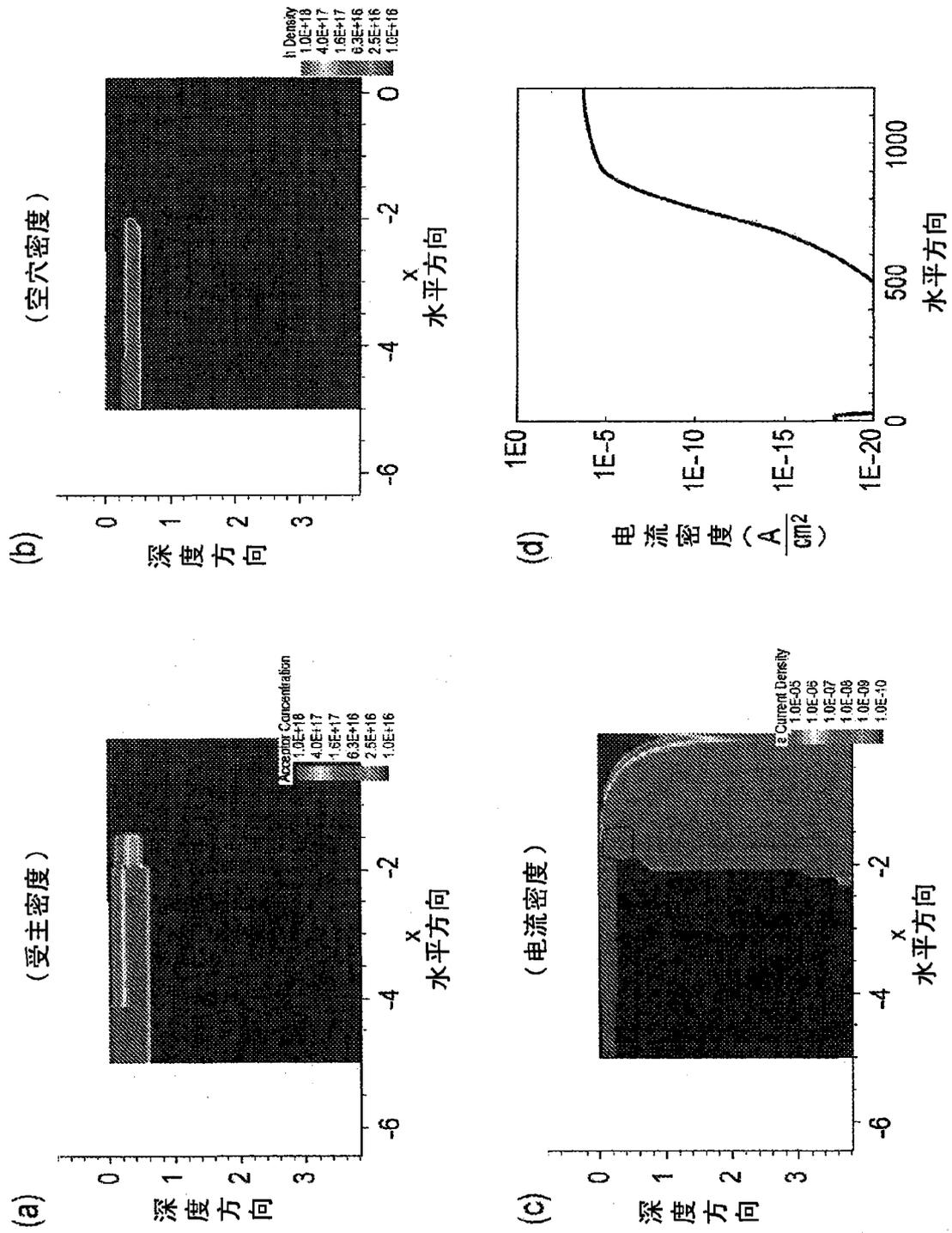


图 12

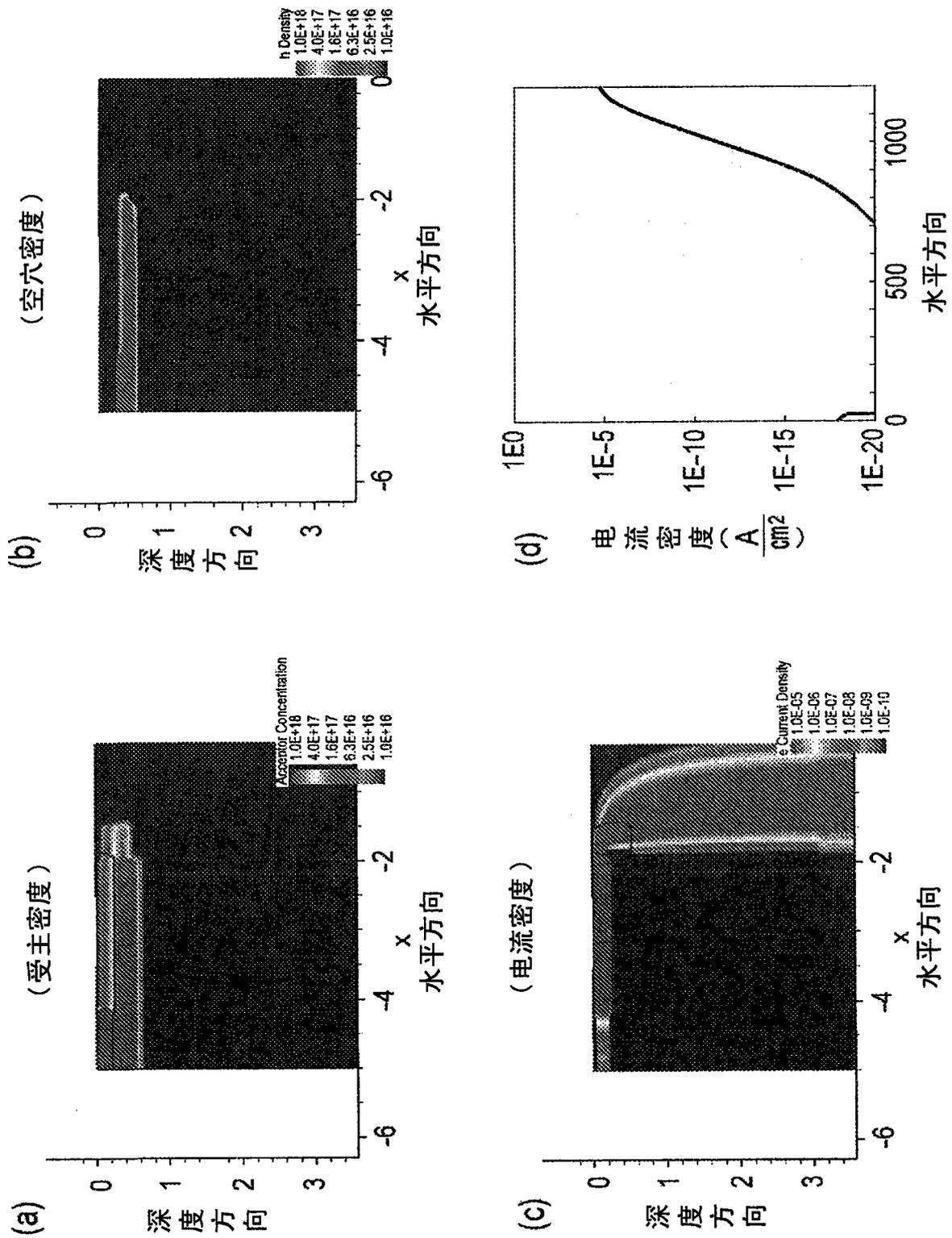


图 13

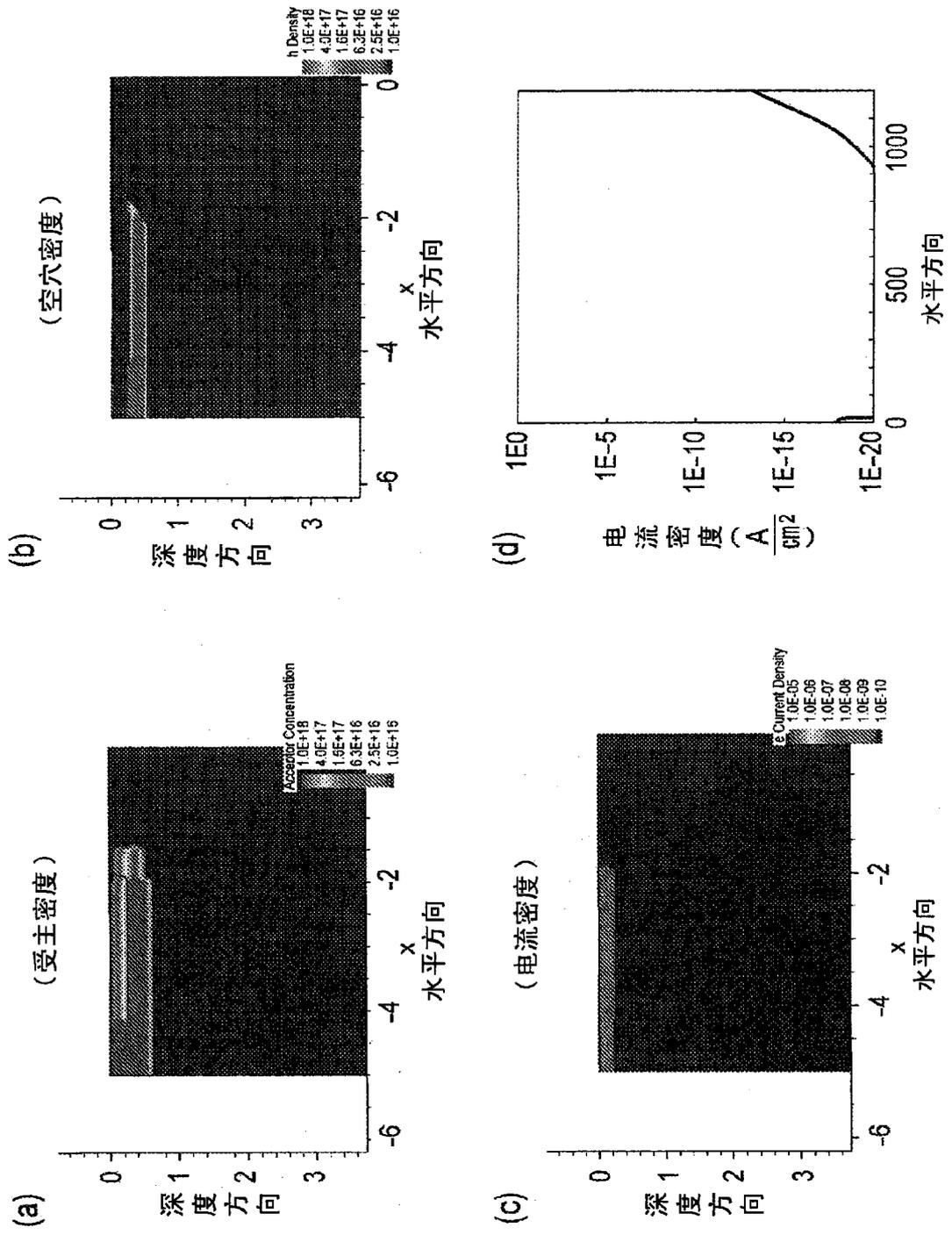


图 14

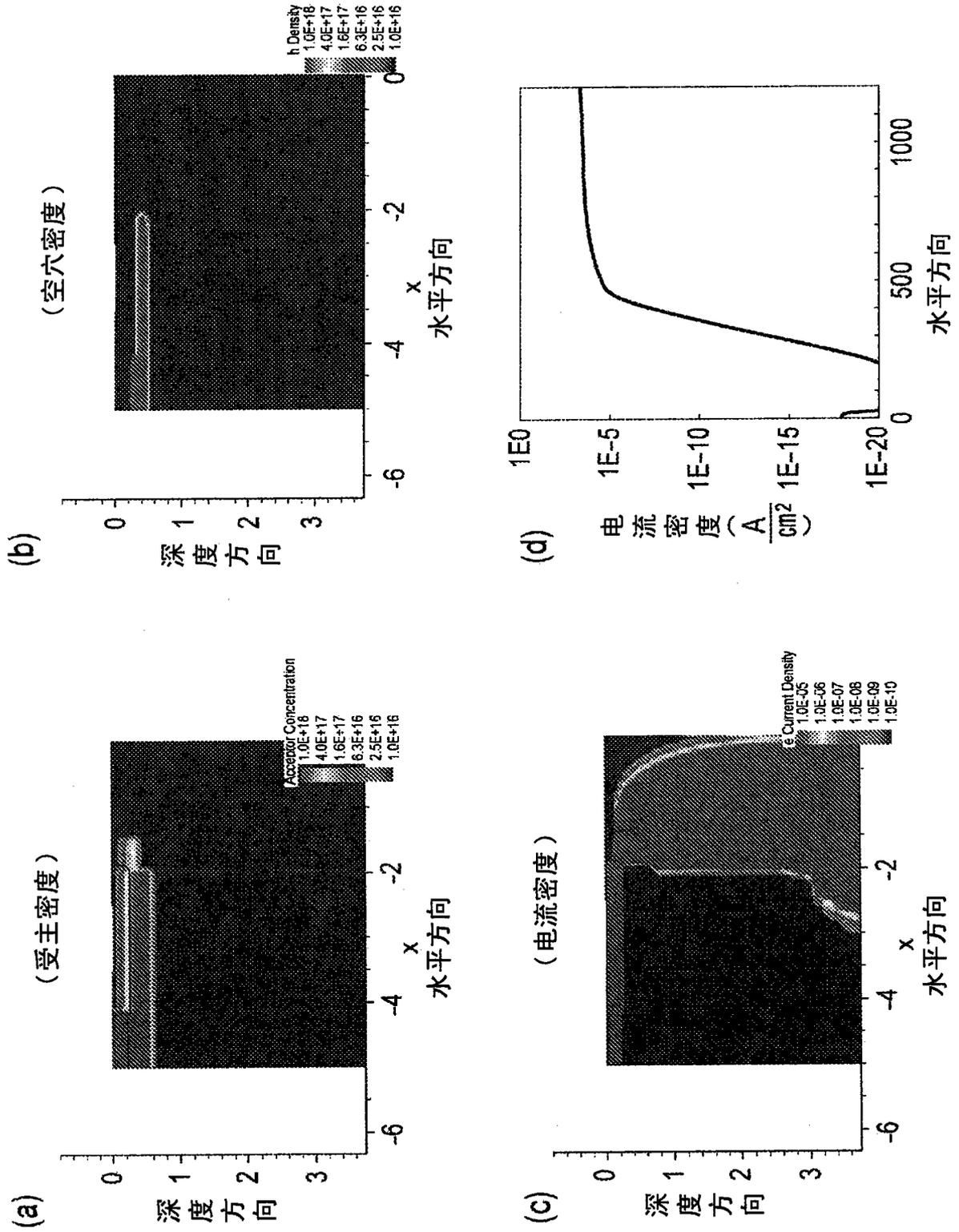


图 15

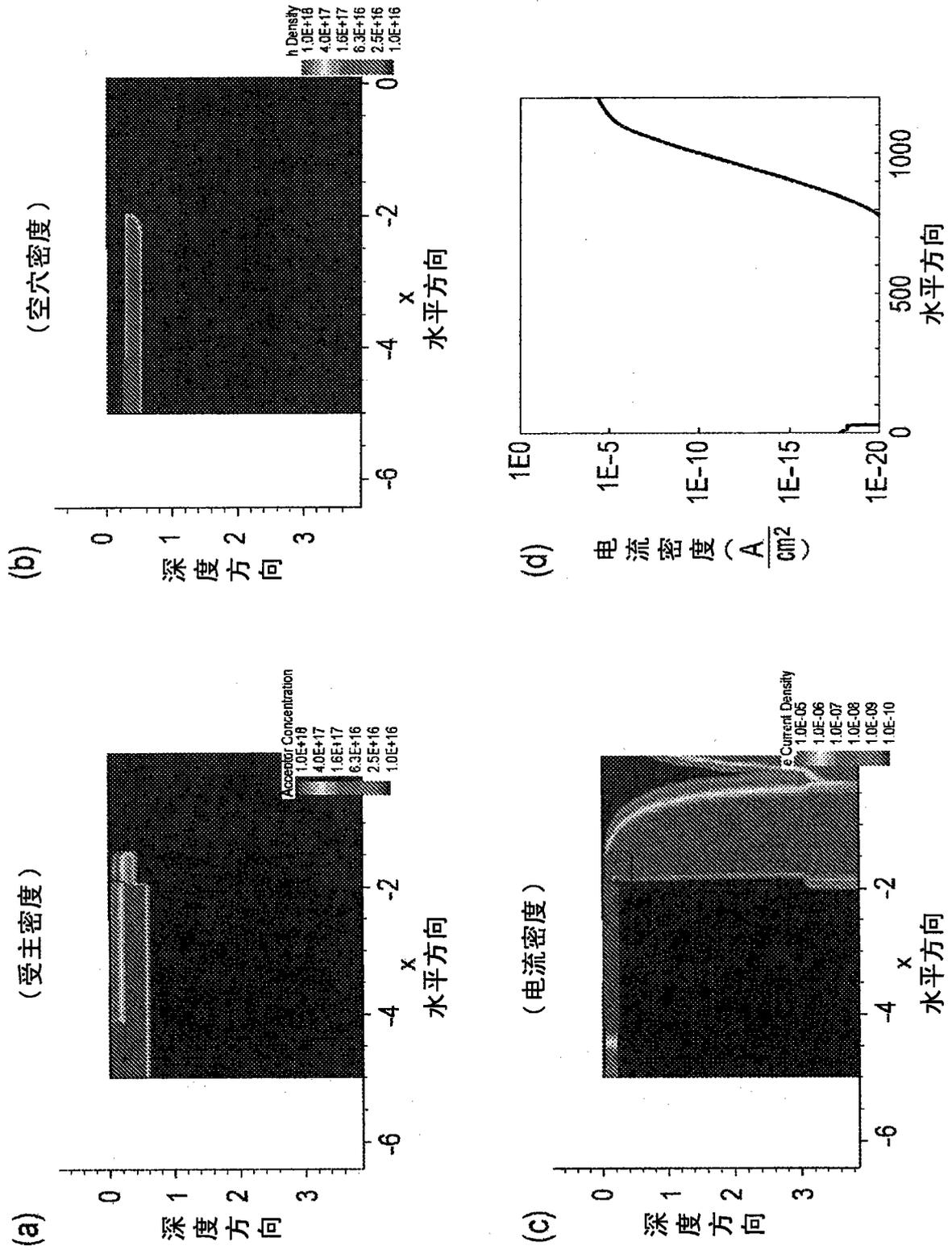


图 16

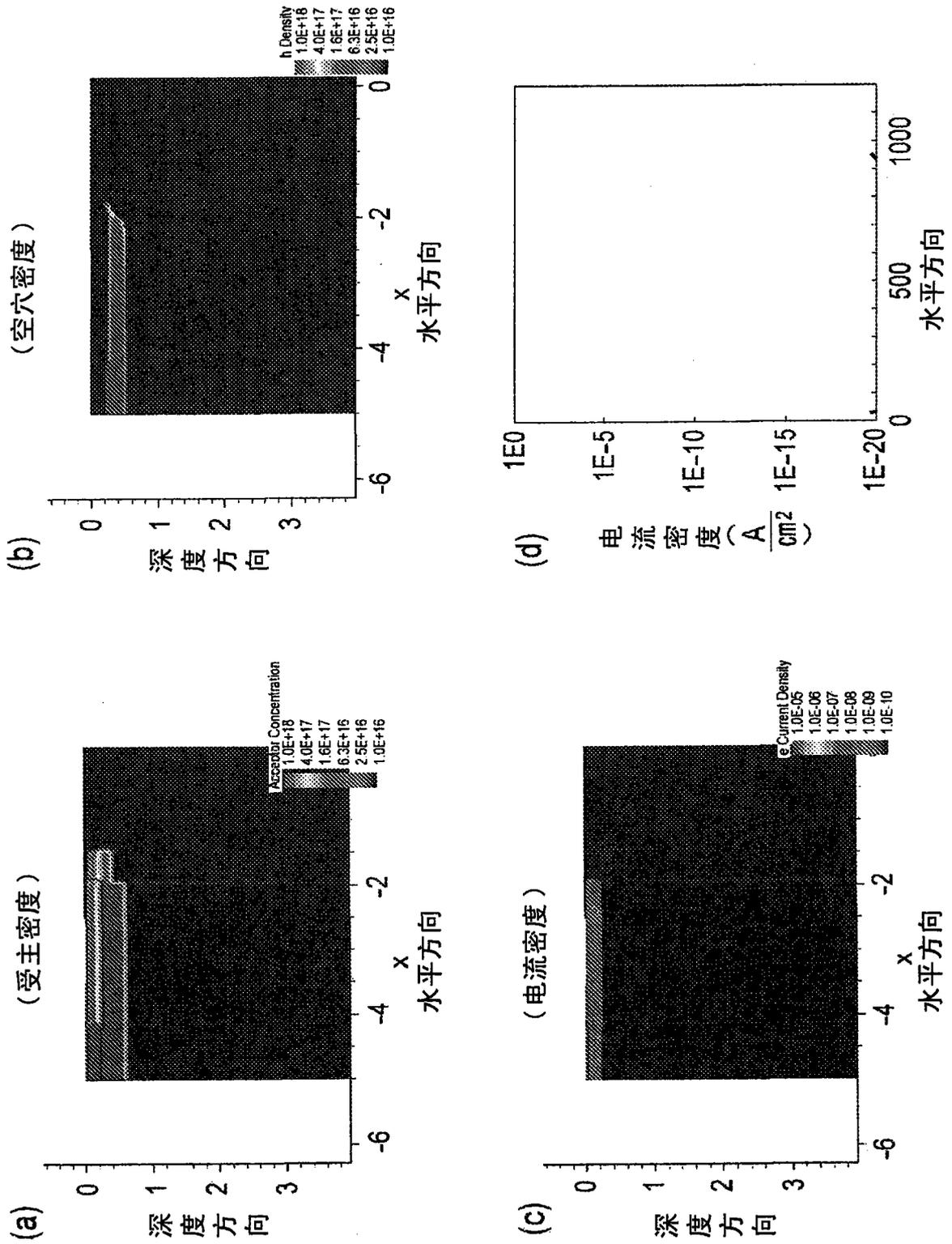


图 17

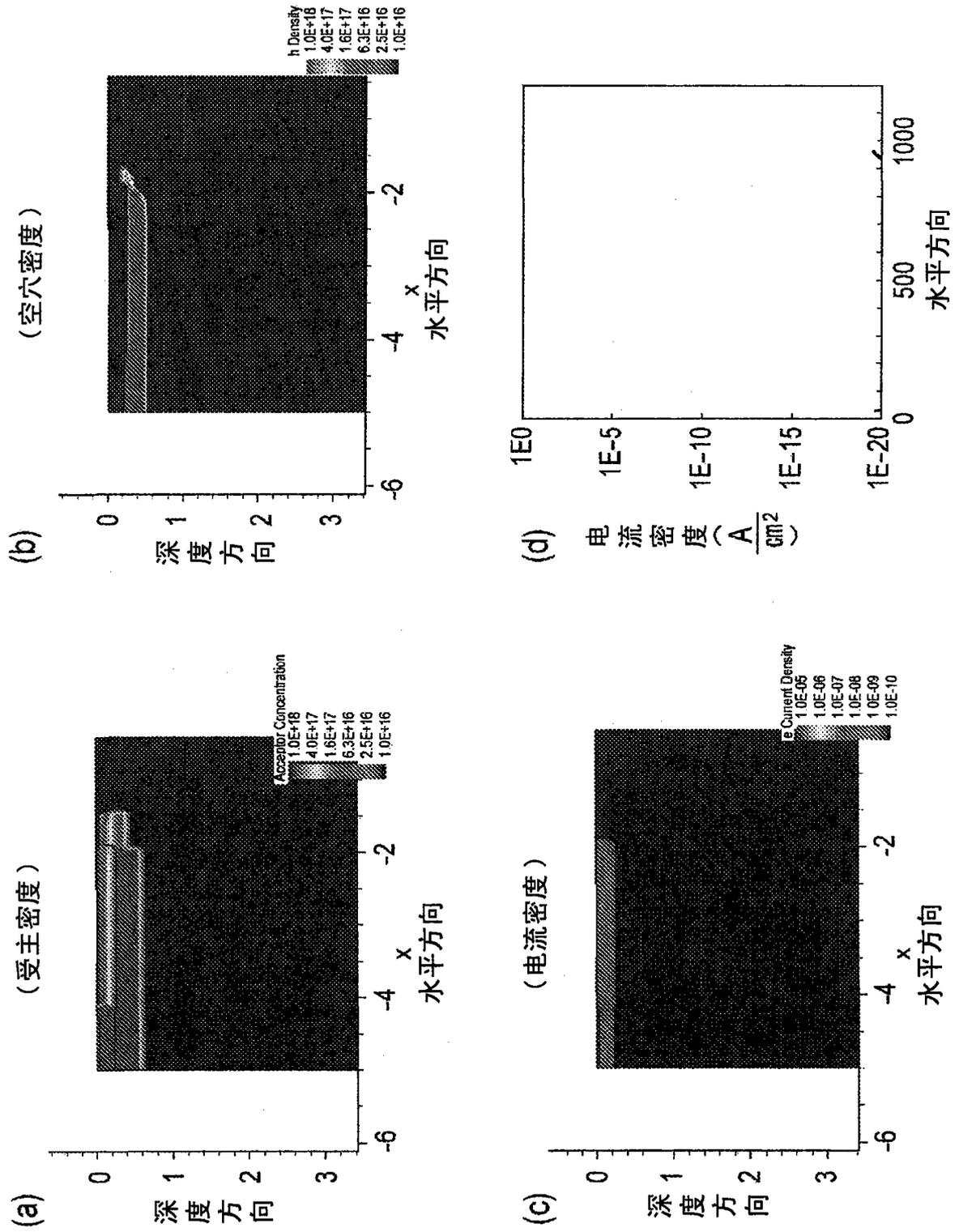


图 18

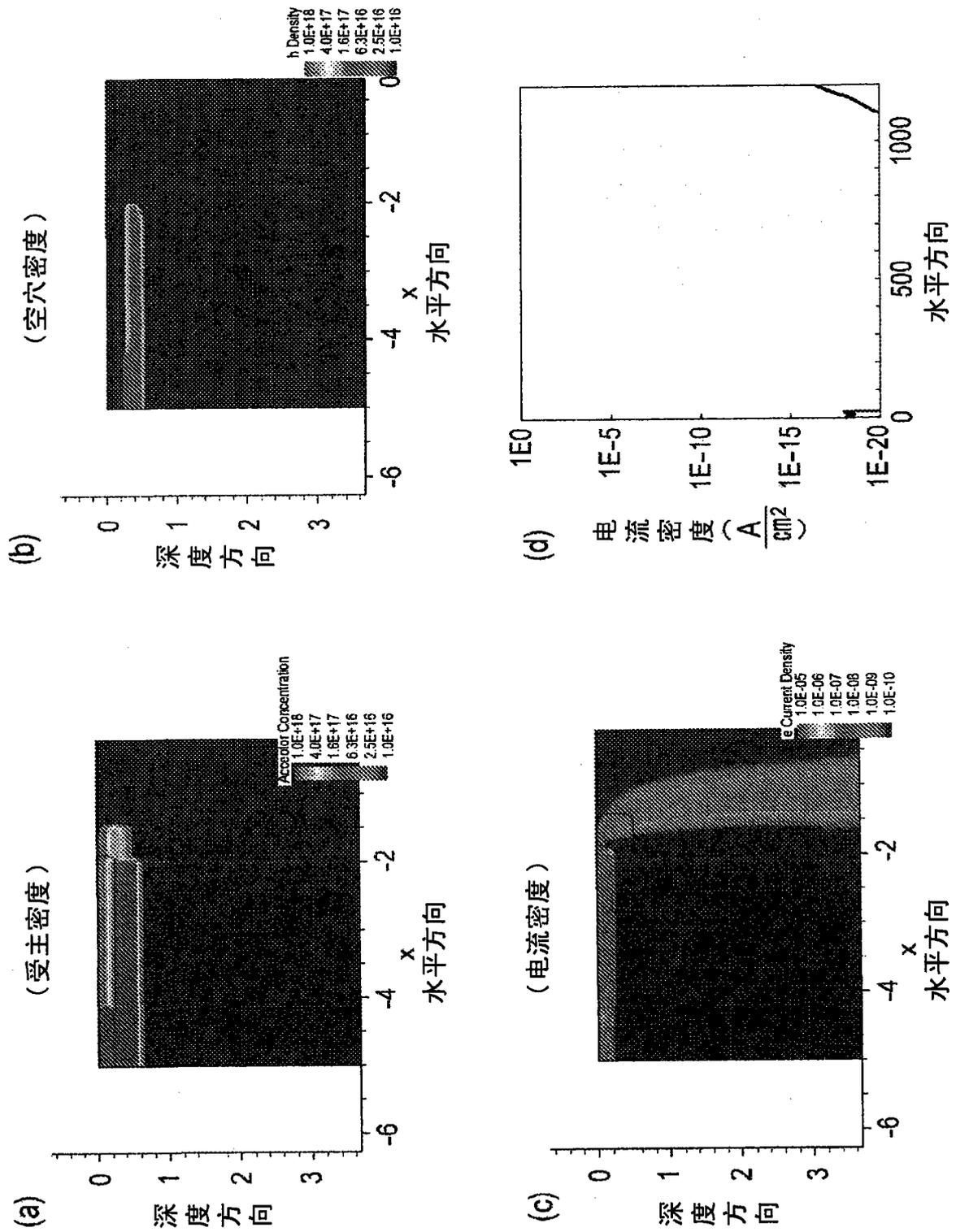


图 19

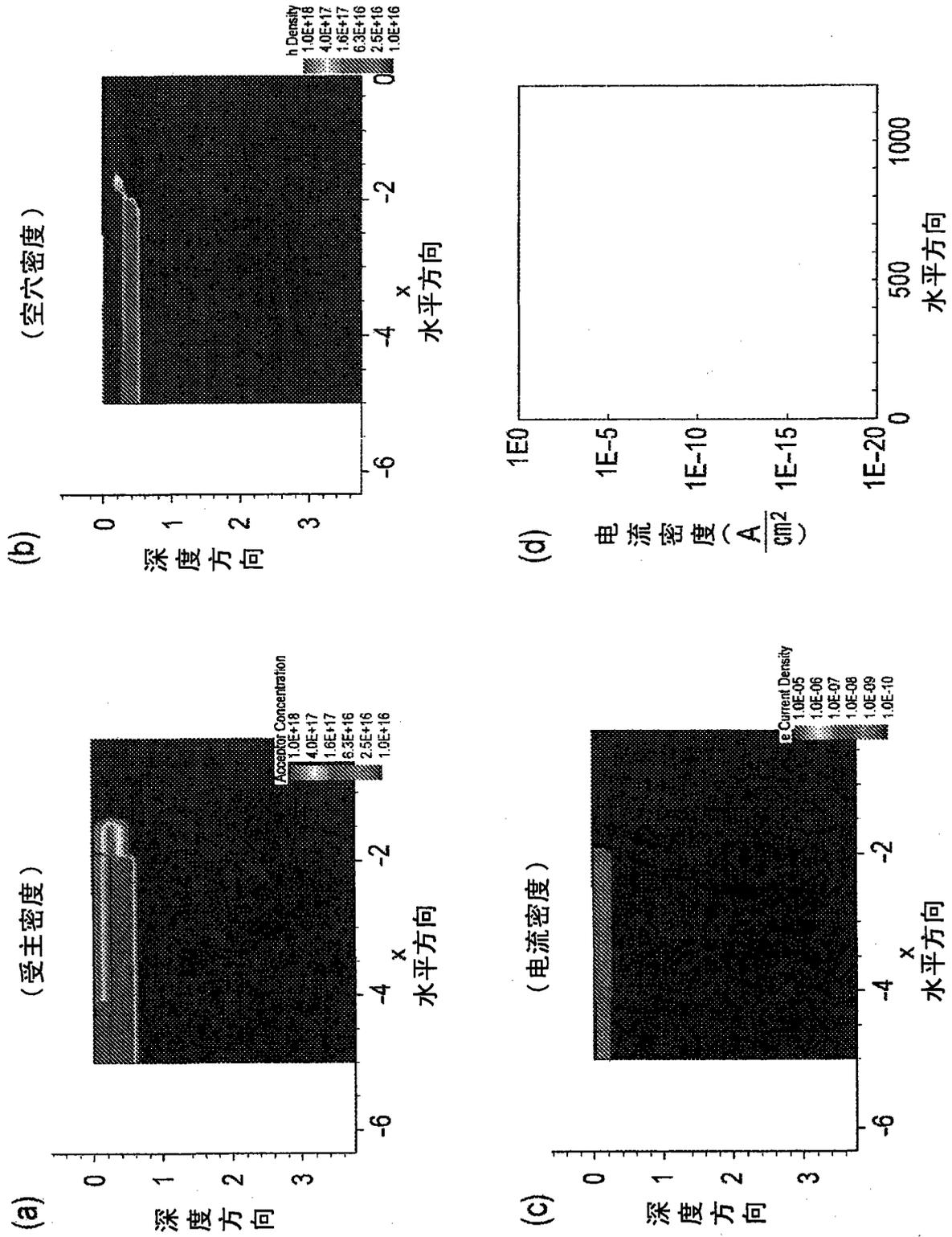


图 20

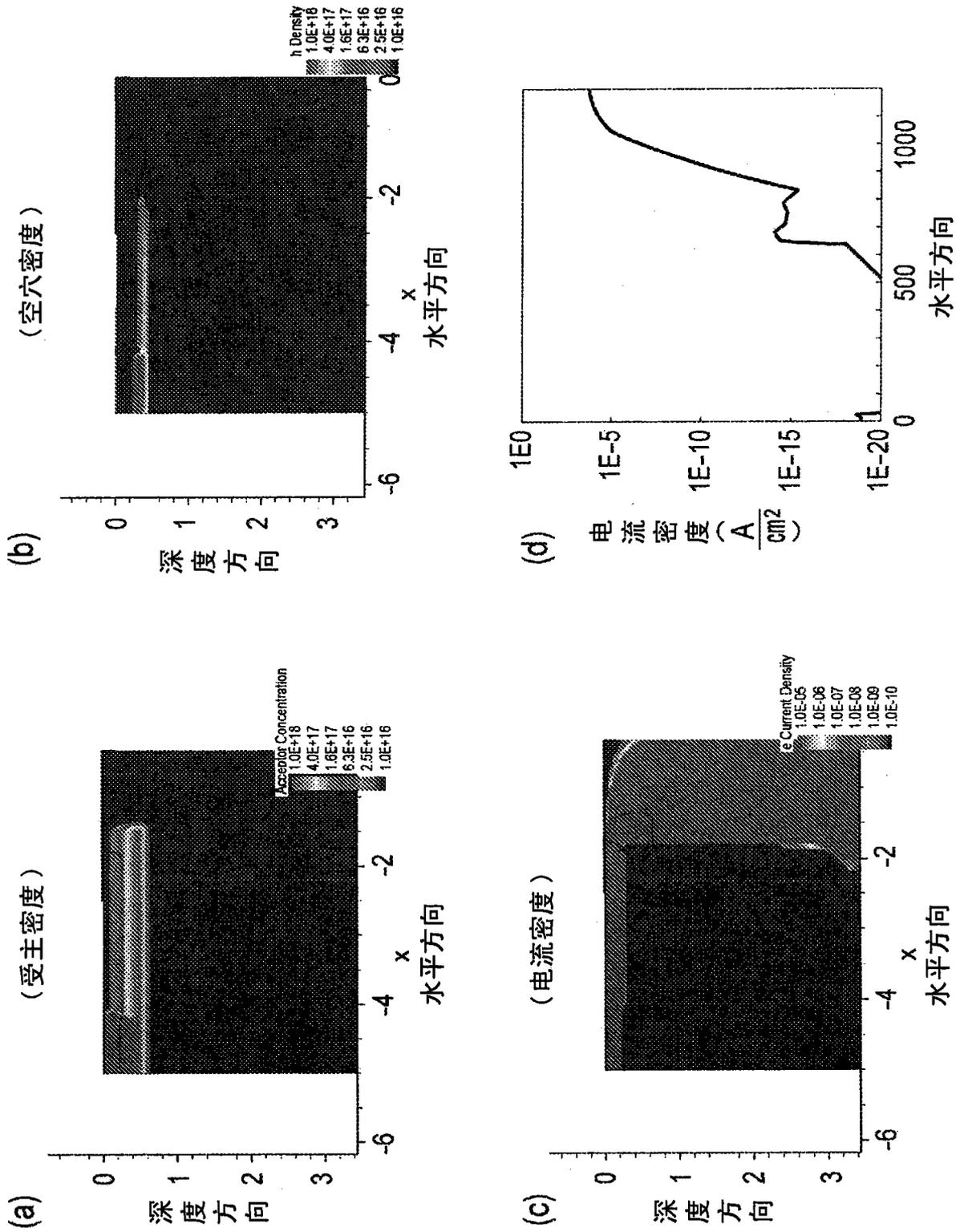


图 21

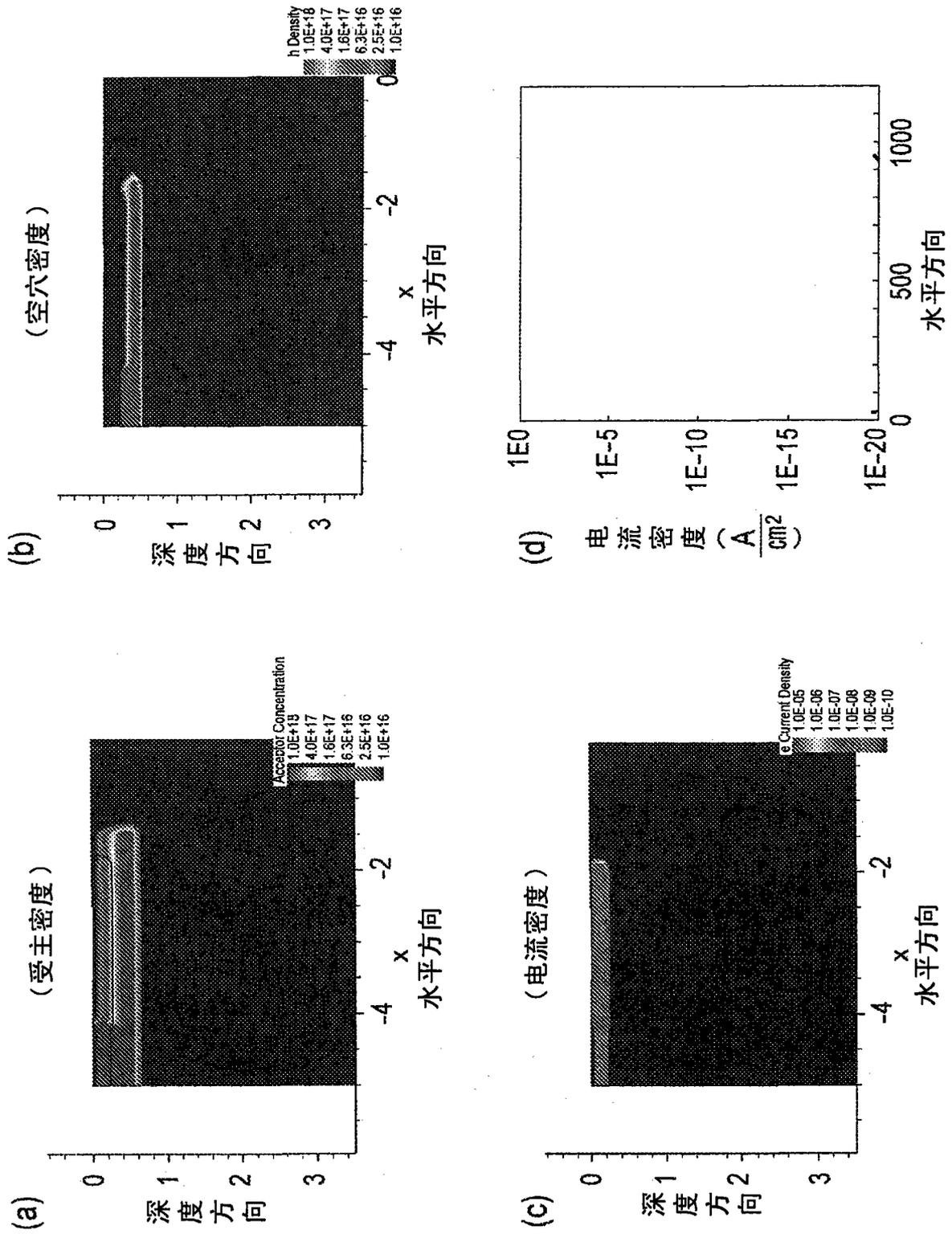


图 22

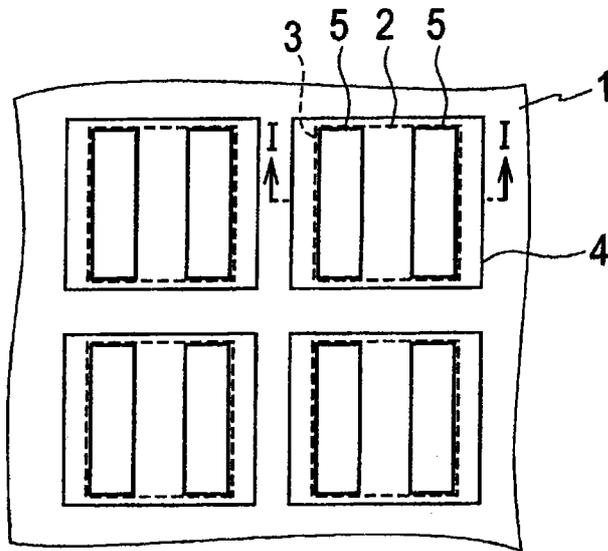


图 23

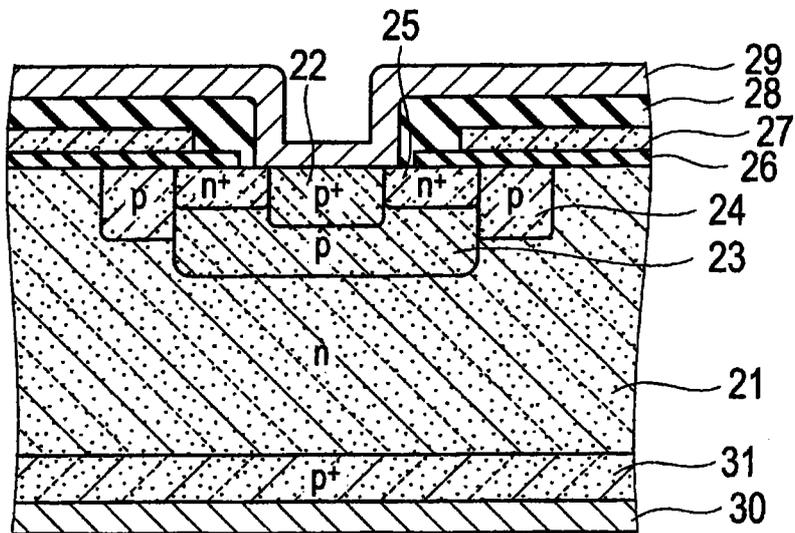


图 24

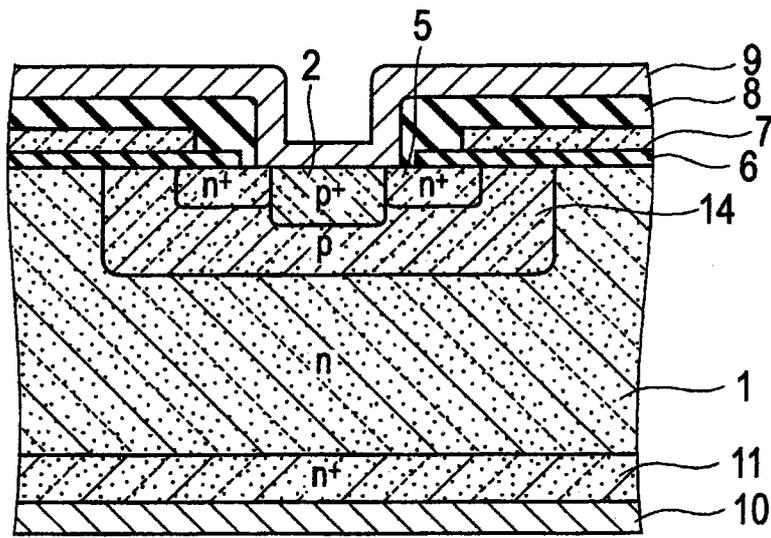


图 25