

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810091706.8

[51] Int. Cl.

H01L 25/00 (2006.01)

H01L 25/065 (2006.01)

H01L 23/488 (2006.01)

H01L 23/13 (2006.01)

H01L 23/31 (2006.01)

[43] 公开日 2008 年 10 月 15 日

[11] 公开号 CN 101286503A

[22] 申请日 2008.4.9

[21] 申请号 200810091706.8

[30] 优先权

[32] 2007. 4. 11 [33] US [31] 11/783,629

[71] 申请人 育霈科技股份有限公司

地址 台湾省新竹县

[72] 发明人 杨文焜 林殿方

[74] 专利代理机构 中科专利商标代理有限责任公

司

代理人 周长兴

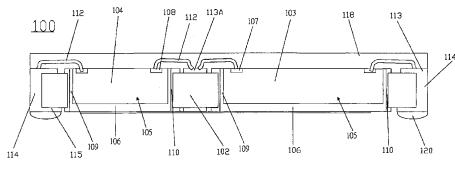
权利要求书 2 页 说明书 11 页 附图 4 页

[54] 发明名称

具有多晶粒并排配置的半导体组件封装结构
及其方法

[57] 摘要

本发明提供一种具有晶粒容纳通孔及连接通孔结构的半导体组件封装，包含一具有晶粒容纳通孔、连接通孔结构及第一接触垫的基底。一具有第一连接垫的第一晶粒及一具有第二连接垫的第二晶粒分别配置于晶粒容纳通孔内。一第一黏着材料形成于第一晶粒及第二晶粒下，而第二黏着材料填满于第一晶粒及晶粒容纳通孔侧壁的间隙内，以及第二晶粒及晶粒容纳通孔侧壁的间隙内。更进一步，形成接合线 (bonding wires) 以耦合第一连接垫与第一接触垫，以及耦合第二连接垫与第一接触垫。一介电层形成于接合线、第一晶粒、第二晶粒以及基底上。第二接触垫形成于基底的下表面以及连接通孔结构下。



1、一种半导体组件封装结构，包含：

一具有晶粒容纳通孔及连接通孔结构的基底；

第一接触垫形成于该基底的上表面及第二接触垫形成于该基底的下表面，其中该第二接触垫形成于该下表面的边缘区域；

一具有第一连接垫的第一晶粒及一具有第二连接垫的第二晶粒分别配置于该晶粒容纳通孔内；

一接合电路形成于该上表面用以耦合互接垫及该第一接触垫，该互接垫形成于该第一晶粒与该第二晶粒之间及该第二晶粒的侧边；

一第一黏着材料形成于该第一晶粒及该第二晶粒下；

一第二黏着材料填满于该第一晶粒与该基底的该晶粒容纳通孔侧壁的间隙内，及填满于第二晶粒与该基底的该晶粒容纳通孔侧壁的间隙内；

接合线耦合该第一连接垫与该第一接触垫，及耦合该第二连接垫与该第一接触垫；且

一介电层形成于该接合线、该第一晶粒、该第二晶粒及该基底上。

2、如权利要求 1 所述的结构，其中，包含复数导电凸块形成于该下表面并耦合至该第二接触垫；其中该复数导电凸块由该通孔结构与该第一连接垫及该第二连接垫形成电性连接。

3、如权利要求 1 所述的结构，其中，包含一金属或导电层形成于该基底的该晶粒容纳通孔的侧壁上。

4、如权利要求 1 所述的结构，其中，该连接通孔结构的形成是贯穿该基底，并形成于该基底的侧边。

5、如权利要求 1 所述的结构，其中，该基底的材质包含环氧型 FR5、FR4、BT (Bismaleimide triazine)、金属、合金、玻璃、硅、陶瓷或印刷电路板(PCB)；其中该合金包含合金 42 (42%镍-58%铁)或 Kovar (29%镍-17%钴-54%铁)。

6、如权利要求 1 所述的结构，其中，该第一黏着材料及该第二黏着材料的材质为相同材质，其材质包含有硅氧烷聚合物(SINR)、WL5000、橡胶、环氧化物、液态化合物及聚亚酰胺；其中该介电层的材质包含液态

化合物、树脂、硅胶及环氧型化合物。

7、如权利要求 1 所述的结构，其中，该连接通孔结构是填满一导电材质。

8、如权利要求 1 所述的结构，其中，包含一金属层由溅镀及/或电镀形成于该第一晶粒及该第二晶粒的背面。

9、如权利要求 1 所述的结构，其中，该接合电路用以耦合形成于该第一晶粒与该第二晶粒间的该互接垫。

10、如权利要求 1 所述的结构，其中，该接合线耦合该第一连接垫与该互接垫，以及耦合该第二连接垫与该互接垫。

具有多晶粒并排配置的半导体组件封装结构及其方法

技术领域

本发明是关于一种半导体组件封装结构，特别是关于一种具有晶粒容纳通孔及连接通孔的半导体组件封装结构及其方法，此结构可缩减封装尺寸并改善产品质量及可靠度。

背景技术

近年来，高科技电子制造工业推出了许多丰富功能及人性化的电子产品。半导体科技的快速发展引领了众多的快速进展，如半导体封装尺寸的缩减、多针脚(multi-pin)的采用、微间距(fine pitch)的采用以及电子组件的小型化(minimization)等。硅片级封装(Wafer Level Package, WLP)的目的以及优点包含了减少制造成本、降低由较短导线径(conductive line path)所产生的寄生电容(parasitic capacitance)及寄生电感(parasitic inductance)效应、及取得较佳的讯号噪声比(Signal to Noise Ratio, SNR)。

由于一般封装技术必须先将硅片上的晶粒分割为个别晶粒，而后将晶粒分别封装，因此上述技术的工艺十分费时。由于晶粒封装技术受到集成电路的发展高度影响，因此当电子组件的尺寸要求越来越高时，封装技术的要求也越来越高。基于上述理由，现今的封装技术已逐渐趋向采用球门阵列封装(ball grid array, BGA)、芯片倒装球门阵列封装(flip chip ball grid array, FC-BGA)、芯片尺寸封装(chip scale package, CSP)、硅片级封装的技术。应可理解「硅片级封装」意指硅片上所有封装与交互连接结构以及其它工艺步骤，是于切割(singulation)为个别晶粒前完成。一般而言，在完成所有装配工艺(assembling processes)或封装工艺(packaging processes)的后，个别半导体封装是由具有复数半导体晶粒的硅片中所分离出来的。上述硅片级封装具有极小的尺寸及良好的电性。

在制造方法中，硅片级芯片尺寸封装(WLCSP)技术为进阶的封装技术，其中晶粒是于硅片上制造及测试，而后进行切割(dicing)成为个别晶粒

(singulated)，以利于在表面黏着线(surface-mount line)内组装。由于硅片级封装技术是利用整个硅片为主体，而非利用单一芯片(chip)或晶粒(die)，因此进行分割工艺前，须先完成封装与测试。再者，硅片级封装为进阶技术，因此可忽略打线接合(wire bonding)、晶粒黏着及底部填胶。利用硅片级封装技术，可降低成本及制造时间，并且硅片级封装的最终结构可与晶粒相当，因此上述技术可符合将电子组件微型化(miniaturization)的需求。另外，硅片级芯片尺寸封装具有利用晶粒的周围区域作为连接点(bonding points)而直接将重布电路(redistribution circuit)印刷于晶粒上的优点。其由重新分布一区域阵列(area array)于晶粒表面上而达成，其可充分利用晶粒的所有面积。上述连接点位于重布电路上，其利用芯片倒装凸块(flip chip bumps)所形成，故晶粒底部可以微间距连接点(micro-spaced bonding point)而直接连结至印刷电路板(Printed Circuit Board, PCB)。

虽然硅片级芯片尺寸封装可大幅缩短讯号路径(signal path)的距离，当晶粒与内部组件的整合变的更为复杂时，欲容纳所有连接点于晶粒表面上即变得非常困难。当集成电路变的更复杂时，晶粒上的针脚数(pin count)也增加了，所以无法轻易将针脚重布于区域阵列中。即使成功重布了针脚，将因针脚间的距离太短而无法与印刷电路板之间距(pitch)相符。换言之，公知技术的工艺与结构将因封装尺寸过大而将遭受良率及可靠度的问题。高成本以及制造时间过长为公知技术的其它缺点。

虽然硅片级封装技术具有上述的优点，仍有一些待克服的问题影响了硅片级封装技术的接受度。举例来说，硅片级封装结构材质与母板间的热膨胀系数不匹配(CTE mismatching)为造成结构的机械不稳定性(mechanical instability)的另一关键因素。美国专利 6,271,469 号公开了一种遭受热膨胀系数不匹配问题的封装结构。其因为上述公知技术使用封胶包覆硅晶粒。如所知，硅材质的热膨胀系数(CTE)为 2.3，但封胶的热膨胀系数介于 20 至 80 之间。由于化合物以及介电层材质的固化温度较高，上述排列将使芯片于工艺中移位，且互连垫(inter-connecting pads)也将移位，进而引起良率以及性能上的问题。于温度循环(temperature cycling)中返回原本的位置具有相当的难度(当固化温度接近或高于玻璃转移温度(Glass Transition Temperature, T_g)时，其由环氧树脂的属性所引起)。换言之，公

知技术的封装结构无法于大尺寸上加工，并具有较高的制造成本。

再者，某些技术需要使用直接形成于基底上表面上的晶粒。如所知，半导体晶粒所采用的接垫将由包含一重布层(RDL)的重布工艺重新分布至一区域阵列型的复数金属垫。上述增层(build up layer)将增加封装的尺寸。因此，增加了封装的厚度。上述情形与缩减芯片尺寸的需求有所相悖。

此外，上述公知技术遭受为了形成面板式封装(panel type package)的复杂工艺。其需要铸模工具(mold tool)用以包覆以及注入(injection)封胶材料。由于化合物热固化后的翘曲，故晶粒以及化合物的表面将不太可能控制于同一水平，可能需要化学机械研磨(chemical mechanical polishing, CMP)工艺来处理表面不平处。因而增加了成本。

发明内容

本发明的目的在于提供一种具有多晶粒并排配置的半导体组件封装结构及其方法，其用在一面板尺寸封装(panel scale package, PSP)以克服上述缺点。

为实现上述目的，本发明提供的半导体组件封装结构，包含：

一具有晶粒容纳通孔及连接通孔结构的基底；

第一接触垫形成于该基底的上表面及第二接触垫形成于该基底的下表面，其中该第二接触垫形成于该下表面的边缘区域；

一具有第一连接垫的第一晶粒及一具有第二连接垫的第二晶粒分别配置于该晶粒容纳通孔内；

一接合电路形成于该上表面用以耦合互接垫及该第一接触垫，该互接垫形成于该第一晶粒与该第二晶粒之间及该第二晶粒的侧边；

一第一黏着材料形成于该第一晶粒及该第二晶粒下；

一第二黏着材料填满于该第一晶粒与该基底的该晶粒容纳通孔侧壁的间隙内，及填满于第二晶粒与该基底的该晶粒容纳通孔侧壁的间隙内；

接合线耦合该第一连接垫与该第一接触垫，及耦合该第二连接垫与该第一接触垫；且

一介电层形成于该接合线、该第一晶粒、该第二晶粒及该基底上。

所述的结构，其中，还包含复数导电凸块形成于该下表面并耦合至该

第二接触垫；其中该复数导电凸块可由该通孔结构与该第一连接垫及该第二连接垫形成电性连接。

所述的结构，其中，还包含一金属或导电层形成于该基底的该晶粒容纳通孔的侧壁上。

所述的结构，其中，该连接通孔结构的形成是贯穿该基底，并形成于该基底的侧边。

所述的结构，其中，该基底的材质包含环氧型 FR5、FR4、BT (Bismaleimide triazine)、金属、合金、玻璃、硅、陶瓷或印刷电路板(PCB)；其中该合金包含合金 42 (42%镍-58%铁)或 Kovar (29%镍-17%钴-54%铁)。

所述的结构，其中，该第一黏着材料及该第二黏着材料的材质可为相同材质，其材质包含有硅氧烷聚合物(SINR)、WL5000、橡胶、环氧化物、液态化合物及聚亚酰胺(PI)；其中该介电层的材质包含液态化合物、树脂、硅胶及环氧型化合物。

所述的结构，其中，该连接通孔结构是填满一导电材质。

所述的结构，其中，还包含一金属层由溅镀及/或电镀形成于该第一晶粒及该第二晶粒的背面。

所述的结构，其中，该接合电路用以耦合形成于该第一晶粒与该第二晶粒间的该互接垫。

所述的结构，其中，该接合线耦合该第一连接垫与该互接垫，以及耦合该第二连接垫与该互接垫。

简言之，本发明提供的半导体组件封装结构，包含一具有预形成晶粒容纳通孔及连接通孔的基底。第一接触垫形成于基底的上表面，而第二接触垫则形成于基底的下表面；一具有第一连接垫的第一晶粒及一具有第二连接垫的第二晶粒分别配置于晶粒容纳通孔内；一第一黏着材料形成于第一晶粒及第二晶粒下；一第二黏着材料填满于第一晶粒及基底晶粒容纳通孔侧壁的间隙内，以及第二晶粒及基底晶粒容纳通孔侧壁的间隙内；第一黏着材料及第二黏着材料可为相同材质；形成接合线(bonding wires)以耦合第一连接垫与第一接触垫，以及耦合第二连接垫与第一接触垫；及形成一介电层于接合线、第一晶粒、第二晶粒以及基底之上。接合电路形成于基底的上表面，用以耦合互接垫(inter contact pads)及第一接触垫。上述互

接垫形成于第一晶粒与第二晶粒之间以及第二晶粒的侧边。

本发明的效果是：

- 1) 可提供一超薄封装的新式结构，由于其基底及印刷电路板具有相同的热膨胀系数，故可提供较佳的可靠度。
- 2) 可提供具有多晶粒低针脚数组件的良好解决方案。

附图说明

图 1 为根据本发明的半导体组件封装结构的剖面图；

图 2 为根据本发明的半导体组件封装结构的俯视图；

图 3 为根据本发明的半导体组件封装结构的底视图；

图 4 为根据本发明的半导体组件封装结构的剖面图。

附图中主要组件符号说明：

100 半导体组件封装结构

102 基底

103 第一晶粒

104 第二晶粒

105 晶粒容纳通孔

106 第一黏着材料

107 第一连接垫

108 第二连接垫

109 第二黏着材料

110 导电层

111 金属层

112 接合线

112A 接合电路

113 第一接触垫

113A 互接垫

114 连接通孔结构

115 第二接触垫

118 介电层

120 导电凸块

230 切割道

具体实施方式

本发明将详细的叙述一些实施例。然而，值得注意的是除了这些明确的叙述外，本发明可以实施在其它广泛范围的实施例中。本发明的范围不受限于下述实施例。

在下列叙述中，各式特定细节是用以提供本发明实施例的通盘了解。本发明将配合其较佳实施例与附图详述于下，应理解的是本发明中所有较佳实施例仅为示例之用，并非用以限制本发明。本领域技术人员亦应理解，本发明的实施不须一或多特定细节，或其它特定方法、组件或材料等。

由参考下列详细叙述，将可以更快地了解上述观点以及本发明的优点，并且由下面的描述以及附图，可以更容易了解本发明的精神。

请参考图 1，为根据本发明的一实施例的半导体组件封装结构 100 的剖面图。封装结构 100 包含一基底 102，此基底 102 具有预形成的晶粒容纳通孔 105 分别用以容纳晶粒，例如第一晶粒 103 及第二晶粒 104。晶粒容纳通孔 105 是由基底 102 的上表面形成至基底 102 的下表面。晶粒容纳通孔 105 预形成于基底 102 内。一第二黏着材料 109 填满于第一晶粒 103 边缘及晶粒容纳通孔 105 的侧壁间的空隙内，以及第二晶粒 104 及晶粒容纳通孔 105 的侧壁间的空隙内。一第一黏着材料 106 则涂布于第一晶粒 103 及第二晶粒 104 的下表面，进而密封上述晶粒。位于晶粒下表面的第一黏着材料 106 可由导电层组成，例如金属或合金。

基底 102 还包含连接通孔结构 114 形成于其中。第一接触垫 113 及第二接触垫 115(用于有机基底)分别形成于连接通孔结构 114 的上表面及基底 102 的部分上表面上，以及连接通孔结构 114 的下表面及基底 102 的部分下表面上。第二接触垫 115 仅形成于基底 102 的边缘。导电材料填入于连接通孔结构 114 中以利电性连接。可替代方式为涂布一金属或导电层 110 于晶粒容纳通孔 105 的侧壁上，换言之，金属层 110 形成于第二黏着材料 109 与晶粒侧壁之间。互连通孔 114 以半圆形为佳。

第一晶粒 103 及第二晶粒 104 配置于基底 102 的晶粒容纳通孔 105 内。

如所知，第一连接垫 107 及第二连接垫 108 分别形成于第一晶粒 103 与第二晶粒 104 的上表面内。接合线 112 耦合于第一连接垫 107 与第一接触垫 113，及第二连接垫 108 与第一接触垫 113 间，且接合线 112 亦耦合第一连接垫 107 与互接垫 113A，以及耦合第二连接垫 108 与互接垫 113A。需注意的是，本发明包含了一位于上表面的接合电路 112A (wiring circuit)，用以耦合互接垫 113A 及第一接触垫 113。上述互接垫 113A 形成于第一晶粒 103 与第二晶粒 104 之间以及第二晶粒 104 的侧边。形成一介电层 118，用以覆盖接合线 112 以及第一晶粒 103、第二晶粒 104 及基底 102 的上表面。然后，复数导电凸块 120 耦合至第二接触垫 115。相应的，形成于晶粒上的第一连接垫 107 及第二连接垫 108 可由连接通孔结构 114 而与导电凸块 120 形成电性连接。图 4 显示出此封装结构 100 的剖面图，其显示出具有半圆形的互连通孔 114。图 4 亦显示出切割后的切割道 230 (scribe line)。

介电层 118 提供了抵抗外力(external force)的保护功能。由于第一黏着材料 106 及第二黏着材料 109 具有弹性特性，金属层 110、第一黏着材料 106 及第二黏着材料 109 将在热循环(thermal cycling)期间作为缓冲区，以吸收第一晶粒 103、第二晶粒 104 及基底 102 间的热机械应力(thermal mechanical stress)。前述结构构成栅格阵列(LGA)型封装。在一实施例中，基底 102 的材质包含环氧化物型 FR5、FR4 或 BT(Bismaleimide triazine epoxy)。基底 102 的材质也可为金属、合金、玻璃、硅、陶瓷或印刷电路板。上述合金还包含合金 42 (42%镍-58%铁)或 Kovar (29%镍-17%钴-54%铁)。另外，上述合金金属是由合金 42 所组成为佳，其为一镍铁合金，包含 42%镍及 58%铁，其热膨胀系数使其成为连结微型电路(miniature electronic circuit)内硅芯片的适当材质。上述合金金属也可由 Kovar 所组成，其包含 29%镍、17%钴及 54%铁。

较佳的情况下，基底 102 的材质为有机基底，如环氧型 FR5、BT、印刷电路板等具有已定义通孔或具有预蚀刻电路(pre etching circuit)的铜金属。较佳的情况下，上述热膨胀系数与母板(印刷电路板)的热膨胀系数相同，由于基底 102 的热膨胀系数与印刷电路板(或母板)的热膨胀系数相匹配，故本发明将可提供一较佳可靠度的结构。较佳的情况下，具有高玻璃

转移温度的有机基底为环氧型 FR5 或 BT 型基底。也可使用铜金属(热膨胀系数约为 16)。玻璃、陶瓷及硅可作为基底。第一黏着材料 106 及第二黏着材料 109(即弹性黏合膏, elastic core paste)由硅胶(silicone rubber)弹性材质所形成。由于硅片级封装工艺需经历数个高温工艺, 而 FR5/BT 不太可能于热(温度)循环后(接近玻璃转移温度)回归其原始位置, 故会造成面板型(panel form)基底上晶粒的移位。在一实施例中, 第一黏着材料 106 及第二黏着材料 109 的材质包含紫外线(UV)型材料、环氧化物或橡胶型材料。另外, 介电层 118 的材质包含液态化合物, 也可为苯环丁烯(benzo-cyclo-butene, BCB)、硅氧烷聚合物(SINR)或聚亚酰胺(polyimide, PI)。

请参考图 2, 其根据本发明的另一实施例的半导体组件封装结构 100 的俯视图。基底 102 包含一连接通孔结构 114 穿过于其中。第一接触垫 113 分别通过接合电路 112A 耦合至内接触垫 113A, 以及通过接合线 112 而耦合至第一连接垫 107 与第二连接垫 108。上述封装配置包含第一晶粒 103 及第二晶粒 104 形成于基底 102 内。导电材料填入于连接通孔结构 114 中以利电性连接。第一接触垫 113 形成于基底 102 的周围区域并耦合至形成于基底 102 边缘的接触通孔 114。内接触垫 113A 至少形成于第一晶粒 103 与第二晶粒 104 之间。较佳的情况下, 基底 102 顶部至第二接触垫 115 的厚度约为 118 至 218 μm 。介电层 118 的厚度约为 50 至 100 μm 。因此, 本发明可提供一厚度少于 200 μm 的超薄结构, 而封装尺寸约为晶粒尺寸的每边再加上 0.5mm, 用以建构一芯片尺寸封装(CSP)。

图 3 显示出根据本发明的半导体组件封装结构 100 的底视图。封装结构 100 的背面包含形成于其中的黏着层(第一黏着材料)106, 其形成于第一晶粒 103 与第二晶粒 104 的背面, 可用以增强散热(thermal dissipation)能力, 如细虚线区域中所示, 并由复数的第二接触垫 115 环绕于其周围。封装结构 100 还包含一金属层 111, 其利用溅镀(sputtered)及/或电镀(electro-plating)形成于第一晶粒 103 与第二晶粒 104 的背面以及基底 102 的下表面, 用以增强热导率(thermal conductivity), 如粗虚线区域中所示。其可由焊接而与印刷电路板连结。在一较佳实施例中, 上述溅镀于晶粒背面的金属包含钛/铜, 而电镀于晶粒背面的金属包含铜/镍/金。其可由锡膏而与印刷电路板

形成焊锡连结，并可由印刷电路板的铜金属而消散由晶粒所产生的热。

参考图 4，其为根据本发明的半导体组件封装结构 100 的剖面图。第一接触垫 113 形成于连接通孔结构 114 上。上述连接通孔结构 114 位于切割道 230 内。换句话说，在切割的后每个封装结构皆具有半个通孔结构 114。其可改善在 SMT 工艺中焊锡连接的质量并也可缩减构装(foot print)尺寸。同样的，半通孔结构 114 可形成于晶粒容纳通孔 105(未显示于图中)的侧壁上，其可取代导电层 110。除此之外，封装结构 100 也可用于高针脚数的应用上。因此，本发明的周围型格式(peripheral type format)可提供低针脚数组件完善的解决方案。

上述封装结构 100 也可应用于较高针脚数的组件上。根据本发明的观点，本发明还提供了一种形成具有晶粒容纳通孔 105 及连接通孔结构 114 的半导体组件封装结构 100 的方法。首先，基底 102 包含预形成的晶粒容纳通孔 105 与连接通孔结构 114。第一接触垫 113 与第二接触垫 115 分别形成于基底 102 的上表面与下表面。具有第一连接垫 107 的第一晶粒 103 及具有第二连接垫 108 的第二晶粒 104 由一拣选配置精细对准系统重新分布至一具有所需间距的晶粒重布工具(die redistribution tool)(未显示)上。基底 102 连接至上述晶粒重布工具，换言之，第一晶粒 103 及第二晶粒 104 的主动面分别黏贴至具印有图形胶(未显示)的晶粒重布工具上。在填入第二黏着材料 109 于第一晶粒 103 及第二晶粒 104 与基底 102 间的空隙并涂布第一黏着材料 106 于第一晶粒 103 及第二晶粒 104 的背面后，将第一黏着材料 106 及第二黏着材料 109 固化(cured)。之后，将上述封装结构 100 从晶粒重布工具分离。

在清理第一连接垫 107、第二连接垫 108 及第一接触垫 113 的上表面(图形胶可能残留于第一连接垫 107、第二连接垫 108 及第一接触垫 113)后，形成接合线 112 以连结第一连接垫 107 及第二连接垫 108 至第一接触垫 113。介电层 118 是涂布(或印刷或分配)并固化于第一晶粒 103 与第二晶粒 104 的主动面及基底 102 的表面上，用以保护接合线 112、第一晶粒 103 及第二晶粒 104。接着，端点接垫由印刷锡膏(或球)而形成于第二接触垫 115 上。之后，由红外线回焊法(IR reflow method)形成复数的导电凸块 120 并耦合至第二接触垫 115。第二接触垫 115 仅形成于基底 102 的边缘。

随后，将封装结构 100 架置于胶膜上以进行个别晶粒的切割。

可替代方式为形成一金属或导电层 110 于基底 102 的晶粒容纳通孔 105 的侧壁上，且上述金属或导电层 110 是于基底制造时预形成于其中。一金属层(或薄膜)111 可溅镀或电镀于第一晶粒 103 及第二晶粒 104 的背面上，以利较佳热能管理(thermal management)的探索。根据本发明的另一观点，本发明也提供了另一种形成一半导体组件封装结构 100 的方法。其步骤包含提供一具有晶粒容纳通孔 105 与连接通孔结构 114 的基底 102。第一接触垫 113 位于基底 102 的上表面而第二接触垫 115 则位于基底 102 的下表面。上述基底 102 连接至一晶粒重布工具。换句话说，基底 102 的主动面(焊锡连接用)黏贴于具印有图形胶(未显示)的晶粒重布工具上。第一黏着材料 106 (可选择的)形成于第一晶粒 103 及第二晶粒 104 的背面上。第一晶粒 103 及第二晶粒 104 由一拣选配置精细对准系统重新分布至一具有所需间距的晶粒重布工具上。接着，形成接合线 112 以连结第一连接垫 107 及第二连接垫 108 至第一接触垫 113。

接下来，介电层 118 形成于第一晶粒 103 与第二晶粒 104 的主动面及基底 102 的上表面上，用以完整覆盖接合线 112 并作为黏着材料填入晶粒边缘及晶粒容纳通孔 105 侧壁的间隙，并在完成上述步骤之后固化介电层 118。在将封装结构 100 从晶粒重布工具分离后，清理基底 102 的背面及第一黏着材料 106。另一可行的方法是由印刷锡膏(或球)而形成端点接垫于第二接触垫 115 上。也可选择形成复数的导电凸块 120 并耦合至第二接触垫 115。接着，将封装结构 100 架置于胶膜上以进行个别晶粒的切割。在一实施例中，切割工艺是采用一常见的切割刀具(sawing blade)。上述刀具对准切割道 230 以在切割工艺中将晶粒分割为个别晶粒。其它方案为形成一金属或导电层 110 于基底 102 的晶粒容纳通孔 105 的侧壁上，其于基底 102 制造时预形成于基底 102 中。另一形成金属层 111 的工艺是由利用包含晶种金属溅镀(seed metal sputtering)、图案化(patterning)、电镀(铜)、光阻剥离(PR stripping)及金属湿式蚀刻工艺(metal wet etching process)等步骤后，以形成金属层。在一实施例中，形成导电凸块 120 的步骤是由一种红外线回焊法加以制作。

须注意的是，上述所提及的结构的材料以及排列仅为描述而非用以限

定本发明。根据不同导电的需求，上述结构的材料以及排列可依需求而加以更动。根据本发明的观点，本发明提供了一种具有多晶粒并排配置的半导体组件结构，此结构为一厚度少于 $200\mu\text{m}$ 的超薄封装结构。上述结构的封装尺寸可随多晶粒的尺寸而调整。再者，由于本发明的周围型格式，其可提供低针脚数组件完善的解决方案。本发明所提供的用以形成一半导体组件封装的简易方法可改善良率及可靠度。此外，本发明还提供了一种具有多晶粒并排配置的新式结构，其可将芯片尺寸封装(CSP)结构的尺寸缩至最小，并由较低成本的材料及简化的工艺而降低成本。因此，本发明的超薄芯片尺寸封装结构及其方法可提供较公知技术所无法预期的效果，并可解决公知技术的问题。本发明可应用于硅片或面板(LCD 显示器，印刷电路板/基底)产业，并也可修改及应用于其它相关方面上。

本发明以较佳实施例说明如上，然其并非用以限定本发明所主张的权利范围。其保护范围当视申请的权利要求范围及其等同领域而定。凡本领域技术人员在不脱离本专利精神或范围内，所作的更动或润饰，均属于本发明所揭示精神下所完成的等效改变或设计，且应包含在申请的权利要求范围内。

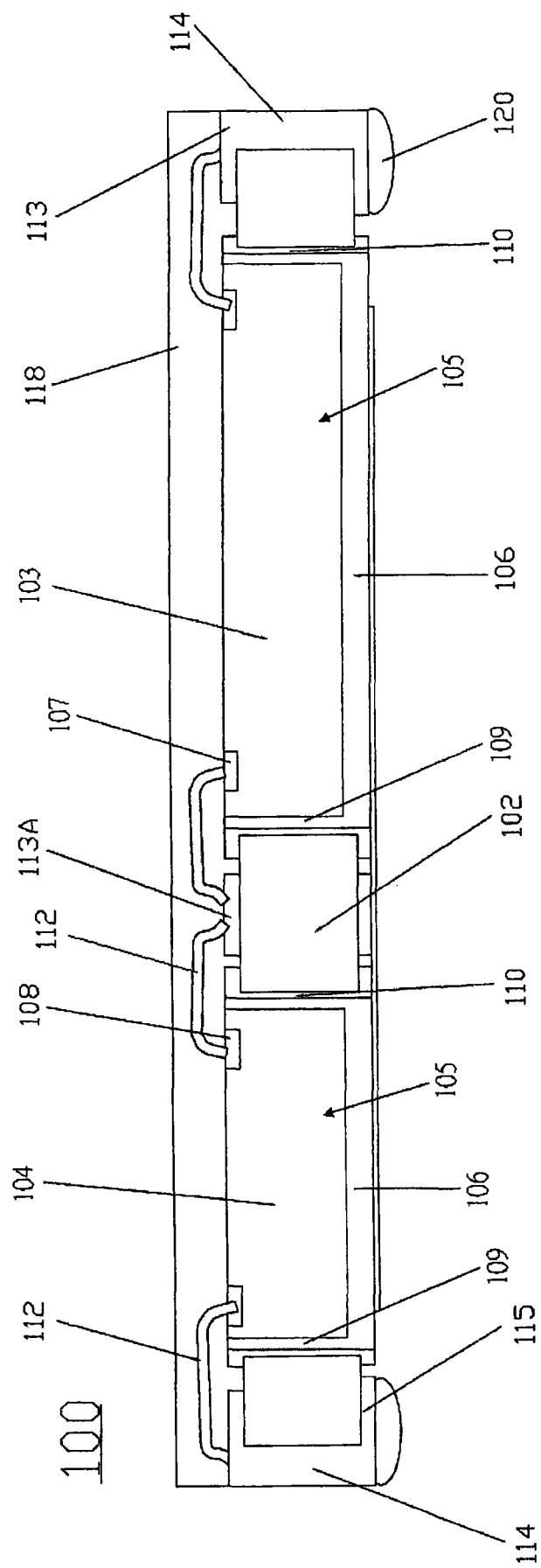


图 1

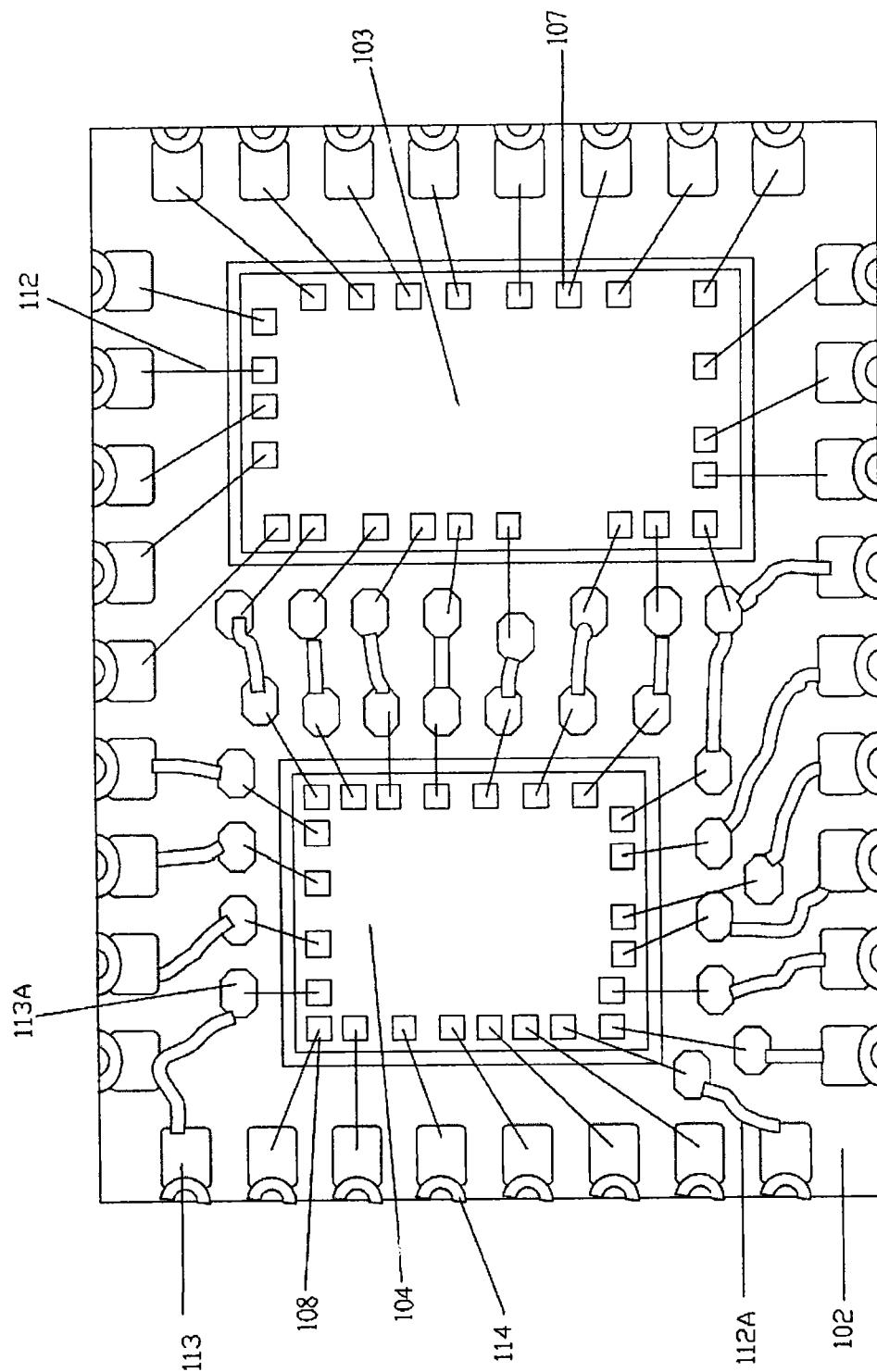


图 2

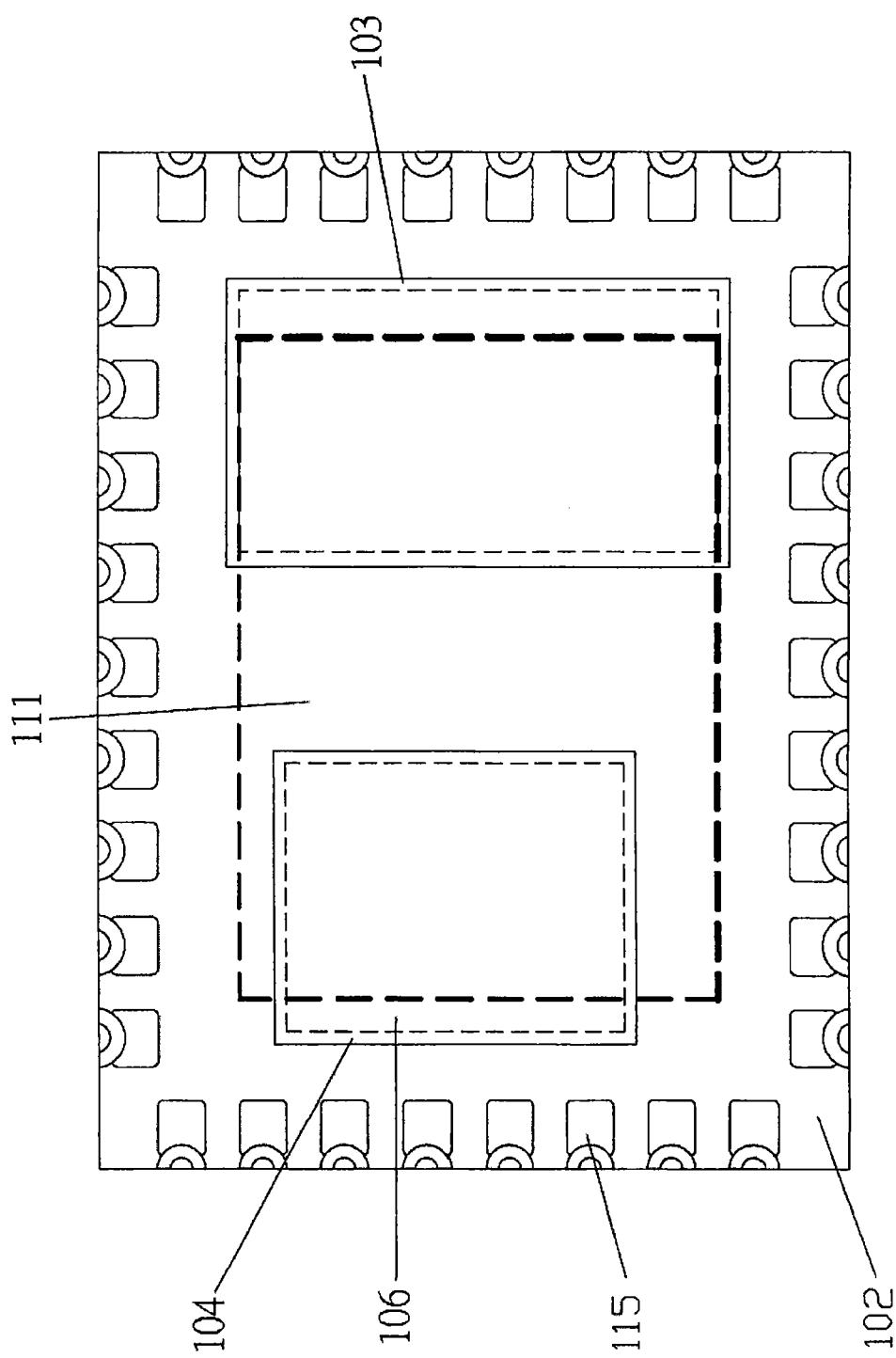


图3

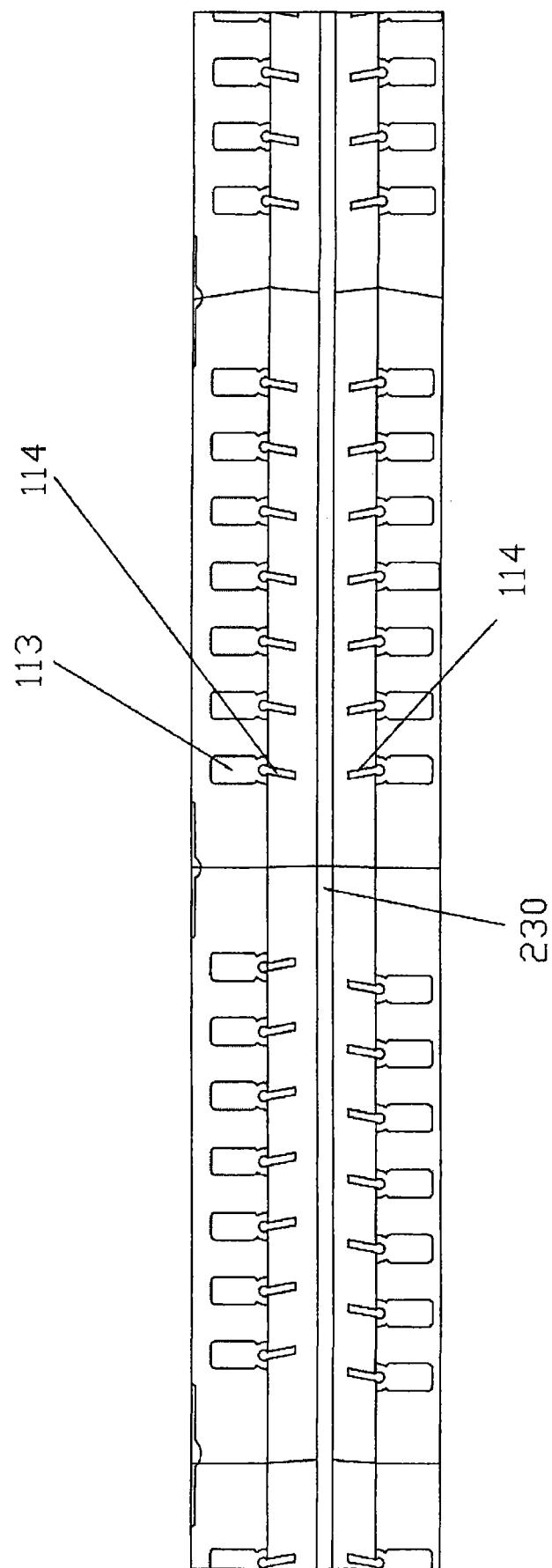


图 4