

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 3 月 8 日 (08.03.2018)



(10) 国际公布号
WO 2018/040238 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

武汉市东湖开发区高新大道 666 号生物城 C5 栋谭玉, Hubei 430079 (CN)。

(21) 国际申请号: PCT/CN2016/101955

(22) 国际申请日: 2016 年 10 月 13 日 (13.10.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610768681.5 2016 年 8 月 30 日 (30.08.2016) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省

(72) 发明人: 龚强 (GONG, Qiang); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋谭玉, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) Title: DISPLAY DRIVE CIRCUIT AND PIXEL STRUCTURE

(54) 发明名称: 显示驱动电路及像素结构

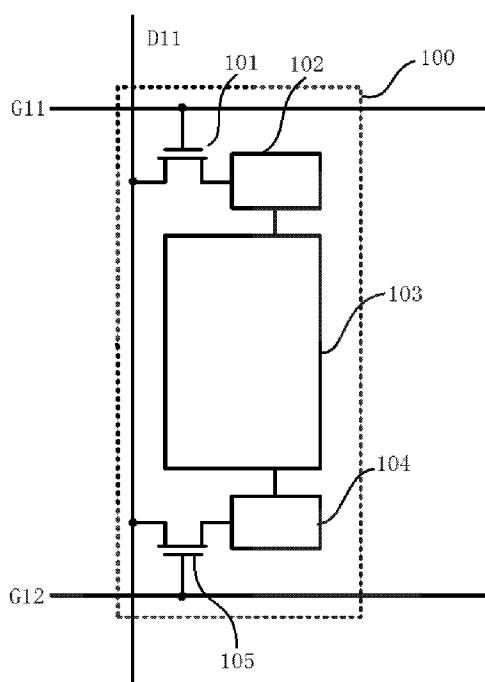
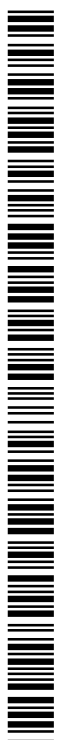


图 1

(57) Abstract: A display drive circuit (100) and a pixel structure. The drive circuit (100) comprises a first latch (102), a second latch (104) and a logic control unit (103), wherein the logic control unit (103) is used for choosing, according to a first data voltage and a second data voltage input by two logic control ends, to output a pre-set voltage of four pre-set voltages (VL0, VL1, VL2, VL3) to a pixel electrode through a voltage output end.

(57) 摘要: 一种显示驱动电路(100)及像素结构, 驱动电路(100)包括第一锁存器(102)、第二锁存器(104)、逻辑控制单元(103), 逻辑控制单元(103)用于根据两个逻辑控制端输入的第一数据电压以及第二数据电压选择将四个预设电压(VL0、VL1、VL2、VL3)中的一个预设电压通过电压输出端输出至像素电极。



WO 2018/040238 A1

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

显示驱动电路及像素结构

技术领域

- [1] 本发明涉及液晶显示领域，特别是涉及一种显示驱动电路及像素结构。

背景技术

- [2] MIP (Memory In Pixel) 设计是把控制像素显示的灰阶信号存储在像素中的一种设计。以往像素设计靠Cst (存储电容) 维持像素显示的灰阶电压，即使显示相同的画面，每一帧均需要刷新 (给像素重新充电)。采用MIP设计的像素，把控制像素显示的灰阶信号存储在像素中，若像素显示灰阶不变，可以不用刷新，即可以不用重新写入Data信号。这样在显示静态画面时，扫描线和数据线均不需要工作，可以有效降低面板的功耗；但是由于像素中需要加入MIP电路，此种设计只适用于全反射LCD和OLED面板，无法在背光型LCD中使用。
- [3] 因此，现有技术存在缺陷，急需改进。

对发明的公开

技术问题

- [4] 本发明的目的在于提供一种显示驱动电路及像素结构；以解决现有的背光型LCD在显示每一帧画面均需要刷新从而导致功耗较高的技术问题。

问题的解决方案

技术解决方案

- [5] 为解决上述问题，本发明提供的技术方案如下：
- [6] 本发明提供一种显示驱动电路，包括：
- [7] 第一锁存器，用于锁存第一数据电压；
- [8] 第二锁存器，用于锁存第二数据电压；
- [9] 逻辑控制单元，其具有两个逻辑控制端、四个电压输入端以及一个电压输出端，该第一锁存器的输出端以及第二锁存器的输出端分别与一逻辑控制端连接，该四个电压输入端分别接入四个不同的预设电压，该逻辑控制单元用于根据该两个逻辑控制端输入的第一数据电压以及第二数据电压选择将该四个预设电压

中的一个预设电压通过所述电压输出端输出至像素电极。

[10] 在本发明所述的显示驱动电路中，还包括：

[11] 第一薄膜晶体管，其源极用于输入所述第一数据电压，其栅极用于输入第一扫描电压，其漏极与所述第一锁存器的输入端连接；

[12] 第二薄膜晶体管，其源极用于输入第二数据电压，其栅极用于输入第二扫描电压，其漏极与所述第二锁存器的输入端连接。

[13] 在本发明所述的显示驱动电路中，所述逻辑控制单元包括选择模块以及四个第三薄膜晶体管，所述选择模块具有所述两个逻辑控制端以及四个电平输出端；

[14] 该四个第三薄膜晶体管的输入端分别与一所述电压输入端连接，该四个第三薄膜晶体管的输出端分别与该电压输出端连接，该四个第三薄膜晶体管的栅极分别与一所述电平输出端连接；所述选择模块根据所述第一数据电压以及第二数据电压选择该四个第三薄膜晶体管中的一个第三薄膜晶体管导通，其余三个所述第三薄膜晶体管关闭。

[15] 在本发明所述的显示驱动电路中，所述选择模块包括二输入的第一或非门、二输入的第二或非门、二输入的第三或非门、二输入的第一与非门以及二输入的第一反相器；该第一或非门的第一输入端、该第二或非门的第一输入端、该第一与非门的第一输入端均分别与该第一锁存器的输出端连接，该第一或非门的第二输入端、该第三或非门的第一输入端、该第一与非门的第二输入端均分别与该第二锁存器的输出端连接，所述第二或非门的第二输入端、所述第三或非门的第二输入端以及该第一或非门的输出端连接；该第一反相器的输入端该第一与非门的输出端连接，该第一或非门、第二或非门、第三或非门以及该第一反相器的输出端分别与一第三薄膜晶体管的栅极连接。

[16] 在本发明所述的显示驱动电路中，所述第一与非门包括第二N沟道薄膜晶体管、第三N沟道薄膜晶体管、第二P沟道薄膜晶体管以及第三P沟道薄膜晶体管；

[17] 第二P沟道薄膜晶体管以及第三P沟道薄膜晶体管的输入端连接并在该连接点接入第一预设电压；

[18] 第二N沟道薄膜晶体管、第二P沟道薄膜晶体管以及第三P沟道薄膜晶体管的输出端连接并以该连接点为该第一与非门的输出端；

- [19] 该第二P沟道薄膜晶体管的栅极与该第二N沟道薄膜晶体管的栅极连接，并以该连接点作为该第一与非门的第一输入端；
- [20] 该第三P沟道薄膜晶体管的栅极与该第三N沟道薄膜晶体管的栅极连接，并以该连接点作为该第一与非门的第二输入端；
- [21] 该第三N沟道薄膜晶体管的输入端接第二预设电压。
- [22] 在本发明所述的显示驱动电路中，所述第一锁存器以及所述第二锁存器均分别包括两个首尾相连的第二反相器。
- [23] 在本发明所述的显示驱动电路中，所述第二反相器包括第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管，该第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管的输出端连接并以该连接点为该第二反相器的输出端，该第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管的栅极连接并以该连接点为该第二反相器的输入端，该第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管的输入端分别接一第一预设电压以及第二预设电压。
- [24] 本发明提供一种像素结构，包括像素电容以及显示驱动电路；
- [25] 该像素电容包括公共电极以及像素电极；
- [26] 该显示驱动电路包括：
- [27] 第一薄膜晶体管，其源极用于输入第一数据电压，其栅极用于输入第一扫描电压；
- [28] 第一锁存器，其输入端与第一薄膜晶体管的漏极连接；
- [29] 第二薄膜晶体管，其源极用于输入第二数据电压，其栅极用于输入第二扫描电压；
- [30] 第二锁存器，其输入端与第二薄膜晶体管的漏极连接
- [31] 逻辑控制单元，其具有两个逻辑控制端、四个电压输入端以及一个电压输出端，该第一锁存器的输出端以及第二锁存器的输出端分别与一逻辑控制端连接，该四个电压输入端分别接入四个不同的预设电压，该逻辑控制单元用于根据该两个逻辑控制端输入的第一数据电压以及第二数据电压选择将该四个预设电压中的一个预设电压通过所述电压输出端输出至像素电极。
- [32] 在本发明所述的像素结构中，还包括第一数据线、第一扫描线以及第二扫描线

，所述第一数据线分别与所述第一薄膜晶体管以及第二薄膜晶体管的源极连接，所述第一扫描线与所述第一薄膜晶体管的栅极连接，所述第二扫描线与所述第二薄膜晶体管的栅极连接。

[33] 在本发明所述的像素结构中，还包括第一数据线、第二数据线以及第一扫描线，所述第一数据线与所述第一薄膜晶体管的源极连接，所述第二数据线与所述第二薄膜晶体管的源极连接，所述第一扫描线与所述第一薄膜晶体管以及所述第二薄膜晶体管的栅极连接。

[34] 本发明还提供了一种像素结构，其包括像素电容以及显示驱动电路；

[35] 该像素电容包括公共电极以及像素电极；

[36] 该显示驱动电路包括：

[37] 第一薄膜晶体管，其源极用于输入第一数据电压，其栅极用于输入第一扫描电压；

[38] 第一锁存器，其输入端与第一薄膜晶体管的漏极连接；

[39] 第二薄膜晶体管，其源极用于输入第二数据电压，其栅极用于输入第二扫描电压；

[40] 第二锁存器，其输入端与第二薄膜晶体管的漏极连接

[41] 逻辑控制单元，其具有两个逻辑控制端、四个电压输入端以及一个电压输出端，该第一锁存器的输出端以及第二锁存器的输出端分别与一逻辑控制端连接，该四个电压输入端分别接入四个不同的预设电压，该逻辑控制单元用于根据该两个逻辑控制端输入的第一数据电压以及第二数据电压选择将该四个预设电压中的一个预设电压通过所述电压输出端输出至像素电极；

[42] 所述逻辑控制单元包括选择模块以及四个第三薄膜晶体管，所述选择模块具有所述两个逻辑控制端以及四个电平输出端；

[43] 该四个第三薄膜晶体管的输入端分别与一所述电压输入端连接，该四个第三薄膜晶体管的输出端分别与该电压输出端连接，该四个第三薄膜晶体管的栅极分别与一所述电平输出端连接；所述选择模块根据所述第一数据电压以及第二数据电压选择该四个第三薄膜晶体管中的一个第三薄膜晶体管导通，其余三个所述第三薄膜晶体管关闭。

发明的有益效果

有益效果

- [44] 与现有技术相比，本发明提供的显示驱动电路及像素结构采用两个锁存器将两个数据电压信号进行锁存，当显示画面静止时，无需在进行扫描，数据线以及扫描线可以停止工作，从而具有降低功耗的有益效果；
- [45] 并且，由于该逻辑控制单元将该两个数据电压扩展为四个数据电压，从而使得每一个像素结构具有四种灰阶。

对附图的简要说明

附图说明

- [46] 为了让本发明的上述内容能更明显易懂，下文特举优选实施例，并配合所附图式，作详细说明如下：
- [47] 图1是本发明一优选实施例中的像素结构的结构图。
- [48] 图2是本发明图1所示实施例中的像素结构的局部的电路结构图。
- [49] 图3是本发明图1所示实施例中的第二反相器的电路结构图。
- [50] 图4是本发明图1所示实施例中的第一或非门的电路结构图。
- [51] 图5是本发明图1所示实施例中的第一与非门的电路结构图。
- [52] 图6是本发明另一优选实施例中的像素结构的结构图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [53] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。
- [54] 在图中，结构相似的单元是以相同标号表示。
- [55] 请参照图1，图1是本发明一优选实施例中的像素结构的结构图，其主要应用于背光式LCD中。在本实施例中，该像素结构包括第一数据线D11、第一扫描线G11、第二扫描线G12、像素电容、存储电容（未示出）以及显示驱动电路100。

- [56] 其中，该像素电容包括公共电极以及像素电极。
- [57] 该显示驱动电路100包括第一薄膜晶体管101、第一锁存器102、逻辑控制单元103、第二锁存器104以及第二薄膜晶体管105。
- [58] 第一薄膜晶体管101的源极与第一数据线D11连接用于输入第一数据电压，栅极与第一扫描线G11连接用于输入第一扫描电压。第一锁存器102的输入端与第一薄膜晶体管101的漏极连接；第二薄膜晶体管105的源极与该第一数据线D11连接，并用于输入第二数据电压；其栅极与第二扫描线G12连接，并用于输入第二扫描电压。第二锁存器的输入端与第二薄膜晶体管105的漏极连接。逻辑控制单元103具有两个逻辑控制端、四个电压输入端以及一个电压输出端，该第一锁存器102的输出端以及第二锁存器104的输出端分别与一逻辑控制端连接，该四个电压输入端分别接入四个不同的预设电压，该逻辑控制单元103用于根据该两个逻辑控制端输入的第一数据电压以及第二数据电压选择将该四个预设电压中的一个预设电压通过所述电压输出端输出至像素电极。由于接同一根数据线，第一数据电压以及第二数据电压相同。
- [59] 具体地，如图2所示，逻辑控制单元103包括选择模块1031以及输出模块1032，该输出模块1032包括四个第三薄膜晶体管T3，所述选择模块1031具有所述两个逻辑控制端以及四个电平输出端。该四个第三薄膜晶体管T3的输入端分别与逻辑控制单元103的电压输入端连接，四个电压输入端分别输入VL0、VL1、VL2、VL3四个不同的电压。四个第三薄膜晶体管T3的输出端分别与该电压输出端连接，该四个第三薄膜晶体管T3的栅极分别与一所述电平输出端连接；所述选择模块根据所述第一数据电压以及第二数据电压选择四个第三薄膜晶体管T3中的一个第三薄膜晶体管T3导通，其余三个所述第三薄膜晶体管T3关闭，从而将该VL0、VL1、VL2、VL3四个不同的电压中的一个电压输出给像素电容的像素电极。
- [60] 该选择模块1031包括具有二输入的第一或非门U1、二输入的第二或非门U2、二输入的第三或非门U3、二输入的第一与非门U4以及二输入的第一反相器U5；该第一或非门U1的第一输入端、该第二或非门U2的第一输入端、该第一与非门U4的第一输入端均分别与该第一锁存器102的输出端连接，该第一或非门U1的第

二输入端、该第三或非门U3的第一输入端、该第一与非门U4的第二输入端均分别与该第二锁存器104的输出端连接，所述第二或非门U2的第二输入端、所述第三或非门U3的第二输入端以及第一或非门的U1的输出端连接；该第一反相器U5的输入端与该第一与非门U4的输出端连接，该第一或非门U1、第二或非门U2、第三或非门U3以及该第一反相器U5的输出端分别与一第三薄膜晶体管T3的栅极连接。

[61] 其中，第一锁存器102以及所述第二锁存器104均分别包括两个首尾相连的第二反相器U6。

[62] 如图3所示，第二反相器U6包括第一N沟道薄膜晶体管N1以及第一P沟道薄膜晶体管P1，该第一N沟道薄膜晶体管N1以及第一P沟道薄膜晶体管P1的输出端连接并以该连接点为该第二反相器U6的输出端，该第一N沟道薄膜晶体管N1以及第一P沟道薄膜晶体管P1的栅极连接并以该连接点为该第二反相器U6的输入端，该第一N沟道薄膜晶体管N1以及第一P沟道薄膜晶体管P1的输入端分别接一第一预设电压以及第二预设电压。第一预设电压为低电平。第二预设电压为高电平。

[63] 如图4所示，第一与非门U4包括第二N沟道薄膜晶体管N2、第三N沟道薄膜晶体管N3、第二P沟道薄膜晶体管P2以及第三P沟道薄膜晶体管P3。

[64] 第二P沟道薄膜晶体管P2以及第三P沟道薄膜晶体管P3的输入端连接并在该连接点接入第二预设电压。第二N沟道薄膜晶体管N2、第二P沟道薄膜晶体管P2以及第三P沟道薄膜晶体管P3的输出端连接并以该连接点为该第一与非门U4的输出端。该第二P沟道薄膜晶体管P2的栅极与该第二N沟道薄膜晶体管N2的栅极连接，并以该连接点作为该第一与非门U4的第一输入端；该第三P沟道薄膜晶体管P3的栅极与该第三N沟道薄膜晶体管N3的栅极连接，并以该连接点作为该第一与非门U4的第二输入端。该第三N沟道薄膜晶体管N3的输入端接第一预设电压。

[65] 如图5所示，该第一或非门、第二或非门、第三或非门以及第四或非门的结构相同，每一或非门均分别包括：第四P沟道薄膜晶体管P4、第五P沟道薄膜晶体管P5、第四N沟道薄膜晶体管N4以及第五N沟道薄膜晶体管N5。

[66] 该第四P沟道薄膜晶体管P4的输入端接入第一预设电压。

[67] 该第四P沟道薄膜晶体管P4的输出端与该第五P沟道薄膜晶体管P5的输入端连接

- 。
- [68] 第五P沟道薄膜晶体管P5的输出端、第四N沟道薄膜晶体管N4以及第五N沟道薄膜晶体管N5的输出端连接，并以该连接点为或非门的输出端。
- [69] 该第四P沟道薄膜晶体管P4的输入端接入第一预设电压。
- [70] 该第四P沟道薄膜晶体管P4的栅极以及该第四N沟道薄膜晶体管的栅极连接，并以该连接点作为该或非门的第一输入端。
- [71] 该第五N沟道薄膜晶体管N5的栅极以及该第五P沟道薄膜晶体管P5的栅极连接，并以该连接点作为该或非门的第二输入端。
- [72] 第四N沟道薄膜晶体管N4以及该第五N沟道薄膜晶体管N5的输出连接，并在该连接点接入第二预设电压。
- [73] 工作原理：通过逻辑控制单元103控制4个灰阶电压VL0、VL1、VL2、VL3中的一个输出到像素电极，使每个子像素都能显示4个灰阶，这样对于一个像素由RGB三个子像素组成的面板，就可以显示出64色。在每个子像素的数据电压的输入进入逻辑控制单元10之前，会经过一个锁存器（第一锁存器或第二锁存器），将控制灰阶电压输出的两个信号锁存在像素中，这样即使长时间不对像素刷新，像素依然能够显示之前已经存储的灰阶，相当于像素具有了灰阶存储功能。当面板显示静态画面，即长时间显示同一个画面时，可以只对每个像素写入一次灰阶信号，此后不用再刷新面板。
- [74] 由上可知，本发明提供的显示驱动电路及像素结构采用两个锁存器将两个数据信号进行锁存，当显示画面静止时，无需再进行扫描，数据线以及扫描线均可以停止工作，从而具有降低功耗的有益效果；
- [75] 并且，由于该逻辑控制单元将该两个数据电压扩展为四个数据电压，从而使得每一个像素结构具有四种灰阶。
- [76] 如图6所示，可以理解地，在本发明提供的第二实施例中，该像素结构包括第一数据线D11、第二数据线D12、第一扫描线G11、像素电容、存储电容（未示出）以及显示驱动电路100。该第一数据线D11与第一薄膜晶体管101的源极连接，该第二数据线D12与第二薄膜晶体管105的源极连接，所述第一扫描线G11与所述第一薄膜晶体管101以及所述第二薄膜晶体管105的栅极连接。

- [77] 该显示驱动电路100包括第一薄膜晶体管101、第一锁存器102、逻辑控制单元103、第二锁存器104以及第二薄膜晶体管105。
- [78] 第一薄膜晶体管101的源极与第一数据线D11连接用于输入第一数据电压，栅极与第一扫描线G11连接用于输入第一扫描电压。第一锁存器102的输入端与第一薄膜晶体管101的漏极连接；第二薄膜晶体管105的源极与该第一数据线D11连接，并用于输入第二数据电压；其栅极与第二扫描线G12连接，并用于输入第二扫描电压。第二锁存器的输入端与第二薄膜晶体管105的漏极连接。逻辑控制单元103具有两个逻辑控制端、四个电压输入端以及一个电压输出端，该第一锁存器102的输出端以及第二锁存器104的输出端分别与一逻辑控制端连接，该四个电压输入端分别接入四个不同的预设电压，该逻辑控制单元103用于根据该两个逻辑控制端输入的第一数据电压以及第二数据电压选择将该四个预设电压中的一个预设电压通过所述电压输出端输出至像素电极。由于接同一根数据线，第一数据电压以及第二数据电压相同。
- [79] 工作原理：通过逻辑控制单元103控制4个灰阶电压VL0、VL1、VL2、VL3中的一个输出到像素电极，使每个子像素都能显示4个灰阶，这样对于一个像素由RGB三个子像素组成的面板，就可以显示出64色。在每个子像素的数据电压的输入进入逻辑控制单元10之前，会经过一个锁存器（第一锁存器或第二锁存器），将控制灰阶电压输出的两个信号锁存在像素中，这样即使长时间不对像素刷新，像素依然能够显示之前已经存储的灰阶，相当于像素具有了灰阶存储功能。当面板显示静态画面，即长时间显示同一个画面时，可以只对每个像素写入一次灰阶信号，此后不用再刷新面板。
- [80] 由上可知，本发明提供的显示驱动电路及像素结构采用两个锁存器将两个数据信号进行锁存，当显示画面静止时，无需再进行扫描，数据线以及扫描线均可以停止工作，从而具有降低功耗的有益效果；
- [81] 并且，由于该逻辑控制单元将该两个数据电压扩展为四个数据电压，从而使得每一个像素结构具有四种灰阶。
- [82] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可

作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种显示驱动电路，其包括：
- 第一锁存器，用于锁存第一数据电压；
- 第二锁存器，用于锁存第二数据电压；
- 逻辑控制单元，其具有两个逻辑控制端、四个电压输入端以及一个电压输出端，该第一锁存器的输出端以及第二锁存器的输出端分别与一逻辑控制端连接，该四个电压输入端分别接入四个不同的预设电压，该逻辑控制单元用于根据该两个逻辑控制端输入的第一数据电压以及第二数据电压选择将该四个预设电压中的一个预设电压通过所述电压输出端输出至像素电极。
- [权利要求 2] 根据权利要求1所述的显示驱动电路，其中，还包括：
- 第一薄膜晶体管，其源极用于输入所述第一数据电压，其栅极用于输入第一扫描电压，其漏极与所述第一锁存器的输入端连接；
- 第二薄膜晶体管，其源极用于输入第二数据电压，其栅极用于输入第二扫描电压，其漏极与所述第二锁存器的输入端连接。
- [权利要求 3] 根据权利要求2所述的显示驱动电路，其中，所述逻辑控制单元包括选择模块以及四个第三薄膜晶体管，所述选择模块具有所述两个逻辑控制端以及四个电平输出端；
- 该四个第三薄膜晶体管的输入端分别与一所述电压输入端连接，该四个第三薄膜晶体管的输出端分别与该电压输出端连接，该四个第三薄膜晶体管的栅极分别与一所述电平输出端连接；所述选择模块根据所述第一数据电压以及第二数据电压选择该四个第三薄膜晶体管中的一个第三薄膜晶体管导通，其余三个所述第三薄膜晶体管关闭。
- [权利要求 4] 根据权利要求3所述的显示驱动电路，其中，所述选择模块包括二输入的第一或非门、二输入的第二或非门、二输入的第三或非门、二输入的第一与非门以及二输入的第一反相器；该第一或非门的第一输入端、该第二或非门的第一输入端、该第一与非门的第

一输入端均分别与该第一锁存器的输出端连接，该第一或非门的第二输入端、该第三或非门的第一输入端、该第一与非门的第二输入端均分别与该第二锁存器的输出端连接，所述第二或非门的第二输入端、所述第三或非门的第二输入端以及该第一或非门的输出端连接；该第一反相器的输入端该第一与非门的输出端连接，该第一或非门、第二或非门、第三或非门以及该第一反相器的输出端分别与一第三薄膜晶体管的栅极连接。

[权利要求 5]

根据权利要求4所述的显示驱动电路，其中，所述第一与非门包括第二N沟道薄膜晶体管、第三N沟道薄膜晶体管、第二P沟道薄膜晶体管以及第三P沟道薄膜晶体管；

第二P沟道薄膜晶体管以及第三P沟道薄膜晶体管的输入端连接并在该连接点接入第一预设电压；

第二N沟道薄膜晶体管、第二P沟道薄膜晶体管以及第三P沟道薄膜晶体管的输出端连接并以该连接点为该第一与非门的输出端；

该第二P沟道薄膜晶体管的栅极与该第二N沟道薄膜晶体管的栅极连接，并以该连接点作为该第一与非门的第一输入端；

该第三P沟道薄膜晶体管的栅极与该第三N沟道薄膜晶体管的栅极连接，并以该连接点作为该第一与非门的第二输入端；

该第三N沟道薄膜晶体管的输入端接第二预设电压。

[权利要求 6]

根据权利要求1所述的显示驱动电路，其中，所述第一锁存器以及所述第二锁存器均分别包括两个首尾相连的第二反相器。

[权利要求 7]

根据权利要求6所述的显示驱动电路，其中，所述第二反相器包括第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管，该第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管的输出端连接并以该连接点为该第二反相器的输出端，该第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管的栅极连接并以该连接点为该第二反相器的输入端，该第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管的输入端分别接一第一预设电压以及第二预设电压。

- [权利要求 8] 根据权利要求2所述的显示驱动电路，其中，所述第一锁存器以及所述第二锁存器均分别包括两个首尾相连的第二反相器。
- [权利要求 9] 根据权利要求8所述的显示驱动电路，其中，所述第二反相器包括第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管，该第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管的输出端连接并以该连接点为该第二反相器的输出端，该第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管的栅极连接并以该连接点为该第二反相器的输入端，该第一N沟道薄膜晶体管以及第一P沟道薄膜晶体管的输入端分别接一第一预设电压以及第二预设电压。
- [权利要求 10] 一种像素结构，其包括像素电容以及显示驱动电路；
该像素电容包括公共电极以及像素电极；
该显示驱动电路包括：
第一薄膜晶体管，其源极用于输入第一数据电压，其栅极用于输入第一扫描电压；
第一锁存器，其输入端与第一薄膜晶体管的漏极连接；
第二薄膜晶体管，其源极用于输入第二数据电压，其栅极用于输入第二扫描电压；
第二锁存器，其输入端与第二薄膜晶体管的漏极连接
逻辑控制单元，其具有两个逻辑控制端、四个电压输入端以及一个电压输出端，该第一锁存器的输出端以及第二锁存器的输出端分别与一逻辑控制端连接，该四个电压输入端分别接入四个不同的预设电压，该逻辑控制单元用于根据该两个逻辑控制端输入的第一数据电压以及第二数据电压选择将该四个预设电压中的一个预设电压通过所述电压输出端输出至像素电极。
- [权利要求 11] 根据权利要求10所述的像素结构，其中，还包括第一数据线、第一扫描线以及第二扫描线，所述第一数据线分别与所述第一薄膜晶体管以及第二薄膜晶体管的源极连接，所述第一扫描线与所述第一薄膜晶体管的栅极连接，所述第二扫描线与所述第二薄膜晶

体管的栅极连接。

[权利要求 12]

根据权利要求10所述的像素结构，其中，还包括第一数据线、第二数据线以及第一扫描线，所述第一数据线与所述第一薄膜晶体管的源极连接，所述第二数据线与所述第二薄膜晶体管的源极连接，所述第一扫描线与所述第一薄膜晶体管以及所述第二薄膜晶体管的栅极连接。

[权利要求 13]

一种像素结构，其包括像素电容以及显示驱动电路；

该像素电容包括公共电极以及像素电极；

该显示驱动电路包括：

第一薄膜晶体管，其源极用于输入第一数据电压，其栅极用于输入第一扫描电压；

第一锁存器，其输入端与第一薄膜晶体管的漏极连接；

第二薄膜晶体管，其源极用于输入第二数据电压，其栅极用于输入第二扫描电压；

第二锁存器，其输入端与第二薄膜晶体管的漏极连接

逻辑控制单元，其具有两个逻辑控制端、四个电压输入端以及一个电压输出端，该第一锁存器的输出端以及第二锁存器的输出端分别与一逻辑控制端连接，该四个电压输入端分别接入四个不同的预设电压，该逻辑控制单元用于根据该两个逻辑控制端输入的第一数据电压以及第二数据电压选择将该四个预设电压中的一个预设电压通过所述电压输出端输出至像素电极；

所述逻辑控制单元包括选择模块以及四个第三薄膜晶体管，所述选择模块具有所述两个逻辑控制端以及四个电平输出端；

该四个第三薄膜晶体管的输入端分别与一所述电压输入端连接，

该四个第三薄膜晶体管的输出端分别与该电压输出端连接，该四个第三薄膜晶体管的栅极分别与一所述电平输出端连接；所述选择模块根据所述第一数据电压以及第二数据电压选择该四个第三薄膜晶体管中的一个第三薄膜晶体管导通，其余三个所述第三薄

膜晶体管关闭。

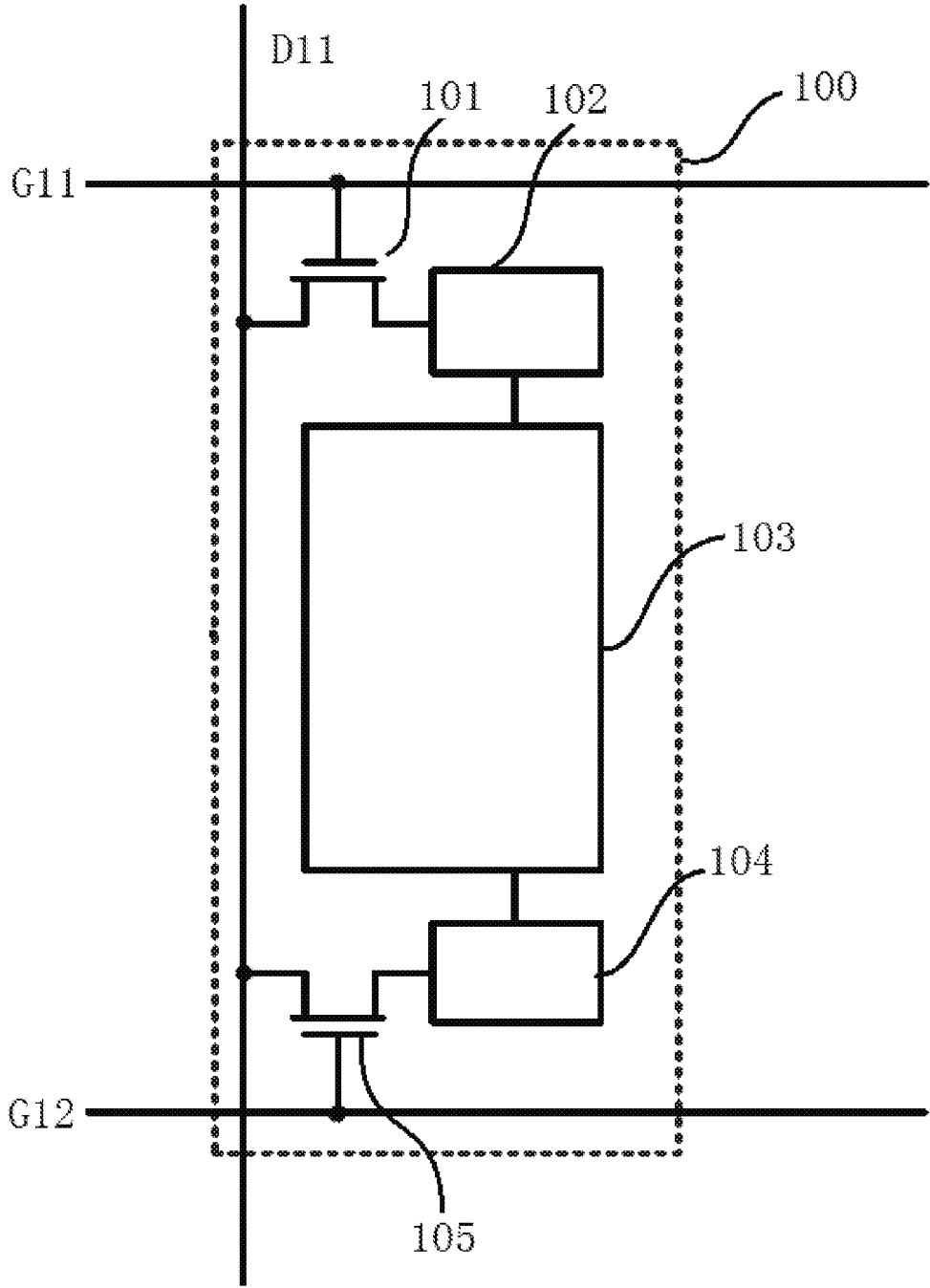


图 1

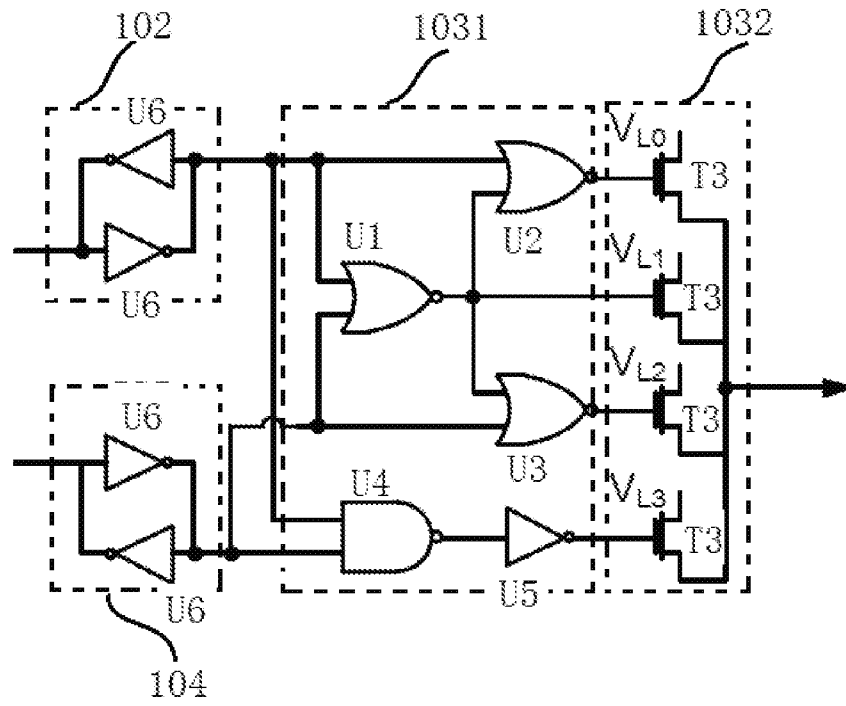


图 2

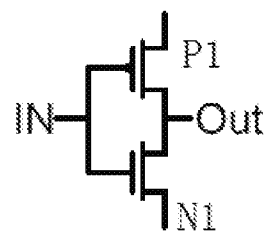


图 3

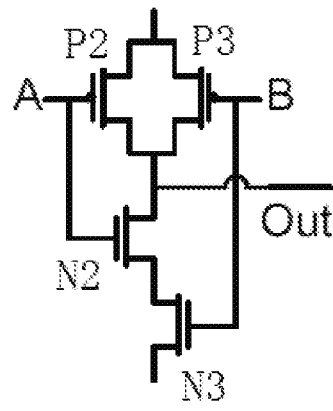


图 4

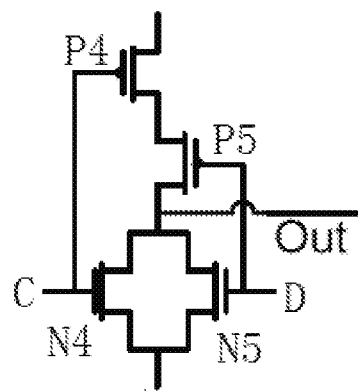


图 5

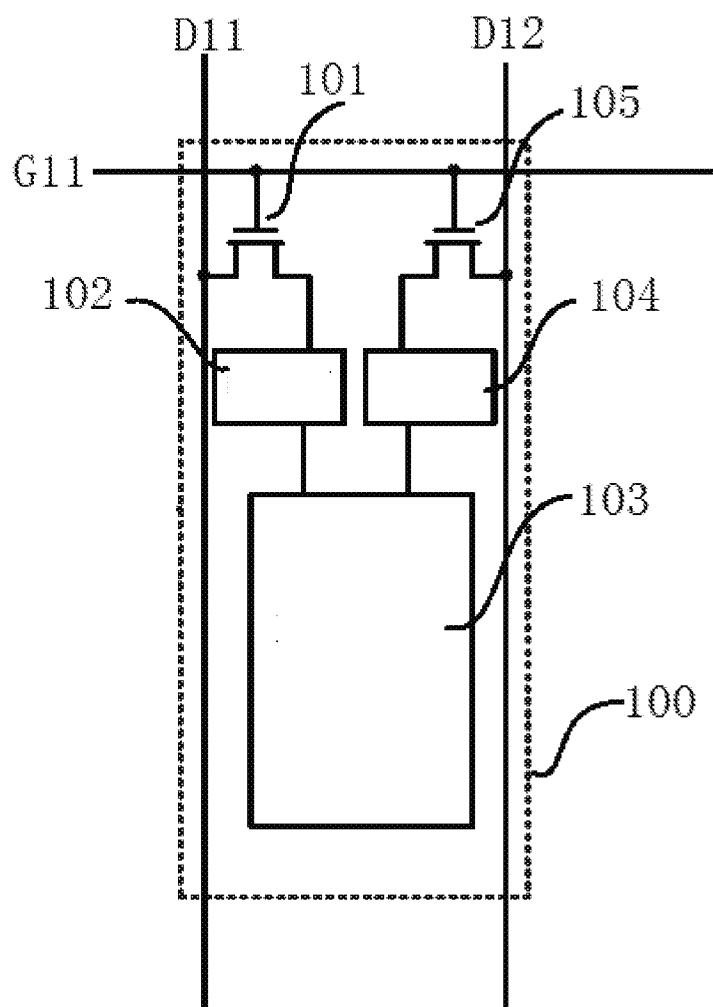


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/101955

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 龚强, 刷新, 停止, 无需, 面, 图像, 或非, 反相, 扩展, 与非, 不需, 相同, 静止, 四个, 四种, 透射, 电压, 灰阶, 灰度, 像素, 能耗, 扫描, 锁存, 存储, 画素, memory, power, expand???, pixel, consumption, latch???, inverter?, reduc???, four, MIP, output???, gr?y, electrode?, enlarg????, "2nd", voltage, ream???, select???, second

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101317211 A (SONY CORPORATION) 03 December 2008 (03.12.2008), description, page 9, line 17 to page 15, line 2, and figures 9-14	1-13
A	CN 1366291 A (SHARP K.K.) 28 August 2002 (28.08.2002) entire document	1-13
A	CN 102819151 A (SONY CORPORATION) 12 December 2012 (12.12.2012), entire document	1-13
A	CN 103578399 A (JAPAN DISPLAY INC.) 12 February 2014 (12.02.2014), entire document	1-13
A	CN 103293729 A (JAPAN DISPLAY WEST INC.) 11 September 2013 (11.09.2013), entire document	1-13
A	JP 2005018088 A (TOSHIBA CORP.) 20 January 2005 (20.01.2005), entire document	1-13

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 April 2017	Date of mailing of the international search report 27 April 2017
--	---

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer PENG, Hailiang Telephone No. (86-10) 62414441
---	--

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/101955

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101317211 A	03 December 2008	US 8599176 B2	03 December 2013
		KR 101330486 B1	15 November 2013
		CN 101317211 B	10 August 2011
		US 2009091579 A1	09 April 2009
		WO 2007060842 A1	31 May 2007
		JP 5121136 B2	16 January 2013
		EP 1956581 A1	13 August 2008
		TW I423201 B	11 January 2014
		KR 20080070045 A	29 July 2008
		JP 2007147932 A	14 June 2007
		TW 200731192 A	16 August 2007
		JP 2011215635 A	27 October 2011
		JP 2011215635 A	27 October 2011
CN 1366291 A	28 August 2002	KR 100470893 B1	08 March 2005
		CN 1193333 C	16 March 2005
		KR 20020062218 A	25 July 2002
		US 6937222 B2	30 August 2005
		TW 536689 B	11 June 2003
		US 2002093472 A1	18 July 2002
		JP 2002287718 A	04 October 2002
		JP 2002341821 A	29 November 2002
		JP 3638130 B2	13 April 2005
		JP 3638130 B2	13 April 2005
CN 102819151 A	12 December 2012	CN 102819151 B	14 December 2016
		JP 5623982 B2	12 November 2014
		US 2016195752 A1	07 July 2016
		JP 2012255908 A	27 December 2012
		US 2012313906 A1	13 December 2012
		US 9323121 B2	26 April 2016
CN 103578399 A	12 February 2014	JP 5865202 B2	17 February 2016

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/101955

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103293729 A	11 September 2013	CN 103578399 B	10 August 2016
		JP 2014021169 A	03 February 2014
		US 9147357 B2	29 September 2015
		US 2014015866 A1	16 January 2014
		KR 20130100682 A	11 September 2013
		US 2015243255 A1	27 August 2015
		TW 201337892 A	16 September 2013
		TW I508048 B	11 November 2015
		US 2016275891 A1	22 September 2016
		US 9384712 B2	05 July 2016
JP 2005018088 A	20 January 2005	US 2013229403 A1	05 September 2013
		JP 2013182102 A	12 September 2013
		US 9047839 B2	02 June 2015
		JP 5801734 B2	28 October 2015
		JP H08286170 A	01 November 1996
		JP 3630489 B2	16 March 2005
		TW 311213 B	21 July 1997
		US 5712652 A	27 January 1998
		KR 0177016 B1	01 April 1999

国际检索报告

国际申请号

PCT/CN2016/101955

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 华星光电, 龚强, 刷新, 停止, 无需, 画面, 图像, 或非, 反相, 扩展, 与非, 不需, 相同, 静止, 四个, 四种, 透射, 电压, 灰阶, 灰度, 像素, 能耗, 扫描, 锁存, 存储, 画素, memory, power, expand???, pixel, consumption, latch???, inverter?, reduc???, four, MIP, output???, gr?y, electrode?, enlarg???, "2nd", voltage, ream???, select???, second

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 101317211 A (索尼株式会社) 2008年 12月 3日 (2008 - 12 - 03) 说明书第9页第17行-第15页第2行, 附图9-14	1-13
A	CN 1366291 A (夏普株式会社) 2002年 8月 28日 (2002 - 08 - 28) 全文	1-13
A	CN 102819151 A (索尼公司) 2012年 12月 12日 (2012 - 12 - 12) 全文	1-13
A	CN 103578399 A (株式会社日本显示器) 2014年 2月 12日 (2014 - 02 - 12) 全文	1-13
A	CN 103293729 A (株式会社日本显示器西) 2013年 9月 11日 (2013 - 09 - 11) 全文	1-13
A	JP 2005018088 A (TOSHIBA CORP.) 2005年 1月 20日 (2005 - 01 - 20) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 4月 13日

国际检索报告邮寄日期

2017年 4月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

彭海良

电话号码 (86-10) 62414441

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/101955

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101317211	A	2008年 12月 3日	US	8599176	B2	2013年 12月 3日
				KR	101330486	B1	2013年 11月 15日
				CN	101317211	B	2011年 8月 10日
				US	2009091579	A1	2009年 4月 9日
				WO	2007060842	A1	2007年 5月 31日
				JP	5121136	B2	2013年 1月 16日
				EP	1956581	A1	2008年 8月 13日
				TW	I423201	B	2014年 1月 11日
				KR	20080070045	A	2008年 7月 29日
				JP	2007147932	A	2007年 6月 14日
				TW	200731192	A	2007年 8月 16日
				JP	2011215635	A	2011年 10月 27日
CN	1366291	A	2002年 8月 28日	KR	100470893	B1	2005年 3月 8日
				CN	1193333	C	2005年 3月 16日
				KR	20020062218	A	2002年 7月 25日
				US	6937222	B2	2005年 8月 30日
				TW	536689	B	2003年 6月 11日
				US	2002093472	A1	2002年 7月 18日
				JP	2002287718	A	2002年 10月 4日
				JP	2002341821	A	2002年 11月 29日
				JP	3638130	B2	2005年 4月 13日
CN	102819151	A	2012年 12月 12日	CN	102819151	B	2016年 12月 14日
				JP	5623982	B2	2014年 11月 12日
				US	2016195752	A1	2016年 7月 7日
				JP	2012255908	A	2012年 12月 27日
				US	2012313906	A1	2012年 12月 13日
				US	9323121	B2	2016年 4月 26日
CN	103578399	A	2014年 2月 12日	JP	5865202	B2	2016年 2月 17日
				CN	103578399	B	2016年 8月 10日
				JP	2014021169	A	2014年 2月 3日
				US	9147357	B2	2015年 9月 29日
				US	2014015866	A1	2014年 1月 16日
CN	103293729	A	2013年 9月 11日	KR	20130100682	A	2013年 9月 11日
				US	2015243255	A1	2015年 8月 27日
				TW	201337892	A	2013年 9月 16日
				TW	I508048	B	2015年 11月 11日
				US	2016275891	A1	2016年 9月 22日
				US	9384712	B2	2016年 7月 5日
				US	2013229403	A1	2013年 9月 5日
				JP	2013182102	A	2013年 9月 12日
				US	9047839	B2	2015年 6月 2日
				JP	5801734	B2	2015年 10月 28日
JP	2005018088	A	2005年 1月 20日	JP	H08286170	A	1996年 11月 1日
				JP	3630489	B2	2005年 3月 16日
				TW	311213	B	1997年 7月 21日
				US	5712652	A	1998年 1月 27日
				KR	0177016	B1	1999年 4月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)