

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2011-511395

(P2011-511395A)

(43) 公表日 平成23年4月7日(2011.4.7)

(51) Int.Cl.

G 1 1 C 11/413 (2006.01)

F I

G 1 1 C 11/34 3 3 5 A

テーマコード (参考)

5 B 0 1 5

審査請求 未請求 予備審査請求 未請求 (全 17 頁)

(21) 出願番号 特願2010-544941 (P2010-544941)
 (86) (22) 出願日 平成20年1月30日 (2008.1.30)
 (85) 翻訳文提出日 平成22年6月2日 (2010.6.2)
 (86) 国際出願番号 PCT/US2008/052454
 (87) 国際公開番号 W02009/096957
 (87) 国際公開日 平成21年8月6日 (2009.8.6)

(71) 出願人 500587067
 アギア システムズ インコーポレーテッド
 アメリカ合衆国、18109 ペンシルヴァニア、アレントタウン、アメリカンパークウェイ エヌイー 1110
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100104352
 弁理士 朝日 伸光

最終頁に続く

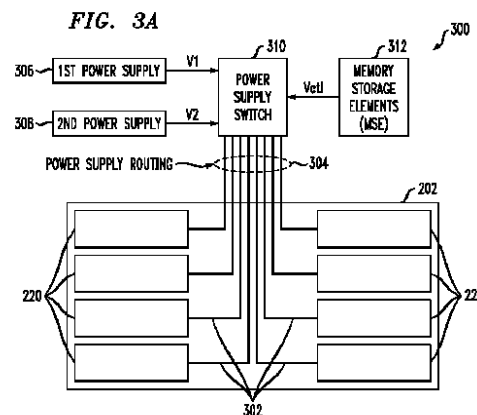
(54) 【発明の名称】 電子回路において歩留りを向上させるための方法及び装置

(57) 【要約】

【課題】本発明は、メモリセルのサイズを増加させること及び/又は複雑性と構成部品数を増加させることを伴わずに、メモリ回路がより低い電圧で動作できる低消費電力の集積回路に関する。

【解決手段】電子回路は、複数の別個の小部分の形に構成された複数の回路素子を含み、各小部分は小部分へ電力を伝達するための別々の電圧供給接続部を有する。電子回路は、複数の出力部を含むコントローラをさらに含み、出力部の各々は電圧供給接続部のうちの対応する1つに接続される。小部分のうちの所与の1つが弱い回路素子を含まないときに、コントローラは対応する電圧供給接続部を介して所与の小部分へ第1の電圧レベルを供給する。所与の小部分が少なくとも1つの弱い回路素子を含むときに、コントローラは対応する電圧供給接続部を介して所与の小部分へ少なくとも第2の電圧レベルを供給するように動作し、第2の電圧レベルは第1の電圧レベルよりも高い。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数の別個の小部分の形に構成された複数の回路素子であって、前記小部分の各々が前記それぞれの小部分へ電力を伝達するための別々の電圧供給接続部を有する、複数の回路素子と、

複数の出力部を含み、前記出力部の各々は前記電圧供給接続部のうちの対応する 1 つに接続される、コントローラであって、(i) 前記小部分のうちの所与の 1 つが少なくとも 1 つの弱い回路素子を含まないときに、前記対応する電圧供給接続部を介して前記所与の小部分へ第 1 の電圧レベルを供給し、(i i) 前記所与の小部分が少なくとも 1 つの弱い回路素子を含むときに、前記対応する電圧供給接続部を介して前記所与の小部分へ少なくとも第 2 の電圧レベルを供給するように動作し、前記第 2 の電圧レベルは前記第 1 の電圧レベルよりも高い、コントローラと、
を備える電子回路。

10

【請求項 2】

前記コントローラは、前記所与の小部分が少なくとも 1 つの弱い回路素子を含むかどうかを検出するようにさらに動作する、請求項 1 に記載の回路。

【請求項 3】

前記コントローラに接続されたメモリをさらに備え、前記メモリは前記第 1 の電圧レベルと前記少なくとも第 2 の電圧レベルのうちのどれが前記小部分の各々に供給されるべきであるかに関する情報を記憶するように動作する、請求項 1 に記載の回路。

20

【請求項 4】

前記コントローラは複数のスイッチ素子を備え、前記スイッチ素子の各々は前記第 1 の電圧レベルを受けるための第 1 の端子と、前記少なくとも第 2 の電圧レベルを受けるための第 2 の端子と、前記スイッチ素子に与えられる制御信号の機能として前記電圧供給接続部のうちの対応する 1 つに接続された出力部とを含む、請求項 1 に記載の回路。

【請求項 5】

前記スイッチ素子のうちの少なくとも 1 つはマルチプレクサを備える、請求項 4 に記載の回路。

【請求項 6】

前記第 1 の電圧レベルは電子回路の指定された最低作動電圧に実質的に等しい、請求項 1 に記載の回路。

30

【請求項 7】

前記第 2 の電圧レベルは前記少なくとも 1 つの弱い回路素子の指定された最低作動電圧に実質的に等しい、請求項 1 に記載の回路。

【請求項 8】

前記第 1 の電圧レベルを発生するように動作する第 1 の電圧源と、前記少なくとも第 2 の電圧レベルを発生するように動作する少なくとも第 2 の電圧源とをさらに備える、請求項 1 に記載の回路。

【請求項 9】

複数のメモリセルを含むメモリ回路を備え、前記複数の回路素子の少なくともサブセットの各々は前記メモリセルのうちの所与の 1 つを備え、前記コントローラは、(i) 前記所与の小部分が少なくとも 1 つの弱いメモリセルを含まないときに、前記対応する電圧供給接続部を介して前記所与の小部分へ前記第 1 の電圧レベルを供給し、(i i) 前記所与の小部分が少なくとも 1 つの弱いメモリセルを含むときに、前記対応する電圧供給接続部を介して前記所与の小部分へ前記少なくとも第 2 の電圧レベルを供給するように動作する、請求項 1 に記載の回路。

40

【請求項 10】

前記コントローラは、前記所与の小部分が少なくとも 1 つの弱いメモリセルを含むかどうかを検出するようにさらに動作する、請求項 9 に記載の回路。

【請求項 11】

50

前記メモリ回路は組込みメモリアレイを備える、請求項 9 に記載の回路。

【請求項 1 2】

複数の小部分の形に構成された複数の回路素子を含み、前記小部分の各々が、前記小部分に対応する別々の電圧供給接続部を有する電子回路において歩留りを向上させるための方法において、

弱い回路素子を含まない少なくとも第 1 の小部分へ第 1 の電圧レベルを印加するステップと、

少なくとも 1 つの弱い回路素子を含んでいるとして識別された少なくとも第 2 の小部分へ少なくとも第 2 の電圧レベルを印加するステップであって、前記第 2 の電圧レベルは前記第 1 の電圧レベルよりも高い、ステップと

を含む方法。

【請求項 1 3】

少なくとも 1 つの弱い回路素子を含んでいる前記少なくとも第 2 の小部分を識別することをさらに備える、請求項 1 2 に記載の方法。

【請求項 1 4】

前記電子回路内の各小部分を前記第 1 の電圧レベルと前記少なくとも第 2 の電圧レベルとのうちの 1 つに関連付ける情報を記憶することをさらに備える、請求項 1 2 に記載の方法。

【請求項 1 5】

前記少なくとも第 2 の小部分へ前記少なくとも第 2 の電圧レベルを印加する前記ステップは、前記記憶した情報を読み出し、前記記憶した情報の機能として前記少なくとも第 2 の小部分へ前記少なくとも第 2 の電圧レベルを印加することを備える、請求項 1 4 に記載の方法。

【請求項 1 6】

前記第 1 の電圧レベルは前記電子回路の指定された最低作動電圧に実質的に等しい、請求項 1 2 に記載の方法。

【請求項 1 7】

前記第 2 の電圧レベルは前記少なくとも 1 つの弱い回路素子の指定された最低作動電圧に実質的に等しい、請求項 1 2 に記載の方法。

【請求項 1 8】

前記電子回路は複数のメモリセルを含むメモリ回路を備え、前記複数の回路素子の少なくともサブセットの各々は前記メモリセルのうちの所与の 1 つを備える、請求項 1 2 に記載の方法。

【請求項 1 9】

少なくとも 1 つの電子回路を含む集積回路であって、前記電子回路は、

複数の別個の小部分の形に構成された複数の回路素子であって、前記小部分の各々が前記それぞれの小部分へ電力を伝達するための別々の電圧供給接続部を有する、複数の回路素子と、

複数の出力部を含み、前記出力部の各々が、前記電圧供給接続部のうちの対応する 1 つに接続される、コントローラであって、(i) 前記小部分のうちの所与の 1 つが少なくとも 1 つの弱い回路素子を含まないときに、前記対応する電圧供給接続部を介して前記所与の小部分へ第 1 の電圧レベルを供給し、(i i) 前記所与の小部分が少なくとも 1 つの弱い回路素子を含むときに、前記対応する電圧供給接続部を介して前記所与の小部分へ少なくとも第 2 の電圧レベルを供給するように動作し、前記第 2 の電圧レベルは前記第 1 の電圧レベルよりも高い、コントローラとを備える、集積回路。

【請求項 2 0】

前記少なくとも 1 つの電子回路は複数のメモリセルを含むメモリ回路を備え、前記メモリセルは前記複数の小部分の形に構成される、請求項 1 9 に記載の集積回路。

【請求項 2 1】

少なくとも1つの電子回路を含む少なくとも1つの集積回路を備える電子システムであって、前記少なくとも1つの電子回路は、

複数の別個の小部分の形に構成された複数の回路素子であって、前記小部分の各々は前記それぞれの小部分へ電力を伝達するための別々の電圧供給接続部を有する、複数の回路素子と、

複数の出力部を含み、前記出力部の各々が、前記電圧供給接続部のうちの対応する1つに接続される、コントローラであって、(i)前記小部分のうちの所与の1つが少なくとも1つの弱い回路素子を含まないときに、前記対応する電圧供給接続部を介して前記所与の小部分へ第1の電圧レベルを供給し、(ii)前記所与の小部分が少なくとも1つの弱い回路素子を含むときに、前記対応する電圧供給接続部を介して前記所与の小部分へ少なくとも第2の電圧レベルを供給するように動作し、前記第2の電圧レベルは前記第1の電圧レベルよりも高い、コントローラと、
を備える、電子システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に電気技術、電子技術、及びコンピュータ技術に関し、とりわけ半導体デバイスに関する。

【背景技術】

【0002】

例えば、移動体通信及びモバイル・コンピューティングのような多くの応用例は、これらの応用例において使用するデバイスの電池寿命を改善するための取り組みにおいて低消費電力の集積回路(IC)を一般に必要とする。そのようなデバイスは、携帯電話、携帯型記憶デバイス、メディア・プレーヤ・デバイス、携帯型計算デバイス、等を含むが、これらに限定されない。例えば、データ処理及びネットワーク通信のような別の応用例では、パッケージ・コスト、冷却コスト及び/又はボード・コストを削減するように低消費電力のICを採用することが同様に望ましいはずである。

【0003】

例として、キャパシタンスCの電圧振動に係する電力は、全電力消費の大きな原因である。キャパシタンスに係する電力Pは、キャパシタンス両端間の電圧Vの二乗で増加する(例えば、 $P = C V^2 f$ 、ここでfは周波数である)。ICにおける電力消費の別の成分は、例えば、トランジスタを通るサブスレショルド・リーク及びゲート絶縁膜を通るリークを含む。今日使用される短チャネル・トランジスタでは、サブスレショルド・リークは、ソース・ドレイン電圧とともに増加する。トランジスタ・ゲート・リークもまた、電圧とともに増加する。したがって、ICにおける電力消費を削減するために、ICの動作電圧を低下させることが望ましい。

【0004】

従来、メモリ回路への供給電圧レベルは、メモリ回路の不良の可能性を低減するために高くされる可能性がある。このようにして、歩留りは向上されることが可能であるが、特に移動体応用例に対して望ましくないメモリ回路の電力消費の増加を犠牲にする。代替として、メモリ回路がより低い電圧で動作できるようにメモリセル及び関係する回路の設計を変更することは、公知である。しかしながら、このアプローチは、一般的にメモリセルのサイズを増加させること及び/又は複雑性と構成部品数を増加させることを含み、それによりメモリ・デバイスのコストを増加させる。

【0005】

したがって、従来のメモリ回路に係する上記の問題のうちの1つ又は複数によって影響されないメモリ回路の改善に対する必要性が存在する。

【発明の概要】

【課題を解決するための手段】

【0006】

10

20

30

40

50

本発明の例示的な実施形態は、高い最低作動電圧 (minimum functional voltage) 要件を有するメモリ回路内の有害メモリセルを識別し、これらの有害セルに、より高い電圧を供給する一方で、メモリ回路内の残りのセルに、より低い電圧を依然として供給するための技術を提供することにより上記の必要性を満足させる。メモリ回路内のセルを、複数の小部分 (subdivision)、すなわち選択肢グループに編成することができる。その中に少なくとも1つの弱いメモリセルを含んでいるとして識別される小部分の数が、小部分の総数に比して少ないと仮定すると、メモリ回路は、歩留りに著しい悪影響を与えることなく、低い総電力消費を維持する。

【0007】

本発明の一態様によれば、電子回路は、複数の別個の小部分の形に構成された複数の回路素子を含み、各小部分は該小部分へ電力を伝達するための別々の電圧供給接続部を有する。該電子回路は、複数の出力部を含むコントローラをさらに含み、該出力部の各々は該電圧供給接続部のうちの対応する1つに接続される。該小部分のうちの所与の1つが弱い回路素子を含まないときに、該コントローラは、該対応する電圧供給接続部を介して該所与の小部分へ第1の電圧レベルを供給する。該所与の小部分が少なくとも1つの弱い回路素子を含むときに、該コントローラは、該対応する電圧供給接続部を介して該所与の小部分へ少なくとも第2の電圧レベルを供給するように動作し、該第2の電圧レベルは該第1の電圧レベルよりも高い。

10

【0008】

該電子回路は、該複数の小部分の形に構成された複数のメモリセルを備えたメモリ回路を含むことができる。該電子回路は、集積回路内に実装することができる。本発明の別の1つの態様によれば、電子システムは、上記のような1つ又は複数の電子回路を備える少なくとも1つの集積回路を含む。

20

【0009】

本発明のさらに別の態様によれば、複数の小部分の形に構成された複数の回路素子を含む電子回路において歩留りを向上させるための方法は、該小部分の各々が該小部分に対応する別々の電圧供給接続部を有し、弱い回路素子を含まない少なくとも第1の小部分へ第1の電圧レベルを印加するステップと、少なくとも1つの弱い回路素子を含んでいるとして識別された少なくとも第2の小部分へ少なくとも第2の電圧レベルを印加するステップとを含み、該第2の電圧レベルは該第1の電圧レベルよりも高い。

30

【0010】

本発明のこれらの特徴とその他の特徴、目的及び利点は、添付の図面に関連して読まれる本発明の例示的な実施形態の下記の詳細な説明から明らかになるであろう。

【図面の簡単な説明】

【0011】

【図1】多数のメモリセルを含んでいるメモリ回路と少数のメモリセルを含んでいるメモリ回路についての最低作動電圧の例示的な比較を示す図である。

【図2】本発明の実施形態に従って形成される、具体例のメモリ回路の少なくとも一部を示すブロック図である。

【図3A】本発明の実施形態に従って、図2に示されたメモリアレイへ電力を供給するための具体例の電力伝送装置の少なくとも一部を示すブロック図である。

40

【図3B】本発明の実施形態に従って、図3Aに示された電力伝送装置において使用することができる具体例の電力供給スイッチを示す模式図である。

【図4】本発明の実施形態による、メモリ回路内で電力を伝送することを制御するための具体例の方法を示すフロー図である。

【図5】本発明の別の実施形態による、回路内の回路素子の個々の小部分へ電力を伝送するための具体例の方法を示すフロー図である。

【図6】本発明の実施形態に従って、本発明の技術を採用することができる具体例の電子システムの少なくとも一部を示すブロック図である。

【発明を実施するための形態】

50

【 0 0 1 2 】

本発明は、指定された最低作動電圧レベルにおいてメモリ回路の機能的動作を制限されるメモリセルへより高い電圧を供給しつつ、メモリ回路の残りの部分へ最低作動電圧を供給するように、メモリ回路内で電力を伝送することを制御するための具体例の方法及び装置の状況において本明細書中で説明される。しかしながら、本発明の技術が本明細書中に示され説明される方法及び装置に限定されないことを理解されたい。むしろ、本発明の実施形態は、回路における低い電力消費を維持しつつ回路の歩留りを向上させることが有利である技術をより広く対象とする。

【 0 0 1 3 】

「デバイス」は、この用語が本明細書中で使用されるとき、特定用途向け集積回路（ASIC）、シングル・インライン・メモリ・モジュール（SIMM）、デュアル・インライン・メモリ・モジュール（DIMM）、連想メモリ（CAM）、中央処理ユニット（CPU）、デジタル信号プロセッサ（DSP）、又は任意の別のタイプのデータ処理デバイス若しくは記憶デバイスに一般に関係するもののような素子、並びに組み込みメモリを有するそのような素子の一部及び／又は組み合わせを備えることができるが、例示のみであり限定するものではない。「メモリ」は、この用語が本明細書中で使用されるとき、必ずしも限定しないが典型的にバイナリ形式で情報（例えば、データ）を少なくとも一時的に記憶するために利用されることが可能である任意の素子を備えるように幅広く解釈されるように意図されている。本発明の好ましい実施形態は、典型的にはシリコン・ウェーハ内に製造されるが、本発明の実施形態は、代替として、ガリウム砒素（GaAs）、インジウム・リン（InP）、等を含むがこれらに限定されない他の材料からなるウェーハ内に製造されることが可能である。

【 0 0 1 4 】

最近のICは、その中に組み込みメモリを多くの場合を含む。組み込みメモリ中のメモリセル数は、100メガビット（Mb）以上にまで及ぶことがある。一般的に、メモリセルの最低作動電圧は、図1に示されるように正規分布として表わすことができる。図1を参照して、2つの具体例の最低作動電圧分布が示されている。グラフ102は、多数のメモリセルを有するメモリアレイに対する最低作動電圧分布を表わす。グラフ104は、少数のメモリセルを有するメモリアレイに対する最低作動電圧分布を表わす。

【 0 0 1 5 】

図から明らかなように、少数のセルを有するメモリアレイは、多数のメモリセルを有するメモリアレイと比較して作動最低電圧の狭い分布を示す。これは、より大きなメモリがより小さなメモリよりも高い最低作動電圧要件を有することを意味する。すなわち、（例えば、約10メガ・メモリセルよりも大きい）より大きなメモリは、統計的に所定のレベルよりも高い最低作動電圧を必要とする可能性が高い。図1に示された例では、所定のレベルは0.8ボルトであり、0.8ボルトよりも高い最低作動電圧要件を有するメモリセルは、グラフ102の部分106により示されている。この例では0.8ボルトよりも高い最低作動電圧要件を有するいかなるメモリアレイも、結果として不良デバイスとみなされるメモリアレイをもたらすはずである。

【 0 0 1 6 】

図2は、本発明の実施形態にしたがって形成される、具体例のメモリ回路200の少なくとも一部を示すブロック図である。メモリ回路200は、複数のメモリセル204と、セルに選択的にアクセスするためにメモリセルに接続された複数のビット線206及びワード線208とを備えるメモリアレイ202を含む。例示的なメモリ回路200は、 2^N 列と 2^M 行を含むように示される、ここでNとMは整数である。本発明が特定の数の列と行に限定されないことが、認識されるはずである。各列は、好ましくはビット線とそれに接続された複数の対応するメモリセルを含む。同様に、各行は、好ましくはワード線とそれに接続された複数の対応するメモリセルを含む。メモリセル204のそれぞれは、ビット線206とワード線208のただ1つの対に関係付けられる。

【 0 0 1 7 】

メモリ回路 200 は、行アドレス又は代替の制御信号の機能として複数のワード線のうちの選択された 1 つをアクティブにするためにワード線に結合された行デコーダ 210、及び列アドレス又は代替の制御信号の機能として複数のビット線のうちの選択された 1 つをアクティブにするためにビット線に結合された列デコーダ 212 をさらに含む。1 つ又は複数のセンス増幅器 214 は、好ましくはそれぞれのメモリセル 204 の状態を読み出すために用意される。センス増幅器 214 は、列デコーダ 212 の一部として統合されても、別個の機能ブロックとして含まれてもよい。メモリ回路への入力データは、入力データ・バッファ 216 へ供給され、1 つ又は複数の選択されたメモリセル中に記憶するために列デコーダ 212 へ渡されてもよい。同様に、メモリセルから読み出された出力データは、メモリ回路 200 の出力データ信号を生成するように動作する出力データ・バッファ 218 に供給されてもよい。

10

【0018】

メモリアレイ 202 内のメモリセル 204 は、好ましくは複数の小部分 (subdivision) 220 の形に構成される。本明細書中では、用語「小部分」は、メモリセルの任意のグループ分けを幅広く包含するように規定することができる。例えば、本発明の例示的な実施形態では、小部分 220 は、それぞれが同じ数のメモリセルを含むことができる。あるいは、1 つ又は複数の小部分は、メモリ回路内の 1 つ又は複数の別の小部分に対して異なる数のメモリセルを含むことができる。8 個だけのメモリ小部分が示されているが、本発明は、特定の数の小部分に限定されない。

【0019】

20

メモリ小部分 220 の各々は、図 3 を参照して下記にさらに詳細に説明されるように、小部分に電力を伝達するために各小部分に対応する別々の電圧供給接続部 (明確には示されていない) を含む。このように、所与のメモリ小部分のための電圧供給伝送経路は、他の小部分のための電圧供給伝送経路とは別々であり異なるものである。多数のメモリ小部分を有することは一般に利点があり、接続伝送経路の複雑性の増加及びメモリアレイ・サイズの増加を含む潜在的なトレードオフをとまなう。

【0020】

小部分 220 が複数の列及び行を備えており、両者とも小分割されていないメモリアレイ 202 におけるよりも小さいように示されているが、別の構成が企図される。例えば、メモリアレイ 202 は、複数の最大長さの行 (例えば、小分割されていないアレイ内の行と同じ数のメモリセルを有する行) を含むより小さなアレイ、複数の最大長さの列 (例えば、小分割されていないアレイ内の列と同じ数のメモリセルを有する列) を含むより小さなアレイ、1 つの行に沿って全てが配置されたメモリセルの小さなグループ、及び / 又は 1 つの列に沿って全てが配置されたメモリセルの小さなグループへと小分割されてもよい。これらの構成の様々な組み合わせが、同様に企図される。

30

【0021】

図 1 に関連して前記したように、メモリアレイ内のメモリセルの数が増加するにつれて、メモリセルに係する最低作動電圧の分布は、広くなる。図 1 に示されたように、メモリアレイ内のセルの小さな部分 106 が指定されたレベル (例えば、0.8 ボルト) より高い最低作動電圧要件を有するように、分布は広がることがある。テスト目的のために、指定されたレベルよりも高い最低作動電圧の 1 つ又は複数のメモリセル (例えば、弱いメモリセル) を有するメモリ回路は、不合格品として廃棄され、それにより歩留りを低下させるであろう。「弱い」メモリセルは、この用語が本明細書中で使用されるとき、指定されたレベルよりも高い最低作動電圧要件を有するメモリセルとして定義することができる。

40

【0022】

本発明の技術は、1 つ又は複数の弱いメモリセルを含んでいるメモリアレイの少なくとも 1 つの小部分がより高い供給電圧で動作することを可能にしつつ、弱いメモリセルがないメモリアレイの小部分がより低い供給電圧で動作することを可能することが有利である。典型的なケースであるように、弱いメモリセルの数、それゆえメモリ小部分の数は、メ

50

メモリ小部分の総数に比して少ないであろう。したがって、より高い電圧レベルで動作するメモリ小部分の数は、比較的少なく、そのためメモリ回路の平均電力消費は、大きくは増加しない。

【0023】

図3Aは、本発明の実施形態にしたがって、図2に示されたメモリアレイ202へ電力を供給するための具体例の電力伝送装置300の少なくとも一部を示すブロック図である。この電力伝送装置300は、好ましくは図2のメモリ回路200内に含まれる。前記したように、メモリアレイ202は、複数の小部分220の形に構成された複数のメモリセルを含む。各メモリ小部分220は、小部分へ電力を伝達するためにそれに対応する別々の電圧供給接続部302を含む。包括的に、メモリ小部分220に対応する個々の電圧供給接続部302は、メモリアレイ202への電力供給伝送経路304を形成する。

10

【0024】

電力伝送装置300は、少なくともそれぞれ第1の電力供給源と第2の電力供給源306、308、及び第1の電力供給源と第2の電力供給源に接続された電力供給スイッチ310又は代替のコントローラを含む。電力供給スイッチ310に接続されたメモリ312（例えば、メモリ記憶素子（MSE））は、例えば、どの電力供給源306、308がメモリ小部分220のそれぞれへ伝送されるかに関係する情報のようなデータを記憶するために任意選択で 사용할 ことができる。第1の電力供給源306は、第1の出力電圧V1を発生するように動作し、第2の電力供給源308は、第2の出力電圧V2を発生するように動作する。第1の電力供給源306により発生される第1の出力電圧V1は、好ましくは弱いメモリセルを含まない大部分のメモリ小部分へ供給されるより低い指定された最低作動電圧である。第2の電力供給源308により発生される第2の出力電圧V2は、好ましくは少なくとも1つの弱いメモリセルを含んでいるとして識別された数少ないメモリ小部分へ供給されるV1よりも高い電圧である。弱いメモリセルがメモリアレイ202内に識別されない状況では、全てのメモリ小部分は、第1の電力供給源306により電力を与えられ、第2の電力供給源308は使用されないはずである。好ましくは、電力供給源306、308のそれぞれは、本明細書の教示が与えられると当業者に明らかになるように、メモリ回路の電力消費を削減するために、使用されないとき所与の電力供給源をオフにすることができるようにディスエーブル回路を含む。

20

【0025】

別々の機能ブロックとして示されているが、それぞれ第1の電力供給源と第2の電力供給源306、308は、複数の電圧出力部（例えば、タップ）を含む単一の電圧供給源として実装されてもよい。例えば、当業者には理解されるように、単一の電圧源及び電圧V1とV2とを発生するための少なくとも2つの電圧タップを含む電圧分割器（明示的に示されず）を採用することができる。さらに、2つだけの電力供給源306と308が記載された例示的な電力伝送装置300に利用されているが、本発明が特定の数の電力供給源に限定されないことが、認識されるはずである。本発明の別の実施形態は、より細かく細分化する（achieve finer granularity）ために2つ以上の電力供給源を使用し、それにより2つの電源を使用して得られることが可能であるものよりさらにメモリ回路における電力消費を削減することができる。

30

40

【0026】

弱いメモリセル、すなわち第1の電力供給源306により発生される指定された電圧レベルV1よりも高い最低作動電圧を有するセルは、どのメモリ小部分に弱いメモリセルが存在するかにしたがって識別され、位置を特定される。弱いメモリセルを含んでいるとして識別されたこれらのメモリ小部分は、より高い電圧V2を発生する第2の電力供給源308から電力を与えられるように割り当てられる。好ましくは、電圧V2は、弱いメモリセルの最も高い最低作動電圧要件に実質的に等しくなるように選択される。弱いメモリセルの数、それゆえ第2のより高い電力供給源308を必要とするメモリ小部分の数が、小部分の総数と比較して少ないのであれば、メモリ回路に関する平均電力は、より低い電力供給源306に関係して主に決定され、第2の電力供給源の使用及び弱いメモリセルを含

50

んでいる対応する小部分によりわずかに増加するだけである。メモリアレイが含む小部分が多くなるほど、平均電力消費はより低い電力供給に係る電力消費に近づく。

【0027】

電力供給スイッチ310は、入力としてそれぞれ第1の出力電圧と第2の出力電圧V1とV2を受け、電力供給スイッチに供給される少なくとも1つの制御信号Vc t lの機能として、複数の出力O1からO8の各々へ第1の電圧と第2の電圧のうちの1つを伝送するように動作する。出力O1からO8の各々は、好ましくは、自身の個別の電圧供給接続部302を介してメモリ小部分220のうちの対応する1つに接続される。制御信号Vc t lは、複数の信号を備えることができる。

【0028】

図3Bは、本発明の一実施形態にしたがって、図3Aに示された電力伝送装置300において使用することができる具体例の電力供給スイッチ310を示す模式図である。電力供給スイッチ310は、好ましくは、複数のスイッチ素子350、352、および354を含む。スイッチ素子は、単極双投(single-pole double-throw)(SPDT)スイッチとして機能的に図示されているが、代替の実施物が企図される。例えば、スイッチ素子350、352、354のうちの少なくとも1つは、当業者にとって明らかになるように、マルチプレクサを備えることができる。

【0029】

とりわけ、電力供給スイッチ310は、第1の電源306により発生される第1の出力電圧V1を受けるための第1の入力、第2の電源308により発生される第2の出力電圧V2を受けるための第2の入力、及び8個の出力O1からO8を含み、各出力はメモリ小部分220のうちの対応する1つに接続する(図3A参照)。第1のスイッチ素子350は、電圧V1とV2を受け、第1のスイッチ素子に与えられる選択信号S1の機能としてV1又はV2のいずれかを対応する出力O1に接続するように動作する。第2のスイッチ352は、電圧V1とV2を受け、第2のスイッチ素子に与えられる選択信号S2の機能としてV1又はV2のいずれかを対応する出力O2に接続するように動作する。同様に、第8のスイッチ354は、電圧V1とV2を受け、第8のスイッチ素子に与えられる選択信号S8の機能としてV1又はV2のいずれかを対応する出力O8に接続するように動作する。包括的に、選択信号S1からS8は、電力供給スイッチ310に与えられる制御信号Vc t lとして表わすことができる。別の実施形態では、電力供給スイッチ310は、スイッチ素子350、352、354の各々を別々に制御するために複数の選択信号S1からS8を発生させるためのデコーダ回路を含むことができる。本発明による使用のために適したデコーダ回路は、当業者に周知である。電力供給スイッチ310が2つの電圧、すなわちV1とV2だけを受けるように示されているが、本発明は、特定の数の電圧に限定されない。スイッチ素子350、352、354の各々は、追加の電圧を受けるために望まれるように変形することができる。

【0030】

図4は、本発明の実施形態による、メモリ回路内の個々のメモリ小部分へ電力を伝送するための具体例の方法400を示すフロー図である。方法400はステップ402において始まり、そこでは弱いメモリセルが識別される。弱いメモリセルは、例えば、メモリ回路のテスト中に識別されてもよいが、弱いセルを識別するための代替の方法が企図される。メモリ回路のテストは、この技術において周知であるように、外部の自動化された試験装置(A T E)を使用して実行することができる。あるいは、テストは、同様にこの技術において公知であるように、ビルトイン・セルフ・テスト(B I S T)を使用して行われることが可能である。好ましくは、テストは、第1の電力供給源306(図3A参照)により発生される電圧V1において指定されたパラメータにより機能しないメモリセルを識別するように動作する。テスト手順で不合格であるメモリセルは、弱いセルとみなされる。

【0031】

メモリアレイ内の弱いメモリセルを識別した後で、ステップ404は、(1つまたは複

10

20

30

40

50

数の)弱いメモリセルがその中に存在する少なくとも1つのメモリ小部分を識別する。ステップ404は、各弱いメモリセルをメモリアレイ内の対応するメモリ小部分に関連付けることを含むことができる。所与のメモリ小部分は、1つ又は複数の弱いメモリセルを備えることができる。出力として、ステップ404は、好ましくは、弱いメモリセルを含んでいる小部分のリストを生成する。あるいは、ステップ402と404は、アレイ内の各弱いメモリセルを具体的に識別することなく、1つ又は複数の弱いメモリセルを含んでいる弱いメモリ小部分を直接テストするように動作する単一のステップ405へと統合されてもよい。

【0032】

どのメモリ小部分が弱いメモリセルを含むかを決定した後で、ステップ406は、各小部分を適切な電力供給源(例えば、図3Aの第1の電力供給源306又は第2の電力供給源308)に関連付ける情報をメモリ(例えば、図3Aに示されるメモリ312)に任意選択で記憶する。例えば、図3Aを再び参照して、1つ又は複数の弱いメモリセルを含んでいる弱い小部分は、好ましくは、より高い第2の出力電圧V2を供給する第2の電力供給源308に関連付けられる。弱いメモリセルを含まない残りの小部分は、より低い第1の出力電圧V1を供給する第1の電力供給源306に関連付けられる。メモリ312は、例えば、結合情報を記憶する構造を備えることができる。例示的なメモリ回路における使用のために適したメモリは、揮発性メモリ(例えば、スタティック・ランダム・アクセス・メモリ(SRAM)、ダイナミック・ランダム・アクセス・メモリ(DRAM)、レジスタ、等)又は不揮発性メモリ(例えば、フラッシュ・メモリ、読出し専用メモリ(ROM)、ワン・タイム・プログラマブル(OTP)メモリ、フュー・タイム・プログラマブル(FTP)メモリ、フューズ、等)を含むことができるが、これらに限定されない。

【0033】

図4をさらに参照すると、ステップ408において、割り当てられた電力供給源への各メモリ小部分の接続が実行される。これは、メモリ312中に記憶された結合情報を読み出し、該結合情報に従い適切な電力供給源306、308のうちの1つに各メモリ小部分を接続するように動作する電力供給スイッチ310を使用して実現されることが可能である(図3A参照)。

【0034】

図1に関連して前記したように、比較的少ない数のメモリセル(例えば、1Mb未満)を有するメモリ回路は、はるかに多くのメモリセル(例えば、約8Mbより多い)を有するメモリ回路に比べて弱いセル-平均最低作動電圧からかけ離れて分布する最低作動電圧を有するセル-を有する可能性が低い。それゆえ、大きなメモリ回路は、一般に本明細書の教示の使用からもたらされるより大きな歩留り改善を実現することが可能である。

【0035】

各メモリ小部分へ電力を別々の伝送するために使用する追加の電圧供給接続部及び回路に係する面積的な不利益があり得る。この面積の増加は、より小さなメモリ回路にとって又は多数の小部分を有するより大きなメモリ回路にとって著しい割合の増加であるはずである。比較的少ない数の小部分を有するより大きなメモリは、追加の電力伝送経路接続部と回路に起因する面積増加の割合が最小になるであろう。普遍性を失わずに例としてのみ、8個の0.5Mb小部分を有する8Mbメモリは、比較的少数の小部分を有する比較的大きなメモリとみなされるはずである。しかしながら、1Mb又はより小さなメモリでさえ、面積に関する著しい悪影響なしに本明細書の教示から利益を得るはずである。

【0036】

本発明の別の実施形態によれば、メモリ回路(図示されず)は、複数の独立したメモリ・マクロを備えることができる。メモリ・マクロは、組み込みメモリの構成のための最小の繰り返しメモリ・ユニットとして定義することができる。各メモリ・マクロへの電力伝送経路は、分離され別個である。メモリ・マクロは、各メモリ・マクロに対応する最低作動電圧に係する情報を使用して複数の電源のうちの1つに選択的に接続される。最低作動電圧情報は、例えば、テスト手順によって得ることができ、メモリ回路内に含まれるメ

メモリ記憶素子に記憶することができる。

【0037】

本明細書では本発明について例示的なメモリ回路の状況において述べているが、本発明の技術は、複数の回路素子を備える任意の電子回路において低電力消費を維持しつつ歩留りを向上させるように幅広く拡張されてもよい。これは、回路素子が必ずしも同じである必要はないが、回路が比較的多くの実質的に同じ回路素子を含む場合に、特に利点がある。メモリセル以外の回路素子の例は、センス増幅器である。1 Mb メモリは、数千のセンス増幅器を備えることができ、各々がメモリセルの1つ又は複数の列に関連付けられる。メモリセルと同様に、センス増幅器は、例えば、センス増幅器オフセットなどの特性の分布を有する。典型的には、速度及び/又は最低作動電圧は、センス増幅器オフセット電圧によりメモリ回路内で制限される。速度が維持されるようにするために、(例えば、最低作動電圧より高い)より高い電圧を、弱いすなわち遅いセンス増幅器を含む1つ又は複数の回路小部分に供給することができ、一方で(例えば、最低作動電圧に実質的に等しい)より低い電圧が、弱いすなわち遅いセンス増幅器を含まない回路内の残りの小部分に供給される。別の実施形態と同様に、下記にさらに詳細に記載されるように、弱い回路素子は、テスト中に識別されてもよく、その小部分識別情報は回路に係するメモリ中に記憶される。

10

【0038】

例としてのみ、本発明の技術は、複数の同一の遅延ブロックを含んでいる電子回路に適用することができる。遅延ブロックは、好ましくは、複数の小部分の形に構成され、遅延ブロックの各小部分がそれ自体の分離された別個の電圧供給接続部を有する。前記のメモリ回路におけるように、弱い遅延ブロック(例えば、指定された電圧レベルよりも高い最低作動電圧を必要とする遅延ブロック)は、好ましくは、識別され、それらのそれぞれの小部分に割り当てられる。1つ又は複数の弱い回路素子を含んでいる各小部分に供給される電圧は、高められ、一方で残りの小部分は遅延ブロックに関する最低作動電圧に実質的に等しい供給電圧を受ける。このようにして、IC全体への供給電圧を高くすることなく歩留りが向上され、それゆえ、ICの電力消費は、著しくは増加しない。

20

【0039】

図5は、本発明の別の1つの態様による、回路内の回路素子の個々の小部分へ電力を伝送するための具体例の方法500を示すフロー図である。方法500はステップ502において始まり、そこでは弱い回路素子が識別される。弱い回路素子は、例えば、回路のテスト中に識別されてもよいが、弱い回路素子を識別するための代替の方法が企図される。回路のテストは、外部ATEを使用して実行することができる。あるいは、テストは、BISTを使用して行われることが可能である。好ましくは、テストは、第1の電圧V1において指定されたパラメータにより機能しない回路素子を識別するように動作する。テスト手順で不合格である回路素子は、弱い回路素子とみなされる。

30

【0040】

回路内の弱い回路素子を識別した後で、ステップ504は、弱い回路素子がある中に存在する少なくとも1つの小部分を識別する。ステップ504は、各弱い回路素子を回路内の対応する小部分に関連付けることを含むことができる。所与の小部分は、1つ又は複数の弱い回路素子を備えることができる。出力として、ステップ504は、弱い回路素子を含んでいる小部分のリストを生成することができる。あるいは、ステップ502と504は、回路内の各弱い回路素子を具体的に識別することなく、弱い小部分 - 1つ又は複数の弱い回路素子を含んでいる小部分 - を直接テストするように動作する単一のステップ505へと統合されてもよい。

40

【0041】

どの小部分が弱い回路素子を含むかを決定した後で、ステップ506は、各小部分を適切な電力供給源に関連付ける情報をメモリ中に任意選択で記憶する。例えば、1つ又は複数の弱い回路素子を含んでいる弱い小部分は、好ましくは、より高い第2の出力電圧V2を供給する第2の電力供給源に関連付けられる。弱い回路素子を含まない残りの小部分は

50

、より低い第 1 の出力電圧 V_1 を供給する第 1 の電力供給源に関連付けられる。

【0042】

ステップ 508 において、割り当てられた電力供給源への各小部分の接続が実行される。これは、メモリ中に記憶された結合情報を読み出し、該結合情報に従い適切な電力供給源のうちの 1 つに各小部分を接続するように動作する、図 3A に示された電力供給スイッチ 310 に類似する電力供給スイッチを使用して実現されることが可能である。

【0043】

本明細書中に記載した教示により、供給電圧を最低作動電圧の近くに維持しつつ、歩留りを改善することができる。あるいは、本発明の別の実施形態では、低動作電力を維持しつつ、例えば、動作の周波数（例えば、速度）などのさらなるパラメータが最適化されるはずである。

10

【0044】

本発明の実施形態による方法は、電子デバイス又は代替のシステムにおける実装のためにとりわけ良く適している。例えば、図 6 は、本発明の態様に従い形成された具体例の電子システム 600 を示すブロック図である。システム 600 は、例えば、ATE（IC テスタ、IC ウェーハ・プローバ、チップ・ハンドラ、ピニング装置、等）を表わすことができる。システム 600 は、プロセッサ 602、（例えば、バス 606 又は代替の接続手段を介して）プロセッサに結合されたメモリ 604、並びにプロセッサとインターフェースするように動作する入力／出力（I/O）回路 608 を含むことができる。プロセッサ 602 は、本明細書で上記に説明された本発明の方法の少なくとも一部を実行するように構成することができる。

20

【0045】

本明細書中では、用語「プロセッサ」は、例えば、中央処理ユニット（CPU）及び／又は別の処理回路（例えば、ネットワーク・プロセッサ、DSP、マイクロプロセッサ、等）を含むデバイスなどの任意の処理デバイスを含むように意図されていることが、認識されるはずである。それに加えて、用語「プロセッサ」は、1 つ又は複数の処理デバイスを指すことができ、処理デバイスに関連付けられる様々な素子は、別の処理デバイスと共用され得ることを理解されたい。本明細書中では、用語「メモリ」は、例えば、ランダム・アクセス・メモリ（RAM）、読み出し専用メモリ（ROM）、固定記憶媒体（例えば、ハード・ドライブ）、脱着可能記憶媒体（例えば、ディスクett）、フラッシュ・メモリ、等などのプロセッサ又は CPU に関連付けられるメモリ及び他のコンピュータ読取り可能な媒体を含むように意図されている。さらに、本明細書中では、用語「I/O 回路」は、例えば、プロセッサへデータを入力するための 1 つ又は複数の入力デバイス（例えば、キーボード、マウス、等）、プロセッサに結果を表示するための 1 つ又は複数の出力デバイス（例えば、プリンタ、モニタ、等）、及び／又はプロセッサへ（1 つまたは複数の）入力デバイス又は出力デバイスをつなげるように動作するインターフェース回路を含むように意図されている。

30

【0046】

したがって、本明細書中で説明されるように、本発明の方法を実行するための命令又はコードを含むアプリケーション・プログラム、又はそのソフトウェア・コンポーネントは、1 つ又は複数の関係する記憶媒体（例えば、ROM、固定記憶装置又は脱着可能記憶装置）に記憶されてもよく、利用する準備ができたとき、（例えば、RAM へと）全体又は一部がロードされ、プロセッサ 602 によって実行される。いずれにせよ、図 1 に示された構成要素の少なくとも一部がハードウェア、ソフトウェア、又はそれらの組み合わせの様々な形態で、例えば、関連するメモリを有する 1 つ又は複数の DSP、（1 つまたは複数の）特定用途向け集積回路、機能回路、関連するメモリを有する 1 つ又は複数の動作上でプログラムされた汎用デジタル・コンピュータ、等で、実装されてもよい。本明細書中に提供される本発明の教示が与えられると、当業者は、本発明の構成要素の他の実装形態を考えることができる。

40

【0047】

50

本発明の方法の少なくとも一部は、デバイス検証及び／又は特性評価を実行するために他の従来型の集積回路ＡＴＥにおいて実装されてもよい。従来型ＡＴＥの製造者は、テラダイン社（Teradyne Inc.）、テストメトリックス社（Testmetrix Inc.）、ＭＯＳＡＩＤテクノロジー社（MOSAID Technologies Inc.）、ＡＬＬＴＥＱインダストリー社（ALLTEQ Industries Inc.）、シュルンベルグ社（Schlumberger Ltd.）、アドバンテスト社（Advantest Corp.）、及びインテスト社（inTEST Corp.）を含むが、これらに限定されない。

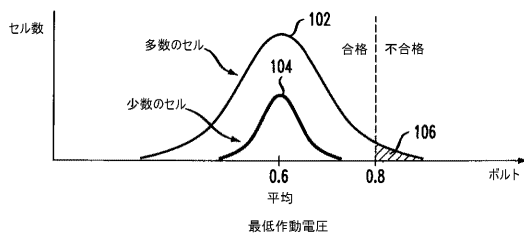
【００４８】

本発明の装置及び方法の少なくとも一部は、１つ又は複数の集積回路において実装されてもよい。集積回路を形成する際に、ダイは、一般的に半導体ウェーハの表面上に繰り返しパターンで製造される。ダイのそれぞれは、本明細書中で説明したデバイスを含み、別の構造又は回路を含むことができる。個々のダイは、ウェーハから切断又はダイシングされ、次に集積回路としてパッケージングされる。当業者は、集積回路を生産するためにどのようにウェーハをダイシングし、ダイをパッケージングするかを知っているはずである。そのように製造された集積回路は、本発明の一部とみなされる。

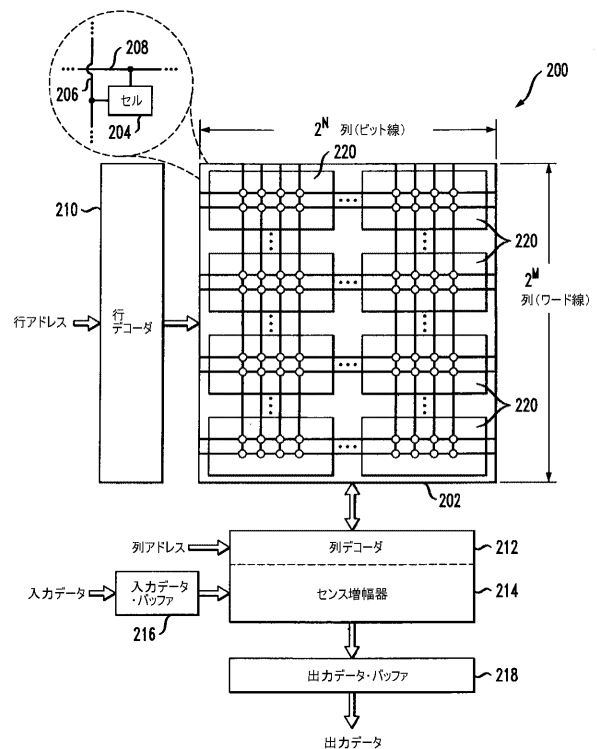
【００４９】

本発明の例示的な実施形態について添付の図面を参照して本明細書で述べられているが、本発明がこれらの実施形態に限定されないこと、また様々な他の変更及び変形が添付された特許請求の範囲から逸脱することなく当業者により為され得ることを理解されたい。

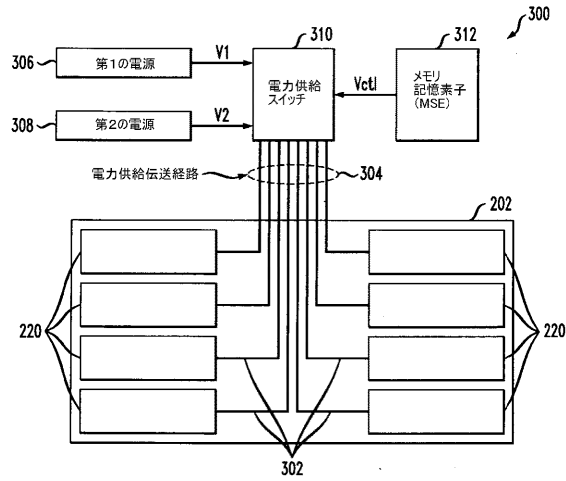
【図１】



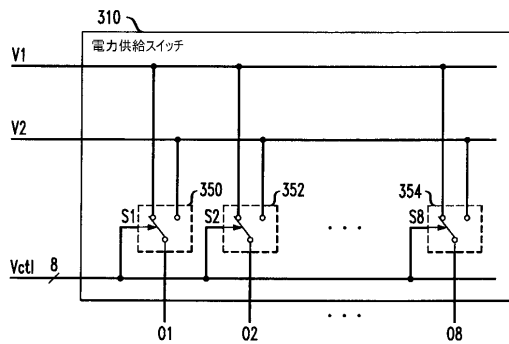
【図２】



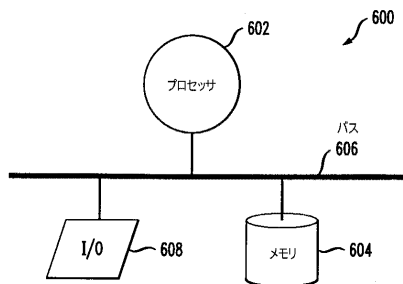
【図 3 A】



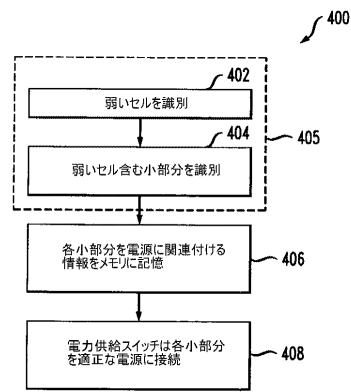
【図 3 B】



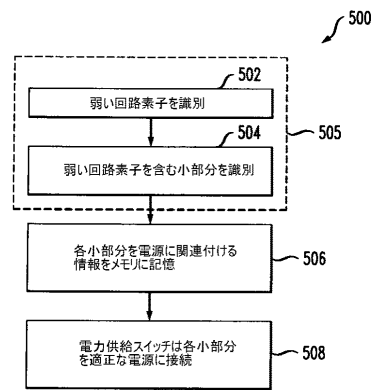
【図 6】



【図 4】



【図 5】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2008/052454

A. CLASSIFICATION OF SUBJECT MATTER
INV. G11C16/30 G11C5/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2006/268647 A1 (YAMAOKA MASANAO [JP] ET AL) 30 November 2006 (2006-11-30) figures 24,26	1,4-9, 11,12, 16-21 2,3,10, 13-15
X	US 6 031 778 A (MAKINO HIROSHI [JP] ET AL) 29 February 2000 (2000-02-29) figure 5	1
X	US 2004/090854 A1 (LEE HO-CHEOL [KR] ET AL) 13 May 2004 (2004-05-13) paragraph [0014]; figures 1A,1B	1
X	US 2003/076729 A1 (FETZER ERIC S [US] ET AL) 24 April 2003 (2003-04-24) paragraph [0004]; figure 1	1

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *I* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *G* document member of the same patent family

Date of the actual completion of the international search

27 August 2008

Date of mailing of the international search report

04/09/2008

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Ramcke, Ties

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2008/052454

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006268647 A1	30-11-2006	NONE	
US 6031778 A	29-02-2000	CN 1193846 A JP 10261946 A TW 472445 B	23-09-1998 29-09-1998 11-01-2002
US 2004090854 A1	13-05-2004	KR 20040041750 A	20-05-2004
US 2003076729 A1	24-04-2003	FR 2831313 A1	25-04-2003

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM), EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,NO,PL,PT,RO,SE,SI,SK,T R),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY, BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,K G,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT ,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100128657

弁理士 三山 勝巳

(74)代理人 100160967

弁理士 ▲濱▼口 岳久

(72)発明者 デル,リチャード,ブルース

アメリカ合衆国 1 8 1 0 4 ペンシルヴァニア,アレントウン,リッター ロード 3 3 6 8

(72)発明者 コーラー,ロス,エー.

アメリカ合衆国 1 8 1 0 4 ペンシルヴァニア,アレントウン,アスペン ドライヴ 1 0 7

(72)発明者 マックパートランド,リチャード,ジェー.

アメリカ合衆国 1 8 0 6 4 ペンシルヴァニア,ナザレス,ヘザー レーン 2 4 3

(72)発明者 ファム,ハイ,クアング

アメリカ合衆国 1 9 4 4 0 ペンシルヴァニア,ハットフィールド,インデペンデンス ウエイ
1 3 7 7

(72)発明者 ワーナー,ウエイン,イー.

アメリカ合衆国 1 8 0 3 6 ペンシルヴァニア,クーパースバーグ,フリント ヒル ロード
3 5 7 4

Fターム(参考) 5B015 HH01 HH03 HH04 JJ02 JJ12 KB72 RR06