



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0130841
(43) 공개일자 2018년12월10일

(51) 국제특허분류(Int. Cl.)

G11C 11/417 (2006.01) G11C 11/412 (2006.01)

(52) CPC특허분류

G11C 11/417 (2013.01)

G11C 11/412 (2013.01)

(21) 출원번호 10-2017-0066947

(22) 출원일자 2017년05월30일

심사청구일자 2017년05월30일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

장익준

서울특별시 성동구 매봉길 50, 107동 103호(옥수동, 옥수파크힐스)

당 리던트랑

경기도 용인시 기흥구 덕영대로 1732 경희대학교 국제캠퍼스 전자정보대학 327호

(74) 대리인

김등용, 김홍석

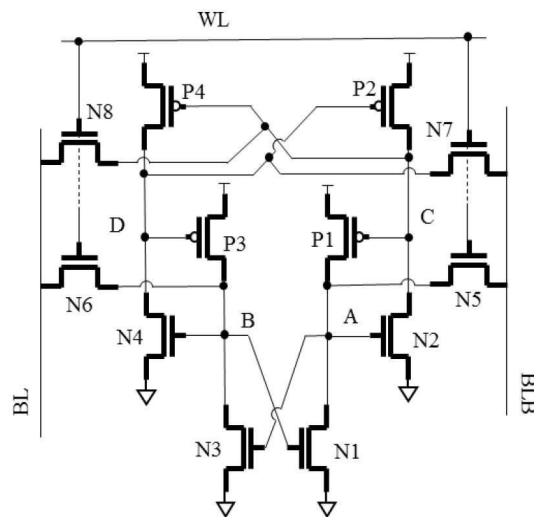
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 메모리 셀 및 이의 동작 방법

(57) 요약

메모리 셀이 개시된다. 상기 메모리 셀은 각각이 복수의 스토리지 노드(storage node)들 중 대응되는 스토리지 노드와 전력 공급 라인 사이에 접속된 제1 로드 트랜지스터(load transistor), 제2 로드 트랜지스터, 제3 로드 트랜지스터 및 제4 로드 트랜지스터, 각각이 상기 복수의 스토리지 노드들 중 대응되는 스토리지 노드와 접지 라인 사이에 접속된 제1 드라이브 트랜지스터(drive transistor), 제2 드라이브 트랜지스터, 제3 드라이브 트랜지스터 및 제4 드라이브 트랜지스터, 및 각각이 비트 라인(bit line)과 상보 비트 라인(complementary bit line) 중 어느 하나와 상기 복수의 스토리지 노드들 중 대응되는 스토리지 노드 사이에 접속된 제1 액세스 트랜지스터(access transistor), 제2 액세스 트랜지스터, 제3 액세스 트랜지스터 및 제4 액세스 트랜지스터를 포함한다.

대표도 - 도4



명세서

청구범위

청구항 1

각각이 복수의 스토리지 노드(storage node)들 중 대응되는 스토리지 노드와 전력 공급 라인 사이에 접속된 제1 로드 트랜지스터(load transistor), 제2 로드 트랜지스터, 제3 로드 트랜지스터 및 제4 로드 트랜지스터;

각각이 상기 복수의 스토리지 노드들 중 대응되는 스토리지 노드와 접지 라인 사이에 접속된 제1 드라이브 트랜지스터(drive transistor), 제2 드라이브 트랜지스터, 제3 드라이브 트랜지스터 및 제4 드라이브 트랜지스터; 및

각각이 비트 라인(bit line)과 상보 비트 라인(complementary bit line) 중 어느 하나와 상기 복수의 스토리지 노드들 중 대응되는 스토리지 노드 사이에 접속된 제1 액세스 트랜지스터(access transistor), 제2 액세스 트랜지스터, 제3 액세스 트랜지스터 및 제4 액세스 트랜지스터를 포함하는,

메모리 셀.

청구항 2

제1항에 있어서,

상기 복수의 스토리지 노드들은 제1 스토리지 노드, 제2 스토리지 노드, 제3 스토리지 노드 및 제4 스토리지 노드를 포함하고,

상기 제1 로드 트랜지스터는 상기 제1 스토리지 노드와 상기 전력 공급 라인 사이에 접속되고,

상기 제1 로드 트랜지스터의 게이트는 상기 제3 스토리지 노드에 접속되고,

상기 제2 로드 트랜지스터는 상기 제2 스토리지 노드와 상기 전력 공급 라인 사이에 접속되고,

상기 제2 로드 트랜지스터의 게이트는 상기 제4 스토리지 노드에 접속되고,

상기 제3 로드 트랜지스터는 상기 제3 스토리지 노드와 상기 전력 공급 라인 사이에 접속되고,

상기 제3 로드 트랜지스터의 게이트는 상기 제4 스토리지 노드에 접속되는,

메모리 셀.

청구항 3

제1항에 있어서,

상기 제1 드라이브 트랜지스터는 상기 제1 스토리지 노드와 상기 접지 라인 사이에 접속되고,

상기 제1 드라이브 트랜지스터의 게이트는 상기 제2 스토리지 노드에 접속되고,

상기 제2 드라이브 트랜지스터는 상기 제2 스토리지 노드와 상기 접지 라인 사이에 접속되고,

상기 제2 드라이브 트랜지스터의 게이트는 상기 제1 스토리지 노드에 접속되고,

상기 제3 드라이브 트랜지스터는 상기 제3 스토리지 노드와 상기 접지 라인 사이에 접속되고,

상기 제3 드라이브 트랜지스터의 게이트는 상기 제1 스토리지 노드에 접속되고,

상기 제4 드라이브 트랜지스터는 상기 제4 스토리지 노드와 상기 접지 라인 사이에 접속되고,

상기 제4 드라이브 트랜지스터의 게이트는 상기 제2 스토리지 노드에 접속된,

메모리 셀.

청구항 4

제1항에 있어서,

상기 제1 액세스 트랜지스터는 상기 비트 라인과 상기 상보 비트 라인 중 어느 하나와 상기 제1 스토리지 노드 사이에 접속되고,

상기 제2 액세스 트랜지스터는 상기 비트 라인과 상기 상보 비트 라인 중 다른 하나와 상기 제2 스토리지 노드 사이에 접속되고,

상기 제3 액세스 트랜지스터는 상기 비트 라인과 상기 상보 비트 라인 중 상기 다른 하나와 상기 제3 스토리지 노드 사이에 접속되고,

상기 제4 액세스 트랜지스터는 상기 비트 라인과 상기 상보 비트 라인 중 상기 어느 하나와 상기 제4 스토리지 노드 사이에 접속되고,

상기 제1 액세스 트랜지스터의 게이트, 상기 제2 액세스 트랜지스터의 게이트, 상기 제3 액세스 트랜지스터의 게이트 및 상기 제4 액세스 트랜지스터의 게이트는 워드 라인에 접속된,

메모리 셀.

청구항 5

제1항 내지 제4항 중 어느 하나의 항에 있어서,

상기 메모리 셀은 SRAM(Static Random Access Memory) 셀인,

메모리 셀.

청구항 6

제1항 내지 제4항 중 어느 하나의 항에 있어서,

상기 제1 내지 제4 로드 트랜지스터는 PMOS(p-channel metal oxide semiconductor) 트랜지스터이고,

상기 제1 내지 제4 드라이브 트랜지스터는 NMOS(n-channel metal oxide semiconductor) 트랜지스터이고,

상기 제1 내지 제4 액세스 트랜지스터는 NMOS 트랜지스터인,

메모리 셀.

청구항 7

메모리 셀의 동작 방법에 있어서,

비트 라인과 상보 비트 라인 각각에 0V(voltage)와 구동 전압을 인가하는 단계;

워드 라인을 활성화시키는 단계;

상기 상보 비트 라인과 제1 스토리지 노드 사이에 접속된 제1 액세스 트랜지스터, 상기 비트 라인과 제2 스토리지 노드 사이에 접속된 제2 액세스 트랜지스터, 상기 비트 라인과 제3 스토리지 노드 사이에 접속된 제3 액세스 트랜지스터 및 상기 상보 비트 라인과 제4 스토리지 노드 사이에 접속된 제4 액세스 트랜지스터를 턴-온(turn-on)시키는 단계; 및

상기 제1 액세스 트랜지스터의 턴-온 동작과 상기 제4 액세스 트랜지스터의 턴-온 동작에 의해 상기 제1 스토리지 노드와 상기 제4 스토리지 노드가 풀-업(pull-up)되고, 상기 제2 액세스 트랜지스터의 턴-온 동작과 상기 제

3 액세스 트랜지스터의 턴-온 동작에 의해 상기 제2 스토리지 노드와 상기 제3 스토리지 노드가 풀-다운되는 단계를 포함하는,

메모리 셀의 동작 방법.

청구항 8

제7항에 있어서,

상기 제3 스토리지 노드의 풀-다운으로 인해 상기 제1 스토리지 노드와 전력 공급 라인 사이에 접속된 제1 로드 트랜지스터가 턴-온되는 단계를 더 포함하는,

메모리 셀의 동작 방법.

청구항 9

제8항에 있어서,

상기 메모리 셀은 SRAM 셀인, 메모리 셀의 동작 방법.

청구항 10

제9항에 있어서,

상기 제1 로드 트랜지스터는 PMOS 트랜지스터이고,

상기 제1 내지 제4 액세스 트랜지스터는 NMOS 트랜지스터인,

메모리 셀의 동작 방법.

청구항 11

제1 스토리지 노드와 전력 공급 라인 사이에 접속된 제1 PMOS 트랜지스터;

제2 스토리지 노드와 상기 전력 공급 라인 사이에 접속된 제2 PMOS 트랜지스터;

제3 스토리지 노드와 상기 전력 공급 라인 사이에 접속된 제3 PMOS 트랜지스터;

제4 스토리지 노드와 상기 전력 공급 라인 사이에 접속된 제4 PMOS 트랜지스터;

상기 제1 스토리지 노드와 접지 라인 사이에 접속된 제1 NMOS 트랜지스터;

상기 제2 스토리지 노드와 상기 접지 라인 사이에 접속된 제2 NMOS 트랜지스터;

상기 제3 스토리지 노드와 상기 접지 라인 사이에 접속된 제3 NMOS 트랜지스터;

상기 제4 스토리지 노드와 상기 접지 라인 사이에 접속된 제4 NMOS 트랜지스터;

상보 비트 라인과 상기 제1 스토리지 노드 사이에 접속된 제5 NMOS 트랜지스터;

비트 라인과 상기 제2 스토리지 노드 사이에 접속된 제6 NMOS 트랜지스터;

상기 비트 라인과 상기 제3 스토리지 노드 사이에 접속된 제7 NMOS 트랜지스터; 및

상기 상보 비트 라인과 상기 제4 스토리지 노드 사이에 접속된 제8 NMOS 트랜지스터를 포함하고,

상기 제1 PMOS 트랜지스터의 게이트는 상기 제3 스토리지 노드에 접속되고,

상기 제2 PMOS 트랜지스터의 게이트는 상기 제4 스토리지 노드에 접속되고,

상기 제3 PMOS 트랜지스터의 게이트는 상기 제4 스토리지 노드에 접속되고,
 상기 제4 PMOS 트랜지스터의 게이트는 상기 제3 스토리지 노드에 접속되고,
 상기 제1 NMOS 트랜지스터의 게이트는 상기 제2 스토리지 노드에 접속되고,
 상기 제2 NMOS 트랜지스터의 게이트는 상기 제1 스토리지 노드에 접속되고,
 상기 제3 NMOS 트랜지스터의 게이트는 상기 제1 스토리지 노드에 접속되고,
 상기 제4 NMOS 트랜지스터의 게이트는 상기 제2 스토리지 노드에 접속되고,
 상기 제5 내지 제8 NMOS 트랜지스터의 게이트는 워드 라인에 접속되는,
 메모리 셀.

청구항 12

제11항에 있어서,
 상기 메모리 셀은 SRAM 셀인, 메모리 셀.

발명의 설명

기술 분야

[0001] 본 발명의 개념에 따른 실시 예는 내방사선 메모리 셀 및 이의 동작 방법에 관한 것으로, 특히 추가적인 액세스 트랜지스터를 이용하여 스토리지 노드의 포텐셜을 안정적으로 플립(flip)할 수 있는 메모리 셀 및 이의 동작 방법에 관한 것이다.

배경 기술

[0003] 우주(space)와 같이 극한 방사선(radiation)이 존재하는 환경에서 방사선(radiation)으로 인한 소프트 에러(soft-error)로 인해 하드웨어 시스템의 동작에 대한 신뢰성이 낮아질 수 있다. 특히, 온-칩(on-chip) SRAMs(static random access memory)은 칩 면적의 상당부분(약, 50% 이상)을 차지하기 때문에 높은 확률로 소프트 에러에 노출될 수 있다. M. A. Bajura, Y. Boulghassoul, R. Naseer, S. DasGupta, A. Witulski 및 J. Sondeen 등의 선행 연구(Models and algorithmic limits for an ECC-based approach to hardening sub-100-nm SRAMs, IEEE Trans. Nucl. Sci., vol. 54, no. 4, pp. 935-945, Aug. 2007) 등에 따르면, 일반적인 6T(6-transistor) SRAM은 우주와 같은 극한 방사선 환경에서 충분한 신뢰도를 주지 못한다. 따라서, 본 명세서에서는 공정 변이에 강인한 내방사선 메모리 셀, 예컨대 SRAM 셀을 제안하고자 한다.

선행기술문헌

비특허문헌

[0005] (비특허문헌 0001) M. A. Bajura, Y. Boulghassoul, R. Naseer, S. DasGupta, A. Witulski, and J. Sondeen et al., "Models and algorithmic limits for an ECC-based approach to hardening sub-100nm SRAMs", IEEE Trans. Nucl. Sci., vol. 54, no. 4, pp. 935-945, Aug. 2007.

(비특허문헌 0002) Shah M. Jahinuzzaman and Manoj Sachdev, "A soft Error Tolerant 10T SRAM Bit-Cell With Differential Read Capability", IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 56, NO. 6, DECEMBER 2009.

발명의 내용

해결하려는 과제

- [0006] 본 발명이 이루고자 하는 기술적인 과제는 액세스 트랜지스터를 추가적으로 구비하여 모든 스토리지 노드의 포텐셜을 안정적으로 플립할 수 있는 메모리 셀 및 이의 구동 방법을 제공하는 것이다.

과제의 해결 수단

- [0008] 본 발명의 일 실시 예에 의한 메모리 셀은 각각이 복수의 스토리지 노드들 중 대응되는 스토리지 노드와 전력 공급 라인 사이에 접속된 제1 로드 트랜지스터(load transistor), 제2 로드 트랜지스터, 제3 로드 트랜지스터 및 제4 로드 트랜지스터, 각각이 상기 복수의 스토리지 노드들 중 대응되는 스토리지 노드와 접지 라인 사이에 접속된 제1 드라이브 트랜지스터(drive transistor), 제2 드라이브 트랜지스터, 제3 드라이브 트랜지스터 및 제4 드라이브 트랜지스터 및 각각이 비트 라인(bit line)과 상보 비트 라인(complementary bit line) 중 어느 하나와 상기 복수의 스토리지 노드들 중 대응되는 스토리지 노드 사이에 접속된 제1 액세스 트랜지스터(access transistor), 제2 액세스 트랜지스터, 제3 액세스 트랜지스터 및 제4 액세스 트랜지스터를 포함한다.
- [0009] 본 발명의 다른 실시 예에 의한 메모리 셀은 제1 스토리지 노드와 전력 공급 라인 사이에 접속된 제1 PMOS 트랜지스터, 제2 스토리지 노드와 상기 전력 공급 라인 사이에 접속된 제2 PMOS 트랜지스터, 제3 스토리지 노드와 상기 전력 공급 라인 사이에 접속된 제3 PMOS 트랜지스터, 제4 스토리지 노드와 상기 전력 공급 라인 사이에 접속된 제4 PMOS 트랜지스터, 상기 제1 스토리지 노드와 접지 라인 사이에 접속된 제1 NMOS 트랜지스터, 상기 제2 스토리지 노드와 상기 접지 라인 사이에 접속된 제2 NMOS 트랜지스터, 상기 제3 스토리지 노드와 상기 접지 라인 사이에 접속된 제3 NMOS 트랜지스터, 상기 제4 스토리지 노드와 상기 접지 라인 사이에 접속된 제4 NMOS 트랜지스터, 상보 비트 라인과 상기 제1 스토리지 노드 사이에 접속된 제5 NMOS 트랜지스터, 비트 라인과 상기 제2 스토리지 노드 사이에 접속된 제6 NMOS 트랜지스터, 상기 비트 라인과 상기 제3 스토리지 노드 사이에 접속된 제7 NMOS 트랜지스터 및 상기 상보 비트 라인과 상기 제4 스토리지 노드 사이에 접속된 제8 NMOS 트랜지스터를 포함하고, 상기 제1 PMOS 트랜지스터의 게이트는 상기 제3 스토리지 노드에 접속되고, 상기 제2 PMOS 트랜지스터의 게이트는 상기 제4 스토리지 노드에 접속되고, 상기 제3 PMOS 트랜지스터의 게이트는 상기 제4 스토리지 노드에 접속되고, 상기 제4 PMOS 트랜지스터의 게이트는 상기 제3 스토리지 노드에 접속되고, 상기 제1 NMOS 트랜지스터의 게이트는 상기 제2 스토리지 노드에 접속되고, 상기 제2 NMOS 트랜지스터의 게이트는 상기 제1 스토리지 노드에 접속되고, 상기 제3 NMOS 트랜지스터의 게이트는 상기 제1 스토리지 노드에 접속되고, 상기 제4 NMOS 트랜지스터의 게이트는 상기 제2 스토리지 노드에 접속되고, 상기 제5 내지 제8 NMOS 트랜지스터의 게이트는 워드 라인에 접속된다.
- [0010] 본 발명의 일 실시 예에 의한 메모리 셀의 동작 방법은 비트 라인과 상보 비트 라인 각각에 0V(voltage)와 구동 전압을 인가하는 단계, 워드 라인을 활성화시키는 단계, 상기 상보 비트 라인과 제1 스토리지 노드 사이에 접속된 제1 액세스 트랜지스터, 상기 비트 라인과 제2 스토리지 노드 사이에 접속된 제2 액세스 트랜지스터, 상기 비트 라인과 제3 스토리지 노드 사이에 접속된 제3 액세스 트랜지스터 및 상기 상보 비트 라인과 제4 스토리지 노드 사이에 접속된 제4 액세스 트랜지스터를 턴-온(turn-on) 시키는 단계 및 상기 제1 액세스 트랜지스터의 턴-온 동작과 상기 제4 액세스 트랜지스터의 턴-온 동작에 의해 상기 제1 스토리지 노드와 상기 제4 스토리지 노드가 풀-업(pull-up)되고, 상기 제2 액세스 트랜지스터의 턴-온 동작과 상기 제3 액세스 트랜지스터의 턴-온 동작에 의해 상기 제2 스토리지 노드와 상기 제3 스토리지 노드가 풀-다운되는 단계를 포함한다.

발명의 효과

- [0012] 본 발명의 실시 예에 따른 메모리 셀 및 이의 구동 방법에 의할 경우, 쓰기 안정성, 리드 안정성 및 리드 액세스 안정성이 향상된 내방사선 메모리 셀을 제공할 수 있는 효과가 있다.

도면의 간단한 설명

- [0014] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 종래 기술에 의한 SRAM(Static Random Access Memory) 셀의 회로도이다.

도 2a는 도 1에 도시된 10T SRAM 셀의 라이트 동작 구간 동안의 전압 파형을 도시한다.

도 3은 도 1에 도시된 10T SRAM 셀의 라이트 실패 확률을 평가하는 시뮬레이션 결과를 도시한다.

도 4는 본 발명의 일 실시 예에 의한 셀의 회로도이다.

도 5a는 도 1에 도시된 SRAM 셀의 레이아웃을 도시한다.

도 5b는 도 4에 도시된 셀의 레이아웃을 도시한다.

도 6a와 도 6b는 도 4에 도시된 셀의 라이트 동작(write operation)을 설명하기 위한 도면으로, 도 6a는 전류 흐름을 도시하고, 도 6b는 시뮬레이션의 결과인 전압 파형을 도시한다.

도 7은 각각이 셀들에 대한 쓰기 성능 시뮬레이션 결과를 도시한다.

도 8은 각각의 셀들에 대한 리드 SNM 평가 결과를 도시한다.

도 9는 비트 라인 스윙의 전개 시간의 비교 결과를 도시한 그래프이다.

도 10은 지수 전류 전원 모델을 차용한 시뮬레이션 시나리오를 도시한다.

도 11은 도 10의 시뮬레이션의 결과를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0016] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0017] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1 구성 요소는 제2 구성 요소로 명명될 수 있고 유사하게 제2 구성 요소는 제1 구성 요소로도 명명될 수 있다.
- [0018] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0019] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0020] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0021] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.

[0023] 도 1은 종래 기술에 의한 SRAM(Static Random Access Memory) 셀의 회로도이다.

[0024] 도 1을 참조하면, 10T 콰트로(10-transistor Quatro) SRAM 셀로도 알려진 10T SRAM 셀은 4 개의 인터록된(interlocked) 스토리지 노드들(storage nodes; A, B, C 및 D)를 포함한다. 인터록된 스토리지 노드의 구조는 소프트 에러(soft-error)로 인한 데이터 플립(data flipping)을 예방할 수 있는 효과가 있다. 또한, 10T SRAM 셀의 인터록 구조에서 스토리지 노드는 2 개의 PMOS 트랜지스터들(p-channel metal oxide semiconductor transistors) 또는 2 개의 NMOS 트랜지스터들(n-channel metal oxide semiconductor transistors)의 게이트 입력이기 때문에, SET 노이즈(single event transient noise)는 PMOS 트랜지스터들의 풀-업(pull-up) 또는 NMOS 트랜지스터들의 풀-다운(pull-down)을 약화(또는 강화)시킬 수 있다. 그러나, 인터록 구조가 다른 상보형 트랜지스터들(complimentary transistors)에게 소프트 에러 내성(soft-error immunity)을 제공하는 것은 아니다. 일 예로, 방사선 입자(radiation particle)가 10T SRAM 셀의 노드 B를 히트(hit)하여 노드 B의 포텐셜(potential)을 일시적으로 강화시킨 경우를 생각할 수 있다. SET 노이즈는 트랜지스터 N1과 트랜지스터 N4의 풀-다운을 약화시킬 수 있다. 그러나, SET 노이즈가 트랜지스터 P1과 트랜지스터 P4에 영향을 주지는 않기 때문에 노드 A와 노드 D의 전압은 거의 변화가 없다. 결과적으로, 노드 B의 전압은 일정 시간 후에 회복되고, 원래의 셀 데이터는 SET 노이즈로부터 보호될 수 있다.

[0026] 이하에서는, 10T SRAM 셀의 라이트 안정성(write stability)을 살펴본다. 10T SRAM 셀에 저장되어 있는 값과 상반되는 값을 라이트(write)하기 위해서, 노드 A와 노드 B 각각은 두 개의 액세스 트랜지스터들(N5와 N6)에 의해 풀-업되고 풀-다운되어야 한다. 우선, 액세스 트랜지스터들이 턴-온(turn-on)되면, 액세스 트랜지스터 N6은 노드 B의 전압을 풀-다운시키고, 이로 인해 드라이브 트랜지스터 N1의 풀-다운 강도는 약해질 수 있다. 이때, 액세스 트랜지스터 N5가 노드 A를 풀-업시켰기 때문에 노드 A의 포텐셜은 증가할 수 있다. 이는 드라이브 트랜지스터 N2의 풀-다운을 강화하고 노드 C의 전압을 낮출 수 있다. 이때, 노드 D의 포텐셜은 여전히 '0'이기 때문에 로드 트랜지스터 P2의 풀-업 강도는 아직 약해지지 않은 상태이다. 이는 로드 트랜지스터 P2의 풀-업과 드라이브 트랜지스터 N2의 풀-다운이 상충됨을 암시할 수 있다. 라이트 동작을 성공적으로 수행하기 위해서, 드라이브 트랜지스터 N2의 풀-다운은 노드 C의 포텐셜을 충분히 낮출 수 있을 정도로 강해야 한다. 또한, 액세스 트랜지스터 N5의 풀-업이 문턱 전압(V_{th}) 강하를 겪었기 때문에 노드 A의 포텐셜이 전압 레벨 '1'에 충분히 도달하지 못하였음을 알 수 있다. 이는 드라이브 트랜지스터 N2의 풀-다운을 약화시키고, 결과적으로 10T SRAM 셀의 라이트 안정성을 저해하는 요인이 될 수 있다.

[0028] 도 2a는 도 1에 도시된 10T SRAM 셀의 라이트 동작 구간 동안의 전압 파형을 도시한다. 도 2a를 통해 공정 변이로 인하여 발생하는 라이트 실패를 설명할 수 있다. 액세스 트랜지스터 N5의 약한 풀-업 강도로 인하여, 노드 A는 충분히 플립되지(flipped) 못한다. 노드 B의 포텐셜이 낮아졌을 때 P4와 N4는 모두 턴-오프(turn-off)되고, 노드 D는 일시적으로 플로팅(floating) 상태가 되고, 노드 B와 노드 D 사이의 용량 결합(capacitive coupling)으로 인한 노드 B의 포텐셜 강하는 노드 D의 음의 포텐셜(negative potential)을 야기한다. 이는 P2의 풀-업을 더욱 강화하고 10T SRAM 셀의 라이트 안정성을 해치게 된다. 상술한 문제점은 부스트된 워드 라인(boosted word line)을 도입함으로써 완화시킬 수 있다.

[0030] 도 2b는 도 1에 도시된 10T SRAM 셀의 라이트 동작 구간 동안의 전압 파형의 다른 예로써, 부스트된 워드 라인을 적용할 결과를 도시한다.

[0031] 도 2b에서는 도 2a의 워드 라인 전압보다 100mV가 큰 1.1V의 워드 라인 전압을 사용하였다. 부스트된 워드 라인 전압은 액세스 트랜지스터 N5의 풀-업을 강화하기 때문에, 도 2a를 통해 서술한 문제점에도 불구하고 성공적인 라이트 동작이 수행될 수 있다. 그러나, 이러한 접근법은 부스트된 공급 전력을 생성하여야 하기 때문에 전력 관점에서 바람직하지 못하다.

- [0033] 도 3은 도 1에 도시된 10T SRAM 셀의 라이트 실패 확률을 평가하는 시뮬레이션 결과를 도시한다.
- [0034] 시뮬레이션은 최악의 프로세스와 온도 코너(worst process and temperature corner)에서 수행되었다. 또한, 0℃와 85℃ 사이의 온도 변이를 가정하고, 최악의 프로세스 및 온도 코너는 SS(slow NMOS and slow PMOS)와 0℃에서 관찰된다. 라이트 실패 확률(write failure probability)은 SRAM 셀의 트랜지스터 크기에 의존하기 때문에, MC 시뮬레이션은 몇몇의 사이징 시나리오(sizing scenarios) 하에서 수행되었다. 이는 아래와 같다.
- [0035] - 양호한 리드 스태틱 노이즈 마진(read static noise margin, SNM)을 얻기 위해, pull-down1(N1 and N3)-to-access(N5 and N6) ratio는 1.5와 1.7 사이의 값을 갖는다.
- [0036] - 신뢰도 있는 라이트를 위해, pull-up1(P1 and P3)-to-access(N5 and N6) ratio는 1이고, pull-up2(P2 and P4)-to-pull-down2(N2 and N4) ratio는 0.75 보다 작다.
- [0037] 또한, 모든 풀-업 트랜지스터들(P1, P2, P3 및 P4)과 모든 액세스 트랜지스터들(N5와 N6)은 로직 디자인 룰 하에서 최소폭을 갖는 것으로 가정하였다. 그러나, 풀-다운 트랜지스터들(N1, N2, N3 및 N4)의 폭은 상술한 가정에 따라 변화한다. 또한, 모든 트랜지스터들은 최소의 길이를 갖는 것으로 가정하였다. 전술한 두 가지의 폭 중 전자는 도 3에서 W_{NA} 로 후자는 W_{ND} 로 표시되었다. SRAM에서, 라이트 실패 확률은 라이트 액세스 레이트(write access rate)와 매우 높은 관련성이 인정된다. 도 3의 시뮬레이션에서는 250MHz의 보통 액세스 레이트를 가정하였다. 그럼에도 불구하고, 10T SRAM 셀의 쓰기 실패 확률은 트랜지스터의 사이즈와는 무관하게 상당히 크 수치를 갖는다. 또한, 시뮬레이션 결과는 100mV의 부스트된 전압을 갖는 워드 라인을 사용하는 경우 쓰기 실패 확률이 현저하게 감소됨을 보여주지만 충분한 라이트 안정성을 제공하지는 못한다.
- [0039] 도 4는 본 발명의 일 실시 예에 의한 셀의 회로도이다.
- [0040] 도 4를 참조하면, SRAM 셀, 메모리 셀(memory cell), 12T SRAM 셀 등으로 명명될 수도 있는 셀(cell)은 12 개의 트랜지스터들을 포함할 수 있다. 종래의 10T SRAM 셀에서 스토리지 노드(storage node)인 노드 A와 노드 B만이 각각 대응되는 액세스 트랜지스터를 통하여 비트 라인(bit line; BL)과 상보 비트 라인(complementary bit line; BLB)에 접속되어 있고, 노드 C와 노드 D는 비트 라인들(BL과 BLB)로부터 고립되어 있음을 살펴본 바 있다. 그러나, 본 발명의 일 실시 예에 의한 셀은 노드 B와 노드 C를 비트 라인(BL)에 접속시키고 노드 A와 노드 D를 상보 비트 라인(BLB)에 접속시키는 4 개의 액세스 트랜지스터를 포함한다. 상기 구조를 통하여 라이트 동작(write operation) 동안 4 개의 스토리지 노드가 병렬적으로 액세스될 수 있다.
- [0041] 구체적으로, 셀(100)은 복수의 노드들(A, B, C 및 D), 복수의 로드 트랜지스터들(load transistors; P1, P2, P3 및 P4), 복수의 드라이브 트랜지스터들(drive transistors; N1, N2, N3 및 N4) 및 복수의 액세스 트랜지스터들(access transistors; N5, N6, N7 및 N8)를 포함한다.
- [0043] 각각이 스토리지 노드(storage nodes)로 명명될 수도 있는 복수의 노드들(A, B, C 및 D) 각각에는 데이터가 저장될 수 있다. 일 예로, 노드 A와 노드 D에 논리 하이값('1')과 논리 로우값('0') 중 어느 하나의 값이 저장될 때, 노드 B와 노드 C에는 논리 하이값('1')과 논리 로우값('0') 중 다른 하나의 값이 저장될 수 있다. 복수의 노드들(A, B, C 및 D) 각각에 저장된 데이터는 대응되는 액세스 트랜지스터를 통하여 비트 라인(BL) 또는 상보 비트 라인(BLB)으로 출력되거나, 비트 라인(BL) 또는 상보 비트 라인(BLB)으로부터 전송되는 데이터가 대응되는 액세스 트랜지스터를 통하여 복수의 노드들(A, B, C 및 D) 각각에 저장될 수 있다.
- [0045] 복수의 로드 트랜지스터들(P1, P2, P3 및 P4) 각각은 복수의 노드들(A, B, C 및 D) 중 대응되는 노드와 전력 공급 라인 사이에 접속될 수 있다. 구체적으로, 제1 로드 트랜지스터(P1)는 노드 A와 구동 전압(VDD)을 공급하는 상기 전력 공급 라인 사이에 접속되고, 제2 로드 트랜지스터(P3)는 노드 B와 상기 전력 공급 라인 사이에 접속되고, 제3 로드 트랜지스터(P2)는 노드 C와 상기 전력 공급 라인 사이에 접속되고, 제4 로드 트랜지스터(P4)는 노드 D와 상기 전력 공급 라인 사이에 접속될 수 있다.
- [0046] 또한, 복수의 로드 트랜지스터들(P1, P2, P3 및 P4) 각각의 게이트는 복수의 노드들(A, B, C 및 D) 중 어느 하나의 노드에 접속될 수 있다. 예컨대, 제1 로드 트랜지스터(P1)의 게이트는 노드 C에 접속되고, 제2 로드 트랜지스터(P3)의 게이트는 노드 D에 접속되고, 제3 로드 트랜지스터(P2)의 게이트는 노드 D에 접속되고, 제4 로드

트랜지스터(P4)의 게이트는 노드 C에 접속될 수 있다.

- [0047] 또한, 복수의 로드 트랜지스터들(P1, P2, P3 및 P4) 각각은 제1 타입의 트랜지스터, 예컨대 PMOS 트랜지스터로 구현될 수 있다. 다만, 본 발명의 권리 범위가 복수의 로드 트랜지스터들(P1, P2, P3 및 P4) 각각의 타입에 제한되는 것은 아니며, 실시 예에 따라 복수의 로드 트랜지스터들(P1, P2, P3 및 P4) 각각은 제2 타입의 트랜지스터, 예컨대 NMOS 트랜지스터로 구현될 수도 있다.
- [0049] 복수의 드라이브 트랜지스터들(N1, N2, N3 및 N4) 각각은 복수의 노드들(A, B, C 및 D) 중 대응되는 노드와 접지 라인 사이에 접속될 수 있다. 구체적으로, 제1 드라이브 트랜지스터(N1)는 노드 A와 접지 전압(GND)을 공급하는 상기 접지 라인 사이에 접속되고, 제2 드라이브 트랜지스터(N3)는 노드 B와 상기 접지 라인 사이에 접속되고, 제3 드라이브 트랜지스터(N2)는 노드 C와 상기 접지 라인 사이에 접속되고, 제4 드라이브 트랜지스터(N4)는 노드 D와 상기 접지 라인 사이에 접속될 수 있다.
- [0050] 또한, 복수의 드라이브 트랜지스터들(N1, N2, N3 및 N4) 각각의 게이트는 복수의 노드들(A, B, C 및 D) 중 어느 하나의 노드에 접속될 수 있다. 예컨대, 제1 드라이브 트랜지스터(N1)의 게이트는 노드 B에 접속되고, 제2 드라이브 트랜지스터(N3)의 게이트는 노드 A에 접속되고, 제3 드라이브 트랜지스터(N2)의 게이트는 노드 A에 접속되고, 제4 드라이브 트랜지스터(N4)의 게이트는 노드 B에 접속될 수 있다.
- [0051] 또한, 복수의 드라이브 트랜지스터들(N1, N2, N3 및 N4) 각각은 제2 타입의 트랜지스터, 예컨대 NMOS 트랜지스터로 구현될 수 있다. 다만, 본 발명의 권리 범위가 복수의 드라이브 트랜지스터들(N1, N2, N3 및 N4) 각각의 타입에 제한되는 것은 아니며, 실시 예에 따라 복수의 드라이브 트랜지스터들(N1, N2, N3 및 N4) 각각은 제1 타입의 트랜지스터, 예컨대 PMOS 트랜지스터로 구현될 수도 있다.
- [0053] 복수의 액세스 트랜지스터들(N5, N6, N7 및 N8) 각각은 비트 라인(BL)과 상보 비트 라인(BLB) 중 어느 하나와 복수의 노드들 중 대응되는 노드 사이에 접속될 수 있다. 구체적으로, 제1 액세스 트랜지스터(N5)는 노드 A와 상보 비트 라인(BLB) 사이에 접속되고, 제2 액세스 트랜지스터(N6)는 노드 B와 비트 라인(BL) 사이에 접속되고, 제3 액세스 트랜지스터(N8)는 노드 C와 비트 라인(BL) 사이에 접속되고, 제4 액세스 트랜지스터(N7)는 노드 D와 비트 라인(BL) 사이에 접속될 수 있다.
- [0054] 또한, 복수의 액세스 트랜지스터들(N5, N6, N7 및 N8) 각각의 게이트는 워드 라인(word line, WL)에 접속될 수 있다.
- [0055] 또한, 복수의 액세스 트랜지스터들(N5, N6, N7 및 N8) 각각은 제2 타입의 트랜지스터, 예컨대 NMOS 트랜지스터로 구현될 수 있다. 다만, 본 발명의 권리 범위가 복수의 액세스 트랜지스터들(N5, N6, N7 및 N8) 각각의 타입에 제한되는 것은 아니며, 실시 예에 따라 복수의 액세스 트랜지스터들(N5, N6, N7 및 N8) 각각은 제1 타입의 트랜지스터, 예컨대 PMOS 트랜지스터로 구현될 수도 있다.
- [0057] 도 4에 도시된 셀은 4 개의 액세스 트랜지스터를 포함하고 있고, 이로 인하여 셀 또는 칩의 면적이 증가될 수 있다는 문제점이 발생할 수 있다. 이에 관한 상세한 설명은 도 5a와 도 5b를 참조하여 후술하기로 한다.
- [0059] 도 5a는 도 1에 도시된 SRAM 셀의 레이아웃을 도시하고, 도 5b는 도 4에 도시된 셀의 레이아웃을 도시한다. 도 5a와 도 5b에는 액티브(active) 레이어, 폴리(poly) 레이어 및 P-well 레이어 만이 도시되어 있다.
- [0060] 셀 내의 트랜지스터들을 와이어링하기 위해 제1 메탈층(metal-1 layer)과 제2 메탈층(metal-2 layer)이 사용되었다. 또한, 10T SRAM 셀에 대한 알려진 레이아웃이 존재하지는 않으나, 도 5a에 도시된 레이아웃이 셀 면적 면에서 최적의 레이아웃이 될 수 있다. 6T SRAM 셀의 레이아웃과 비교할 때, 28nm FD-SOI(Fully Depleted Silicon On Insulator) 기법의 로직 디자인 룰 하에서 10T SRAM 셀의 레이아웃은 2.1배 큰 셀 영역을 갖는다. 그러나, 본 발명의 일 실시 예에 의한 SRAM 셀은 10T SRAM 셀과 동일한 크기의 셀 영역을 갖음을 알 수 있다. 이는 로드 트랜지스터 N7과 로드 트랜지스터 N8이 10T SRAM 셀의 여유 공간(blank space)에 배치될 수 있기 때문이다.

- [0062] 도 6a와 도 6b는 도 4에 도시된 셀의 라이트 동작(write operation)을 설명하기 위한 도면으로, 도 6a는 전류 흐름을 도시하고, 도 6b는 시뮬레이션의 결과인 전압 파형을 도시한다. 이때, 도 6b의 시뮬레이션은 일정 조건 ($V_{DD}=1V$, SS corner, $0^{\circ}C$) 하에서 수행되었다.
- [0063] 노드 A와 노드 D에 '0'이 저장되어 있고, 노드 B와 노드 C에 '1'이 저장되어 있을 때, 현재 데이터와 상반되는 데이터를 저장하는 경우를 고려해 보자. 라이트 동작 동안, 비트 라인(BL)과 상보 비트 라인(BLB)은 각각 0V와 구동 전압(V_{DD})을 인가받는다. 이때, 노드 B와 노드 C는 액세스 트랜지스터 N6과 액세스 트랜지스터 N8에 의해 풀-다운(pull-down)된다. 이와 동시에, 액세스 트랜지스터 N5와 액세스 트랜지스터 N7은 노드 A와 노드 B를 풀-업(pull-up)시킨다. 종래의 10T SRAM 셀과는 다르게, 본 발명에 의할 경우 모든 스토리지 노드(A, B, C 및 D)가 쓰기 데이터를 표현하기 위해 바이어스됨으로써 향상된 쓰기 동작(good writability)을 제공할 수 있다.
- [0064] 도 2b에서, NMOS의 약한 풀-업 동작으로 인하여 노드 A의 포텐셜이 V_{DD} 에 도달하지 못하고 이로 인하여 10T SRAM 셀의 라이트 동작 성능이 좋지 않음을 살펴본 바 있다. 그러나, 본 발명에 의할 경우 워드 라인(WL)이 활성화될 때(enabled), 노드 C가 액세스 트랜지스터 N8에 의해 풀-다운된다. 이때, 노드 C가 풀-다운됨으로 인하여 로드 트랜지스터 P1이 턴-온(turn-on)되고, 로드 트랜지스터 P1의 턴-온으로 인하여 노드 A의 전압이 V_{DD} 로 강하게 풀-업될 수 있다. 이와 같은 양의 피드백(positive feedback)은 본 발명의 일 실시 예에 의한 메모리 셀의 쓰기 성능을 더욱 향상시킬 수 있다.
- [0066] 본 발명의 발명자는 쓰기 성능(writability)을 비교하기 위하여, 3 가지의 SRAM 셀(6T SRAM 셀, 10T SRAM 셀 및 본 발명에 의한 SRAM 셀)을 대상으로 1000 MC 시뮬레이션을 수행하였다. 시뮬레이션에서는, 공정한 비교를 위하여 모든 SRAM은 동일한 사이징 접근법(sizing approach), 즉 풀-업 PMOS와 액세스 트랜지스터들은 최소한의 기하구조 크기를 갖고, 풀-다운 NMOS 트랜지스터들은 풀-업 PMOS 트랜지스터들에 비해 폭(width)이 1.5x 배 크게 구현되는 것으로 가정하고, 일정 조건(SS corner, $0^{\circ}C$) 하에서 시뮬레이션을 수행하였다. 또한, MC 시뮬레이션은 1V의 공칭 구동 전압(V_{DD})에서 2 GHz 액세스 레이트로 수행되었다.
- [0067] 각각이 셀들에 대한 쓰기 성능 시뮬레이션 결과를 도시하는 도 7을 참조하면, 10T 셀의 경우 상당한 쓰기 실패(write failure)를 보여주고 있다. 이러한 결과는 도 3에 도시된 시뮬레이션 결과보다 더 낮은 결과를 해당하는 데, 이는 SRAM 셀의 쓰기 실패 확률이 액세스 레이트(access rate)가 높아짐에 따라 증가하는 경향으로 인한 것으로 볼 수 있다. 반면에, 6T SRAM 셀과 본 발명에 의한 SRAM 셀의 경우 쓰기 실패가 발생하지 않음을 알 수 있다.
- [0068] 구동 전압(V_{DD})을 0.6V로 낮췄을 때의 시뮬레이션 결과는 3 가지 SRAM 셀의 보다 정확한 쓰기 성능 비교를 제공한다. 시뮬레이션은 두 가지 액세스 레이트(200MHz와 333MHz)로 수행되었다. 액세스 레이트가 333MHz인 경우의 시나리오는 쓰기 실패 확률 면에서 가장 나쁜 시나리오로 볼 수 있다.
- [0069] 다시 도 7을 참조하면, 낮은 액세스 레이트(즉, 200MHz의 액세스 레이트)에서의 시뮬레이션에서, 10T SRAM 셀은 매우 높은 쓰기 실패 확률을 보여줌에 비해, 6T SRAM 셀과 본 발명에 의한 SRAM 셀은 쓰기 실패가 발생하지 않음을 알 수 있다. 333MHz의 액세스 레이트에서의 시뮬레이션에서, 6T SRAM 셀과 본 발명에 의한 SRAM 셀 모두 매우 적은 쓰기 실패가 발생하였다. 시뮬레이션에 의할 경우, 본 발명에 의한 SRAM 셀은 특히 낮은 구동 전압에서 10T SRAM 셀에 비해 현저하게 개선된 쓰기 성능을 제공함을 알 수 있다. 이러한 본 발명에 의한 SRAM 셀의 쓰기 성능은 6T SRAM 셀의 쓰기 성능에 비견될만 하다.
- [0071] SRAM에서, 읽기 실패(read failure)는 두 가지 매커니즘, 즉 리드 SNM(read static noise margin)의 부족으로 인한 데이터 플립(data flipping)과 리드 액세스 실패(read accessing failure)로 분류될 수 있다.
- [0072] 리드 동작을 위해 워드 라인(WL)이 활성화될 때, SRAM 셀의 스토리지 노드들은 비트 라인들(BL과 BLB)에 의해 액세스된다. 두 개의 비트 라인들(BL과 BLB)은 초기에 V_{DD} 로 프리-차지되기(pre-charged) 때문에, 비트 라인 액세스는 노드의 포텐셜을 증가시키고 SNM을 감소시킬 수 있다. 이러한 방해는 SNM이 음의 값을 가질 때 셀 데이터의 플립(flipping)을 야기할 수 있다.
- [0073] 본 발명의 발명자는 3 개의 SRAM 셀들, 즉 6T SRAM 셀, 10T SRAM 셀 및 본 발명에 의한 SRAM 셀 각각에 대하여

리드 SNM이 음의 값을 가질 확률을 비교하였다.

- [0074] 도 7의 시뮬레이션과 동일한 조건 하에서, 각각의 VDD를 대상으로 1000 MC 시뮬레이션이 수행되었다. 0.8V의 VDD에서부터 50mV씩 감소시켜 0.6V의 VDD까지 시뮬레이션이 수행되었다. 각각의 VDD에서, 음의 리드 SNM을 갖는 셀들의 개수를 카운트한 결과는 도 8에 도시되어 있다.
- [0075] 도 8에 도시된 바와 같이, 0.65V까지 10T SRAM 셀과 본 발명에 의한 SRAM 셀 모두 음의 리드 SNM을 갖지 않았다. 그러나, 6T SRAM 셀의 경우 0.7V부터 음의 리드 SNM을 갖는 셀의 개수가 상당수 발견되었다. 이는 10T SRAM 셀과 본 발명에 의한 SRAM 셀이 6T SRAM 셀에 비해 향상된 리드 안정성(read stability)을 제공함을 의미한다. 0.6V의 VDD에서, 본 발명에 의한 SRAM 셀에서 10T SRAM 셀에 비해 보다 많은 음의 리드 SNM이 발견되었다. 10T SRAM 셀의 경우, 두 개의 스토리지 노드가 리드 동작 동안 고립(격리)됨으로 인하여 비트 라인 액세스의 영향이 적었을 것으로 이해된다. 그러나, 본 발명에 의한 SRAM 셀의 경우, 모든 스토리지 노드들이 비트 라인 액세스에 의해 영향을 받기 때문에 리드 SNM을 악화시킨 것으로 볼 수 있다. SRAM에서, 리드 SNM과 라이트 안정성(writability)는 서로 상충되는 디자인 요구 사항을 갖는 경향이 있으므로, 이러한 요소들은 동시에 고려되어야 한다. 앞서 설명한 바와 같이 10T SRAM 셀은 28nm FDSOI 기법의 공정 변화에 충분한 라이트 안정성을 제공하지 못하는 반면에, 본 발명에 의한 SRAM 셀은 리드 SNM과 쓰기 안정성 모두에 대해 높은 신뢰도를 보여주고 있다.
- [0077] 리드 액세스 안정성(read accessing stability) 측면에서 3 가지 SRAM 셀(6T SRAM 셀, 10T SRAM 셀 및 본 발명의 일 실시 예에 의한 SRAM 셀)을 비교하면 다음과 같다.
- [0078] 우선, SRAM에서의 리드 액세스에 관해 설명한다. 리드 동작(read operation)을 위해, SRAM의 두 개의 비트 라인들은 VDD로 프리-차지될(pre-charged) 필요가 있다. 그 후, 액세스 트랜지스터들을 통하여 비트 라인들을 선택된 SRAM 셀의 스토리지 노드들과 전기적으로 접속시키는 워드 라인이 활성화된다. 이때, 데이터 '0'을 저장하고 있는 스토리지 노드와 연결되는 비트 라인은 그렇지 않은 비트 라인에 비해 더욱 디스-차지되고(dis-charged), 이는 두 비트 라인들 사이의 포텐셜 스윙(swing)을 초래한다. 비트 라인 스윙이 충분히 전개된 후 감지-증폭기(sense-amplifier)가 활성화되고, 감지-증폭기는 셀 데이터를 감지하고 저장한다.
- [0079] 여기서, 충분한 비트 라인 스윙을 생성하는데 요구되는 시간과 SRAM의 리드 액세스 안정성은 밀접한 관계가 있음을 주목할 필요가 있다. 이는 요구되는 시간이 작아질수록 리드 액세스를 위한 더 큰 타이밍 마진(timing margin)을 확보할 수 있기 때문이다. 신뢰성 높은 감지를 위해 적어도 100mV의 비트 라인 스윙이 요구되므로, 상술한 3 개의 SRAM 셀들 각각에 대하여 100mV의 비트 라인 스윙을 달성하기 위하여 요구되는 시간을 비교하기로 한다. 시뮬레이션은 SS(slow NMOS and slow PMOS), FF(fast NMOS and fast PMOS) 및 TT(typical NMOS and typical PMOS) 프로세스 코너(process corner)에서 수행되었다.
- [0080] 이상적으로, 데이터 '0'을 저장하고 있는 노드와 접속된 비트 라인만이 디스차지되고, 다른 비트 라인은 원래의 포텐셜을 유지한다. 그러나, 실제로 비트 라인 누설 노이즈(bit-line leakage noise)는 두 개의 비트 라인들을 디스차지시켜 비트 라인 스윙이 전개되기 위한 시간을 증가시키는 경향이 있다. 따라서, 비트 라인 누설 노이즈와 관련하여 85℃인 최악의 온도 코너(worst temperature corner)를 적용하였다. 선행 연구자들의 연구(Kenichi Agawa, Hiroyuki Hara, Toshinari Takayanagi, and Tadahiro Kuroda, A Bitline Leakage Compensation Scheme for Low-Voltage SRAMs, IEEE Journal of Solid State Circ., vol. 36, no. 5, pp. 726-734, 2001)에 의하면 비트 라인 누설 노이즈의 강도는 비트 라인을 공유하는 컬럼 상의 SRAM 셀의 데이터 패턴에 의존한다. 본 시뮬레이션에서는 동일한 컬럼 상의 다른 SRAM 셀과는 상반되는 데이터를 갖는 현재 액세스되는 SRAM 셀의 경우와 같은 최악의 데이터 패턴(worst data pattern)을 가정하였다.
- [0081] 도 9는 비트 라인 스윙의 전개 시간의 비교 결과를 도시한 그래프이다. 6T SRAM 셀과 10T SRAM 셀은 모든 코너들에서 비슷한 전개 시간(development time)을 보인다. 6T SRAM 셀 및 10T SRAM 셀과 비교하면, 본 발명에 의한 SRAM 셀은 적어도 27% 작은 전개 시간을 보여주고 있다. 시뮬레이션 결과에 의하면, 본 발명에 의한 SRAM 셀이 향상된 리드 액세스 안정성을 갖는 것을 알 수 있다. SRAM 셀의 리드 액세스 매커니즘과 관련하여, 디스차징 온-커런트(discharging on-current), 비트 라인 누설 노이즈(bit-line leakage noise) 및 비트 라인 캐패시턴스(bit-line capacitance)를 포함하는 3 가지가 비트 라인 스윙 전개 시간을 결정하는 주요인임을 추론할 수 있다. 여기서, 비트 라인 캐패시턴스는 액세스 트랜지스터들과 메탈 캐패시턴스의 기생 접합 캐패시턴스(parasitic junction capacitance)로 기인한다. 본 발명에 의한 SRAM 셀은 6T SRAM 셀 및 10T SRAM 셀의 두 배

인 4 개의 액세스 트랜지스터들을 포함하기 때문에 비트 라인 캐패시턴스가 증가할 수 있다. 그러나, 상술한 3 개의 SRAM 셀의 메탈층 캐패시턴스(metal layer capacitances)는 거의 동일하다. 따라서, 본 발명에 의한 포스트-레이아웃(post-layout) 모델에 의할 경우, 본 발명에 의한 SRAM 셀은 다른 SRAM 셀들에 비해 대략적으로 1.3x 큰 비트 라인 캐패시턴스를 갖는다. 한편, 액세스 트랜지스터의 개수가 2배로 증가함에 따라 디스차지 온-커런트 역시 두 배로 증가하게 되고, 이는 본 발명에 의한 SRAM 셀의 비트 라인 전개 시간이 현저하게 개선된 이유가 될 수 있다. 액세스 트랜지스터 개수의 증가는 더 큰 비트 라인 누설 노이즈를 유발하여 비트 라인 전개 시간에 어느 정도의 악영향을 미칠 수 있다. 그러나, 공칭 구동 전압(nominal VDD)에서 디스차지 온-커런트가 비트 라인 누설 노이즈에 비해 매우 크고, 이로 인해 비트 라인 누설 노이즈의 증가로 인한 영향은 제한적이다.

[0083] 이하에서는 소프트 에러 내성(soft-error resilience)에 관해 설명한다.

[0084] SET 노이즈는 메모리 노드에 독립 전류 전원(independent current source)을 추가하고 일시적으로 활성화시킴으로써 모사될 수 있다. Robert C. Baumann의 "Radiation-induced soft errors in advanced semiconductor technologies(IEEE Trans. On Devi. And Mate. Reli., vol. 5, no. 3, pp. 305-316, 2005)"에 제시된 지수 전류 전원 모델(exponential current source model)을 차용한 시뮬레이션 시나리오는 도 10에 도시되어 있다. 리드 동작 또는 라이트 동작 동안, 메모리 노드들(또는 스토리지 노드들)은 비트 라인 캐패시턴스에 전기적으로 접속되므로 소프트 에러에 의한 영향을 받기 힘들다. 따라서, 워드 라인이 비활성화 되고 누설 전류를 감소시키기 위해 낮은 VDD(즉, 0.6V의 VDD)가 적용되는 홀드 모드(hold mode)를 고려한다.

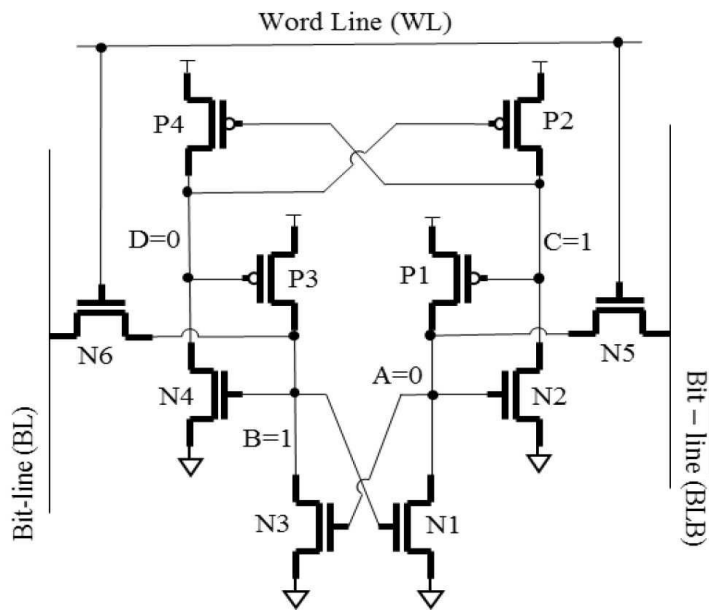
[0085] 우선, 소프트 에러에 가장 민감한 노드에 지수 전류 전원을 적용하였다. 가장 민감한 노드로 노드 A를 고려한 이유는 다음과 같다. 노드 B와 노드 D에 발생하는 SET 노이즈는 N1과 N4의 풀-다운 또는 P2와 P3의 풀-업을 약화시키나, 셀 데이터의 플립을 직접적으로 유발하지는 않는다. 반면에, 노드 A와 노드 D에 가해진 SET 노이즈는 일시적으로 노드 A와 노드 D를 게이트 입력으로 갖는 트랜지스터들을 턴-온시켜 데이터 플립을 야기한다. SRAM 셀에서, 풀-다운 NMOS 트랜지스터들은 풀-업 PMOS 트랜지스터들에 비해 더 넓은 폭을 가지기 때문에 노드 A가 노드 C보다 소프트 에러에 민감하다고 할 수 있다.

[0086] 도 10의 시나리오 하에서, 전류 전원의 피크 전류(I_{peak})를 증가시키며 데이터 플립이 발생하지 않는 최대 값을 관찰하였고, 본 발명에 의한 SRAM 셀의 모든 프로세스 코너에서 시뮬레이션을 진행하였다. 또한, 동일한 시뮬레이션을 6T SRAM 셀과 10T SRAM 셀에 대하여 수행하였고, 시뮬레이션 결과는 도 11에 도시되어 있다. 여기서, FS와 SF는 각각 fast NMOS and slow PMOS와 slow NMOS and fast PMOS의 약어이다. 도 11을 살펴보면, 본 발명에 의한 SRAM 셀은 10T SRAM 셀과 거의 비슷한 소프트 에러 내성을 가짐을 알 수 있다.

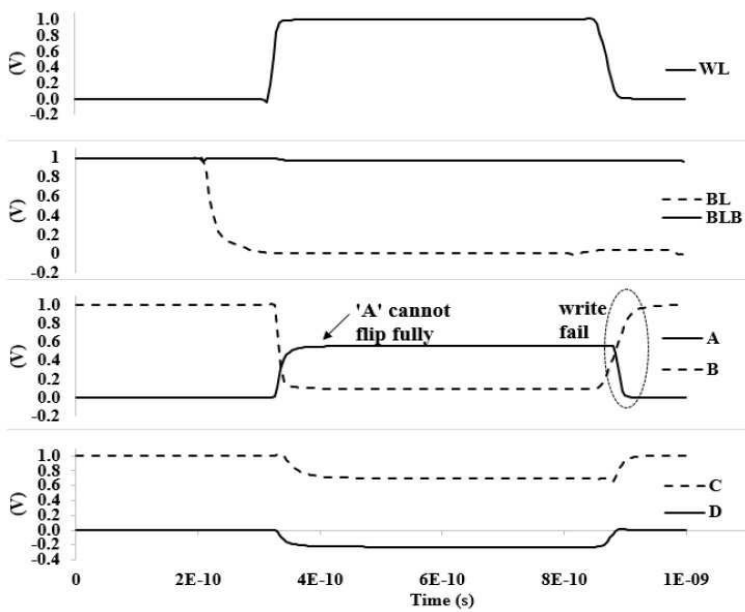
[0088] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

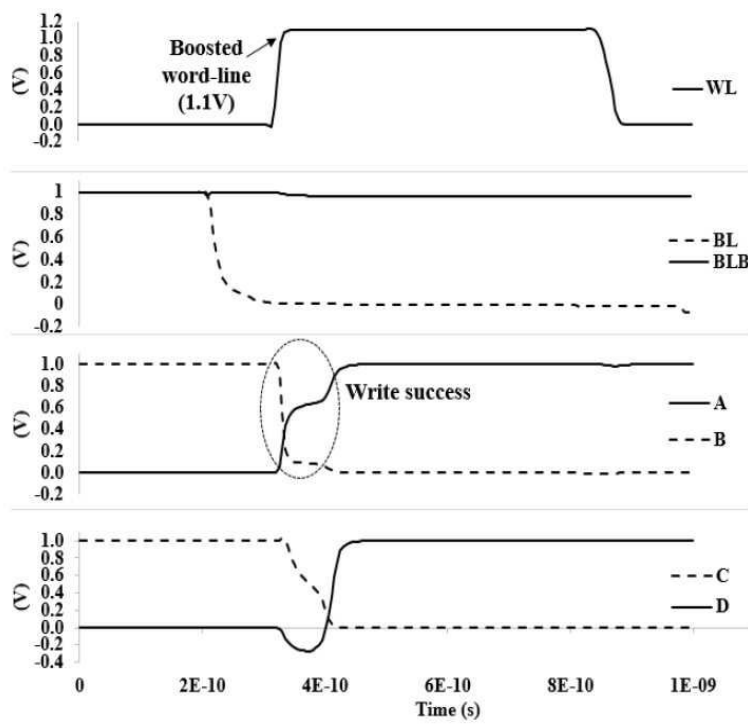
도면1



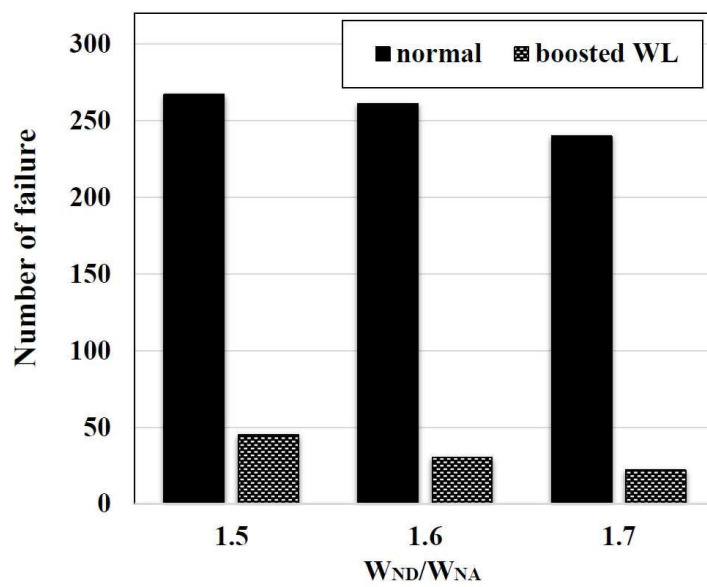
도면2a



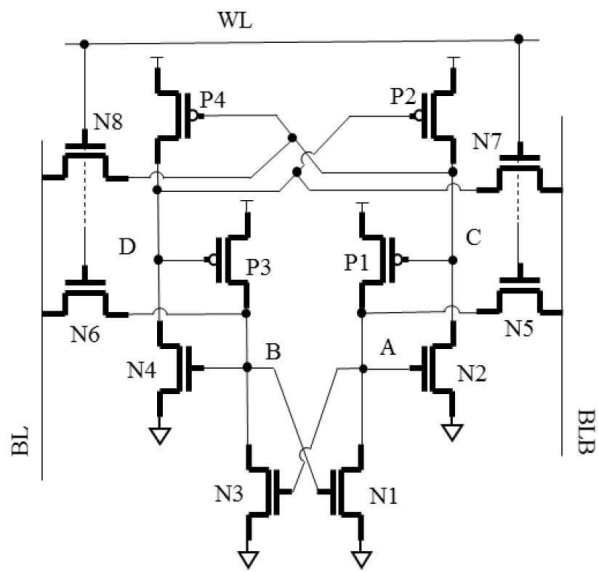
도면2b



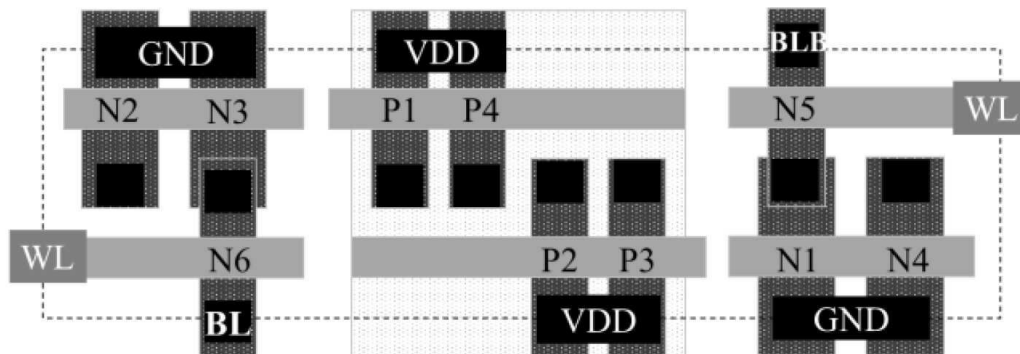
도면3



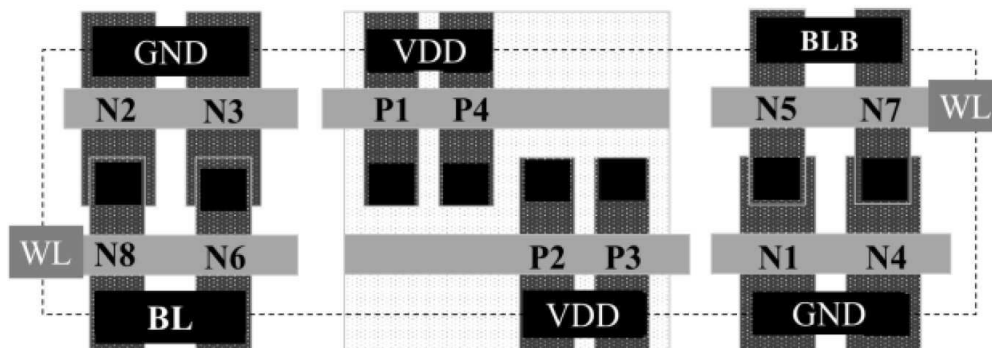
도면4



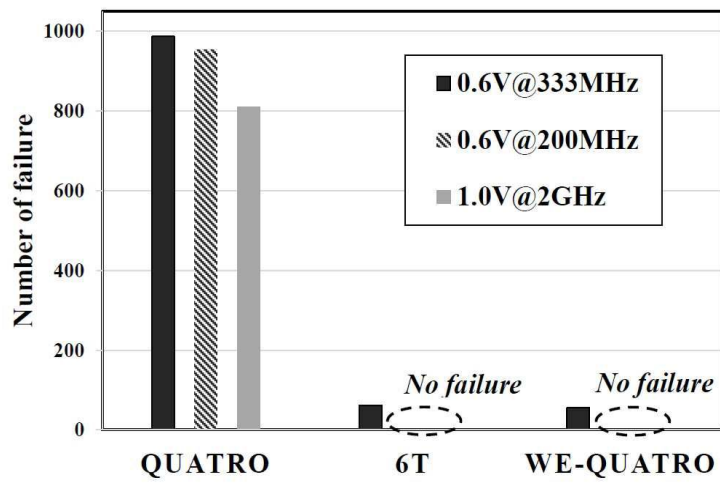
도면5a



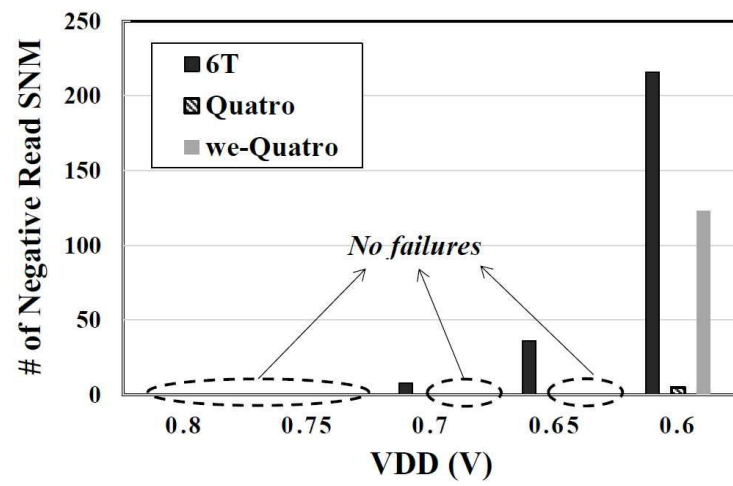
도면5b



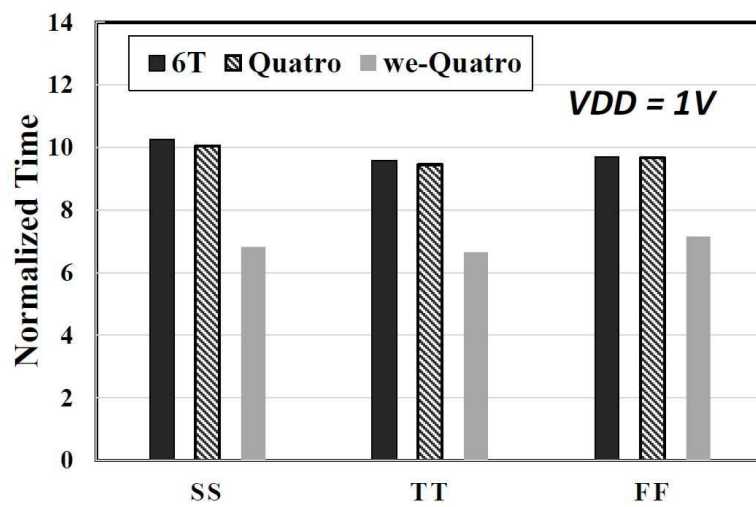
도면7



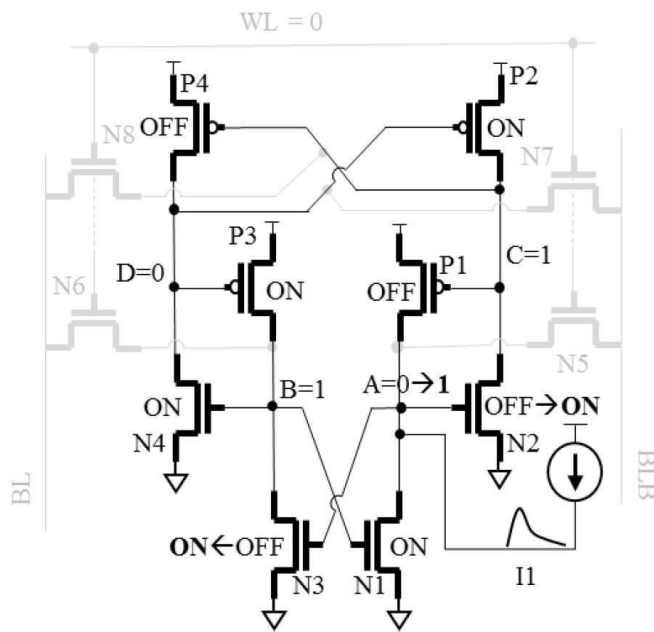
도면8



도면9



도면10



도면11

