

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-213247

(P2012-213247A)

(43) 公開日 平成24年11月1日(2012.11.1)

(51) Int.Cl. F I テーマコード (参考)
 H02J 9/06 (2006.01) H02J 9/06 502C 5G015

審査請求 未請求 請求項の数 12 O L (全 22 頁)

(21) 出願番号 特願2011-76224 (P2011-76224)
 (22) 出願日 平成23年3月30日 (2011. 3. 30)

(71) 出願人 303046277
 旭化成エレクトロニクス株式会社
 東京都千代田区神田神保町一丁目105番地
 (74) 代理人 100066980
 弁理士 森 哲也
 (74) 代理人 100109380
 弁理士 小西 恵
 (74) 代理人 100103850
 弁理士 田中 秀▲てつ▼
 (72) 発明者 佐々木 宏昭
 宮城県仙台市泉区中央一丁目7番1号 A
 KMテクノロジー株式会社内
 Fターム(参考) 5G015 FA05 GB05 HA15 JA08 JA58
 KA04

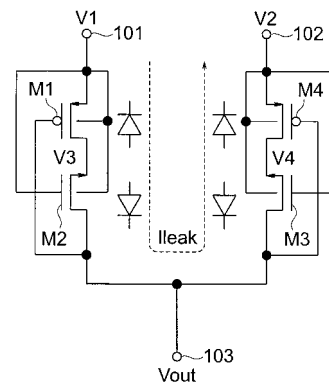
(54) 【発明の名称】 電圧切り替え回路

(57) 【要約】

【課題】電圧降下することなく漏れ電流が小さな電圧切り替え回路の提供。

【解決手段】この発明は、入力端子101、102に電圧V1、V2を入力し、そのうちの高い方の電圧を出力電圧Voutとして出力端子103に出力する。入力端子101には、MOSトランジスタM1のソース、バルク、MOSトランジスタM2のゲート、バルクが接続されている。入力端子102には、MOSトランジスタM4のソース、バルク、MOSトランジスタM3のゲート、バルクが接続されている。MOSトランジスタM1のドレインとMOSトランジスタM2のソースが接続され、MOSトランジスタM3のソースとMOSトランジスタM4のドレインが接続されている。出力端子103には、MOSトランジスタM1のゲート、MOSトランジスタM2のドレイン、MOSトランジスタM3のドレイン、およびMOSトランジスタM4のゲートが接続されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 乃至第 n (n は 2 以上の自然数) の入力端子に第 1 乃至第 n の電圧をそれぞれ入力し、前記第 1 乃至第 n の電圧のうちの最も高い電圧を出力端子に出力する電圧切り替え回路であって、

第 1 乃至第 n の P チャンネル MOS トランジスタと、第 1 乃至第 n の N チャンネル MOS トランジスタと、を備え、

前記第 1 乃至第 n の入力端子のうちの第 k (k は 1 以上 n 以下の自然数) の入力端子から前記出力端子までの経路は、

前記第 k の入力端子にソースまたはドレインのいずれか一方が接続され、前記出力端子にゲートが接続される前記第 1 乃至第 n の P チャンネル MOS トランジスタのうちの第 k の P チャンネル MOS トランジスタと、

前記出力端子にソースまたはドレインのいずれか一方が接続され、前記第 k の入力端子にゲートが接続され、前記第 k の P チャンネル MOS トランジスタのソースまたはドレインのいずれか他方にソースまたはドレインのいずれか他方が接続される前記第 1 乃至第 n の N チャンネル MOS トランジスタのうちの第 k の N チャンネル MOS トランジスタと、

を有し、

前記第 k の P チャンネル MOS トランジスタのドレインとバルクとの間に形成されるダイオードと、前記第 k の N チャンネル MOS トランジスタのドレインとバルクとの間に形成されるダイオードと、のうち少なくとも 1 つのダイオードの順方向が、前記第 k の入力端子から前記出力端子への方向となっていることを特徴とする電圧切り替え回路。

【請求項 2】

第 1 及び第 2 の入力端子に第 1 及び第 2 の電圧をそれぞれ入力し、前記第 1 及び第 2 の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、

前記第 1 の入力端子にソースが接続され、前記出力端子にゲートが接続される第 1 の P チャンネル MOS トランジスタと、

前記第 1 の P チャンネル MOS トランジスタのドレインにソースが接続され、前記出力端子にドレインが接続され、前記第 1 の入力端子にゲートが接続される第 1 の N チャンネル MOS トランジスタと、

前記第 2 の入力端子にソースが接続され、前記出力端子にゲートが接続される第 2 の P チャンネル MOS トランジスタと、

前記第 2 の P チャンネル MOS トランジスタのドレインにソースが接続され、前記出力端子にドレインが接続され、前記第 2 の入力端子にゲートが接続される第 2 の N チャンネル MOS トランジスタと、

を備え、

前記第 1 の P チャンネル MOS トランジスタのバルクと前記第 1 の N チャンネル MOS トランジスタのバルクとは前記第 1 の入力端子に接続され、

前記第 2 の P チャンネル MOS トランジスタのバルクと前記第 2 の N チャンネル MOS トランジスタのバルクとは前記第 2 の入力端子に接続されていることを特徴とする電圧切り替え回路。

【請求項 3】

前記第 1 の N チャンネル MOS トランジスタのバルクは前記第 1 の N チャンネル MOS トランジスタのソースに接続され、

前記第 2 の N チャンネル MOS トランジスタのバルクは前記第 2 の N チャンネル MOS トランジスタのソースに接続されていることを特徴とする請求項 2 に記載の電圧切り替え回路。

【請求項 4】

第 1 及び第 2 の入力端子に第 1 及び第 2 の電圧をそれぞれ入力し、前記第 1 及び第 2 の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、

前記第 1 の入力端子にドレインが接続され、前記出力端子にゲートが接続される第 1 の

PチャンネルMOSトランジスタと、

前記第1のPチャンネルMOSトランジスタのソースにドレインが接続され、前記出力端子にソースが接続され、前記第1の入力端子にゲートが接続される第1のNチャンネルMOSトランジスタと、

前記第2の入力端子にドレインが接続され、前記出力端子にゲートが接続される第2のPチャンネルMOSトランジスタと、

前記第2のPチャンネルMOSトランジスタのソースにドレインが接続され、前記出力端子にソースが接続され、前記第2の入力端子にゲートが接続される第2のNチャンネルMOSトランジスタと、

を備え、

10

前記第1のPチャンネルMOSトランジスタのバルク、前記第1のNチャンネルMOSトランジスタのバルク、前記第2のPチャンネルMOSトランジスタのバルク、および前記第2のNチャンネルMOSトランジスタのバルクはそれぞれ前記出力端子に接続されていることを特徴とする電圧切り替え回路。

【請求項5】

前記第1のPチャンネルMOSトランジスタのバルクは前記第1のPチャンネルMOSトランジスタのソースに接続され、

前記第2のPチャンネルMOSトランジスタのバルクは前記第2のPチャンネルMOSトランジスタのソースに接続されていることを特徴とする請求項4に記載の電圧切り替え回路。

20

【請求項6】

第1及び第2の入力端子に第1及び第2の電圧をそれぞれ入力し、前記第1及び第2の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、

前記第1の入力端子にドレインが接続され、前記出力端子にゲートが接続される第1のPチャンネルMOSトランジスタと、

前記第1のPチャンネルMOSトランジスタのソースにソースが接続され、前記出力端子にドレインが接続され、前記第1の入力端子にゲートが接続される第1のNチャンネルMOSトランジスタと、

前記第2の入力端子にドレインが接続され、前記出力端子にゲートが接続される第2のPチャンネルMOSトランジスタと、

30

前記第2のPチャンネルMOSトランジスタのソースにソースが接続され、前記出力端子にドレインが接続され、前記第2の入力端子にゲートが接続される第2のNチャンネルMOSトランジスタと、

を備え、

前記第1のPチャンネルMOSトランジスタのバルクは前記第1のPチャンネルMOSトランジスタのソースに接続され、

前記第1のNチャンネルMOSトランジスタのバルクは前記第1のNチャンネルMOSトランジスタのソースに接続され、

前記第2のPチャンネルMOSトランジスタのバルクは前記第2のPチャンネルMOSトランジスタのソースに接続され、

40

前記第2のNチャンネルMOSトランジスタのバルクは前記第2のNチャンネルMOSトランジスタのソースに接続されていることを特徴とする電圧切り替え回路。

【請求項7】

第1及び第2の入力端子に第1及び第2の電圧をそれぞれ入力し、前記第1及び第2の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、

前記第1の入力端子にソースが接続され、前記出力端子にゲートが接続される第1のPチャンネルMOSトランジスタと、

前記第1のPチャンネルMOSトランジスタのドレインにソースが接続され、前記出力端子にドレインが接続され、前記第1の入力端子にゲートが接続される第1のNチャンネルMOSトランジスタと、

50

前記第 2 の入力端子にドレインが接続され、前記出力端子にゲートが接続される第 2 の P チャンネル MOS トランジスタと、

前記第 2 の P チャンネル MOS トランジスタのソースにドレインが接続され、前記出力端子にソースが接続され、前記第 2 の入力端子にゲートが接続される第 2 の N チャンネル MOS トランジスタと、

を備え、

前記第 1 の P チャンネル MOS トランジスタのバルクと前記第 1 の N チャンネル MOS トランジスタのバルクとは前記第 1 の入力端子に接続され、

前記第 2 の P チャンネル MOS トランジスタのバルクと前記第 2 の N チャンネル MOS トランジスタのバルクとは前記出力端子に接続されていることを特徴とする電圧切り替え回路

10

【請求項 8】

前記第 1 の N チャンネル MOS トランジスタのバルクは前記第 1 の N チャンネル MOS トランジスタのソースに接続され、

前記第 2 の P チャンネル MOS トランジスタのバルクは前記第 2 の P チャンネル MOS トランジスタのソースに接続されていることを特徴とする請求項 7 に記載の電圧切り替え回路

【請求項 9】

第 1 及び第 2 の入力端子に第 1 及び第 2 の電圧をそれぞれ入力し、前記第 1 及び第 2 の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、

20

前記第 1 の入力端子にドレインが接続され、前記出力端子にゲートが接続される第 1 の P チャンネル MOS トランジスタと、

前記第 1 の P チャンネル MOS トランジスタのソースにソースが接続され、前記出力端子にドレインが接続され、前記第 1 の入力端子にゲートが接続される第 1 の N チャンネル MOS トランジスタと、

前記第 2 の入力端子にソースが接続され、前記出力端子にゲートが接続される第 2 の P チャンネル MOS トランジスタと、

前記第 2 の P チャンネル MOS トランジスタのドレインにソースが接続され、前記出力端子にドレインが接続され、前記第 2 の入力端子にゲートが接続される第 2 の N チャンネル MOS トランジスタと、

30

を備え、

前記第 1 の P チャンネル MOS トランジスタのバルクは前記第 1 の P チャンネル MOS トランジスタのソースに接続され、

前記第 1 の N チャンネル MOS トランジスタのバルクは前記第 1 の N チャンネル MOS トランジスタのソースに接続され、

前記第 2 の P チャンネル MOS トランジスタのバルクと前記第 2 の N チャンネル MOS トランジスタのバルクとは前記第 2 の入力端子に接続されていることを特徴とする電圧切り替え回路。

【請求項 10】

前記第 2 の N チャンネル MOS トランジスタのバルクは、前記第 2 の N チャンネル MOS トランジスタのソースに接続されていることを特徴とする請求項 9 に記載の電圧切り替え回路。

40

【請求項 11】

第 1 及び第 2 の入力端子に第 1 及び第 2 の電圧をそれぞれ入力し、前記第 1 及び第 2 の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、

前記第 1 の入力端子にドレインが接続され、前記出力端子にゲートが接続される第 1 の P チャンネル MOS トランジスタと、

前記第 1 の P チャンネル MOS トランジスタのソースにソースが接続され、前記出力端子にドレインが接続され、前記第 1 の入力端子にゲートが接続される第 1 の N チャンネル MOS トランジスタと、

50

前記第2の入力端子にドレインが接続され、前記出力端子にゲートが接続される第2のPチャンネルMOSトランジスタと、

前記第2のPチャンネルMOSトランジスタのソースにドレインが接続され、前記出力端子にソースが接続され、前記第2の入力端子にゲートが接続される第2のNチャンネルMOSトランジスタと、

を備え、

前記第1のPチャンネルMOSトランジスタのバルクは前記第1のPチャンネルMOSトランジスタのソースに接続され、

前記第1のNチャンネルMOSトランジスタのバルクは前記第1のNチャンネルMOSトランジスタのソースに接続され、

前記第2のPチャンネルMOSトランジスタのバルクと前記第2のNチャンネルMOSトランジスタのバルクとは前記出力端子に接続されていることを特徴とする電圧切り替え回路。

10

【請求項12】

前記第2のPチャンネルMOSトランジスタのバルクは前記第2のPチャンネルMOSトランジスタのソースに接続されていることを特徴とする請求項11に記載の電圧切り替え回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の電源からエネルギーが供給される電子機器等において、1つの電源から他の電源に切り替えるときに用いられる電圧切り替え回路に関する。

20

【背景技術】

【0002】

複数の電源からエネルギーが供給される電子機器において、電子機器にエネルギーを供給している1つの電源の電圧が低下したとき、電子機器にエネルギーを供給し続けるためには、他の電源に切り替える必要がある。

例えば、USBメモリ装置は、データの読み出し及び書き込みを行うために、パソコンに接続されたとき、パソコンからエネルギーが供給され、データの読み出し及び書き込みを行う。また、持ち運びを行うために、パソコンから切断されたとき、USBメモリ装置の内部の電池からエネルギーが供給され、データの保持を行う。USBメモリ装置は、パソコンから切断される瞬間、パソコンから供給されるエネルギーが減少、つまり、電圧が低下する。このとき、データの保持を行うために、USBメモリ装置にエネルギーを供給し続けなければならない。USBメモリ装置は、電圧切り替え回路により、電源をパソコンからUSBメモリ装置の内部の電池に切り替えて、エネルギーを供給し続けている。

30

【0003】

このように、電子機器にエネルギーを供給している1つの電源の電圧が低下したとき、電子機器にエネルギーを供給し続けるためには、他の電源に切り替える電圧切り替え回路が必要となる。

従来、2つの電源の電圧を切り替える回路として、2つのダイオードのカソードをワイヤードオア接続した電圧切り替え回路（ダイオードオア回路）が知られている（例えば、特許文献1参照）。

40

【0004】

図8は、従来のダイオードを用いた電圧切り替え回路を示す回路図である。図8に示した従来の電圧切り替え回路は、ダイオードD1とダイオードD2からなり、入力端子201にダイオードD1のアノードが接続され、入力端子202にダイオードD2のアノードが接続され、ダイオードD1のカソードとダイオードD2のカソードが出力端子203に接続されている。出力端子203は、上述したUSBメモリ装置等の電子機器の電源端子に接続される。

【0005】

50

図 8 に示した従来の電圧切り替え回路は、入力端子 201 に 1 つの電源が接続され、電圧 V_1 が与えられる。そして、入力端子 202 に他の電源が接続され、電圧 V_2 が与えられる。電圧 V_1 が電圧 V_2 よりも大きいとき、電圧 V_1 からダイオードの閾値電圧 V_f を引いた電圧 $V_1 - V_f$ が、出力電圧 V_{out} として出力端子 203 より出力される。ここで、D2 には閾値電圧以下の順方向バイアスまたは逆方向バイアスがかかるので、電圧 V_2 は、出力端子 203 に伝わらない。

【0006】

また、電圧 V_1 が低下して、電圧 V_2 よりも小さくなったとき、電圧 V_2 からダイオードの閾値電圧 V_f を引いた電圧 $V_2 - V_f$ が、出力電圧 V_{out} として出力端子 203 より出力される。ここで、出力端子 203 から入力端子 201 には逆方向バイアスがかかるので、電圧 V_1 は、出力端子 203 に伝わらない。

このように、図 8 に示した従来の電圧切り替え回路は、入力される 2 つの電圧のうち高い方の電圧を出力端子に伝える。

また、図 8 に示した従来の電圧切り替え回路において、ダイオード D1 とダイオード D2 を、ゲートとソースとバルクを短絡した MOS トランジスタで置き換えた電圧切り替え回路が知られている（例えば、特許文献 2 参照）。

【0007】

図 9 は、従来の N チャネル MOS トランジスタを用いた電圧切り替え回路を示す図である。図 9 に示した従来の電圧切り替え回路は、N チャネル MOS トランジスタ M5 と N チャネル MOS トランジスタ M6 からなり、入力端子 201 に N チャネル MOS トランジスタ M5 のゲート、ソース、バルクが接続され、ドレインが出力端子 203 に接続されている。そして、入力端子 202 に N チャネル MOS トランジスタ M6 のゲート、ソース、バルクが接続され、ドレインが出力端子 203 に接続されている。

図 9 において、N チャネル MOS トランジスタ M5 及び M6 の隣に図示したダイオードは、ドレイン基板間ダイオード、つまり、ドレインとバルクの間形成されるダイオードの向きを示している。

【0008】

図 10 は、従来の N チャネル MOS トランジスタの代わりに、P チャネル MOS トランジスタを用いた電圧切り替え回路を示す図である。図 10 に示した従来の電圧切り替え回路は、P チャネル MOS トランジスタ M7 と P チャネル MOS トランジスタ M8 からなり、入力端子 201 に P チャネル MOS トランジスタ M7 のドレインが接続され、ゲート、ソース、バルクが出力端子 203 に接続されている。そして、入力端子 202 に P チャネル MOS トランジスタ M8 のドレインが接続され、ゲート、ソース、バルクが出力端子 203 に接続されている。

【0009】

図 10 において、P チャネル MOS トランジスタ M7 及び M8 の隣に図示したダイオードは、ドレイン基板間ダイオード、つまり、ドレインとバルクの間形成されるダイオードの向きを示している。

図 10 に示した従来の電圧切り替え回路は、図 9 に示した従来の電圧切り替え回路において、N チャネル MOS トランジスタと極性が異なる P チャネル MOS トランジスタで置き換え、ゲート、ソース、バルクの接続を入力側から出力側に、ドレインの接続を出力側から入力側に入れ替えただけであるので、動作は図 9 に示した従来の電圧切り替え回路と同じである。以下、図 9 に示した従来の電圧切り替え回路の動作をする。

【0010】

図 9 に示した従来の電圧切り替え回路は、入力端子 201 に 1 つの電源が接続され、電圧 V_1 が与えられる。そして、入力端子 202 に他の電源が接続され、電圧 V_2 が与えられる。電圧 V_1 が電圧 V_2 よりも大きいとき、電圧 V_1 から閾値電圧 V_{th} を引いた電圧 $V_1 - V_{th}$ が、出力電圧 V_{out} として、出力端子 203 より出力される。ここで、M6 のゲートとソース間、またはゲートとドレイン間には閾値電圧以下の電圧がかかり、ドレイン基板間ダイオードには閾値電圧以下の順方向バイアスまたは逆方向バイアスがかか

10

20

30

40

50

るので、電圧 V_2 は、出力端子 203 に伝わらない。

【0011】

また、電圧 V_1 が低下して、電圧 V_2 よりも小さくなったとき、電圧 V_2 から閾値電圧 V_{th} を引いた電圧 $V_2 - V_{th}$ が、出力電圧 V_{out} として、出力端子 203 より出力される。ここで、M5 のゲートとソース間、ゲートとドレイン間には閾値電圧以下の電圧がかかり、ドレイン基盤間ダイオードには閾値電圧以下の順方向バイアスまたは逆方向バイアスがかかるので、電圧 V_1 は、出力端子 203 に伝わらない。

【0012】

このように、図 9 に示した従来の電圧切り替え回路は、入力される 2 つの電圧のうち高い方の電圧を出力端子に伝える。

10

さらに、図 9 に示した従来の電圧切り替え回路は、ディプレッション型等の低閾値電圧の MOS トランジスタを用いることで、閾値電圧 V_{th} による電圧降下を小さくできる。例えば、 $V_{th} = 0$ の MOS トランジスタを用いれば、入力される 2 つの電圧のうち高い方の電圧をそのまま出力端子に出力することができる。

【先行技術文献】

【特許文献】

【0013】

【特許文献 1】特開平 6 - 70486 号公報

【特許文献 2】特開 2001 - 28845 号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0014】

しかしながら、図 8、図 9 に示した従来の電圧切り替え回路は、次のような問題があった。

図 8 に示した従来の電圧切り替え回路は、出力電圧 V_{out} がダイオードの閾値電圧 V_f だけ電圧降下するという問題がある。すなわち、所望の出力電圧 V_{out} を出力しようとすれば、エネルギーが供給される電子機器が動作する電圧よりも閾値電圧 V_f だけ高い電圧を入力しなければならないので、入力端子に接続される電源装置の大型化を招く。

【0015】

また、図 9 に示した従来の電圧切り替え回路は、MOS トランジスタを用いているため、MOS トランジスタのサイズによっては、破線矢印で図示したように、入力される 2 つの電圧の間に無視できない漏れ電流が生じるという問題がある。漏れ電流の経路は、オフしている MOS トランジスタ、すなわち、弱反転領域で動作している MOS トランジスタのソースとドレインの間を通じて、高い方の電圧が入力される入力端子から低い方の電圧が入力される入力端子に流れる。MOS トランジスタの弱反転領域の電流式より漏れ電流 I_{leak} は次式となる。

30

【0016】

【数 1】

$$I_{leak} = \mu C_{ox} \frac{W}{L} \exp\{\gamma(V_{GS} - V_{th})\} \left\{ 1 - \exp\left(-\frac{eV_{DS}}{kT}\right) \right\} \dots (1)$$

$$\approx \mu C_{ox} \frac{W}{L} \exp\{\gamma(V_{GS} - V_{th})\}$$

40

【0017】

ただし、 μ は移動度、 C_{ox} はゲート酸化膜容量、 γ は比例定数、 W はチャネル幅、 L はチャネル長、 V_{GS} はゲートソース間電圧、 V_{th} は閾値電圧、 V_{DS} はドレインソース間電圧、 e は電子 1 個あたりの電荷量、 k はボルツマン定数、 T は絶対温度である。

また、 $V_2 = 0$ 、 $V_{th} = 0$ とすると、漏れ電流 I_{leak} は次式となる。

【0018】

50

【数 2】

$$I_{leak} \approx \mu C_{ox} \frac{W}{L} \cdot \cdot \cdot \quad (2)$$

【0019】

つまり、式(1)及び式(2)よりチャネル幅Wとチャネル長Lの比が大きくなる程、大きな漏れ電流が生じる。すなわち、大きな漏れ電流が生じると、低い方の電圧を与える電源に大きな電流が流れ、消費電力が大きくなるという問題が生じる。

本発明の目的は、上記の点に鑑み、電圧降下することなく漏れ電流が小さな電圧切り替え回路を提供することにある。

【課題を解決するための手段】

【0020】

上記の課題を解決して本発明の目的を達成するために、本発明は、以下のように構成される。

第1の発明は、第1乃至第n(nは2以上の自然数)の入力端子に第1乃至第nの電圧をそれぞれ入力し、前記第1乃至第nの電圧のうち最も高い電圧を出力端子に出力する電圧切り替え回路であって、第1乃至第nのPチャネルMOSトランジスタと、第1乃至第nのNチャネルMOSトランジスタと、を備え、前記第1乃至第nの入力端子のうち第k(kは1以上n以下の自然数)の入力端子から前記出力端子までの経路は、前記第kの入力端子にソースまたはドレインのいずれか一方が接続され、前記出力端子にゲートが接続される前記第1乃至第nのPチャネルMOSトランジスタのうち第kのPチャネルMOSトランジスタと、前記出力端子にソースまたはドレインのいずれか一方が接続され、前記第kの入力端子にゲートが接続され、前記第kのPチャネルMOSトランジスタのソースまたはドレインのいずれか他方にソースまたはドレインのいずれか他方が接続される前記第1乃至第nのNチャネルMOSトランジスタのうち第kのNチャネルMOSトランジスタと、を有し、前記第kのPチャネルMOSトランジスタのドレインとバルクとの間に形成されるダイオードと、前記第kのNチャネルMOSトランジスタのドレインとバルクとの間に形成されるダイオードと、のうち少なくとも1つのダイオードの順方向が、前記第kの入力端子から前記出力端子へ方向となっている。

【0021】

第2の発明は、第1及び第2の入力端子に第1及び第2の電圧をそれぞれ入力し、前記第1及び第2の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、前記第1の入力端子にソースが接続され、前記出力端子にゲートが接続される第1のPチャネルMOSトランジスタと、前記第1のPチャネルMOSトランジスタのドレインにソースが接続され、前記出力端子にドレインが接続され、前記第1の入力端子にゲートが接続される第1のNチャネルMOSトランジスタと、前記第2の入力端子にソースが接続され、前記出力端子にゲートが接続される第2のPチャネルMOSトランジスタと、

前記第2のPチャネルMOSトランジスタのドレインにソースが接続され、前記出力端子にドレインが接続され、前記第2の入力端子にゲートが接続される第2のNチャネルMOSトランジスタと、を備え、前記第1のPチャネルMOSトランジスタのバルクと前記第1のNチャネルMOSトランジスタのバルクとは前記第1の入力端子に接続され、前記第2のPチャネルMOSトランジスタのバルクと前記第2のNチャネルMOSトランジスタのバルクとは前記第2の入力端子に接続されている。

【0022】

第3の発明は、第2の発明において、前記第1のNチャネルMOSトランジスタのバルクは前記第1のNチャネルMOSトランジスタのソースに接続され、前記第2のNチャネルMOSトランジスタのバルクは前記第2のNチャネルMOSトランジスタのソースに接続されている。

【0023】

10

20

30

40

50

第4の発明は、第1及び第2の入力端子に第1及び第2の電圧をそれぞれ入力し、前記第1及び第2の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、前記第1の入力端子にドレインが接続され、前記出力端子にゲートが接続される第1のPチャンネルMOSトランジスタと、前記第1のPチャンネルMOSトランジスタのソースにドレインが接続され、前記出力端子にソースが接続され、前記第1の入力端子にゲートが接続される第1のNチャンネルMOSトランジスタと、前記第2の入力端子にドレインが接続され、前記出力端子にゲートが接続される第2のPチャンネルMOSトランジスタと、前記第2のPチャンネルMOSトランジスタのソースにドレインが接続され、前記出力端子にソースが接続され、前記第2の入力端子にゲートが接続される第2のNチャンネルMOSトランジスタと、を備え、前記第1のPチャンネルMOSトランジスタのバルク、前記第1のNチャンネルMOSトランジスタのバルク、前記第2のPチャンネルMOSトランジスタのバルク、および前記第2のNチャンネルMOSトランジスタのバルクはそれぞれ前記出力端子に接続されている。

10

【0024】

第5の発明は、第4の発明において、前記第1のPチャンネルMOSトランジスタのバルクは前記第1のPチャンネルMOSトランジスタのソースに接続され、前記第2のPチャンネルMOSトランジスタのバルクは前記第2のPチャンネルMOSトランジスタのソースに接続されている。

【0025】

第6の発明は、第1及び第2の入力端子に第1及び第2の電圧をそれぞれ入力し、前記第1及び第2の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、前記第1の入力端子にドレインが接続され、前記出力端子にゲートが接続される第1のPチャンネルMOSトランジスタと、前記第1のPチャンネルMOSトランジスタのソースにソースが接続され、前記出力端子にドレインが接続され、前記第1の入力端子にゲートが接続される第1のNチャンネルMOSトランジスタと、前記第2の入力端子にドレインが接続され、前記出力端子にゲートが接続される第2のPチャンネルMOSトランジスタと、前記第2のPチャンネルMOSトランジスタのソースにソースが接続され、前記出力端子にドレインが接続され、前記第2の入力端子にゲートが接続される第2のNチャンネルMOSトランジスタと、を備え、前記第1のPチャンネルMOSトランジスタのバルクは前記第1のPチャンネルMOSトランジスタのソースに接続され、前記第1のNチャンネルMOSトランジスタのバルクは前記第1のNチャンネルMOSトランジスタのソースに接続され、前記第2のPチャンネルMOSトランジスタのバルクは前記第2のPチャンネルMOSトランジスタのソースに接続され、前記第2のNチャンネルMOSトランジスタのバルクは前記第2のNチャンネルMOSトランジスタのソースに接続されている。

20

30

【0026】

第7の発明は、第1及び第2の入力端子に第1及び第2の電圧をそれぞれ入力し、前記第1及び第2の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、前記第1の入力端子にソースが接続され、前記出力端子にゲートが接続される第1のPチャンネルMOSトランジスタと、前記第1のPチャンネルMOSトランジスタのドレインにソースが接続され、前記出力端子にドレインが接続され、前記第1の入力端子にゲートが接続される第1のNチャンネルMOSトランジスタと、前記第2の入力端子にドレインが接続され、前記出力端子にゲートが接続される第2のPチャンネルMOSトランジスタと、前記第2のPチャンネルMOSトランジスタのソースにドレインが接続され、前記出力端子にソースが接続され、前記第2の入力端子にゲートが接続される第2のNチャンネルMOSトランジスタと、を備え、前記第1のPチャンネルMOSトランジスタのバルクと前記第1のNチャンネルMOSトランジスタのバルクとは前記第1の入力端子に接続され、前記第2のPチャンネルMOSトランジスタのバルクと前記第2のNチャンネルMOSトランジスタのバルクとは前記出力端子に接続されている。

40

【0027】

第8の発明は、第7の発明において、前記第1のNチャンネルMOSトランジスタのバル

50

クは前記第1のNチャンネルMOSトランジスタのソースに接続され、前記第2のPチャンネルMOSトランジスタのバルクは前記第2のPチャンネルMOSトランジスタのソースに接続されている。

【0028】

第9の発明は、第1及び第2の入力端子に第1及び第2の電圧をそれぞれ入力し、前記第1及び第2の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、前記第1の入力端子にドレインが接続され、前記出力端子にゲートが接続される第1のPチャンネルMOSトランジスタと、前記第1のPチャンネルMOSトランジスタのソースにソースが接続され、前記出力端子にドレインが接続され、前記第1の入力端子にゲートが接続される第1のNチャンネルMOSトランジスタと、前記第2の入力端子にソースが接続され、前記出力端子にゲートが接続される第2のPチャンネルMOSトランジスタと、前記第2のPチャンネルMOSトランジスタのドレインにソースが接続され、前記出力端子にドレインが接続され、前記第2の入力端子にゲートが接続される第2のNチャンネルMOSトランジスタと、を備え、前記第1のPチャンネルMOSトランジスタのバルクは前記第1のPチャンネルMOSトランジスタのソースに接続され、前記第1のNチャンネルMOSトランジスタのバルクは前記第1のNチャンネルMOSトランジスタのソースに接続され、前記第2のPチャンネルMOSトランジスタのバルクと前記第2のNチャンネルMOSトランジスタのバルクとは前記第2の入力端子に接続されている。

10

【0029】

第10の発明は、第9の発明において、前記第2のNチャンネルMOSトランジスタのバルクは、前記第2のNチャンネルMOSトランジスタのソースに接続されている。

20

第11の発明は、第1及び第2の入力端子に第1及び第2の電圧をそれぞれ入力し、前記第1及び第2の電圧のうち高い方の電圧を出力端子に出力する電圧切り替え回路であって、前記第1の入力端子にドレインが接続され、前記出力端子にゲートが接続される第1のPチャンネルMOSトランジスタと、前記第1のPチャンネルMOSトランジスタのソースにソースが接続され、前記出力端子にドレインが接続され、前記第1の入力端子にゲートが接続される第1のNチャンネルMOSトランジスタと、前記第2の入力端子にドレインが接続され、前記出力端子にゲートが接続される第2のPチャンネルMOSトランジスタと、前記第2のPチャンネルMOSトランジスタのソースにドレインが接続され、前記出力端子にソースが接続され、前記第2の入力端子にゲートが接続される第2のNチャンネルMOSトランジスタと、を備え、前記第1のPチャンネルMOSトランジスタのバルクは前記第1のPチャンネルMOSトランジスタのソースに接続され、前記第1のNチャンネルMOSトランジスタのバルクは前記第1のNチャンネルMOSトランジスタのソースに接続され、前記第2のPチャンネルMOSトランジスタのバルクと前記第2のNチャンネルMOSトランジスタのバルクとは前記出力端子に接続されている。

30

第12の発明は、第11の発明において、前記第2のPチャンネルMOSトランジスタのバルクは前記第2のPチャンネルMOSトランジスタのソースに接続されている。

【発明の効果】

【0030】

本発明によれば、電圧降下することなく漏れ電流が小さいので、入力端子に接続される電源装置の大型化を招くことなく、低消費電力であるという効果を奏する。

40

【図面の簡単な説明】

【0031】

【図1】本発明の第1実施形態の構成を示す回路図である。

【図2】図1に示すMOSトランジスタの構造の一例の断面図である。

【図3】本発明の第2実施形態の構成を示す回路図である。

【図4】本発明の第3実施形態の構成を示す回路図である。

【図5】本発明の第4実施形態の構成を示す回路図である。

【図6】本発明の第5実施形態の構成を示す回路図である。

【図7】本発明の第6実施形態の構成を示す回路図である。

50

【図 8】従来のダイオードを用いた電圧切り替え回路を示す回路図である。

【図 9】従来の N チャンネル MOS トランジスタを用いた電圧切り替え回路を示す回路図である。

【図 10】従来の P チャンネル MOS トランジスタを用いた電圧切り替え回路を示す回路図である。

【発明を実施するための形態】

【0032】

以下、図面を参照して本発明の電圧切り替え回路の第 1 ~ 第 6 実施形態について説明する。

なお、本願明細書中では、MOS トランジスタのソース及びドレインのうち、図面において、矢印を付した端子がソースであり、バルク電圧に近い電圧の端子がソースであると定義する。

【0033】

(第 1 実施形態)

まず、本発明の第 1 実施形態に係る電圧切り替え回路の構成について、図 1 を参照して説明する。

本発明の第 1 実施形態に係る電圧切り替え回路は、入力端子 101、102 にそれぞれ電圧 V1、V2 が入力され、その電圧 V1、V2 のうち高い方の電圧を出力端子 103 に出力するものであって、P チャンネル MOS トランジスタ M1、N チャンネル MOS トランジスタ M2、N チャンネル MOS トランジスタ M3、および P チャンネル MOS トランジスタ M4 を備えている。

【0034】

入力端子 101 には、P チャンネル MOS トランジスタ M1 のソース、バルク、および N チャンネル MOS トランジスタ M2 のゲート、バルクがそれぞれ接続されている。

入力端子 102 には、P チャンネル MOS トランジスタ M4 のソース、バルク、および N チャンネル MOS トランジスタ M3 のゲート、バルクがそれぞれ接続されている。

そして、P チャンネル MOS トランジスタ M1 のドレインと N チャンネル MOS トランジスタ M2 のソースが接続され、N チャンネル MOS トランジスタ M3 のソースと P チャンネル MOS トランジスタ M4 のドレインが接続されている。

【0035】

また、出力端子 103 には、P チャンネル MOS トランジスタ M1 のゲート、N チャンネル MOS トランジスタ M2 のドレイン、N チャンネル MOS トランジスタ M3 のドレイン、および P チャンネル MOS トランジスタ M4 のゲートがそれぞれ接続されている。

入力端子 101 には一の電源の電圧 V1 が与えられ、入力端子 102 には他の電源の電圧 V2 が与えられる。出力端子 103 は、USB メモリ装置の内部のメモリなどの電子機器の電源端子と接続される。

図 1 において、MOS トランジスタ M1 乃至 M4 の隣に図示したダイオードは、ドレイン基板間ダイオード、つまり、ドレインとバルクの間形成されるダイオードの向きを示している。

【0036】

次に、図 1 に示す MOS トランジスタ M1 ~ M4 の構造の概要の一例について、図 2 を参照して説明する。

MOS トランジスタ M1 ~ M4 は、図 2 に示すように、P 型シリコン基板 301 上に形成されている。P 型シリコン基板 301 には、素子分離領域 302 が形成され、その素子分離領域 302 で第 1 の領域と第 2 の領域に分離されている。

そして、第 1 の領域に P チャンネル MOS トランジスタ M1 と N チャンネル MOS トランジスタ M2 とが形成されている。P チャンネル MOS トランジスタ M1 は、N ウェル領域 303 内に形成されている。

また、第 2 の領域に P チャンネル MOS トランジスタ M4 と N チャンネル MOS トランジスタ M3 とが形成されている。P チャンネル MOS トランジスタ M4 は、N ウェル領域 304

10

20

30

40

50

内に形成されている。

【0037】

次に、本発明の第1実施形態に係る電圧切り替え回路の動作について、図1および図2を参照して説明する。

説明を簡単にするために、電圧V1は電圧V2よりも高く、V2 = 0であるとする。また、MOSトランジスタの閾値電圧Vthは、Vth = 0であるとする。

まず、Vth = 0であるので、NチャネルMOSトランジスタM2、M3は、ゲートソース間電圧VGSが正電圧である限り、オンする。また、PチャネルMOSトランジスタM1、M4は、ゲートソース間電圧VGSが負電圧である限り、オンする。

【0038】

Vth = 0、V1 > V2より、PチャネルMOSトランジスタM1のゲートソース間電圧VGSは負電圧となり、NチャネルMOSトランジスタM2のゲートドレイン間電圧VGDは正電圧となり、PチャネルMOSトランジスタM1とNチャネルMOSトランジスタM2はオンする。一方、PチャネルMOSトランジスタM4のゲートドレイン間電圧VGDは正電圧となり、NチャネルMOSトランジスタM3のゲートソース間電圧VGSは負電圧となるので、PチャネルMOSトランジスタM4とNチャネルMOSトランジスタM3はオフする。よって、電圧V1が出力端子103より出力される。

【0039】

ここで、漏れ電流Ileakの解析を行う。破線矢印で図示したように、漏れ電流Ileakの経路は、オフしているMOSトランジスタ、すなわち、弱反転領域で動作しているMOSトランジスタのソースとドレインの間と、ドレイン基盤間の順方向ダイオードを通じて、高い方の電圧が入力される入力端子から低い方の電圧が入力される入力端子に流れる。NチャネルMOSトランジスタM3のゲートソース間電圧VGSは、ドレイン基板間ダイオードの閾値電圧をVfとしたとき、V2 = 0より、VGS = -Vfとなる。上述した式(1)にVth = 0を代入すると次式となる。

【0040】

【数3】

$$I_{leak} \approx \mu C_{ox} \frac{W}{L} \exp(\gamma V_{GS}) \quad \dots \quad (3)$$

【0041】

式(3)にVGS = -Vfを代入すると、次式となる。

【0042】

【数4】

$$I_{leak} \approx \mu C_{ox} \frac{W}{L} \exp(-\gamma V_f) \quad \dots \quad (4)$$

【0043】

式(2)と式(4)の大小関係を比較すると、次式が成立する。

【0044】

【数5】

$$\mu C_{ox} \frac{W}{L} \exp(-\gamma V_f) < \mu C_{ox} \frac{W}{L} \quad \dots \quad (5)$$

【0045】

式(5)より、左辺は負の指数オーダーの項exp(-Vf)がかかっているため、右辺よりも極めて小さい。したがって、本発明の実施形態1に係る電圧切り替え回路は、従来の電圧切り替え回路に比べて漏れ電流を極めて小さくすることができる。

10

20

30

40

50

以上のように、本発明の第1実施形態に係る電圧切り替え回路によれば、電圧降下することなく、従来の電圧切り替え回路に比べて漏れ電流が小さいので、入力端子に接続される電源装置の大型化を招くことなく、低消費電力であるという効果を奏する。

【0046】

なお、本発明の第1実施形態に係る電圧切り替え回路では、PチャンネルMOSトランジスタM1のバルクとNチャンネルMOSトランジスタM2のバルクは共通の電圧とし、PチャンネルMOSトランジスタM4のバルクとNチャンネルMOSトランジスタM3のバルクは共通の電圧としたが、NチャンネルMOSトランジスタM2のバルクをNチャンネルMOSトランジスタM2のソースに接続し、NチャンネルMOSトランジスタM3のバルクをNチャンネルMOSトランジスタM3のソースに接続してもよい。このとき、図1に示したドレイン基板間ダイオードの向きは同じであるので、同じ効果を奏する。

10

【0047】

(第2実施形態)

次に、本発明の第2実施形態に係る電圧切り替え回路の構成について、図3を参照して説明する。

本発明の第2実施形態に係る電圧切り替え回路は、入力端子101、102にそれぞれ電圧V1、V2が入力され、その電圧V1、V2のうち高い方の電圧を出力端子103に出力するものであって、PチャンネルMOSトランジスタM1、NチャンネルMOSトランジスタM2、NチャンネルMOSトランジスタM3、およびPチャンネルMOSトランジスタM4を備えている。

20

【0048】

入力端子101には、PチャンネルMOSトランジスタM1のドレイン、およびNチャンネルMOSトランジスタM2のゲートがそれぞれ接続されている。

入力端子102には、PチャンネルMOSトランジスタM4のドレイン、およびNチャンネルMOSトランジスタM3のゲートがそれぞれ接続されている。

そして、PチャンネルMOSトランジスタM1のソースとNチャンネルMOSトランジスタM2のドレインが接続され、NチャンネルMOSトランジスタM3のドレインとPチャンネルMOSトランジスタM4のソースが接続されている。

【0049】

また、出力端子103には、PチャンネルMOSトランジスタM1のゲート、バルク、NチャンネルMOSトランジスタM2のソース、バルク、NチャンネルMOSトランジスタM3のソース、バルク、およびPチャンネルMOSトランジスタM4のゲート、バルクがそれぞれ接続されている。

30

入力端子101、102および出力端子103の接続先などは、第1実施形態の場合と同様である。また、図3に示すダイオードの意味は、図1の場合のダイオードと同様である。

【0050】

次に、本発明の第2実施形態に係る電圧切り替え回路の動作について、図3を参照して説明する。説明を簡単にするために、電圧V1は電圧V2よりも高く、 $V2 = 0$ であるとする。また、MOSトランジスタの閾値電圧 V_{th} は、 $V_{th} = 0$ であるとする。

40

まず、 $V_{th} = 0$ であるので、NチャンネルMOSトランジスタM2、M3は、ゲートソース間電圧 V_{GS} が正電圧である限り、オンする。また、PチャンネルMOSトランジスタM1、M4は、ゲートソース間電圧 V_{GS} が負電圧である限り、オンする。

【0051】

$V_{th} = 0$ 、 $V1 > V2$ より、PチャンネルMOSトランジスタM1のゲートドレイン間電圧 V_{GD} は負電圧となり、NチャンネルMOSトランジスタM2のゲートソース間電圧 V_{GS} は正電圧となり、PチャンネルMOSトランジスタM1とNチャンネルMOSトランジスタM2はオンする。一方、PチャンネルMOSトランジスタM4のゲートソース間電圧 V_{GS} は正電圧となり、NチャンネルMOSトランジスタM3のゲートドレイン間電圧 V_{GD} は負電圧となるので、PチャンネルMOSトランジスタM4とNチャンネルMOSトランジスタ

50

M3はオフする。よって、電圧V1が出力端子103より出力される。

【0052】

ここで、漏れ電流 I_{leak} の解析を行う。破線矢印で図示したように、漏れ電流 I_{leak} の経路は、オフしているMOSトランジスタ、すなわち、弱反転領域で動作しているMOSトランジスタのソースとドレインの間を通じて、高い方の電圧が入力される入力端子から低い方の電圧が入力される入力端子に流れる。NチャネルMOSトランジスタM3のゲートドレイン間電圧 V_{GD} は、ドレイン基板間ダイオードの閾値電圧を V_f としたとき、 $V_2 = 0$ より、 $V_{GD} = -V_f$ となる。この場合、上述した式(1)における V_{GS} が V_{GD} に相当する。式(1)に $V_{th} = 0$ を代入すると次式となる。

【0053】

【数6】

$$I_{leak} \approx \mu C_{ox} \frac{W}{L} \exp \gamma V_{GD} \quad \dots \quad (6)$$

【0054】

式(6)に $V_{GD} = -V_f$ を代入すると、次式となる。

【0055】

【数7】

$$I_{leak} \approx \mu C_{ox} \frac{W}{L} \exp(-\gamma V_f) \quad \dots \quad (7)$$

【0056】

式(2)と式(7)の大小関係を比較すると、本発明の第1実施形態に係る電圧切り替え回路の説明における式(5)と同じ式となる。

式(5)より、左辺は負の指数オーダーの項 $\exp(-V_f)$ がかかっているため、右辺よりも極めて小さい。したがって、本発明の第2実施形態に係る電圧切り替え回路は、従来の電圧切り替え回路に比べて漏れ電流を極めて小さくすることができる。

以上のように、本発明の第2実施形態に係る電圧切り替え回路によれば、電圧降下することなく、従来の電圧切り替え回路に比べて漏れ電流が小さいので、入力端子に接続される電源装置の大型化を招くことなく、低消費電力であるという効果を奏する。

【0057】

なお、本発明の第2実施形態に係る電圧切り替え回路では、PチャネルMOSトランジスタM1のバルクとNチャネルMOSトランジスタM2のバルクは共通の電圧とし、PチャネルMOSトランジスタM4のバルクとNチャネルMOSトランジスタM3のバルクは共通の電圧としたが、PチャネルMOSトランジスタM1のバルクをPチャネルMOSトランジスタM1のソースに接続し、PチャネルMOSトランジスタM4のバルクをPチャネルMOSトランジスタM4のソースに接続してもよい。このとき、図3に示したドレイン基板間ダイオードの向きは同じなので、同じ効果を奏する。

【0058】

(第3実施形態)

次に、本発明の第3実施形態に係る電圧切り替え回路の構成について、図4を参照して説明する。

本発明の第3実施形態に係る電圧切り替え回路は、入力端子101、102にそれぞれ電圧V1、V2が入力され、その電圧V1、V2のうち高い方の電圧を出力端子103に出力するものであって、PチャネルMOSトランジスタM1、NチャネルMOSトランジスタM2、NチャネルMOSトランジスタM3、およびPチャネルMOSトランジスタM4を備えている。

【0059】

入力端子101には、PチャネルMOSトランジスタM1のドレイン、およびNチャネルMOSトランジスタM2のゲートがそれぞれ接続されている。

10

20

30

40

50

入力端子102には、PチャンネルMOSトランジスタM4のドレイン、およびNチャンネルMOSトランジスタM3のゲートがそれぞれ接続されている。

そして、PチャンネルMOSトランジスタM1のソース、バルク、およびNチャンネルMOSトランジスタM2のソース、バルクがそれぞれ接続されている。また、NチャンネルMOSトランジスタM3のソース、バルク、およびPチャンネルMOSトランジスタM4のソース、バルクがそれぞれ接続されている。

【0060】

また、出力端子103には、PチャンネルMOSトランジスタM1のゲート、NチャンネルMOSトランジスタM2のドレイン、NチャンネルMOSトランジスタM3のドレイン、PチャンネルMOSトランジスタM4のゲートがそれぞれ接続されている。

入力端子101、102および出力端子103の接続先などは、第1実施形態の場合と同様である。また、図4に示すダイオードの意味は、図1の場合のダイオードと同様である。

【0061】

次に、本発明の第3実施形態に係る電圧切り替え回路の動作について、図4を参照して説明する。説明を簡単にするために、電圧V1は電圧V2よりも高く、V2 = 0であるとする。また、MOSトランジスタの閾値電圧V_{th}は、V_{th} = 0であるとする。

まず、V_{th} = 0であるので、NチャンネルMOSトランジスタM2、M3は、ゲートソース間電圧V_{GS}が正電圧である限り、オンする。また、PチャンネルMOSトランジスタM1、M4は、ゲートソース間電圧V_{GS}が負電圧である限り、オンする。

【0062】

V_{th} = 0、V1 > V2より、PチャンネルMOSトランジスタM1のゲートドレイン間電圧V_{GD}は負電圧となり、NチャンネルMOSトランジスタM2のゲートドレイン間電圧V_{GD}は正電圧となり、PチャンネルMOSトランジスタM1とNチャンネルMOSトランジスタM2はオンする。一方、PチャンネルMOSトランジスタM4のゲートソース間電圧V_{GS}は正電圧となり、NチャンネルMOSトランジスタM3のゲートソース間電圧V_{GS}は負電圧となるので、PチャンネルMOSトランジスタM4とNチャンネルMOSトランジスタM3はオフする。よって、電圧V1が出力端子103より出力される。

【0063】

ここで、漏れ電流I_{leak}の解析を行う。破線矢印で図示したように、漏れ電流I_{leak}の経路は、オフしているMOSトランジスタ、すなわち、弱反転領域で動作しているMOSトランジスタのソースとドレインの間を通じて、高い方の電圧が入力される入力端子から低い方の電圧が入力される入力端子に流れる。NチャンネルMOSトランジスタM3のソース電圧V4は、MOSトランジスタM3、M4について、それぞれ漏れ電流の式(1)を立てたとき、それぞれの漏れ電流の式が等しくなるようなソース電圧であり、V1 > V4 > 0なる値となる。よって、漏れ電流I_{leak}は、上述した本発明の実施形態1に係る電圧切り替え回路の説明と同様に、式(4)のV_fをV4に置き換えた式となる。

【0064】

【数8】

$$I_{leak} \approx \mu C_{ox} \frac{W}{L} \exp(-\gamma V_4) \quad \dots \quad (8)$$

【0065】

式(2)と式(8)の大小関係を比較すると、次式となる。

【0066】

10

20

30

40

【数 9】

$$\mu_{Cox} \frac{W}{L} \exp(-\gamma V_4) < \mu_{Cox} \frac{W}{L} \quad \dots \quad (9)$$

【0067】

式(9)より、左辺は負の指数オーダーの項 $\exp(-\gamma V_4)$ がかかっているため、右辺よりも極めて小さい。したがって、本発明の第3実施形態に係る電圧切り替え回路は、従来の電圧切り替え回路に比べて漏れ電流を極めて小さくすることができる。

以上のように、本発明の第3実施形態に係る電圧切り替え回路によれば、電圧降下することなく、従来の電圧切り替え回路に比べて漏れ電流が小さいので、入力端子に接続される電源装置の大型化を招くことなく、低消費電力であるという効果を奏する。

10

【0068】

(第4実施形態)

次に、本発明の第4実施形態に係る電圧切り替え回路の構成について、図5を参照して説明する。

本発明の第4実施形態に係る電圧切り替え回路は、入力端子101、102にそれぞれ電圧 V_1 、 V_2 が入力され、その電圧 V_1 、 V_2 のうち高い方の電圧を出力端子103に出力するものであって、PチャンネルMOSトランジスタM1、NチャンネルMOSトランジスタM2、NチャンネルMOSトランジスタM3、およびPチャンネルMOSトランジスタM4を備えている。

20

【0069】

入力端子101には、PチャンネルMOSトランジスタM1のソース、バルク、およびNチャンネルMOSトランジスタM2のゲート、バルクがそれぞれ接続されている。

入力端子102には、PチャンネルMOSトランジスタM4のドレイン、NチャンネルMOSトランジスタM3のゲートがそれぞれ接続されている。

そして、PチャンネルMOSトランジスタM1のドレインとNチャンネルMOSトランジスタM2のソースが接続され、NチャンネルMOSトランジスタM3のドレインとPチャンネルMOSトランジスタM4のソースが接続されている。

【0070】

また、出力端子103には、PチャンネルMOSトランジスタM1のゲート、NチャンネルMOSトランジスタM2のドレイン、NチャンネルMOSトランジスタM3のソース、バルク、およびPチャンネルMOSトランジスタM4のゲート、バルクがそれぞれ接続されている。

30

入力端子101、102および出力端子103の接続先などは、第1実施形態の場合と同様である。また、図5に示すダイオードの意味は、図1の場合のダイオードと同様である。

【0071】

次に、本発明の第4実施形態に係る電圧切り替え回路の動作について、図5を参照して説明する。説明を簡単にするために、電圧 V_1 は電圧 V_2 よりも高く、 $V_2 = 0$ であるとする。また、MOSトランジスタの閾値電圧 V_{th} は、 $V_{th} = 0$ であるとする。

40

まず、 $V_{th} = 0$ なので、NチャンネルMOSトランジスタM2、M3は、ゲートソース間電圧 V_{GS} が正電圧である限り、オンする。また、PチャンネルMOSトランジスタM1、M4は、ゲートソース間電圧 V_{GS} が負電圧である限り、オンする。

【0072】

$V_{th} = 0$ 、 $V_1 > V_2$ より、PチャンネルMOSトランジスタM1のゲートソース間電圧 V_{GS} は負電圧となり、NチャンネルMOSトランジスタM2のゲートドレイン間電圧 V_{GD} は正電圧となり、PチャンネルMOSトランジスタM1とNチャンネルMOSトランジスタM2はオンする。一方、PチャンネルMOSトランジスタM4のゲートソース間電圧 V_{GS} は正電圧となり、NチャンネルMOSトランジスタM3のゲートドレイン間電圧 V_{GD} は

50

負電圧となるので、PチャンネルMOSトランジスタM4とNチャンネルMOSトランジスタM3はオフする。よって、電圧V1が出力端子103より出力される。

【0073】

ここで、漏れ電流I_{leak}の解析を行う。破線矢印で図示したように、漏れ電流I_{leak}の経路は、オフしているMOSトランジスタ、すなわち、弱反転領域で動作しているMOSトランジスタのソースとドレインの間を通じて、高い方の電圧が入力される入力端子から低い方の電圧が入力される入力端子に流れる。NチャンネルMOSトランジスタM3のゲートドレイン間電圧V_{GD}は、ドレイン基板間ダイオードの閾値電圧をV_fとしたとき、V₂ = 0より、V_{GD} = -V_fとなる。よって、漏れ電流I_{leak}は、上述した本発明の実施形態2に係る電圧切り替え回路の説明と同様に、式(7)となる。

10

【0074】

式(2)と式(7)の大小関係を比較すると、本発明の実施形態1に係る電圧切り替え回路の説明における式(5)と同じ式となる。

式(5)より、左辺は負の指数オーダーの項 $e^{xp(-V_f)}$ がかかっているため、右辺よりも極めて小さい。したがって、本発明の第4実施形態に係る電圧切り替え回路は、従来の電圧切り替え回路に比べて漏れ電流を極めて小さくすることができる。

以上のように、本発明の第4実施形態に係る電圧切り替え回路によれば、電圧降下することなく、従来の電圧切り替え回路に比べて漏れ電流が小さいので、入力端子に接続される電源装置の大型化を招くことなく、低消費電力であるという効果を奏する。

20

【0075】

なお、本発明の第4実施形態に係る電圧切り替え回路では、PチャンネルMOSトランジスタM1のバルクとNチャンネルMOSトランジスタM2のバルクは共通の電圧とし、PチャンネルMOSトランジスタM4のバルクとNチャンネルMOSトランジスタM3のバルクは共通の電圧としたが、NチャンネルMOSトランジスタM2のバルクをNチャンネルMOSトランジスタM2のソースに接続し、PチャンネルMOSトランジスタM4のバルクをPチャンネルMOSトランジスタM4のソースに接続してもよい。このとき、図5に示したドレイン基板間ダイオードの向きは同じであるので、同じ効果を奏する。

【0076】

(第5実施形態)

次に、本発明の第5実施形態に係る電圧切り替え回路の構成について、図6を参照して説明する。

30

本発明の第5実施形態に係る電圧切り替え回路は、入力端子101、102にそれぞれ電圧V1、V2が入力され、その電圧V1、V2のうち高い方の電圧を出力端子103に出力するものであって、PチャンネルMOSトランジスタM1、NチャンネルMOSトランジスタM2、NチャンネルMOSトランジスタM3、およびPチャンネルMOSトランジスタM4を備えている。

【0077】

入力端子101には、PチャンネルMOSトランジスタM1のドレイン、NチャンネルMOSトランジスタM2のゲートがそれぞれ接続されている。

入力端子102には、PチャンネルMOSトランジスタM4のソース、バルク、およびNチャンネルMOSトランジスタM3のゲート、バルクがそれぞれ接続されている。

40

そして、PチャンネルMOSトランジスタM1のソース、バルク、およびNチャンネルMOSトランジスタM2のソース、バルクがそれぞれ接続されている。また、NチャンネルMOSトランジスタM3のソースとPチャンネルMOSトランジスタM4のドレインが接続されている。

【0078】

また、出力端子103には、PチャンネルMOSトランジスタM1のゲート、NチャンネルMOSトランジスタM2のドレイン、NチャンネルMOSトランジスタM3のドレイン、およびPチャンネルMOSトランジスタM4のゲートがそれぞれ接続されている。

入力端子101、102および出力端子103の接続先などは、第1実施形態の場合と

50

同様である。また、図6に示すダイオードの意味は、図1の場合のダイオードと同様である。

【0079】

次に、本発明の第5実施形態に係る電圧切り替え回路の動作について、図6を参照して説明する。説明を簡単にするために、電圧 V_1 は電圧 V_2 よりも高く、 $V_2 = 0$ であるとする。また、MOSトランジスタの閾値電圧 V_{th} は、 $V_{th} = 0$ であるとする。

まず、 $V_{th} = 0$ なので、NチャネルMOSトランジスタ M_2 、 M_3 は、ゲートソース間電圧 V_{GS} が正電圧である限り、オンする。また、PチャネルMOSトランジスタ M_1 、 M_4 は、ゲートソース間電圧 V_{GS} が負電圧である限り、オンする。

【0080】

$V_{th} = 0$ 、 $V_1 > V_2$ より、PチャネルMOSトランジスタ M_1 のゲートドレイン間電圧 V_{GD} は負電圧となり、NチャネルMOSトランジスタ M_2 のゲートドレイン間電圧 V_{GD} は正電圧となり、PチャネルMOSトランジスタ M_1 とNチャネルMOSトランジスタ M_2 はオンする。一方、PチャネルMOSトランジスタ M_4 のゲートドレイン間電圧 V_{GD} は正電圧となり、NチャネルMOSトランジスタ M_3 のゲートソース間電圧 V_{GS} は負電圧となるので、PチャネルMOSトランジスタ M_4 とNチャネルMOSトランジスタ M_3 はオフする。よって、電圧 V_1 が出力端子103より出力される。

【0081】

ここで、漏れ電流 I_{leak} の解析を行う。破線矢印で図示したように、漏れ電流 I_{leak} の経路は、オフしているMOSトランジスタ、すなわち、弱反転領域で動作しているMOSトランジスタのソースとドレインの間を通じて、高い方の電圧が入力される入力端子から低い方の電圧が入力される入力端子に流れる。NチャネルMOSトランジスタ M_3 のゲートソース間電圧 V_{GS} は、ドレイン基板間ダイオードの閾値電圧を V_f としたとき、 $V_2 = 0$ より、 $V_{GS} = -V_f$ となる。よって、漏れ電流 I_{leak} は、上述した本発明の実施形態1に係る電圧切り替え回路の説明における式(4)と同じ式となる。

【0082】

式(2)と式(4)の大小関係を比較すると、本発明の実施形態1に係る電圧切り替え回路の説明における式(5)と同じ式となる。

式(5)より、左辺は負の指数オーダーの項 $e^{x_p(-V_f)}$ がかかっているため、右辺よりも極めて小さい。したがって、本発明の第5実施形態に係る電圧切り替え回路は、従来の電圧切り替え回路に比べて漏れ電流を極めて小さくすることができる。

以上のように、本発明の第5実施形態に係る電圧切り替え回路によれば、電圧降下することなく、従来の電圧切り替え回路に比べて漏れ電流が小さいので、入力端子に接続される電源装置の大型化を招くことなく、低消費電力であるという効果を奏する。

【0083】

なお、本発明の第5実施形態に係る電圧切り替え回路では、PチャネルMOSトランジスタ M_4 のバルクとNチャネルMOSトランジスタ M_3 のバルクは共通の電圧としたが、NチャネルMOSトランジスタ M_3 のバルクをNチャネルMOSトランジスタ M_3 のソースに接続してもよい。このとき、図6に示したドレイン基板間ダイオードの向きは同じであるので、同じ効果を奏する。

【0084】

(第6実施形態)

次に、本発明の第6実施形態に係る電圧切り替え回路の構成について、図7を参照して説明する。

本発明の第6実施形態に係る電圧切り替え回路は、入力端子101、102にそれぞれ電圧 V_1 、 V_2 が入力され、その電圧 V_1 、 V_2 のうち高い方の電圧を出力端子103に出力するものであって、PチャネルMOSトランジスタ M_1 、NチャネルMOSトランジスタ M_2 、NチャネルMOSトランジスタ M_3 、およびPチャネルMOSトランジスタ M_4 を備えている。

【0085】

10

20

30

40

50

入力端子101には、PチャンネルMOSトランジスタM1のドレイン、NチャンネルMOSトランジスタM2のゲートがそれぞれ接続されている。

入力端子102には、PチャンネルMOSトランジスタM4のドレイン、NチャンネルMOSトランジスタM3のゲートがそれぞれ接続されている。

そして、PチャンネルMOSトランジスタM1のソース、バルク、NチャンネルMOSトランジスタM2のソース、バルクがそれぞれ接続されている。また、NチャンネルMOSトランジスタM3のドレインとPチャンネルMOSトランジスタM4のソースが接続されている。

【0086】

また、出力端子103には、PチャンネルMOSトランジスタM1のゲート、NチャンネルMOSトランジスタM2のドレイン、NチャンネルMOSトランジスタM3のソース、バルク、およびPチャンネルMOSトランジスタM4のゲート、バルクがそれぞれ接続されている。

10

入力端子101、102および出力端子103の接続先などは、第1実施形態の場合と同様である。また、図7に示すダイオードの意味は、図1の場合のダイオードと同様である。

【0087】

次に、本発明の第6実施形態に係る電圧切り替え回路の動作について、図7を参照して説明する。説明を簡単にするために、電圧V1は電圧V2よりも高く、 $V2 = 0$ であるとする。また、MOSトランジスタの閾値電圧 V_{th} は、 $V_{th} = 0$ であるとする。

20

まず、 $V_{th} = 0$ なので、NチャンネルMOSトランジスタM2、M3は、ゲートソース間電圧 V_{GS} が正電圧である限り、オンする。また、PチャンネルMOSトランジスタM1、M4は、ゲートソース間電圧 V_{GS} が負電圧である限り、オンする。

【0088】

$V_{th} = 0$ 、 $V1 > V2$ より、PチャンネルMOSトランジスタM1のゲートドレイン間電圧 V_{GD} は負電圧となり、NチャンネルMOSトランジスタM2のゲートドレイン間電圧 V_{GD} は正電圧となり、PチャンネルMOSトランジスタM1とNチャンネルMOSトランジスタM2はオンする。一方、PチャンネルMOSトランジスタM4のゲートソース間電圧 V_{GS} は正電圧となり、NチャンネルMOSトランジスタM3のゲートドレイン間電圧 V_{GD} は負電圧となるので、PチャンネルMOSトランジスタM4とNチャンネルMOSトランジスタM3はオフする。よって、電圧V1が出力端子103より出力される。

30

【0089】

ここで、漏れ電流 I_{leak} の解析を行う。破線矢印で図示したように、漏れ電流 I_{leak} の経路は、オフしているMOSトランジスタ、すなわち、弱反転領域で動作しているMOSトランジスタのソースとドレインの間を通じて、高い方の電圧が入力される入力端子から低い方の電圧が入力される入力端子に流れる。NチャンネルMOSトランジスタM3のゲートドレイン間電圧 V_{GD} は、ドレイン基板間ダイオードの閾値電圧を V_f としたとき、 $V2 = 0$ より、 $V_{GD} = -V_f$ となる。よって、漏れ電流 I_{leak} は、上述した本発明の実施形態2に係る電圧切り替え回路の説明における式(7)と同じ式となる。

【0090】

40

式(2)と式(7)の大小関係を比較すると、本発明の実施形態1に係る電圧切り替え回路の説明における式(5)と同じ式となる。

式(5)より、左辺は負の指数オーダーの項 $e^{-x_p(-V_f)}$ がかかっているため、右辺よりも極めて小さい。したがって、本発明の第6実施形態に係る電圧切り替え回路は、従来の電圧切り替え回路に比べて漏れ電流を極めて小さくすることができる。

以上のように、本発明の第6実施形態に係る電圧切り替え回路によれば、電圧降下することなく、従来の電圧切り替え回路に比べて漏れ電流が小さいので、入力端子に接続される電源装置の大型化を招くことなく、低消費電力であるという効果を奏する。

【0091】

なお、本発明の第6実施形態に係る電圧切り替え回路では、PチャンネルMOSトランジ

50

スタM4のバルクとNチャンネルMOSトランジスタM3のバルクは共通の電圧としたが、PチャンネルMOSトランジスタM4のバルクをPチャンネルMOSトランジスタM4のソースに接続してもよい。このとき、図7に示したドレイン基板間ダイオードの向きは同じであるので、同じ効果を奏する。

【0092】

(その他の実施形態など)

(1)本発明の第1～第6の実施形態に係る電圧切り替え回路では、2つの電圧のうち高い方の電圧を出力する場合について説明した。しかし、各実施形態において、切り替える電圧は2つに限らず、3つ以上の電圧を切り替える電圧切り替え回路も構成できる。

つまり、入力端子101から出力端子103までの回路(以下、CMOSペアという)を複数用意して、複数の電圧がそれぞれ入力される複数の入力端子に、複数のCMOSペアのPチャンネルMOSトランジスタ側をそれぞれ接続し、NチャンネルMOSトランジスタ側をそれぞれワイヤードオア接続して出力端子に接続することで、複数の電圧を切り替える電圧切り替え回路を実現できる。このとき、入力された複数の電圧のうち最も高い電圧が出力される。

10

【0093】

(2)本発明の第1～第6実施形態に係る電圧切り替え回路では、入力端子と出力端子との間に、1つのCMOSペアを接続した場合について説明をした。しかし、各実施形態において、CMOSペアを複数用意して、入力端子と出力端子との間に、直列接続、並列接続、または、直列接続と並列接続を組み合わせた接続をしてもよい。

20

【0094】

(3)本発明の第1～第6実施形態に係る電圧切り替え回路を構成するMOSトランジスタの各々は、複数用意した同一極性のMOSトランジスタのゲート、ソース、ドレイン、バルクのそれぞれを共通接続、すなわち、並列接続をした1つの合成MOSトランジスタとしてもよい。また、ゲート、バルクのそれぞれを共通接続をしてソース、ドレインを互いに接続、すなわち、直列接続をした1つの合成MOSトランジスタとしてもよい。

【産業上の利用可能性】

【0095】

本発明の電圧切り替え回路は、複数の電源からエネルギーが供給される電子機器等の分野で好適に利用できる。

30

【符号の説明】

【0096】

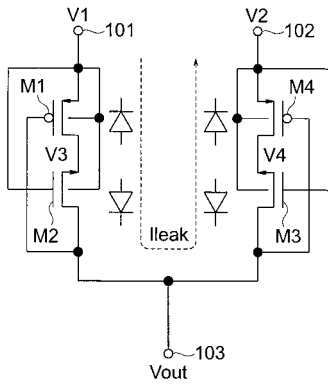
M1、M4・・・PチャンネルMOSトランジスタ

M2、M3・・・NチャンネルMOSトランジスタ

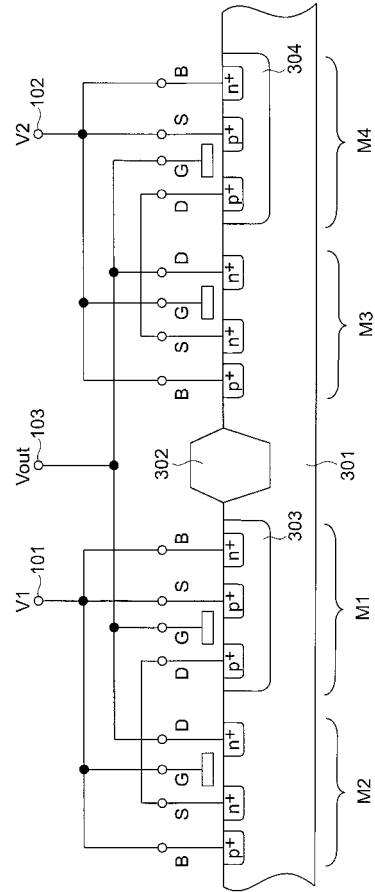
101、102・・・入力端子

103・・・出力端子

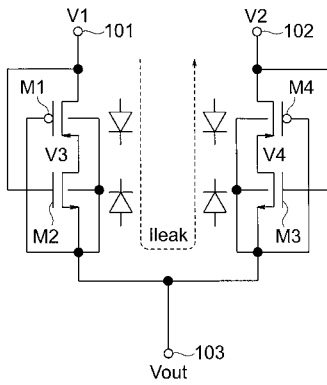
【 図 1 】



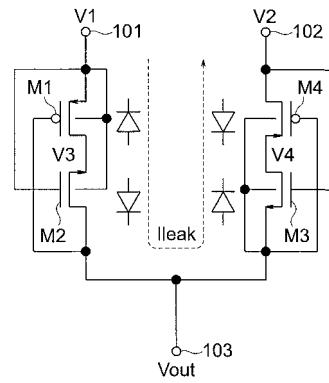
【 図 2 】



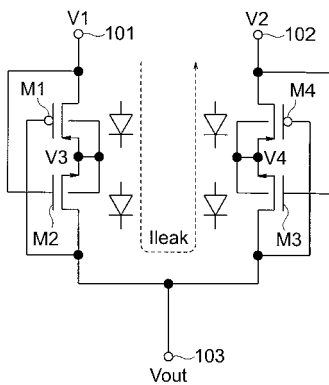
【 図 3 】



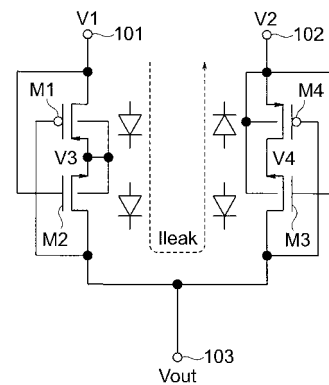
【 図 5 】



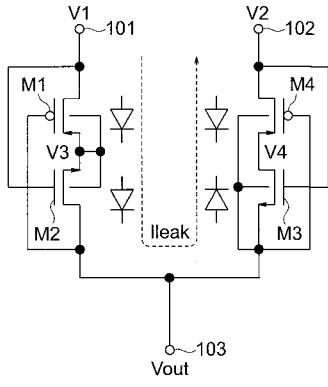
【 図 4 】



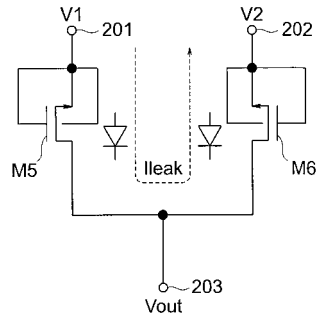
【 図 6 】



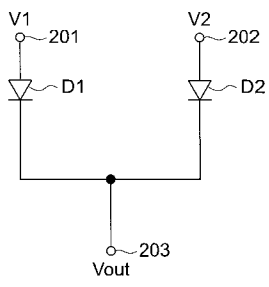
【 図 7 】



【 図 9 】



【 図 8 】



【 図 10 】

