



(12) 发明专利申请

(10) 申请公布号 CN 119522636 A

(43) 申请公布日 2025. 02. 25

(21) 申请号 202380050510.7

(22) 申请日 2023.06.29

(30) 优先权数据

2022-105187 2022.06.29 JP

(85) PCT国际申请进入国家阶段日

2024.12.27

(86) PCT国际申请的申请数据

PCT/JP2023/024229 2023.06.29

(87) PCT国际申请的公布数据

W02024/005153 JA 2024.01.04

(71) 申请人 株式会社FLOSFIA

地址 日本京都

(72) 发明人 松原佑典 冲川满 安藤裕之

四户孝

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

专利代理师 辛雪花 朴圣洁

(51) Int.Cl.

H10D 8/60 (2025.01)

H10D 8/01 (2025.01)

H10D 12/01 (2025.01)

H10D 62/10 (2025.01)

H10D 62/81 (2025.01)

H10D 62/82 (2025.01)

H10D 64/64 (2025.01)

H10D 12/00 (2025.01)

H10D 30/66 (2025.01)

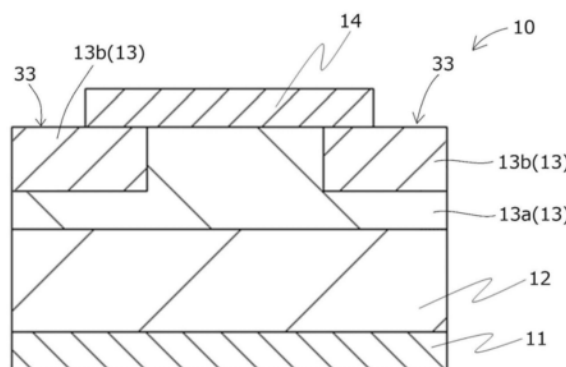
权利要求书2页 说明书21页 附图9页

(54) 发明名称

半导体装置及半导体装置的制造方法

(57) 摘要

提供一种即使不依赖于p型的半导体区域或半导体层,也能够提高具有半导体区域或半导体层的半导体装置的耐压性的技术,其中该半导体区域或半导体层包括含有镓的结晶性氧化物半导体。半导体装置具备耗尽层延伸的半导体层和直接或间接隔着其他层配置在所述半导体层上的电极。所述半导体层具有第一区域和第二区域,该第一区域包括含有镓的结晶性氧化物半导体作为主成分,该第二区域包括含有镓的氧化物作为主成分,所述第二区域在与所述半导体层的上表面垂直的截面中具有线状的晶体缺陷区域。



1. 一种半导体装置,具备:
耗尽层延伸的半导体层;和
直接或隔着其他层配置在所述半导体层上的电极,
所述半导体层具有:第一区域,包括含有镓的结晶性氧化物半导体作为主成分;和第二区域,包括含有镓的氧化物作为主成分,
所述第二区域在与所述半导体层的上表面垂直的截面中具有线状的晶体缺陷区域。
2. 根据权利要求1所述的半导体装置,其中,所述晶体缺陷区域的晶体缺陷的密度为 $1.0 \times 10^{19}/\text{cm}^3$ 以上。
3. 根据权利要求1所述的半导体装置,其中,所述俯视时的所述第二区域的晶体缺陷的面密度为 $5 \times 10^{16}/\text{cm}^2$ 以上。
4. 根据权利要求1所述的半导体装置,其中,所述晶体缺陷区域沿着所述上表面延伸。
5. 根据权利要求1所述的半导体装置,其中,所述晶体缺陷区域的晶体缺陷的密度的最大值在距离所述半导体层的上表面的深度处的位置位于比所述第二区域的上端侧靠下端侧的位置处。
6. 根据权利要求1所述的半导体装置,其中,
所述半导体层包括杂质元素,
包括在所述第二区域中的所述杂质元素的浓度高于包括在所述第一区域中的所述杂质元素的浓度,
所述晶体缺陷区域的晶体缺陷的密度的最大值与包括在所述第二区域中的所述杂质元素的浓度的最大值相比,距离所述半导体层的上表面的深度浅,
所述最大值双方在距离所述半导体层的上表面的深度处的位置位于比所述第二区域的上端侧更下端侧的位置处。
7. 根据权利要求1所述的半导体装置,其中,所述第二区域的厚度为 $1.5\mu\text{m}$ 以上。
8. 根据权利要求1所述的半导体装置,其中,所述第二区域的至少一部分在俯视时与所述电极的下表面的周缘重叠。
9. 根据权利要求7所述的半导体装置,其中,与所述下表面的周缘重叠的所述第二区域与所述下表面相接。
10. 根据权利要求1所述的半导体装置,其中,所述第二区域的至少一部分在俯视时与所述半导体层的周缘部重叠。
11. 根据权利要求1所述的半导体装置,其中,所述第二区域包括质量数大于Mg的质量数的元素的单体。
12. 根据权利要求10所述的半导体装置,其中,所述元素为Al。
13. 根据权利要求1所述的半导体装置,其中,所述第二区域的元素的浓度高于所述第一区域的元素的浓度。
14. 根据权利要求1所述的半导体装置,其中,所述结晶性氧化物半导体具有刚玉结构。
15. 根据权利要求1所述的半导体装置,其中,所述氧化物为非晶质。
16. 根据权利要求1所述的半导体装置,其中,所述结晶性氧化物半导体包括铝和/或铟。
17. 根据权利要求1所述的半导体装置,其中,所述半导体装置为二极管。

18. 根据权利要求1所述的半导体装置,其中,所述半导体装置为功率器件。

19. 一种电力转换装置,其使用权利要求1所述的半导体装置。

20. 一种控制系统,其使用权利要求1所述的半导体装置。

21. 一种半导体装置的制造方法,具备以下工序:

形成半导体层,所述半导体层包括含有镓的结晶性氧化物半导体作为主成分且包括n型掺杂剂;

将杂质元素从所述半导体层的上表面向所述半导体层的一部分进行离子注入;和不进行使所述离子注入的元素活化的处理而在所述半导体层上直接或隔着其他层形成电极,

所述离子注入的工序形成第一区域和第二区域,并且在与所述半导体层的上表面垂直的截面中,将线状的晶体缺陷区域形成在所述第二区域中,所述第一区域包括含有镓的结晶性氧化物半导体作为主成分,所述第二区域包括含有镓的氧化物作为主成分。

22. 根据权利要求21所述的半导体装置的制造方法,其中,在所述离子注入的工序之后,直到形成所述电极的工序为止,使所述半导体层的温度小于800°C。

半导体装置及半导体装置的制造方法

技术领域

[0001] 本公开涉及半导体装置及半导体装置的制造方法。

背景技术

[0002] 在专利文献1中公开了具有p型高电阻区域的肖特基势垒二极管。该p型高电阻区域由离子注入Mg或Be并退火处理的 β -Ga₂O₃系单晶构成。此外,并不是仅仅因为背景技术中有记载而被认为是现有技术。

[0003] 专利文献1:日本专利公开2016-039194号公报

发明内容

[0004] 本公开所要解决的课题在于,提供一种即使不依赖于p型的半导体区域或半导体层,也能够提高具有半导体区域或半导体层的半导体装置的耐压性的技术,其中该半导体区域或半导体层包括含有镓的结晶性氧化物半导体。

[0005] 根据本公开的一个方案,半导体装置具备:耗尽层延伸的半导体层;和直接或隔着其他层配置在所述半导体层上的电极。所述半导体层具有:第一区域,包括含有镓的结晶性氧化物半导体作为主成分;和第二区域,包括含有镓的氧化物作为主成分,所述第二区域在与所述半导体层的上表面垂直的截面中具有线状的晶体缺陷。

[0006] 根据本公开的一个方案,半导体装置的制造方法具备以下工序:形成半导体层,所述半导体层包括含有镓的结晶性氧化物半导体作为主成分且包括n型掺杂剂;将杂质元素从所述半导体层的上表面向所述半导体层的一部分进行离子注入;和不进行使所述离子注入的元素活化的处理而在所述半导体层上直接或隔着其他层形成电极。所述离子注入的工序形成第一区域和第二区域,并且在与所述半导体层的上表面垂直的截面中,将线状的晶体缺陷形成在所述第二区域中,所述第一区域包括含有镓的结晶性氧化物半导体作为主成分,所述第二区域包括含有镓的氧化物作为主成分。

[0007] 根据本公开,可提供一种使用半导体区域或半导体层且在不使用p型的半导体区域或半导体层的情况下能够提高耐压性的半导体装置和这样的半导体装置的制造方法,其中该半导体区域或半导体层包括含有镓的结晶性氧化物半导体。

附图说明

[0008] 图1是例示第一实施方式所涉及的半导体装置的示意剖视图。

[0009] 图2是表示第一实施方式所涉及的半导体装置的制造方法的流程图。

[0010] 图3是例示第二实施方式所涉及的半导体装置的示意剖视图。

[0011] 图4是例示第三实施方式所涉及的半导体装置的示意剖视图。

[0012] 图5是例示第四实施方式所涉及的半导体装置的示意剖视图。

[0013] 图6是例示第五实施方式所涉及的半导体装置的示意剖视图。

[0014] 图7是表示采用本公开的实施方式所涉及的半导体装置的控制系统的方框图的一例的方框图。

结构图。

[0015] 图8是表示采用本公开的实施方式所涉及的半导体装置的控制系统的电路的一例的电路图。

[0016] 图9是表示采用本公开的实施方式所涉及的半导体装置的控制系统的方框结构图的一例的方框结构图。

[0017] 图10是表示采用本公开的实施方式所涉及的半导体装置的控制系统的电路的一例的电路图。

[0018] 图11是表示对实施例1中的半导体装置施加反向电压时的电压 (V) 与电流 (A) 之间的关系图。

[0019] 图12是表示实施例1中的半导体装置的SEM观察结果的图。

[0020] 图13是表示实施例1中的半导体装置的SEM观察结果的图。

[0021] 图14是表示实施例1中的半导体装置的扫描离子显微镜 (SIM; Scanning Ion Microscope) 的观察结果的图。

[0022] 图15是表示实施例1中的半导体装置的SIM观察结果的图。

[0023] 图16是表示实施例1中的距离半导体层上表面的深度与晶体缺陷的密度或杂质元素的浓度之间的关系数值计算代码 (SRIM/TRIM) 的计算结果。

[0024] 图17是表示实施例2~5中的距离半导体层上表面的深度与杂质的浓度之间的关系二次离子质谱分析 (SIMS) 的结果。

具体实施方式

[0025] 下面,使用附图对本公开的半导体装置的实施方式进行说明,但权利要求书所涉及的发明并不限于这些实施方式。另外,在实施方式中说明的结构的所有组合并不限定为课题的解决方案所必须的组合。另外,在不妨碍解决本公开的课题的范围内对本公开的各结构进行说明。另外,对相同的结构元件标注相同的附图标记,省略重复的说明。

[0026] 另外,如对本领域技术人员来说显而易见的那样,即使在本说明书中未进行描述,附图中所示的特征也并不一定按一定的比例尺描绘。另外,请注意一个方案中的一个特征也可以用于另一个方案中。关于公知的元件和加工技术的记载可以省略,以避免不必要地使本公开的方案不明确。本说明书中采用的例子的目的仅仅是帮助理解本公开,并且使得本领域技术人员能够实施本公开的方案。因此,本说明书中的方案和例子并不限于本公开的范围来解释,而是仅由权利要求书和可适用的法律来规定。

[0027] 虽然“第一”、“第二”等用语是为了描述本说明书中采用的各种元件而使用,但元件并不限于这些用语。第一、第二等用语仅仅为了将一个元件与另一元件相区别来使用。例如,在不脱离本公开的范围的情况下,第一元件可称为第二元件,并且第二元件可称为第一元件。如本说明书中采用的那样,用语“和/或”包含所列举的项目中的一个项目、多个项目或所有项目的组合。

[0028] 在本公开中,将与半导体层的深度方向平行的方向上的一侧设为“上”,将另一侧设为“下”来进行说明。特别是,从图1中的半导体装置10的n-型半导体层13观察时,将肖特基电极14侧设为上方,从n+型半导体层12观察时,将欧姆电极11侧设为下方,来定义“上”和“下”。将在层、基板或其他部件的两个主面中位于上方的面设为上表面,将位于下方的面设

为下表面来进行说明。这些“上”和“下”的方向并不限定于重力方向或在半导体装置的安装时对基板等的安装方向。另外,在本公开中,将与半导体层的深度方向正交的方向设为水平方向来进行说明。此外,本说明书使用俯视这一语句进行说明,但也可以换句话而言为俯瞰。

[0029] 应理解在使用层、区域或基板等元件存在于另一元件的“上方”或“下方”这种表述时,可直接存在于其他元件的上方或下方,或者可存在介于之间的元件。应理解在使用元素与另一元件“连接”或“结合”这种表述时,可与另一元件直接连接或结合,或者可存在介于之间的元件。

[0030] 本说明书中使用的用语的目的是仅描述特定的方案,并非用来限定本公开。本说明书中使用的“具备”、“包括”是表示所记载的元件的存在,而并不排除一个或多个其他元件的存在。

[0031] 如果没有其他定义,则本说明书中使用的所有用语(包括技术用语和科学用语)具有与本公开所属技术领域的技术人员通常理解的含义相同的含义。本说明书中使用的用语被解释为具有与本说明书的上下文和相关技术中的含义不矛盾的含义。另外,应理解如果在本说明书中没有定义,则本说明书中使用的用语不应被解释为理想化的或过分形式化的含义。

[0032] 本公开所涉及的半导体装置适用于各种半导体元件,尤其适用于功率器件。另外,半导体元件可分类为:横向型元件(横向型器件),电极形成在半导体层的单面侧上,且电流在半导体层的膜厚方向和膜平面的面内方向上流动;和纵向型元件(纵向型器件),在半导体层的正背两面侧上分别具有电极,且电流在半导体层的膜厚方向上流动,在本公开的实施方式中,可将所述半导体元件适当地用于横向型器件和纵向型器件,但其中优选用于纵向型器件。作为所述半导体元件,例如可以列举肖特基势垒二极管(SBD)、结势垒肖特基二极管(JBS)、金属半导体场效应晶体管(MESFET)、金属绝缘膜半导体场效应晶体管(MISFET)、金属氧化物半导体场效应晶体管(MOSFET)、高电子迁移率晶体管(HEMT)或发光二极管等。在本公开的实施方式中,所述半导体装置优选为二极管,更优选为肖特基势垒二极管(SBD)。另外,在本公开的实施方式中,所述半导体装置优选为MOSFET。

[0033] (第一实施方式)

[0034] 图1是例示第一实施方式所涉及的半导体装置10的示意剖视图。第一实施方式所涉及的半导体装置10例如为SBD(肖特基势垒二极管)。如图1所示,半导体装置10具备欧姆电极11、n+型半导体层12、n-型半导体层13和肖特基电极14。另外,关于半导体装置10,虽然未图示,但也可以将由公知材料构成的导电体的支撑基板配置在欧姆电极11的下方。

[0035] 欧姆电极11是与n+型半导体层12进行欧姆接触的电极。欧姆电极11的构成材料可以与下面详述的肖特基电极14的构成材料相同,也可以为公知材料。

[0036] n+型半导体层12位于欧姆电极11上。n+型半导体层12是载流子密度大于n-型半导体层13的载流子密度的n型半导体层。n+型半导体层12包括结晶性氧化物半导体作为主成分。

[0037] 作为包括在n+型半导体层12中的结晶性氧化物半导体,例如可以列举包括选自铝、镓、铟、铁、铬、钒、钛、锆、镍、钴和铱中的一种或两种以上的金属的金属氧化物。在本公开的实施方式中,所述结晶性氧化物半导体优选包括选自铝、铟和镓中的至少一种金属,更

优选至少包括镓,最优选为 α -Ga₂O₃或其混晶。根据本公开,即使在使用例如氧化镓或其混晶等带隙大的半导体的情况下,也能够良好地降低漏电流。

[0038] 作为包括在n+型半导体层12中的结晶性氧化物半导体的晶体结构,例如可以列举刚玉结构、 β -gallia结构、六方晶结构(例如, ϵ 型结构等)、直方晶结构(例如, κ 型结构等)、立方晶结构或正方晶结构等。在本公开的实施方式中,优选所述结晶性氧化物半导体具有刚玉结构、 β -gallia结构或六方晶结构(例如, ϵ 型结构等),更优选具有刚玉结构。此外,所谓“主成分”表示的是相对于n+型半导体层12的全部成分,以原子比计,优选包括50%以上的所述结晶性氧化物半导体,更优选包括70%以上,进一步优选包括90%以上,并且表示所述结晶性氧化物半导体的含量也可以为100%。

[0039] n+型半导体层12的厚度可以为1 μ m以下,也可以为1 μ m以上。在本公开的实施方式中,n+型半导体层12的厚度优选为1 μ m以上且优选为3 μ m以下。此外,n+型半导体层12的厚度也可以为3 μ m以上。

[0040] n+型半导体层12的俯视时的面积可以为1mm²以上,也可以为1mm²以下。所述面积优选为2mm²~300cm²。另外,在本实施方式中,n+型半导体层12为单晶,但也可以为多晶。

[0041] 关于n+型半导体层12的载流子密度,可通过调节掺杂量来适当设定。在n+型半导体层12中优选包括掺杂剂。所述掺杂剂可以是公知的掺杂剂。在本公开的实施方式中,在n+型半导体层12以含有镓的结晶性氧化物半导体为主成分的情况下,作为所述掺杂剂的适当的例子,例如可以列举锡、锗、硅、钛、锆、钒或铌等的n型掺杂剂。在本公开的实施方式中,优选所述n型掺杂剂为Sn、Ge或Si。在所述半导体层的组成中,掺杂剂的含量优选为0.00001原子%以上,更优选为0.00001原子%~20原子%,最优选为0.00001原子%~10原子%。另外,所述n+型半导体层的载流子密度通常为约 $1 \times 10^{17}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ 。在本公开的实施方式中,可以以约 $1 \times 10^{20}/\text{cm}^3$ 的高浓度含有掺杂剂。在本公开的实施方式中,优选以成为 $1 \times 10^{17}/\text{cm}^3$ 以上的载流子密度的方式含有所述掺杂剂。

[0042] n-型半导体层13位于n+型半导体层12上。n-型半导体层13的上表面与肖特基电极14进行肖特基接触。n-型半导体层13是载流子密度小于n+型半导体层12的载流子密度的n型半导体层。n-型半导体层13是在对半导体装置10施加反向电压时耗尽层延伸的层。n-型半导体层13的载流子密度通常在 $1.0 \times 10^{14}/\text{cm}^3 \sim 1.0 \times 10^{17}/\text{cm}^3$ 的范围内。

[0043] n-型半导体层13的厚度可以为1 μ m以下,也可以为1 μ m以上,但在本公开的实施方式中,优选为3 μ m以上。n-型半导体层13的俯瞰时的面积没有特别限定,可以为1mm²以上,也可以为1mm²以下,但优选为2mm²~300cm²。

[0044] n-型半导体层13具有第一区域13a和第二区域13b。此外,n-型半导体层13也可以具有其他区域。第二区域13b是第二区域或杂质添加区域的一例。

[0045] 第一区域13a的上表面与肖特基电极14进行肖特基接合。第一区域13a例如是从n-型半导体层13去除第二区域13b的区域。如图1所示,第一区域13a构成n-型半导体层13的下表面、n-型半导体层13的上表面的一部分和n-型半导体层13的侧面的一部分。

[0046] 第一区域13a是包括结晶性氧化物半导体作为主成分的半导体区域。作为所述结晶性氧化物半导体,至少包括镓,最优选为 α -Ga₂O₃或其混晶。此外,在本公开的实施方式中,作为n+型半导体层12的主成分的所述结晶性氧化物半导体和作为第一区域13a的主成分的所述结晶性氧化物半导体可以相同,也可以不同。

[0047] 作为包括在第一区域13a中的结晶性氧化物半导体的晶体结构,例如可以列举刚玉结构、 β -gallia结构、六方晶结构(例如, ϵ 型结构等)、直方晶结构(例如, κ 型结构等)、立方晶结构或正方晶结构等。在本公开的实施方式中,优选所述结晶性氧化物半导体具有刚玉结构、 β -gallia结构或六方晶结构(例如, ϵ 型结构等),更优选具有刚玉结构。此外,所谓“主成分”表示的是例如在所述结晶性氧化物半导体为 Ga_2O_3 的情况下,以在所述第一区域13a中的所有金属元素中镓的原子比为0.5以上的比例,在所述第一区域13a中包括 Ga_2O_3 。在本公开中,优选在所述第一区域13a中的所有金属元素中镓的原子比为0.7以上,更优选为0.9以上。在本实施方式中,第一区域13a为单晶,但也可以为多晶。

[0048] 第一区域13a的载流子密度小于n+型半导体层12的载流子密度。关于第一区域13a的载流子密度,可通过调节n-型半导体层13的掺杂量来适当设定。在第一区域13a中可以包括掺杂剂。所述掺杂剂可以是公知的掺杂剂。在本公开的实施方式中,尤其在第一区域13a以含有镓的结晶性氧化物半导体为主成分的情况下,作为所述掺杂剂的适当的例子,例如可以列举锡、锗、硅、钛、锆、钒或铌等的n型掺杂剂。在本公开的实施方式中,优选所述n型掺杂剂为Sn、Ge或Si。在第一区域13a的组成中,掺杂剂的含量优选为0.00001原子%以上,更优选为0.00001原子%~20原子%,最优选为0.00001原子%~10原子%。更具体而言,掺杂剂的浓度通常可以为约 $1 \times 10^{16}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$,而且可将掺杂剂的浓度例如设为约 $1 \times 10^{17}/\text{cm}^3$ 以下的低浓度。此外,本说明书中的掺杂剂是指实现供体化或受体化的元素。

[0049] 第二区域13b例如是从n-型半导体层13的上表面的一部分起向下方扩展到n-型半导体层13内的深度 $1.0\mu\text{m}$ 以上为止的区域。所述深度可以为 $1.0\mu\text{m}$,但优选为 $1.2\mu\text{m}$ 以上或 $1.5\mu\text{m}$ 以上。第二区域13b的一部分在俯视时与n-型半导体层13的周缘部33重叠。周缘部33为从侧面到内侧与n-型半导体层13的侧面处于规定范围内的区域。所述规定范围例如是指在俯视时与肖特基电极14的下表面不重叠的范围。此外,第二区域13b的上表面为第二区域13b的上端的一例。在本实施方式中,由于第二区域13b的上表面包括在n-型半导体层13的上表面中,因此前述的第二区域13b在n-型半导体层13内所处的深度也可以说是第二区域13b的厚度。

[0050] 第二区域13b的上表面的一部分与肖特基电极14的下表面的一部分接触。第二区域13b的一部分例如在俯视时与肖特基电极14的下表面的周缘及从周缘到内侧在规定范围内的一部分重叠。此外,在本实施方式中,第二区域13b和第一区域13a连续,但也可以在这些区域之间设置有其他区域。另外,在第一区域13a和第二区域13b连续的情况下,可以没有明确的边界。

[0051] 第二区域13b优选在俯视时不间断。第二区域13b在俯视时例如可以呈环状,也可以呈矩形的框状,还可以呈棒状。此外,第二区域13b在俯视时可以并非不间断,也可以由非连续的多个区域构成。此时,第二区域13b在俯视时可以呈条纹状,也可以分别呈L字状或点状。

[0052] 第二区域13b为包括氧化物作为主成分的区域。作为所述氧化物,更优选至少包括镓,最优选为 Ga_2O_3 或者 Ga_2O_3 与其他金属氧化物的复合氧化物或 Ga_2O_3 与其他金属氧化物的混晶。所述氧化物可以是结晶性氧化物半导体,但优选所述氧化物为微晶,更优选为非晶。优选所述氧化物包括非晶质或所述氧化物为非晶。此外,在第二区域13b中也可以混合存在所述结晶性半导体和所述非晶。

[0053] 当在第二区域13b中作为主成分包括的氧化物包括结晶性氧化物半导体时,所述结晶性氧化物的晶体结构例如可以列举刚玉结构、 β -gallia结构、六方晶结构(例如, ϵ 型结构等)、直方晶结构(例如, κ 型结构等)、立方晶结构或正方晶结构等。在本公开的实施方式中,优选所述结晶性氧化物半导体具有刚玉结构、 β -gallia结构或六方晶结构(例如, ϵ 型结构等),更优选具有刚玉结构。所述结晶性氧化物半导体的晶体结构与第一区域13a的所述结晶性氧化物半导体的晶体结构相同。此外,所谓“主成分”表示的是例如在所述氧化物为 Ga_2O_3 的情况下,以在所述第二区域13b中的所有金属元素中镓的原子比为0.5以上的比例,在所述第二区域13b中包括 Ga_2O_3 。在本公开中,在所述第二区域13b中的所有金属元素中镓的原子比优选为0.7以上,更优选为0.9以上。

[0054] 此外,n-型半导体层13的主成分可以是结晶性氧化物半导体。包括在n-型半导体层13中的结晶性氧化物半导体可以仅是包括在第一区域13a中的结晶性氧化物半导体,也可以是包括在第一区域13a中的结晶性氧化物半导体和包括在第二区域13b中的结晶性氧化物半导体的组合。所谓“主成分”表示的是相对于n-型半导体层13的全部成分,以原子比计,优选包括50%以上的所述结晶性氧化物半导体,更优选包括70%以上,进一步优选包括90%以上,并且表示所述结晶性氧化物半导体的含量也可以为100%。

[0055] 第二区域13b的载流子密度小于第一区域13a的载流子密度。在第二区域13b中可以包括与第一区域13a相同的掺杂剂。所述掺杂剂可以是公知的掺杂剂。在本公开的实施方式中,作为所述掺杂剂的例子,可以列举锡、锗、硅、钛、锆、钒或铌等的n型掺杂剂。在本公开的实施方式中,在第二区域13b的组成中,所述掺杂剂的含量可以为0.00001原子%以上,例如也可以为0.00001原子%~20原子%或0.00001原子%~10原子%。更具体而言,掺杂剂的浓度可以为约 $1 \times 10^{16}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$,而且可将掺杂剂的浓度例如设为约 $1 \times 10^{17}/\text{cm}^3$ 以下的低浓度。

[0056] 关于第二区域13b,除了包括所述掺杂剂之外,例如还包括离子注入的杂质。杂质是指与构成所述第二区域13b的主成分的元素不同的元素,其浓度通常为 $1.0 \times 10^{15}/\text{cm}^3 \sim 1.0 \times 10^{22}/\text{cm}^3$ 。此外,在本公开中,杂质一词有时被记载为杂质元素。除了杂质元素以外的包括在第二区域13b中的元素可以与包括在第一区域13a中的元素相同。

[0057] 在本公开中,杂质元素可以是化合物,例如杂质元素以单体形式包括在第二区域13b中。离子注入的杂质可以选择多种元素,但在本实施方式中,选择一种元素。杂质优选选自对氧化镓不发挥施主或受主作用的元素。优选在离子注入杂质时,对含有镓的结晶性氧化物半导体的损伤量调整比较容易。该损伤量发生变化的主要原因包括杂质元素的质量数和注入能量的值。在杂质元素的质量数过小的情况下,对离子注入的杂质在以氧化镓为主成分的晶体内经过的区域几乎不带来损伤,因此导致可带来损伤的区域从肖特基电极14的下表面分离,无法提高半导体装置的耐压性。在杂质元素的质量数过大的情况下,伴随该损伤量的增加而过度生成晶体缺陷,有可能使半导体装置的耐压性变差。另外,杂质元素的质量数越大,所需的注入能量越增加,产生离子注入的装置的负荷和结构方面的制约,在工业上不利。

[0058] 优选的杂质元素为质量数大于Mg的质量数的金属元素,更优选为铝(Al)。离子注入可以是箱型分布(Box profile),也可以是简单分布(Single profile)。根据本公开,即使是简单分布,也能够提高半导体装置的耐压性。

[0059] 包括在第二区域13b中的杂质元素的浓度的最大值位于距离n-型半导体层13的上表面的深度为 $1.0\mu\text{m}$ 以上的位置处(参照实施例1~5和图16、图17)。杂质元素的浓度的最大值大于包括在第一区域13a中的所述杂质浓度的最大值。在本公开中,杂质元素的浓度有时称为杂质浓度。例如,使用二次离子质谱分析(SIMS)测定所述杂质浓度的最大值。在本实施方式中,例如,所述深度为 $2.0\mu\text{m}$ 以下。所述杂质浓度的所述最大值为 $1.0\times 10^{17}/\text{cm}^3$ 以上。此外,所述最大值可以是峰值。另外,在本公开的实施方式中,优选所述第二区域13b中的所述杂质浓度的最大值大于所述掺杂剂的浓度。离子注入的杂质的峰可以位于第二区域13b的下端处。

[0060] 第二区域13b中的杂质元素的浓度的最大值例如在前面描述的那样通过二次离子质谱分析(SIMS)来确定,但也可以通过公知的装置、数据、分析方法或解析方法来确定或观察,例如通过透射型电子显微镜(TEM)、能量色散型X射线光谱法(TEM-EDX)、其他二次离子质谱分析法(NanoSIMS)或数值计算代码(SRIM/TRIM)来计算等。

[0061] 在本公开中,将表示向n-型半导体层13内的离子注入的深度的投影射程设为 R_p ,将标准偏差设为 ΔR_p 来进行说明。 $R_p+\Delta R_p$ 例如大于 $1.1\mu\text{m}$ 。

[0062] 第二区域13b例如可以包括通过从n-型半导体层13的上表面注入离子而形成的晶体缺陷。例如,可以通过截面TEM(透射电子显微镜)像或截面SEM(扫描电子显微镜)像来观察所述晶体缺陷。关于所述晶体缺陷,可以在第二区域13b中以多数大致均等地扩散的状态观察,也可以在第二区域13b的上端或下端以多数呈面状或线状扩散的状态观察。

[0063] 在本实施方式中,例如在表示与半导体层的上表面垂直的截面的像中,以比较高的密度包括晶体缺陷的晶体缺陷区域21被观察为线状,包括晶体缺陷区域21的区域为第二区域13b。晶体缺陷区域21也可以被观察为高电阻化的区域。第二区域13b的至少一部分为晶体缺陷区域21即可。在本实施方式中,例如第二区域13b的下端距离n-型半导体层13的上表面的深度比晶体缺陷区域21的下端深。在所述像中可未观察到第二区域13b的一部分,例如从所述像中未观察到从第二区域13b的下端到上方的一部分。

[0064] 本公开中的线状的晶体缺陷区域21被观察为二维区域,具有一定的面积。在本实施方式中,线状的晶体缺陷区域21沿着n-型半导体层13的上表面延伸,即,与n-型半导体层13的上表面平行地延伸。晶体缺陷区域21具有一定的厚度,该厚度例如为 $1.0\mu\text{m}$ 以上。该厚度也可以为 $1.2\mu\text{m}$ 以上。此外,本实施方式中的线状也可以换句话而言为棒状或带状,简称为细长形。另外,晶体缺陷区域21例如呈直线状,但是至少一部分也可以呈曲线状。

[0065] 晶体缺陷区域21的一部分例如在表示与半导体层的上表面垂直的截面的像中,位于肖特基电极14的水平方向上的端部的正下方。可以观察到晶体缺陷区域21的一部分与肖特基电极14具有共同的边界。

[0066] 晶体缺陷区域21的晶体缺陷的密度例如为 $1.0\times 10^{19}/\text{cm}^3$ 以上。所述密度更优选为 $1.0\times 10^{20}/\text{cm}^3$ 以上。所述密度可以为 $1.0\times 10^{18}/\text{cm}^3$ 以上至小于 $1.0\times 10^{20}/\text{cm}^3$ 的值以上。另外,所述密度的最大值例如为 $1.0\times 10^{21}/\text{cm}^3$ 以上。不包括晶体缺陷区域21的第一区域13a的晶体缺陷的密度例如小于 $1.0\times 10^{18}/\text{cm}^3$,也可以小于比该 $1.0\times 10^{18}/\text{cm}^3$ 小的值。

[0067] n-型半导体层13的俯视时的第二区域13b的晶体缺陷的面密度例如为 $5\times 10^{16}/\text{cm}^2$ 以上。所述面密度更优选为 $1\times 10^{17}/\text{cm}^2$ 以上。

[0068] 肖特基电极14配置在n-型半导体层13上。肖特基电极14可以在与n-型半导体层13

之间形成肖特基结。肖特基电极14的构成材料可以是导电性无机材料,也可以是导电性有机材料。在本公开的实施方式中,肖特基电极14的构成材料优选为金属。作为所述金属,例如可以适当地列举选自元素周期表第4族~第10族中的至少一种金属。作为元素周期表第4族的金属,例如可以列举钛(Ti)、锆(Zr)、铪(Hf)等。作为元素周期表第5族的金属,例如可以列举钒(V)、铌(Nb)、钽(Ta)。作为元素周期表第6族的金属,例如可以列举铬(Cr)、钼(Mo)和钨(W)。作为元素周期表第7族的金属,例如可以列举锰(Mn)、锝(Tc)、铼(Re)。作为元素周期表第8族的金属,例如可以列举铁(Fe)、钌(Ru)、锇(Os)。作为元素周期表第9族的金属,例如可以列举钴(Co)、铑(Rh)、铱(Ir)。作为元素周期表第10族的金属,例如可以列举镍(Ni)、钯(Pd)、铂(Pt)。所述肖特基电极的厚度没有特别限定,优选为0.1nm~10 μ m,更优选为5nm~500nm,最优选为10nm~200nm。在本公开的实施方式中,肖特基电极14可以包括设置在n-型半导体层13上的第一电极层和设置在第一电极层上的第二电极层。此外,在本发明的实施方式中,优选第一电极层的层厚比第二电极层的层厚薄。另外,在本公开的实施方式中,优选所述第一电极层的功函数大于所述第二电极层的功函数。通过将第一电极层设为这样的优选结构,从而不仅能够得到肖特基特性更优异的半导体装置,而且能够更好地表现反向耐压的提高效果。另外,在本公开的实施方式中,肖特基电极14可以是单层,也可以由两层以上的金属层构成。

[0069] 根据这样的结构,能够在不使用p型半导体区域的情况下提高耐压性。另外,如果为这样的结构,则能够缓和肖特基电极14的外周端处的电场集中。

[0070] 下面,参照图1和图2,对半导体装置10的制造方法的一例进行说明。图2是表示本公开所涉及的半导体装置的制造方法的一例的流程图。

[0071] 如图2所示,半导体装置10的制造方法例如包括:工序S1,在基板15上层叠n-型半导体层13;工序S2,在n-型半导体层13上层叠n+型半导体层12;工序S3,在n+型半导体层12上层叠欧姆电极11;工序S4,在欧姆电极11上接合支撑基板;工序S5,从n-型半导体层13去除基板15;工序S6,在n-型半导体层13上形成第二区域13b;和工序S7,在n-型半导体层13上层叠肖特基电极14。

[0072] 在工序S1中,n-型半导体层13例如通过雾化CVD法层叠在基板15上。此外,n-型半导体层13也可以通过公知方法层叠在基板15上。作为n-型半导体层13的形成方法,除了雾化CVD法以外,例如可以列举CVD法、MOCVD法、MOVPE法、雾化外延法、MBE法、HVPE法、脉冲生长法或ALD法等。在本公开的实施方式中,n-型半导体层13的形成方法优选为雾化CVD法或雾化外延法。在雾化CVD法或雾化外延法中,例如将原料溶液雾化(雾化工艺),使液滴漂浮,并进行雾化后,通过载气将得到的雾化液滴运送至基体上(运送工艺),接着在所述基体附近使所述雾化液滴进行热反应来将包括结晶性氧化物半导体作为主成分的半导体膜层叠在基板15上(成膜工艺),从而形成n-型半导体层13。

[0073] 基板15例如为板状的蓝宝石基板。基板15只要为能够支撑半导体膜的基板即可。基板15可以为绝缘体基板,也可以为半导体基板,还可以为金属基板或导电性基板,但基板15优选为绝缘体基板,另外,还优选为表面具有金属膜的基板。作为基板15,例如可以列举包括具有刚玉结构的基板材料作为主成分的基底基板、包括具有 β -gallia结构的基板材料作为主成分的基底基板、或者包括具有六方晶结构的基板材料作为主成分的基底基板等。在此,所谓“主成分”表示的是相对于基板材料的全部成分,以原子比计,优选包括50%以上

的具有特定晶体结构的所述基板材料,更优选包括70%以上,进一步优选包括90%以上,并且表示具有特定晶体结构的所述基板材料的含量也可以为100%。

[0074] 基板材料可以为公知材料。作为所述具有刚玉结构的基板材料,例如可以适当地列举 α - Al_2O_3 (蓝宝石基板) 或 α - Ga_2O_3 , 作为更适当的例子, 可以列举a面蓝宝石基板、m面蓝宝石基板、r面蓝宝石基板、c面蓝宝石基板、 α 型氧化镓基板(a面、m面或r面)等。作为以具有 β -gallia结构的基板材料为主成分的基底基板, 例如可以列举 β - Ga_2O_3 基板、或者包括 Ga_2O_3 和 Al_2O_3 并且 Al_2O_3 多于0wt%且60wt%以下的混晶体基板等。另外, 作为以具有六方晶结构的基板材料为主成分的基底基板, 例如可以列举SiC基板、ZnO基板、GaN基板等。

[0075] 在工序S2中, n+型半导体层12例如通过雾化CVD法层叠在n-型半导体层13上。n+型半导体层12可按与n-型半导体层13相同的方法层叠。此外, n+型半导体层12也可以与n-型半导体层13同样地通过公知方法层叠在基板15上。在本公开的实施方式中, n+型半导体层12的形成方法优选为雾化CVD法或雾化外延法。在雾化CVD法或雾化外延法中, 例如将原料溶液雾化(雾化工艺), 使液滴漂浮, 并进行雾化后, 通过载气将得到的雾化液滴运送至基体上(运送工艺), 接着在所述基体附近使所述雾化液滴进行热反应来将包括结晶性氧化物半导体作为主成分的半导体膜层叠在n-型半导体层13上(成膜工艺), 从而形成n+型半导体层12。

[0076] 在工序S3中, 在n+型半导体层12上层叠欧姆电极11。欧姆电极11的形成方法可以是公知方法。作为欧姆电极11的形成方法, 例如可以列举干法或湿法等。作为干法, 例如可以列举溅射、真空蒸镀、CVD等。作为湿法, 例如可以列举丝网印刷或模涂等。

[0077] 在工序S4中, 在欧姆电极11上接合支撑基板。此外, 支撑基板可以使用公知的基板。支撑基板例如为金属支撑基板。此外, 支撑基板与欧姆电极11的接合使用公知的导电性粘接层。所述导电性粘接层例如为Ag烧结层。

[0078] 在工序S5中, 从n-型半导体层13去除基板15。此时, 使用从基板15剥离n-型半导体层13等的公知方法。

[0079] 在工序S6中, 在n-型半导体层13上形成第二区域13b。在工序S6中, 从n-型半导体层13的上表面起至 $1.0\mu\text{m}$ 以上的深度为止向n-型半导体层13内离子注入杂质元素。离子注入的元素例如为Al。此时, 例如注入能量为 $1500 \sim 3000\text{keV}$ 。Al的剂量例如为 $1.0 \times 10^{13}\text{atoms/cm}^2 \sim 4.0 \times 10^{14}\text{atoms/cm}^2$ 。注入束电流例如为 $140 \sim 260\text{nA}$ 。注入时间例如为 $83.0 \sim 253.0\text{sec}$ 。使用装置例如为最大注入能量为 8MeV 的装置。此外, 离子注入的元素可以不是Al, 还可以使用质量数大于Mg的质量数的元素。

[0080] 在本实施方式中, n-型半导体层13中的离子注入的区域和离子注入的元素经过的区域为第二区域13b。n-型半导体层13中的除了离子注入的区域和离子注入的元素经过的区域以外的区域为第一区域13a。在工序S6中, 使包括在第二区域13b中的杂质元素的浓度的最大值大于包括在第一区域13a中的杂质元素的浓度的最大值。在工序S6中, 将在与n-型半导体层13的上表面垂直的截面中观察到的线状的晶体缺陷区域21形成在第二区域13b中。

[0081] 例如, 如图17所示, 在距离n-型半导体层13的上表面的深度处, 杂质元素的浓度出现高低的情况下, 理解为包括第二区域13b。特别是, 如图17所示, 在杂质的分布具有极大值(峰值)的情况下, 可适当地将在比极大值深的位置中分布的斜率实质上为0的深度设为第

二区域13b的下端与第一区域13a的上端的边界。另一方面,在箱型分布等杂质的分布不具有极大值的情况下,也可以适当地将在比最大值深的位置中分布的斜率实质上为0的深度设为第二区域13b的下端与第一区域13a的上端的边界。

[0082] 在工序S7中,在n-型半导体层13上层叠肖特基电极14。肖特基电极14的形成方法可以是公知方法。作为肖特基电极14的形成方法,例如可以列举干法或湿法等。作为干法,例如可以列举溅射、真空蒸镀、CVD等。作为湿法,例如可以列举丝网印刷或模涂等。在作为n-型半导体层13,使用包括亚稳相的结晶性氧化物半导体(例如 α -Ga₂O₃)的材料的情况下,在工序S7中,无论使用哪种形成方法,都能使n-型半导体层13处于小于800°C的状态。另外,从形成第二区域13b的工序S6到形成肖特基电极14的工序S7为止,n-型半导体层13的温度小于800°C。当使用 α -Ga₂O₃作为n-型半导体层13时,所述温度优选小于600°C。在本实施方式中,不进行使离子注入的杂质元素活化的处理而形成肖特基电极14。

[0083] 根据这样的制造方法,可制造能够在不使用p型半导体区域的情况下能够提高耐压性且能够缓和肖特基电极14的外周端处的电场集中的半导体装置10。另外,根据这样的制造方法,还能够制造具备第一区域13a的半导体装置10,该第一区域13a包括具有刚玉结构的结晶性氧化物半导体作为主成分。

[0084] (第二实施方式)

[0085] 图3是例示第二实施方式所涉及的半导体装置210的示意剖视图。半导体装置210是具有绝缘体层204的肖特基势垒二极管(SBD)。半导体装置210与图1的SBD的不同之处在于,肖特基电极14的端部位于绝缘体层204上。通过做成这样的结构,能够使半导体装置的耐压特性更优异。作为绝缘体层204的构成材料,可以是公知材料。作为绝缘体层204的构成材料,例如可以列举SiO₂膜、加磷SiO₂膜(PSG膜)、加硼SiO₂膜、加磷硼SiO₂膜(BPSG膜)。绝缘体层204的形成方法可以是公知方法。绝缘体层204的形成方法例如可以列举通过真空蒸镀法、CVD法、溅射法、各种涂布技术进行成膜之后通过光刻法进行图案化的方法或者使用印刷技术等直接进行图案化的方法等。

[0086] (第三实施方式)

[0087] 图4是例示第三实施方式所涉及的半导体装置310的示意剖视图。半导体装置310是具有形成为与图1所示的第二区域13b不同形状的第二区域313的肖特基势垒二极管(SBD)。第二区域313具有位于n-型半导体层13的水平方向的内侧的区域313a和位于在n-型半导体层13中比区域313a靠水平方向的外侧的区域313b。区域313a从n-型半导体层13的上表面形成至比区域313b靠n-型半导体层13内的深度位置。区域313b例如形成在n-型半导体层13的不包括n-型半导体层13的外周端在内的周缘部。区域313b例如在俯视时与肖特基电极14的外周端重叠。区域313a和区域313b如第二区域13b那样通过离子注入而形成。

[0088] (第四实施方式)

[0089] 图5是例示第四实施方式所涉及的半导体装置410的示意剖视图。半导体装置410是代替图1所示的第二区域13b而具有第二区域413的肖特基势垒二极管(SBD)。第二区域413具有设置在俯视时与肖特基电极14的周缘重叠的位置上的区域413a和设置在俯视时与n-型半导体层13的外周端重叠的位置上的区域413b。区域413a和区域413b被设置为不连续且相互分离。区域413a和区域413b能够分别与第二区域13b同样通过离子注入而形成。通过这样的结构,还能够在不使用p型半导体区域的情况下提高耐压性。另外,通过这样的结构,

也能够缓和肖特基电极14的外周端处的电场集中。

[0090] (第五实施方式)

[0091] 图6是例示第五实施方式所涉及的半导体装置510的示意剖视图。半导体装置510是代替图1所示的第二区域13b而具有第二区域513b等的金属氧化膜半导体场效应晶体管(MOSFET)的主要部分。半导体装置510具有漏电极511、n+型半导体层512、n-型半导体层(漂移层)513、栅绝缘膜515、栅电极516和源电极517。

[0092] 在图6的MOSFET中,在漏电极511上依次层叠有n+型半导体层512和n-型半导体层513。

[0093] n-型半导体层513具有第一区域513a、第二区域513b、配置在上部的作为p阱层的氧化物半导体层518a和氧化物半导体层518b。图6的MOSFET在p型氧化物半导体层518a内进一步具备n+型氧化物半导体层519。

[0094] 第一区域513a是n-型半导体层513中的除了第二区域513b和氧化物半导体层518、519以外的区域。第一区域513a的上表面与源电极517的下表面接合。第一区域513a包括在第一区域13a中说明的结晶性氧化物半导体。

[0095] 第二区域513b配置在n-型半导体层513的侧面侧。第二区域513b在俯视时与n-型半导体层513的周缘部533重叠。周缘部533是从侧面到内侧与n-型半导体层513的侧面处于规定范围内的区域。所述规定范围例如是指在俯视时与氧化物半导体层518不重叠的范围。

[0096] 第二区域513b的上表面的至少一部分与源电极517的下表面的一部分接触。第二区域513b的一部分例如在俯视时与源电极517的下表面的周缘及从周缘到内侧在范围内的一部分重叠。第二区域513b的下表面例如位于比n-型半导体层513的下表面靠上方的位置处,并且与n+型半导体层512的上表面不接触而分离。此外,第二区域513b包括在第二区域13b中说明的氧化物。

[0097] 在氧化物半导体层518a上,隔着栅绝缘膜515配置有栅电极516。此外,源电极517被配置为与n+型氧化物半导体层519和氧化物半导体层518b接触。

[0098] 另外,在图6的MOSFET中,氧化物半导体层518a和n-型半导体层513形成主结。图6的MOSFET为内置二极管的MOSFET,存在由p型氧化物半导体层518a和n-型半导体层513构成的寄生PN结和由源电极517和n-型半导体层513构成的内置肖特基势垒二极管(SBD)。在图6的MOSFET的接通时,被施加阈值电压以上的栅电压,在p型氧化物半导体层518a的隔着栅绝缘膜515与栅电极516相接的范围中形成沟槽,电流从漏电极511流到源电极517。另外,在断开时,漏电极-源电极之间的施加电压受到构造在p型氧化物半导体层518a与n-型半导体层513之间的PN结的阻止。在对源电极517施加相对于漏电极511而言是正的电压时,电流通过内置SBD流动。在有过剩的电流流过时,可通过从p型氧化物半导体层(p阱层)518注入空穴,从而以双极模式的低导通电压流过大电流。另外,在对源电极517施加相对于漏电极511而言是负的电压时,漏电极-源电极间的施加电压受到所述寄生PN结和所述内置SBD的阻止。此外,关于图6的MOSFET,虽然以平面栅型的情况为例进行了说明,但在本发明的实施方式中,图6的MOSFET也可以是沟槽栅型。

[0099] 在图6的MOSFET中,p型氧化物半导体层518a的底面与p型氧化物半导体层518b的底面相比,在半导体装置的层叠方向(图中的上下方向)上位于靠n型氧化物半导体层(n-型半导体层513、n+型半导体层512)侧。通过做成这样的结构,即使在例如p型氧化物半导体层

518b的带隙小于p型氧化物半导体层518a的带隙的情况下,也能够更好地防止对构造在p型氧化物半导体层518a与n-型半导体层513之间的PN结施加反向偏压时的雪崩降伏,并且能够发挥优异的半导体特性。

[0100] 另外,优选p型氧化物半导体层518b的空穴载流子密度大于p型氧化物半导体层518a的空穴载流子密度。通过将空穴载流子密度设为这样的优选范围,在过剩的电流流过内置肖特基势垒二极管时,可通过从p型氧化物半导体层518b注入空穴,从而以双极模式的低导通电压流过大电流。另外,能够降低与源电极517的欧姆接触电阻,并能够将关断时的雪崩电流逃逸到元件外而防止元件破坏。

[0101] 此外,可以组合上述本公开所涉及的多个实施方式,或者将部分结构元件应用于其他实施方式,这样的实施方式也属于本公开的实施方式。

[0102] (半导体装置10、210、310、410、510的应用例)

[0103] 上述本发明的实施方式所涉及的半导体装置可应用于逆变器和转换器等电力转换装置,以实现上述功能。更具体而言,可应用为作为内置于逆变器和转换器中的二极管、作为开关元件的晶闸管、功率晶体管、IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)、MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor,金属氧化物半导体场效应晶体管)等。图7是表示采用本发明的实施方式所涉及的半导体装置的控制系统的方框结构图,图8是该控制系统的电路图,尤其是适合搭载于电动汽车(Electric Vehicle)的控制系统。

[0104] 如图7所示,控制系统500具有电池(电源)501、升压转换器502、降压转换器503、逆变器504、电机(驱动对象)505、驱动控制部506,这些被搭载于电动汽车。电池501例如由镍氢电池和锂离子电池等的蓄电池构成,可通过在供电站的充电或减速时的再生能量等储存电力,并能输出电动汽车的行驶系统和电气系统的操作所需的直流电压。升压转换器502例如为搭载斩波电路的电压转换装置,可通过斩波电路的开关操作,将从电池501供给的例如200V的直流电压升压为例如650V,并向电机等的行驶系统输出。降压转换器503同样也是搭载斩波电路的电压转换装置,但可通过将从电池501供给的例如200V的直流电压降压至例如12V左右,从而向电动车窗和电动转向系统或者包括车载电气设备等的电气系统输出。

[0105] 逆变器504通过开关操作而将从升压转换器502供给的直流电压转换为三相交流电压并向电机505输出。电机505为构成电动汽车的行驶系统的三相交流电机,通过从逆变器504输出的三相交流电压而被旋转驱动,并将其旋转驱动力通过未图示的变速器等传递给电动汽车的车轮。

[0106] 另一方面,使用未图示的各种传感器,从行驶中的电动汽车测量车轮的转速和转矩、加速踏板的踩踏量(加速量)等的实测值,这些踩踏量信号被输入到驱动控制部506。另外,同时逆变器504的输出电压值也被输入到驱动控制部506。驱动控制部506具有具备CPU(Central Processing Unit,中央处理器)等运算部和存储器等数据保存部的控制器的功能,因此通过使用被输入的测量信号来生成控制信号,并将其作为反馈信号输出到逆变器504,从而控制开关元件的开关操作。由此,能够即时修正逆变器504向电机505提供的交流电压,从而能够正确地执行电动汽车的运转控制,并且实现电动汽车的安全和舒适的操作。此外,还可以通过将来自驱动控制部506的反馈信号提供给升压转换器502来控制向逆变器504输出的电压。

[0107] 图8是表示去除图7中的降压转换器503后的电路结构,即为仅示出用于驱动电机505的结构的电路结构。如该图所示,本发明的半导体装置例如作为肖特基势垒二极管来采用在升压转换器502和逆变器504中,从而提供于开关控制。在升压转换器502中被插入在斩波电路中进行斩波控制,并且在逆变器504中被插入在包括IGBT的开关电路中进行开关控制。此外,通过在电池501的输出端上安装电感器(线圈等)来稳定电流,并且通过在电池501、升压转换器502、逆变器504各自之间安装电容器(电解电容器等)来稳定电压。

[0108] 另外,如在图8中用虚线所示,在驱动控制部506内设置有由CPU(Central Processing Unit)构成的运算部507和由非易失性存储器构成的存储部508。输入到驱动控制部506的信号被提供给运算部507,并且通过进行需要的运算来生成对各半导体元件的反馈信号。另外,存储部508暂时保持运算部507的运算结果,并以表格形式积累驱动控制所需的物理常数和函数等,并将其适当地输出给运算部507。运算部507和存储部508可采用公知结构,其处理能力等也是可任意选择的。

[0109] 如图7或图8所示,在控制系统500中,对于升压转换器502、降压转换器503、逆变器504的开关操作使用二极管和作为开关元件的晶闸管、功率晶体管、IGBT、MOSFET等。通过在这些半导体元件中使用氧化镓(Ga_2O_3),尤其是刚玉型氧化镓($\alpha\text{-Ga}_2\text{O}_3$)作为其材料,大幅提高开关特性。进而,通过应用本发明所涉及的半导体装置等,能期待极其良好的开关特性,并且能实现控制系统500的进一步的小型化和成本降低。即,升压转换器502、降压转换器503、逆变器504分别能期待本发明的效果,它们中的任一个、或者任意两个以上的组合、或者还包括驱动控制部506的形态均能期待本发明的效果。

[0110] 此外,上述控制系统500不仅可将本发明的半导体装置应用于电动汽车的控制系统中,还可应用于对来自直流电源的电力进行升压和降压或者从直流进行电力转换为交流这样的所有用途的控制系统。另外,也可以将太阳能电池等电源作为电池使用。

[0111] 图9是表示采用本发明的实施方式所涉及的半导体装置的控制系统的另一例的方框结构图,图10是该控制系统的电路图,其为适于在由交流电源的电力操作的基础设备和家用电器等中搭载的控制系统。

[0112] 如图9所示,控制系统600用于输入从外部例如三相交流电源(电源)601供给的电力,具有AC/DC转换器602、逆变器604、电机(驱动对象)605和驱动控制部606,这些可被搭载于各种设备(后述)。三相交流电源601例如为电力公司的发电设施(火力发电厂、水力发电厂、地热发电厂、原子能发电厂等),其输出通过变电所降压的同时被供给为交流电压。另外,三相交流电源601例如还以私人发电机等形态安装在建筑物和附近设施内,并通过电缆供电。AC/DC转换器602为将交流电压转换为直流电压的电压转换装置,用于将从三相交流电源601供给的100V或200V的交流电压转换为规定的直流电压。具体而言,通过电压转换来转换为例如3.3V、5V或12V这样的常用的希望的直流电压。在驱动对象为电机的情况下,例如转换为12V。另外,也可以采用单相交流电源来替代三相交流电源,在该情况下,如果将AC/DC转换器设为单相输入,则可构成同样的系统结构。

[0113] 逆变器604通过开关操作而将从AC/DC转换器602供给的直流电压转换为三相交流电压并向电机605输出。电机604虽然根据控制对象而其形态不同,但其是当控制对象为电车时驱动车轮,当控制对象为工厂设备时驱动泵和各种动力源,当控制对象为家用电器时驱动压缩机等的三相交流电机,电机604通过从逆变器604输出的三相交流电压而被旋转驱

动,并将其旋转驱动力传递给未图示的驱动对象。

[0114] 此外,例如在家用电器中有许多驱动对象可直接接收从AC/DC转换器602输出的直流电压(例如个人计算机、LED照明设备、影像设备、音响设备等),在这种情况下控制系统600不需要逆变器604,而如图9所示那样从AC/DC转换器602向驱动对象供给直流电压。在这种情况下,例如向个人计算机等供给3.3V直流电压,向LED照明设备等供给5V直流电压。

[0115] 另一方面,使用未图示的各种传感器,测量驱动对象的转速和转矩或者驱动对象的周边环境的温度和流量等的实测值,并将这些测量信号输入到驱动控制部606。另外,同时逆变器604的输出电压值也被输入到驱动控制部606。基于这些测量信号,驱动控制部606向逆变器604提供反馈信号,控制开关元件的开关动作。由此,能够即时修正逆变器604提供给电机605的交流电压,从而能够正确执行驱动对象的运转控制,并且实现驱动对象的稳定操作。另外,如上述那样,在驱动对象可通过直流电压驱动的情况下,还能代替向逆变器的反馈,对AC/DC转换器602进行反馈控制。

[0116] 图10为表示图9的电路结构的例子的图。如该图所示,本发明的半导体装置例如作为肖特基势垒二极管来采用在AC/DC转换器602和逆变器604中,从而提供于开关控制。作为AC/DC转换器602,使用的是例如将肖特基势垒二极管的电路配置为桥状的转换器,通过将输入电压的负电压部分转换并整流为正电压来进行直流转换。另外,在逆变器604中被插入在IGBT的开关电路中进行开关控制。此外,通过在AC/DC转换器602与逆变器604之间安装电容器(电解电容器等)来稳定电压。

[0117] 另外,如在图10中用虚线所示,在驱动控制部606内设置有由CPU构成的运算部607和由非易失性存储器构成的存储部608。输入到驱动控制部606的信号被提供给运算部607,并且通过进行需要的运算来生成对各半导体元件的反馈信号。另外,存储部608暂时保持运算部607的运算结果,并以表格形式积累驱动控制所需的物理常数和函数等,并将其适当地输出给运算部607。运算部607和存储部608可采用公知结构,其处理能力等也是可任意选择的。

[0118] 在这样的控制系统600中,也是与如图7和图8所示的控制系统500同样地,对于AC/DC转换器602和逆变器604的整流操作和开关操作使用二极管和作为开关元件的晶闸管、功率晶体管、IGBT、MOSFET等。通过在这些半导体元件中使用氧化镓(Ga_2O_3),尤其是刚玉型氧化镓($\alpha\text{-Ga}_2\text{O}_3$)作为其材料,提高开关特性。进而,通过应用本发明所涉及的半导体膜和半导体装置,能期待极其良好的开关特性,并且能实现控制系统600的进一步的小型化和成本降低。即,AC/DC转换器602、逆变器604分别能期待本发明的效果,它们中的任一个或组合、或者还包括驱动控制部606的形态均能期待本发明的效果。

[0119] 此外,在图9和图10中作为驱动对象例示电机605,但驱动对象并不一定局限于以机械方式操作的对象,可将需要交流电压的许多设备作为对象。对于控制系统600而言,只要从交流电源输入电力以将驱动对象驱动,则都能应用,可为了针对基础设施(例如建筑物和工厂等的电力设备、通信设备、交通管制设备、上下水处理设备、系统设备、省力设备、电车等)和家用电器(例如,冰箱、洗衣机、个人计算机、LED照明设备、影像设备、音响设备等)这种设备进行驱动控制而搭载。

[0120] (其他变形例)

[0121] 当各结晶性氧化物半导体和/或各氧化物为混晶时,它们可通过与铟和铝分别或

组合进行混晶而形成混晶来控制带隙。这样的混晶构造作为InAlGaO系半导体极富魅力的材料系统。在此,InAlGaO系半导体表示的是 $\text{In}_X\text{Al}_Y\text{Ga}_Z\text{O}_3$ ($0 \leq X \leq 2, 0 \leq Y \leq 2, 0 \leq Z \leq 2, X+Y+Z = 1.5 \sim 2.5$), 可视作内含氧化镓的同一材料系统。

[0122] 在上述实施方式中,杂质被定义为与构成第二区域13b、313、413、513b的主成分的元素不同的元素,但当第一区域13a和第二区域13b、313、413、513b的掺杂剂浓度相同时,杂质也可以被定义为第二区域13b、313、413、513b中的浓度比第一区域13a中的浓度高的元素。例如,在第一区域13a中作为主成分包括的结晶性氧化物半导体和在第二区域13b、313、413、513b中作为主成分包括的氧化物可以是镓和铝的混晶,杂质可以是铝。在这种情况下,关于铝的浓度,第二区域13b、313、413、513b中的浓度比第一区域13a中的浓度高。

[0123] 第二区域13b、313、413、513b可以在俯视时仅与肖特基电极14的周缘的一部分重叠。另外,第二区域13b可以在俯视时与n-型半导体层13的外周端不重叠而在其内侧重叠。第二区域13b也可以在俯视时与n-型半导体层13的外周端重叠,并且与肖特基电极14的外周端不重叠。同样地,可以不设置区域413a、413b中的任一者。

[0124] 第二区域13b、313、413、513b整体位于各n-型半导体层13、513的内部,一部分也可以从n-型半导体层13、513不露出。第二区域13b、313、413、513b的厚度可以为 $1.0\mu\text{m}$ 以上或大于它的值以上,例如也可以为 $1.5\mu\text{m}$ 以上。

[0125] 只要能够制造本公开所涉及的半导体装置,各工序的顺序也可以与上述实施方式的顺序不同。在上述实施方式中,在形成肖特基电极14之前形成欧姆电极11,但也可以在形成欧姆电极11之前形成肖特基电极14。此时,在形成欧姆电极11的工序中,n-型半导体层13的温度小于 800°C 。另外,在制造过程中去除的基板等部件的位置对于半导体层12、13而言可以不同。例如,本公开所涉及的半导体装置可通过如下顺序和方法来制造:即,在基板15上层叠n+型半导体层12,在n+型半导体层12上层叠n-型半导体层13,从n+型半导体层12去除基板15(工序S5的变形例),在n+型半导体层12上层叠欧姆电极11(工序S3),在欧姆电极11上接合支撑基板(工序S4),在n-型半导体层13上形成第二区域13b(工序S6),在n-型半导体层13上层叠肖特基电极14(工序S7)。本公开所涉及的半导体装置也可以通过如下顺序和方法来制造:即,在基板15上层叠n+型半导体层12,在n+型半导体层12上层叠n-型半导体层13,在n-型半导体层13形成第二区域13b(工序S6),从n+型半导体层12去除基板15(工序S5的变形例),在n+型半导体层12上层叠欧姆电极11(工序S3),在欧姆电极11上接合支撑基板(工序S4),在n-型半导体层13上层叠肖特基电极14(工序S7)。

[0126] 另外,在本公开的实施方式中,在所述基体或基板上可直接设置所述半导体膜,也可以隔着应力缓和层(例如,缓冲层、ELO层等)、剥离牺牲层等其他层设置所述半导体膜。各层的形成方法没有特别限定,可以是公知方法,但在本发明的实施方式中,优选雾化CVD法。在本公开的实施方式中,可以对于所述半导体膜,采用从所述基体等剥离等的公知方法之后,将所述半导体膜作为所述半导体层用于半导体装置,也可以直接将所述半导体膜作为所述半导体层用于半导体装置。

[0127] 另外,在n-型半导体层13与肖特基电极14之间可设置追加的半导体层。此时,追加的半导体层在n-型半导体层13上设置第二区域13b之后层叠。

[0128] 在本公开的实施方式中,可以在所述成膜工序之后进行退火处理。退火处理温度例如为 $300^\circ\text{C} \sim 650^\circ\text{C}$,优选为 $350^\circ\text{C} \sim 550^\circ\text{C}$ 。另外,退火处理时间例如为1分钟~48小时,优

选为10分钟~24小时,更优选为30分钟~12小时。此外,退火处理可在任何气氛下进行。可在非氧气氛下,也可在氧气氛下。作为非氧气氛下,例如可以列举非活性气体气氛下(例如,氮气氛下)或还原气体气氛下等,但在本公开的实施方式中,优选为非活性气体气氛下,更优选为氮气氛下。

[0129] 实施例

[0130] 下面,列举实施例1和比较例1并参照图1和图11对本公开的半导体装置进行说明。此外,图11是表示对实施例1和比较例1中的半导体装置施加反向电压时的电压(V)与电流(A)之间的关系的图。在图11中,横轴表示施加反向电压时的电压(V)的值的绝对值,电压(V)的绝对值从右侧朝左侧变大。在图11中,纵轴表示电流(A)的值的绝对值,电流值从下侧朝向上侧变大。

[0131] 通过实施方式1的制造方法制作图1所示的半导体装置,将其作为实施例1。在实施例1中,将Al元素作为杂质以2000keV的注入能量、 3.0×10^{13} atoms/cm²的剂量向n-型半导体层13进行离子注入。在实施例1中,使用最大注入能量为8MeV的装置。除了不设置第二区域13b以外,以与实施方式1的制造方法同样的方法制作半导体装置,将其作为比较例1。

[0132] 对得到的各半导体装置中的反向电压进行评价。该评价通过如下方法进行:即,对得到的各半导体装置施加反向电压直至0~1200V,在0.2 μ A以上的电流流过时,停止施加反向电压,测量0.1 μ A的电流流过时的电压。装置使用Keysight Technologies公司制造的功率器件分析仪B1505A。

[0133] 如图11所示,实施例1与比较例1相比较,即使反向电压值(绝对值)上升,电流值的上升也得到控制,因此可理解通过设置第二区域13b而提高半导体装置的耐压性。此外,关于电流值超过 1.0×10^{-7} A时的反向电压的绝对值,实施例1为比较例1的约2倍。

[0134] 对得到的半导体装置进行SEM观察,其结果为如图12和图13所示的结果。图12和图13示出与得到的半导体装置的半导体层的上表面垂直的截面。图12示出比肖特基电极14的周缘靠内侧的像。图13示出包括肖特基电极14的周缘的像。在n-型半导体层13中观察到高电阻化的线状的区域。该区域沿着所述上表面延伸。

[0135] 对得到的半导体装置进行SIM观察,其结果为如图14和图15所示的结果。图14和图15示出与得到的半导体装置的半导体层的上表面垂直的截面。图14示出包括肖特基电极14的周缘的像。在n-型半导体层13中观察到高电阻化的线状的区域。该区域沿着所述上表面延伸。图15示出肖特基电极14的水平方向上的中央的像。在图15中,对不包括第二区域13b的部分进行观察。在图15中,未观察到高电阻化的线状的区域。

[0136] 此外,在SEM观察和SIM观察中,可以观察到高电阻化的区域比通过二次离子质谱分析(SIMS)测定的第二区域13b的厚度薄。即,在SEM观察和SIM观察中,可以未观察到第二区域13b的一部分,特别是也可以未观察到下端。

[0137] 距离半导体层上表面的深度与晶体缺陷的密度或杂质元素的浓度之间的关系为通过数值计算代码(SRIM/TRIM)算出的结果,该结果如图16所示。图16示出距离半导体层上表面的深度处的镓(Ga)的晶体缺陷的密度、氧(O)的晶体缺陷的密度、镓和氧(Ga+O)的晶体缺陷的密度,并且示出铝(Al)元素(实施例1的杂质元素)距离半导体层上表面的深度和密度。根据通过数值计算代码(SRIM/TRIM)算出的结果,求出杂质元素的深度,因此能够确定距离半导体层上表面的深度处的第二区域13b的范围。

[0138] 所述晶体缺陷的密度的最大值在距离半导体层上表面的深度处的位置位于比第二区域的上端侧靠下端侧的位置处。所述晶体缺陷的密度的最大值与包括在第二区域中的杂质元素的浓度的最大值相比,距离半导体层的上表面的深度浅,这些最大值双方在距离半导体层的上表面的深度处的位置位于比第二区域的上端侧靠下端侧的位置处。铝(A1)元素的浓度在所述深度1.3~1.4 μm 处成为最大浓度,在所述深度1.6~1.7 μm 处与n-型半导体层13的掺杂剂浓度相同。如此,通过该数值计算代码,也可以算出第二区域13b与第一区域13a的边界。即,第二区域13b与第一区域13a的边界也可以被定义为在第二区域13b所包括的杂质元素的浓度比最大值深的位置上与n-型半导体层13的掺杂剂浓度相同的所述深度。另外,关于TRIM程序,可以从<http://www.srim.org>获得作为SRIM而闻名的程序组的一部分。

[0139] 下面,列举实施例2~7并参照图17对本公开的半导体装置进行说明。此外,图17是表示实施例2~5中的距离n-型半导体层13的上表面的深度与杂质的浓度之间的关系的二次离子质谱分析(SIMS)的结果。图17的横轴表示距离n-型半导体层13的上表面的深度,单位为 μm 。图17的纵轴表示杂质元素(A1元素)的浓度(N),单位为 cm^{-3} 。

[0140] 除了在n-型半导体层13的整个上表面离子注入各元素以外,通过实施方式1的制造方法制作半导体装置。实施例2~5中的杂质元素和离子注入的条件如下所示。

[0141] (实施例2)

[0142] 在实施例2中,将A1元素以1500keV的注入能量、 3.0×10^{13} atoms/ cm^2 的剂量向n-型半导体层13进行离子注入。在实施例2中,使用最大注入能量为8MeV的装置。对得到的半导体装置进行二次离子质谱分析(SIMS),其结果如图17所示,A1元素的浓度的最大值位于距离n-型半导体层13的上表面的深度为1.0 μm 或比1.0 μm 稍深的位置处。

[0143] (实施例3)

[0144] 在实施例3中,将A1元素以2000keV的注入能量、 3.0×10^{13} atoms/ cm^2 的剂量向n-型半导体层13进行离子注入。在实施例3中,使用最大注入能量为8MeV的装置。对得到的半导体装置进行二次离子质谱分析(SIMS),其结果如图17所示,A1元素的浓度的最大值位于距离n-型半导体层13的上表面的深度为约1.25 μm 的位置处。

[0145] (实施例4)

[0146] 在实施例4中,将A1元素以3000keV的注入能量、 3.0×10^{13} atoms/ cm^2 的剂量向n-型半导体层13进行离子注入。在实施例4中,使用最大注入能量为8MeV的装置。对得到的半导体装置进行二次离子质谱分析(SIMS),其结果如图17所示,A1元素的浓度的最大值位于距离n-型半导体层13的上表面的深度为约1.55 μm 的位置处。

[0147] (实施例5)

[0148] 在实施例5中,将A1元素以2000keV的注入能量、 1.0×10^{13} atoms/ cm^2 的剂量向n-型半导体层13进行离子注入。在实施例5中,使用最大注入能量为8MeV的装置。对得到的半导体装置进行二次离子质谱分析(SIMS),其结果A1元素的浓度的最大值在距离n-型半导体层13的上表面的深度处的位置与实施例3同样。

[0149] (实施例6)

[0150] 在实施例6中,将Mg元素以600keV的注入能量、 4.0×10^{14} atoms/ cm^2 的剂量通过双电荷向n-型半导体层13进行离子注入。在实施例6中,使用最大注入能量为400keV的装置。

[0151] (实施例7)

[0152] 在实施例7中,将B元素以600keV的注入能量、 4.0×10^{14} atoms/cm²的剂量通过双电荷向n-型半导体层13进行离子注入。在实施例7中,使用最大注入能量为400keV的装置。

[0153] 对得到的各半导体装置中的反向电压进行评价。该评价通过如下方法进行:即,对得到的各半导体装置施加反向电压直至0~1200V,在0.2μA以上的电流流过时,停止施加反向电压,测量0.1μA的电流流过时的电压。装置使用Keysight Technologies公司制造的功率器件分析仪B1505A。

[0154] 电流值超过 1.0×10^{-8} A时的各实施例的反向电压的绝对值在实施例2中大于800V,在实施例4中大于950V,在实施例3和实施例4中大于1000V。另外,该绝对值在实施例6中为650V~700V,在实施例7中为550V~600V。由此,可理解在实施例中提高了半导体装置的耐压性。另外,可理解杂质更优选质量数大于Mg的质量数的Al。

[0155] 对于实施例2~7,评价了表示向n-型半导体层13内的离子注入的深度的投影射程R_p与标准偏差ΔR_p相加而得到的距离R_p+ΔR_p(μm)与绝缘耐压(V)之间的关系。在实施例2~5中,绝缘耐压均超过800V,从该关系也可以得到优选的耐压性。在实施例6和实施例7中,R_p+ΔR_p为1.0μm以下,与离子注入Al元素的实施例相比,绝缘耐压变差。

[0156] 下面,对上述实施方式进行附记。

[0157] (附记1)

[0158] 一种半导体装置,具备:

[0159] 耗尽层延伸的半导体层;和

[0160] 直接或隔着其他层配置在所述半导体层上的电极,

[0161] 所述半导体层具有:第一区域,包括含有镓的结晶性氧化物半导体作为主成分;和第二区域,包括含有镓的氧化物作为主成分,

[0162] 所述第二区域在与所述半导体层的上表面垂直的截面中具有线状的晶体缺陷区域。

[0163] (附记2)

[0164] 根据附记1所述的半导体装置,其中,所述晶体缺陷区域的晶体缺陷的密度为 1.0×10^{19} /cm³以上。

[0165] (附记3)

[0166] 根据附记1或2所述的半导体装置,其中,所述俯视时的所述第二区域的晶体缺陷的面密度为 5×10^{16} /cm²以上。

[0167] (附记4)

[0168] 根据附记1至3中任一项所述的半导体装置,其中,所述晶体缺陷区域沿着所述上表面延伸。

[0169] (附记5)

[0170] 根据附记1至4中任一项所述的半导体装置,其中,所述晶体缺陷区域的晶体缺陷的密度的最大值在距离所述半导体层的上表面的深度处的位置位于比所述第二区域的上端侧靠下端侧的位置处。

[0171] (附记6)

[0172] 根据附记1至5中任一项所述的半导体装置,其中,

- [0173] 所述半导体层包括杂质元素，
- [0174] 包括在所述第二区域中的所述杂质元素的浓度高于包括在所述第一区域中的所述杂质元素的浓度，
- [0175] 所述晶体缺陷区域的晶体缺陷的密度的最大值与包括在所述第二区域中的所述杂质元素的浓度的最大值相比，距离所述半导体层的上表面的深度浅，
- [0176] 所述最大值双方在距离所述半导体层的上表面的深度处的位置位于比所述第二区域的上端侧靠下端侧的位置处。
- [0177] (附记7)
- [0178] 根据附记1至6中任一项所述的半导体装置，其中，所述第二区域的厚度为1.5 μm 以上。
- [0179] (附记8)
- [0180] 根据附记1至7中任一项所述的半导体装置，其中，所述第二区域的至少一部分在俯视时与所述电极的下表面的周缘重叠。
- [0181] (附记9)
- [0182] 根据附记7所述的半导体装置，其中，与所述下表面的周缘重叠的所述第二区域与所述下表面相接。
- [0183] (附记10)
- [0184] 根据附记1至9中任一项所述的半导体装置，其中，所述第二区域的至少一部分在俯视时与所述半导体层的周缘部重叠。
- [0185] (附记11)
- [0186] 根据附记1至10中任一项所述的半导体装置，其中，所述第二区域包括质量数大于Mg的质量数的元素的单体。
- [0187] (附记12)
- [0188] 根据附记10所述的半导体装置，其中，所述元素为Al。
- [0189] (附记13)
- [0190] 根据附记1至12中任一项所述的半导体装置，其中，所述第二区域的元素的浓度高于所述第一区域的元素的浓度。
- [0191] (附记14)
- [0192] 根据附记1至13中任一项所述的半导体装置，其中，所述结晶性氧化物半导体具有刚玉结构。
- [0193] (附记15)
- [0194] 根据附记1至14中任一项所述的半导体装置，其中，所述氧化物为非晶质。
- [0195] (附记16)
- [0196] 根据附记1至15中任一项所述的半导体装置，其中，所述结晶性氧化物半导体包括铝和/或铟。
- [0197] (附记17)
- [0198] 根据附记1至16中任一项所述的半导体装置，其中，所述半导体装置为二极管。
- [0199] (附记18)
- [0200] 根据附记1至17中任一项所述的半导体装置，其中，所述半导体装置为功率器件。

- [0201] (附记19)
- [0202] 一种电力转换装置,其使用附记1至18中任一项所述的半导体装置。
- [0203] (附记20)
- [0204] 一种控制系统,其使用附记1至18中任一项所述的半导体装置。
- [0205] (附记21)
- [0206] 一种半导体装置的制造方法,具备以下工序:
- [0207] 形成半导体层,所述半导体层包括含有镓的结晶性氧化物半导体作为主成分且包括n型掺杂剂;
- [0208] 将杂质元素从所述半导体层的上表面向所述半导体层的一部分进行离子注入;和
- [0209] 不进行使所述离子注入的元素活化的处理而在所述半导体层上直接或隔着其他层形成电极,
- [0210] 所述离子注入的工序形成第一区域和第二区域,并且在与所述半导体层的上表面垂直的截面中,将线状的晶体缺陷区域形成在所述第二区域中,所述第一区域包括含有镓的结晶性氧化物半导体作为主成分,所述第二区域包括含有镓的氧化物作为主成分。
- [0211] (附记22)
- [0212] 根据附记21所述的半导体装置的制造方法,其中,在所述离子注入的工序之后,直到形成所述电极的工序为止,使所述半导体层的温度小于800°C。
- [0213] 附图标记说明
- [0214] 10、210、310、410、510半导体装置
- [0215] 11欧姆电极
- [0216] 12、512n⁺型半导体层
- [0217] 13、513n⁻型半导体层
- [0218] 13a、513a第一区域
- [0219] 13b、313、413、513b第二区域
- [0220] 14肖特基电极
- [0221] 15基板
- [0222] 21晶体缺陷区域
- [0223] 33周缘部
- [0224] 204绝缘体层
- [0225] 313a、313b、413a、413b区域
- [0226] 500、600控制系统
- [0227] 501电池(电源)
- [0228] 502 升压转换器
- [0229] 503 降压转换器
- [0230] 504、604逆变器
- [0231] 505、605电机
- [0232] 506、606驱动控制部
- [0233] 507、607运算部
- [0234] 508、608存储部

- [0235] 601三相交流电源(电源)
- [0236] 602AC/DC转换器
- [0237] 511 漏电极
- [0238] 515 栅绝缘膜
- [0239] 516 栅电极
- [0240] 517 源电极
- [0241] 518、518a、518b氧化物半导体层
- [0242] 519n+型氧化物半导体层
- [0243] 533周缘部

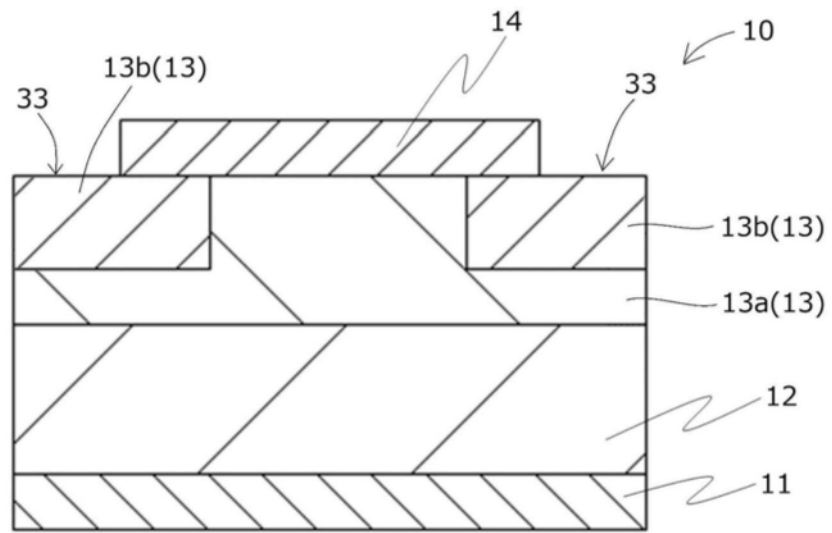


图1

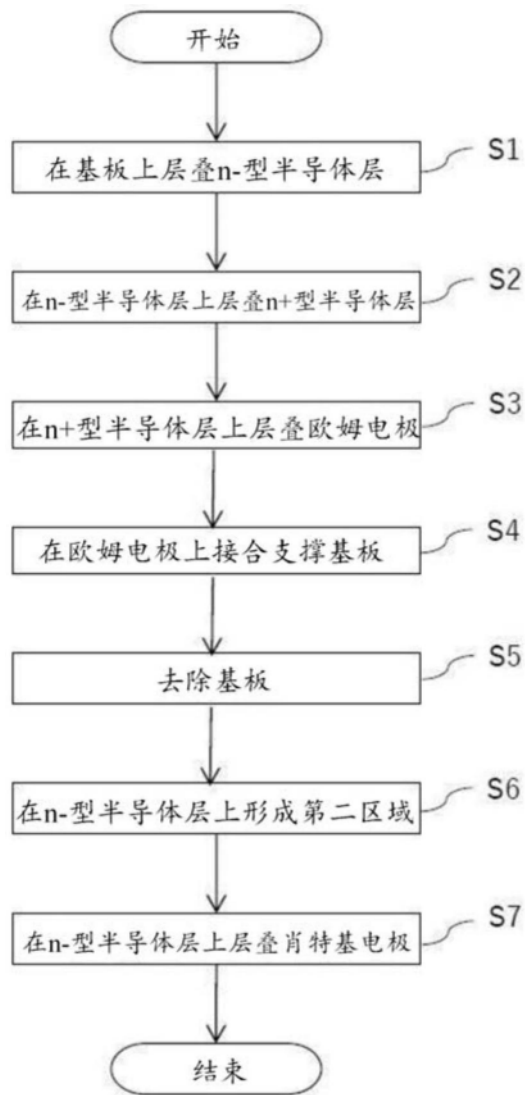


图2

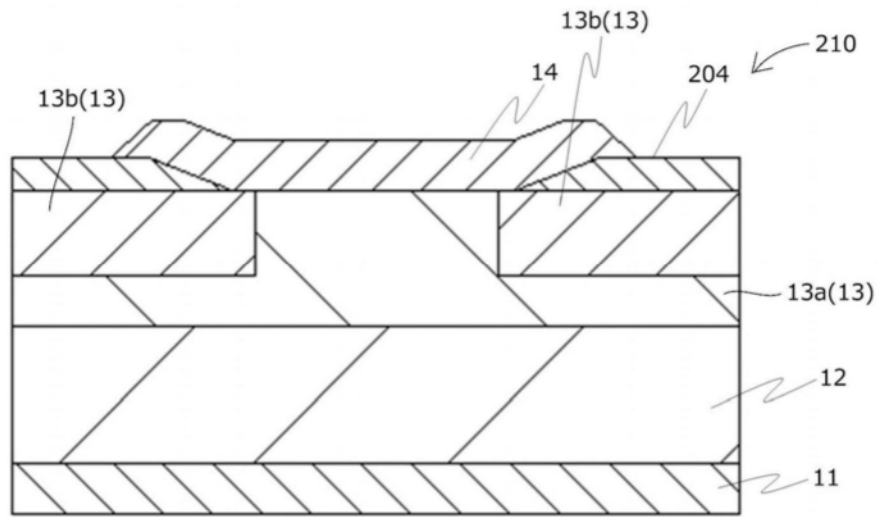


图3

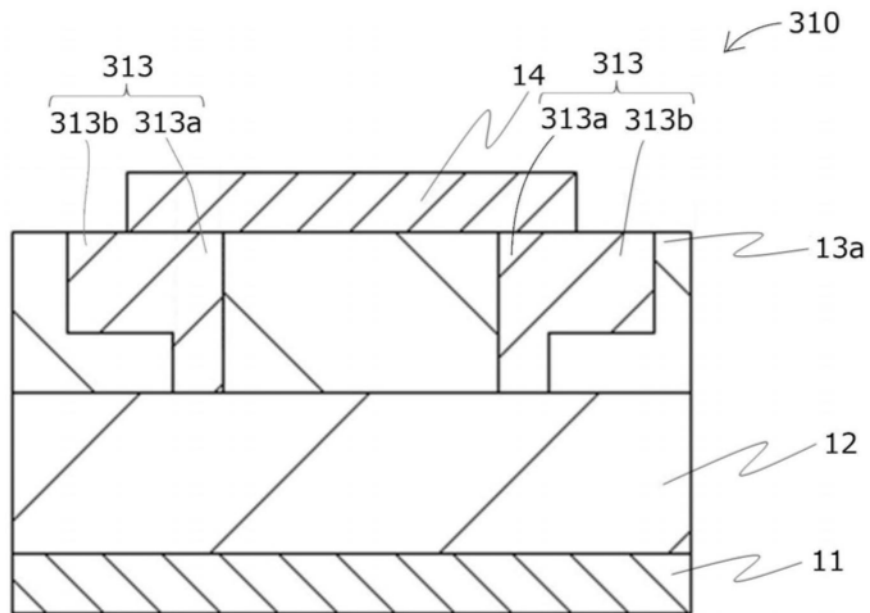


图4

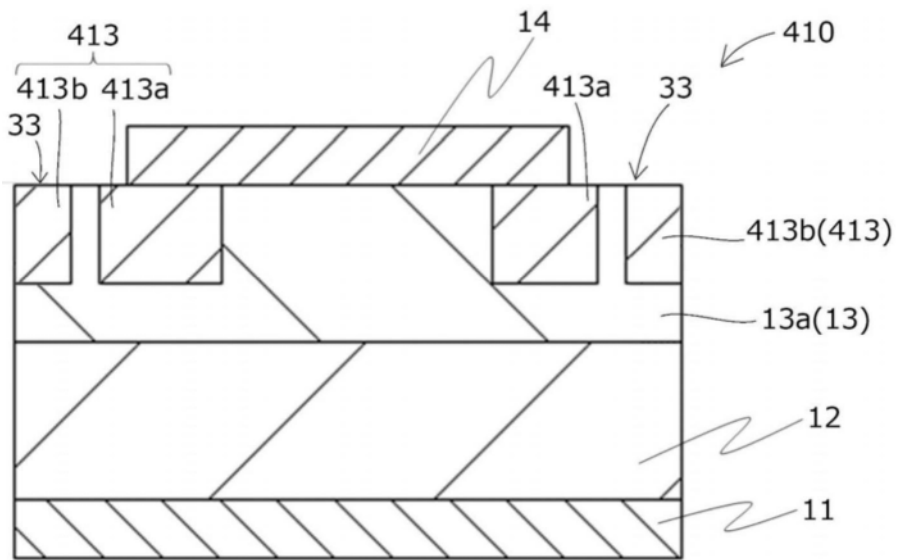


图5

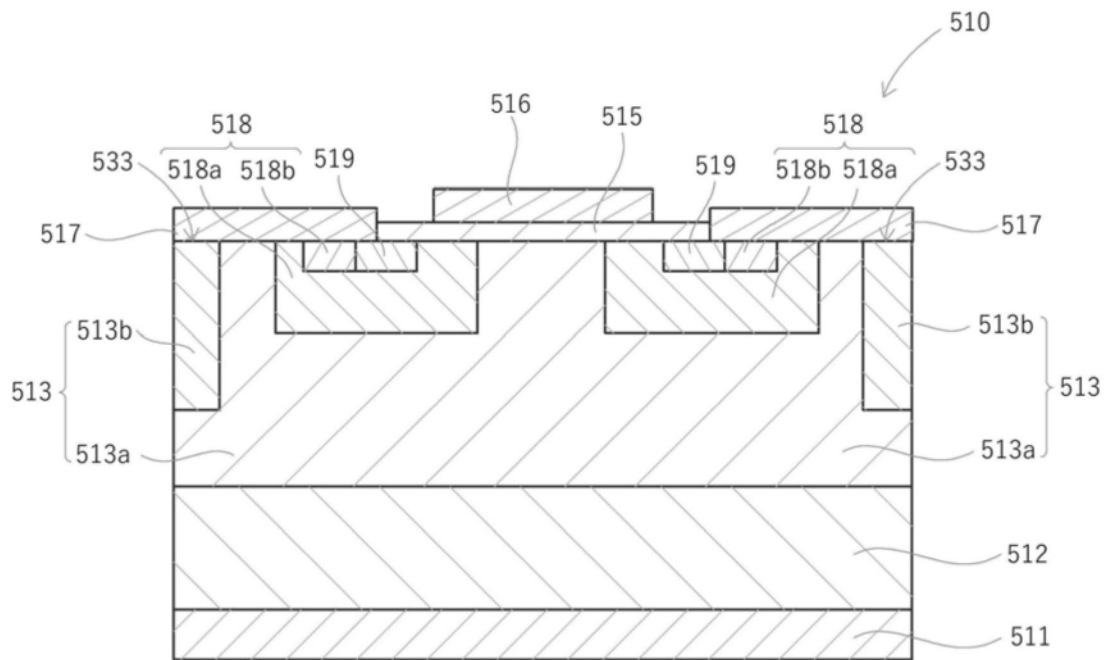


图6

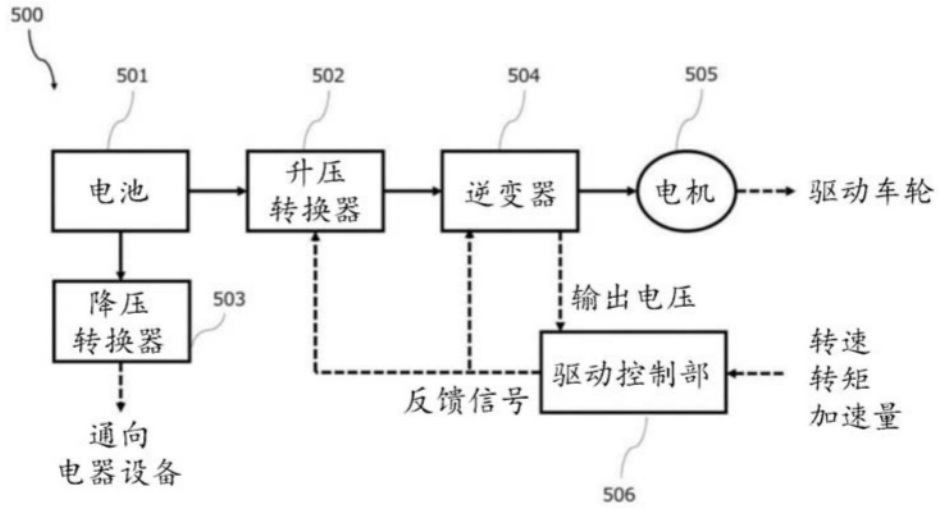


图7

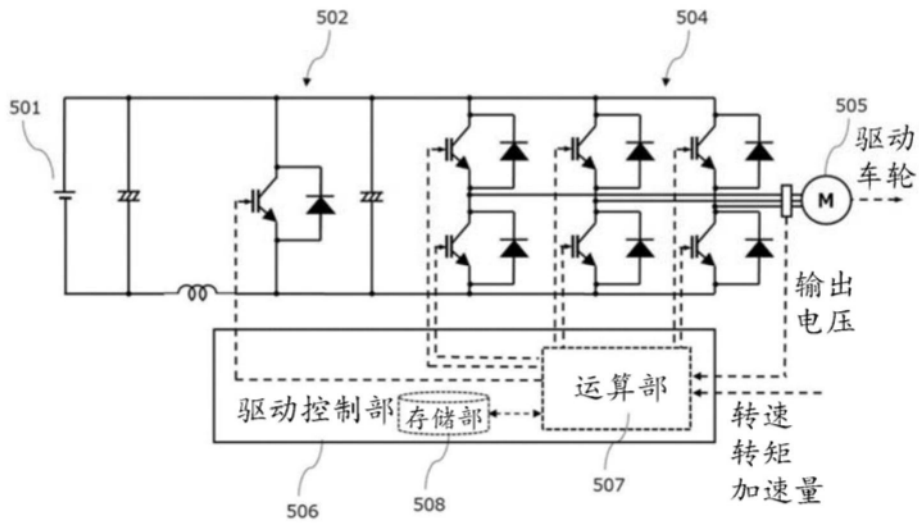


图8

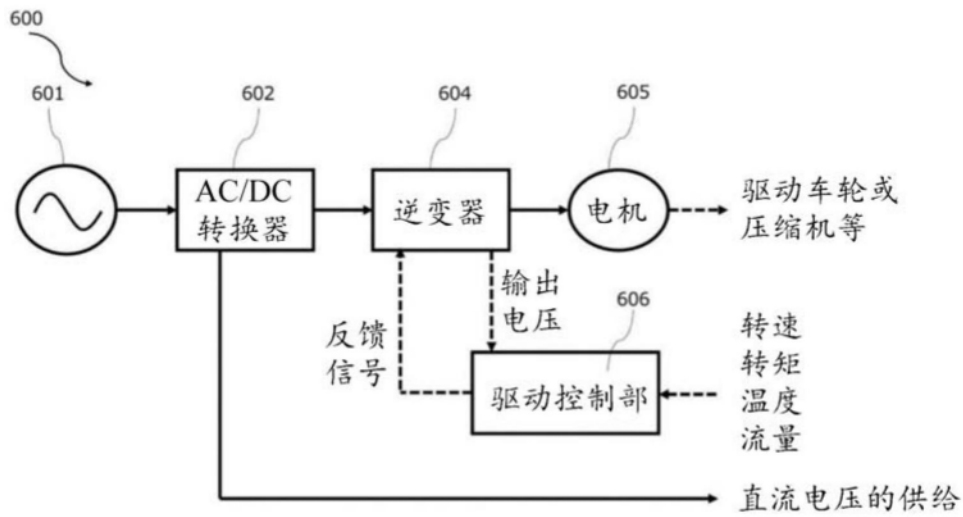


图9

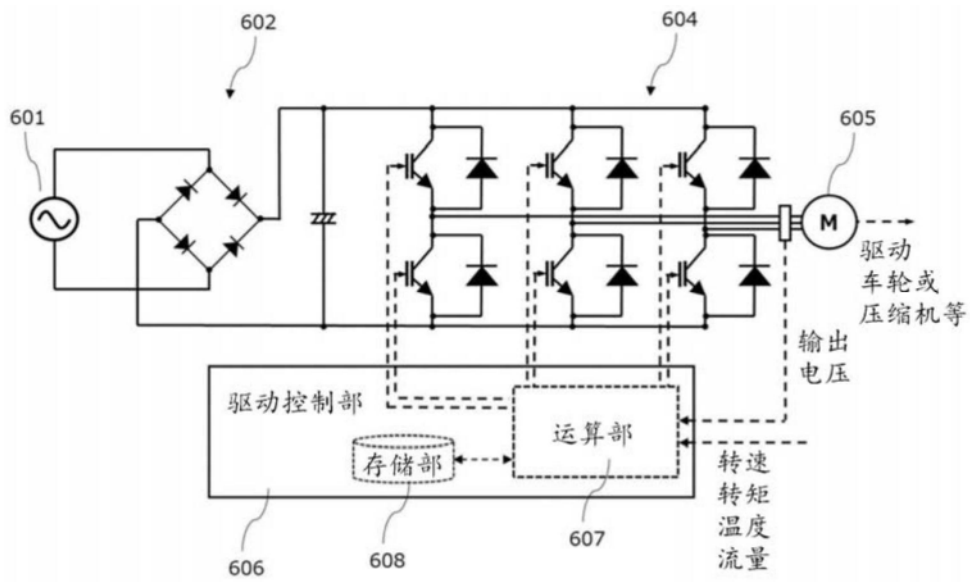


图10

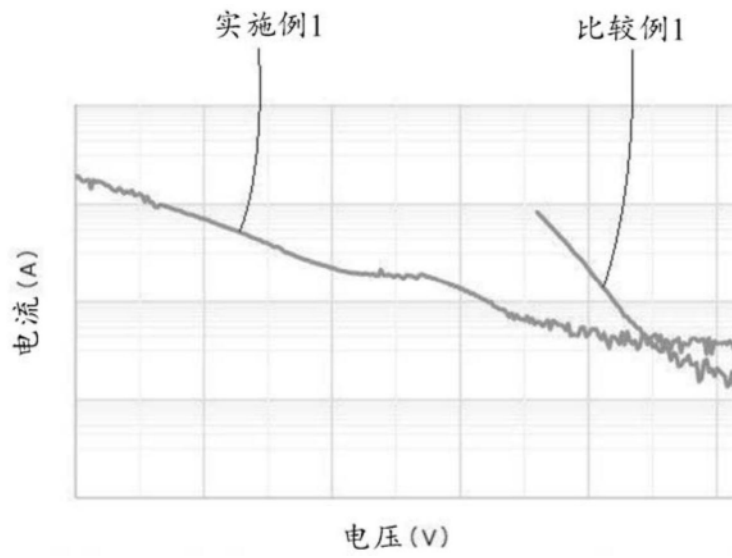


图11

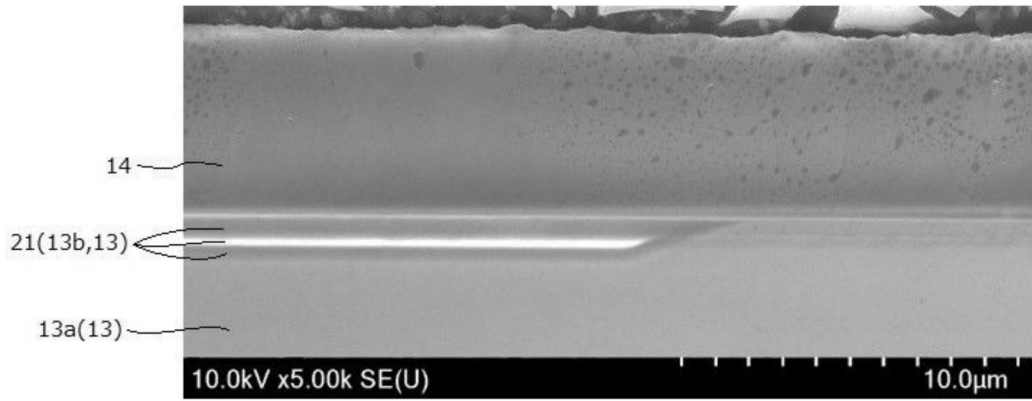


图12

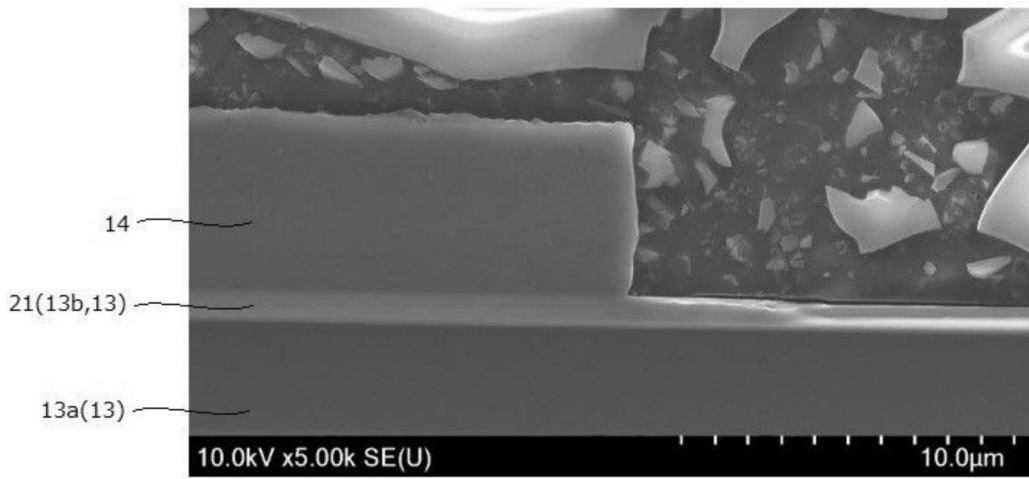


图13

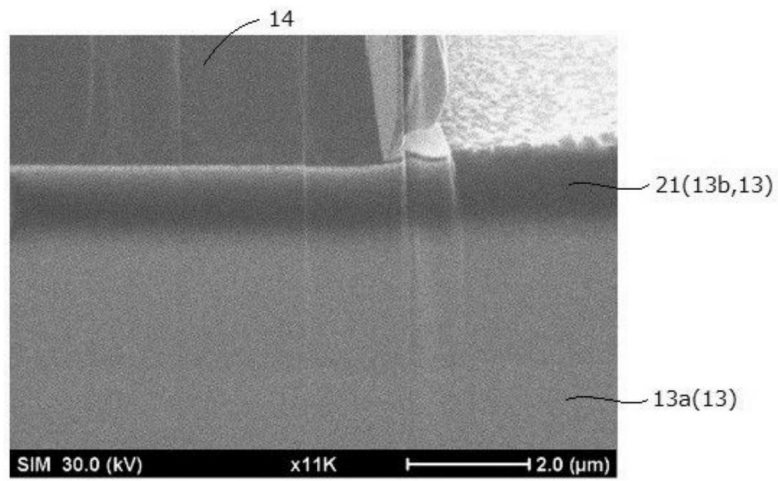


图14

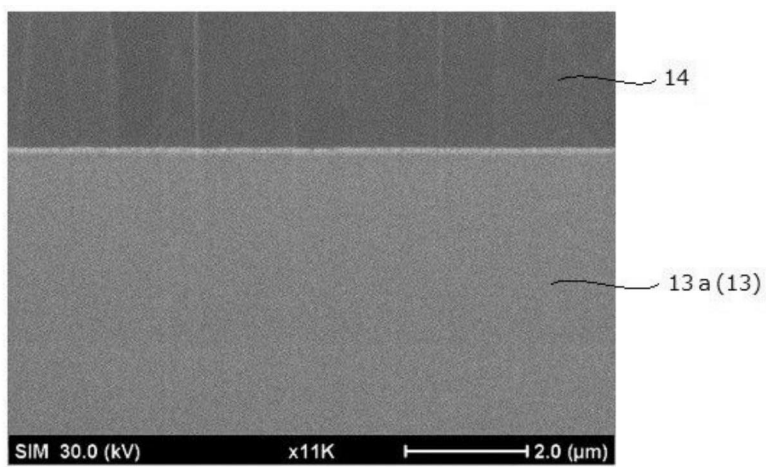


图15

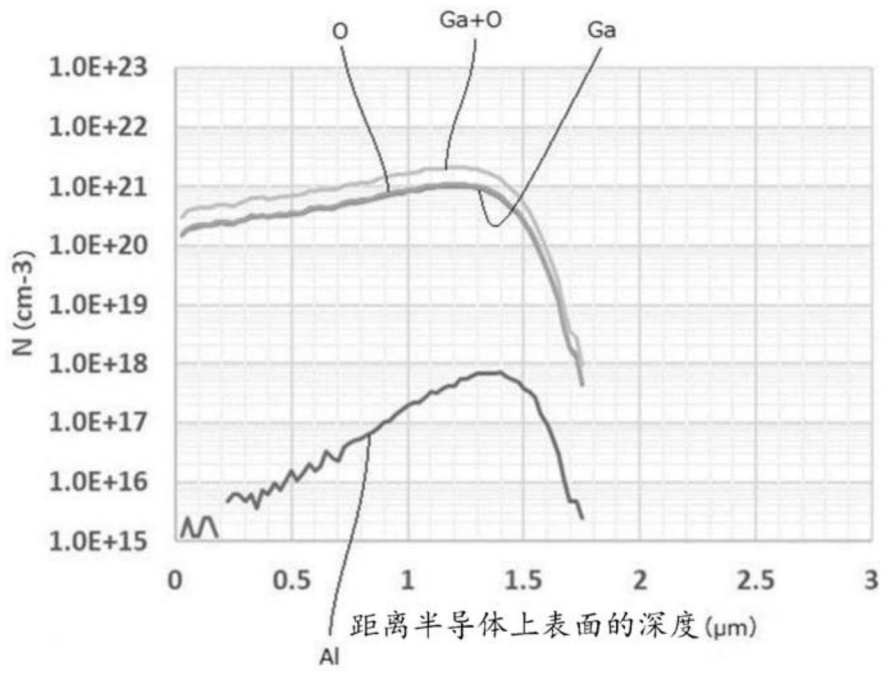


图16

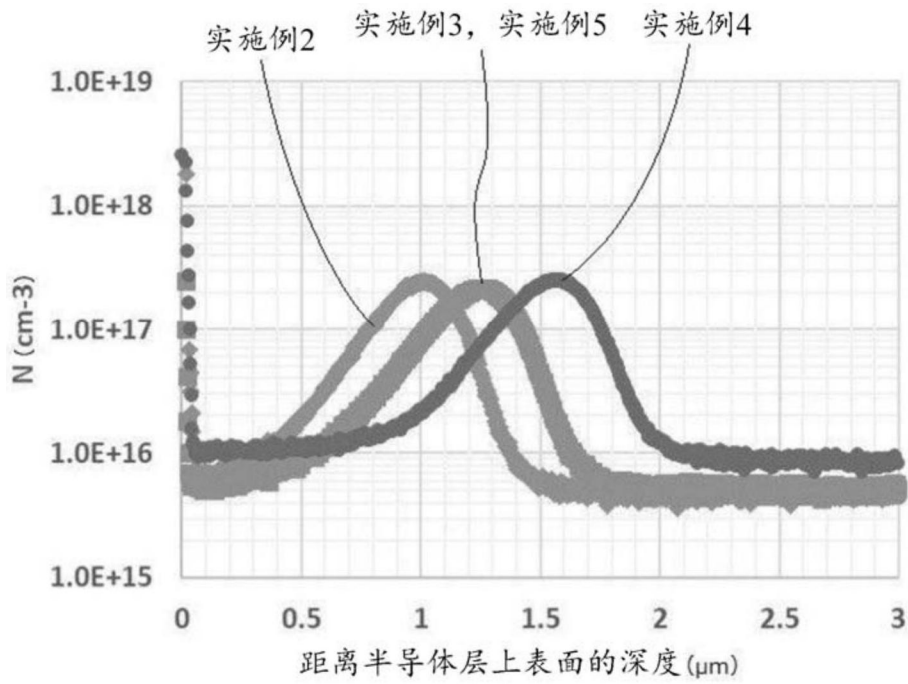


图17