

19 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

11 N° de publication :

2 953 636

(à n'utiliser que pour les  
commandes de reproduction)

21 N° d'enregistrement national :

09 58749

51 Int Cl<sup>8</sup> : G 11 C 7/12 (2006.01)

12

## DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 08.12.09.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 10.06.11 Bulletin 11/23.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES Société anonyme — FR.

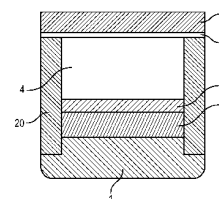
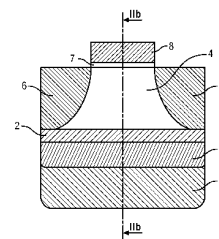
72 Inventeur(s) : MAZURE CARLOS et FERRANT RICHARD.

73 Titulaire(s) : S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES Société anonyme.

74 Mandataire(s) : CABINET REGIMBEAU.

54 PROCÉDE DE COMMANDE D'UNE CELLULE MEMOIRE DRAM SUR SEOI DISPOSANT D'UNE SECONDE GRILLE DE CONTROLE ENTERREE SOUS LA COUCHE ISOLANTE.

57 L'invention concerne un procédé de commande d'une cellule mémoire DRAM composée d'un transistor FET sur un substrat semi-conducteur sur isolant comprenant une couche mince (3) de matériau semi-conducteur séparée d'un substrat de base (1) par une couche isolante (2, BOX), le transistor disposant d'un canal (4) et de deux grilles de contrôle, une grille de contrôle avant (8, 11) étant disposée au-dessus du canal (4) et séparée de celui-ci par un diélectrique de grille (7, 10) et une grille de contrôle arrière (9, 12, 13, 17, 18) étant disposée dans le substrat de base et séparée du canal (4) par la couche isolante (BOX), caractérisé en ce que lors d'une opération de programmation de la cellule on utilise conjointement la grille de contrôle avant et la grille de contrôle arrière en appliquant une première tension sur la grille de contrôle avant et une seconde tension sur la grille de contrôle arrière, ladite première tension étant inférieure en amplitude à la tension nécessaire pour programmer la cellule lorsqu'aucune tension n'est appliquée sur la grille de contrôle arrière.



FR 2 953 636 - A1



### **DOMAINE DE L'INVENTION**

Le domaine de l'invention est celui des dispositifs semi-conducteurs, et plus particulièrement celui des dispositifs mémoire comprenant une pluralité de cellules mémoires.

5 L'invention concerne plus particulièrement un procédé de commande d'une cellule mémoire de type DRAM (acronyme du terme anglo-saxon « Dynamic Random Access Memory ») sur substrat semi-conducteur sur isolant (substrat SeOI selon la terminologie anglo-saxonne « Semiconductor On Insulator »).

### **ARRIERE PLAN DE L'INVENTION**

10 Une cellule mémoire DRAM conventionnelle est constituée par l'association d'un transistor et d'une capacité pour le stockage des charges.

Plus récemment, une cellule mémoire DRAM constituée seulement d'un transistor a été proposée. Cette cellule exploite un effet de canal flottant pour  
15 stocker les charges et ne nécessite pas de capacité additionnelle.

On a représenté sur la figure 1 une vue en section d'une telle cellule mémoire DRAM à canal flottant. La cellule DRAM à canal flottant est formée dans un substrat silicium sur isolant SOI (« Silicon On Insulator ») comprenant une couche mince de silicium 3 séparée du substrat de base 1  
20 par l'intermédiaire d'une couche isolante enterrée 2 (généralement une couche d'oxyde désignée par le terme de « Buried Oxide Layer » ou BOX). Une région de source 5 et une région de drain 6 sont formées dans la couche mince 3 au dessus du BOX 2, une région de canal flottant 4 séparant les régions de source et de drain. Une couche diélectrique de grille 7 et une  
25 électrode de grille 8 sont séquentiellement déposées au dessus du canal flottant 4. La région de drain 6 est connectée à une ligne de bit BL (« Bit Line »), la région de source 5 est connectée à une ligne de source SL (« Source Line ») et l'électrode de grille 8 est connectée à une ligne de mot WL (« Word Line »).

Le canal flottant est électriquement isolé par le BOX, la couche diélectrique de grille, la région de source et la région de drain. Du fait de cette isolation, le canal flottant peut emmagasiner une charge électrique.

Lors d'une opération d'écriture de données dans un tel transistor, le corps flottant vient, par un phénomène d'ionisation par impact, stocker des charges ce qui modifie la tension de seuil du transistor. Lors d'une opération de lecture de données, la quantité de courant circulant entre la source et le drain du transistor dépend ainsi de la quantité de charges stockées dans le corps flottant.

Les cellules DRAM susmentionnées présentent l'avantage de présenter un effet de corps caractéristique des dispositifs sur SeOI et qui consiste à stocker des charges ce qui modifie la tension de seuil du transistor. Afin d'utiliser cet effet, il est nécessaire d'appliquer une surtension à l'électrode de grille (via la ligne de mot WL). Ainsi, afin de pouvoir réaliser une opération d'écriture de l'état logique 1, on applique typiquement une tension supérieure à Vdd, où Vdd correspond à une tension nominale d'alimentation du dispositif. Cette surtension augmente le courant du dispositif et entraîne le phénomène d'ionisation par impact qui à son tour crée les charges qui seront stockées sous le canal, dans le corps flottant.

On comprend que le transistor est alors sollicité de part cette surtension. Il est ainsi d'usage d'utiliser des transistors de relativement grandes dimensions aptes à soutenir une telle sollicitation.

Or un objectif constant dans le domaine d'application de l'invention est celui de la miniaturisation. On comprend donc qu'un besoin existe pour une solution permettant l'usage de transistors de plus petites dimensions dans des cellules mémoires DRAM.

#### **BREVE DESCRIPTION DE L'INVENTION**

L'invention a pour objectif de répondre à ce besoin, et propose à cet effet un procédé de commande d'une cellule mémoire DRAM composée d'un transistor FET sur un substrat semi-conducteur sur isolant comprenant une couche mince de matériau semi-conducteur séparée d'un substrat de base

par une couche isolante, le transistor disposant d'un canal et de deux grilles de contrôle, une grille de contrôle avant étant disposée au-dessus du canal et séparée de celui-ci par un diélectrique de grille et une grille de contrôle arrière étant disposée dans le substrat de base et séparée du canal par la couche isolante, caractérisé en ce que lors d'une opération de programmation de la cellule on utilise conjointement la grille de contrôle avant et la grille de contrôle arrière en appliquant une première tension sur la grille de contrôle avant et une seconde tension sur la grille de contrôle arrière, ladite première tension étant inférieure en amplitude à la tension nécessaire pour programmer la cellule lorsqu'aucune tension n'est appliquée sur la grille de contrôle arrière.

Certains aspects préférés, mais non limitatifs, de ce procédé sont les suivants :

- la seconde tension est positive ;
- lors d'une opération de maintien de la cellule, on applique une troisième tension à la grille de contrôle arrière ;
- la troisième tension est négative ou nulle ;
- lors d'une opération de lecture de la cellule, on applique une quatrième tension à la grille de contrôle arrière ;
- la quatrième tension est positive ;
- la grille de contrôle avant et la grille de contrôle arrière sont connectées ensemble et on applique sur la grille de contrôle avant une tension identique à la tension appliquée à la grille de contrôle arrière.

#### **BREVE DESCRIPTION DES DESSINS**

D'autres aspects, buts et avantages de la présente invention apparaîtront mieux à la lecture de la description détaillée suivante de formes de réalisation préférées de celle-ci, donnée à titre d'exemple non limitatif, et faite en référence aux dessins annexés sur lesquels :

- la figure 1, déjà présentée précédemment, représente une cellule DRAM à corps flottant conventionnelle ;

- la figure 2a représente une cellule mémoire DRAM à canal flottant sur SeOI destinée à être utilisée dans le procédé selon le premier aspect de l'invention ;
- la figure 2b représente une cellule mémoire DRAM à canal flottant sur SeOI destinée à être utilisée dans le procédé selon le premier aspect de l'invention selon une coupe perpendiculaire à la figure 2a ;
- la figure 3 représente une cellule mémoire DRAM à canal flottant sur SeOI de type RCAT destinée à être utilisée dans le procédé selon le premier aspect de l'invention ;
- les figures 4a-4k illustrent différentes étapes de séquences de constitution et d'isolation d'une grille de contrôle arrière dans le substrat de base.

#### **DESCRIPTION DETAILLEE DE L'INVENTION**

En référence à la figure 2a, on a représenté une cellule mémoire DRAM composée d'un transistor FET à canal flottant sur un substrat semi-conducteur sur isolant comprenant une couche mince de matériau semi-conducteur séparée d'un substrat de base 1 par une couche isolante 2, typiquement une couche d'oxyde enterrée BOX (« Buried Oxide Layer »).

Le substrat semi-conducteur sur isolant est par exemple un substrat silicium sur isolant SOI (« Silicon On Insulator »)

Selon un mode de réalisation préférentiel, la couche isolante est une couche de  $\text{SiO}_2$ . Selon une variante avantageuse, la couche isolante comprend une couche diélectrique (par exemple du nitrure de silicium, de  $\text{Si}_3\text{N}_4$ ) qui peut être prise en sandwich entre deux couches de  $\text{SiO}_2$ .

Le transistor comprend dans la couche mince une région de source 5, une région de drain 6 et un canal flottant 4 séparant la région de source de la région de drain.

Sur cette figure 2a, le drain D et la source S sont en contact avec la couche d'oxyde enterré BOX de sorte que le corps du transistor FET est totalement isolé des cellules adjacentes et par conséquence flottant.

La source S peut ainsi être partagée entre deux cellules mémoires adjacentes. Un tel partage permet de réduire la surface occupée par une cellule mémoire.

On a représenté sur la figure 2b une coupe perpendiculaire à la figure 2a selon l'axe IIb-IIb de la figure 2a. Si la figure 2a représente par exemple une vue en coupe sur une ligne de la matrice mémoire, la figure 2b représente alors une vue en coupe selon une colonne de la matrice mémoire.

La figure 2b illustre l'isolation du corps du transistor (vis-à-vis des transistors le long de la même colonne) via des tranchées d'isolation latérales (selon la technique STI - « Shallow Trench Isolation » - désignant une isolation par tranchées) s'étendant en profondeur depuis la surface du substrat au moins jusqu'à la couche isolante 2, voire même en traversant cette couche isolante de façon à séparer les caissons, qui seront ultérieurement décrits et dans lesquels dans lesquelles sont formées les grilles de contrôle arrière.

On comprendra que l'invention n'est pas limitée à une cellule mémoire totalement déplétée mais s'étend également à une cellule mémoire sur SeOI partiellement déplétée. De manière classiquement connue en soi, il s'avère alors également nécessaire d'isoler les cellules le long d'une ligne de la matrice mémoire afin d'isoler entre eux les canaux de cellules adjacentes. Cela est classiquement réalisé par l'intermédiaire de tranchées d'isolation latérales de type STI s'étendant en profondeur depuis la surface du substrat au moins jusqu'à la couche isolante, ou en traversant cette couche isolante de façon à séparer les caissons, qui seront ultérieurement décrits et dans lesquels dans lesquelles sont formées les grilles de contrôle arrière.

La cellule mémoire comprend en outre une grille de contrôle avant 8 s'étendant en surface du substrat au-dessus du canal 4. La grille de contrôle avant 8 est isolée du canal flottant par l'intermédiaire d'une couche diélectrique de grille 7.

La cellule mémoire comprend en outre une grille de contrôle arrière 9 disposée dans le substrat de base 1 et séparée du canal flottant 4 par la couche isolante 2.

La cellule mémoire dispose ainsi de deux grilles de contrôle : la grille de 5 contrôle avant 8 classiquement utilisée, et la grille de contrôle arrière 9 proposée par l'invention qui est notamment destinée à être utilisée conjointement avec la grille de contrôle avant pour réaliser une opération de programmation de la cellule.

A titre d'exemple purement illustratif, l'épaisseur de la couche mince du 10 substrat semi-conducteur sur isolant (corps du transistor) est comprise entre 1,5 nm et 50 nm, l'épaisseur de la couche isolante (BOX) est comprise entre 1,5nm et 50 nm.

La figure 3 illustre un autre mode de réalisation possible d'une cellule 15 mémoire DRAM totalement déplétée conforme à l'invention, dans laquelle la grille de contrôle avant n'est pas agencée en surface du substrat, mais est au contraire noyée dans le canal flottant. La grille de contrôle avant 11 vient dans ce cas de figure remplir une tranchée formée dans l'épaisseur du canal 4, une couche diélectrique de grille 10 étant disposé sur les parois de la tranchée de manière à isoler la grille 11 du canal flottant 4. On définit ainsi un 20 transistor de type RCAT selon la terminologie anglo-saxonne « Recessed Channel Array Transistor ».

Ce second mode de réalisation est avantageux en ce que la largeur 25 apparente du canal flottant est alors augmentée, ce qui permet notamment de contrecarrer des effets électriques indésirables connues sous l'acronyme SCE (« Short Channel Effects ») désignant des effets de canal court.

On a pris dans ce qui précède l'exemple d'une cellule DRAM à canal flottant sur SeOI. L'invention s'étend toutefois également à une cellule DRAM sur SeOI réalisée par l'association d'un transistor et d'une capacité.

Les figures 4a-4k figures 4a-4k illustrent différentes étapes de 30 séquences de constitution et d'isolation d'une grille de contrôle arrière dans le

substrat de base. Sur ces figures, on a représenté à la fois le cas d'une grille de contrôle arrière de type P et de type N.

La figure 4a représente un substrat SeOI comprenant une couche mince de matériau semi-conducteur 3 séparée d'un substrat de base 1 par une  
5 couche isolante 2.

Lors d'une première étape, on définit des marques d'alignement dans le substrat SeOI de manière à permettre l'alignement nécessaire lors des étapes ultérieures de masquage et de formation de motifs (formation de caissons, de grilles de contrôle arrière, de structures d'isolation, etc.).

10 Cette première étape de marquage du substrat consiste ainsi à former dans le substrat une rainure, une tranchée, une mesa, ou tout autre signe (tel qu'une croix par exemple).

La figure 4b illustre à cet effet la formation de mésas par gravure de la couche superficielle. On a recours pour ce faire aux procédés standards de  
15 fabrication CMOS.

En référence aux figures 4c, 4d et 4e, on a représenté différentes approches possibles pour la formation de caissons enterrés sous la couche isolante BOX (« wells » dans la terminologie anglo-saxonne) visant à assurer au final l'isolation d'une ou plusieurs grilles de contrôle arrière vis-à-vis du  
20 substrat de base 1.

Sur chacune des figures 4c, 4d et 4e, le substrat de base 1 est dopé de manière à présenter, dans une couche supérieure de celui-ci, une conductivité de type N. Le niveau de dopage est typiquement compris entre  $1 \cdot 10^{15}$  et  $5 \cdot 10^{16} \text{ cm}^{-3}$ .

25 Sur la figure 4c, on a réalisé, par implantation de dopants, un caisson 15 de type P en-dessous de la couche isolante 2 dans le substrat de base de type N 1. Le caisson 15 de type P est ainsi isolé du substrat de type N par une jonction pn.

Sur la figure 4d, on a réalisé à la fois un caisson 15 de type P et un  
30 caisson 14 de type N. Les caissons 14,15 sont isolés l'un de l'autre par une jonction pn.

Sur la figure 4e, on a réalisé à la fois un caisson 15 de type P et un caisson 14 de type N comme pour la figure 4d. On a en outre réalisé une tranchée d'isolation de type STI 16 s'étendant, depuis la surface du substrat SeOI, sous la couche isolante BOX, en profondeur dans le substrat de base 31, cette tranchée assurant l'isolation entre les caissons 14, 15.

Le niveau de dopage dans les caissons des figures 4c, 4d et 4e est typiquement compris entre  $5 \cdot 10^{16}$  et  $5 \cdot 10^{18} \text{ cm}^{-3}$ .

On notera que les étapes nécessaires pour fabriquer les structures représentées sur les figures 4c, 4d et 4e relèvent de procédés standards de fabrication CMOS.

Partant de la structure représentée sur la figures 4c (respectivement figure 4d et figure 4e), on met ensuite en œuvre une implantation de dopants afin de former des grilles de contrôle arrière 12, 13, 17, 18 sous la couche isolante 2 comme représenté sur la figure 4f (respectivement figure 4g et figure 4h).

Le niveau de dopage pour la formation d'une grille de contrôle arrière est typiquement compris entre  $5 \cdot 10^{18}$  et  $5 \cdot 10^{20} \text{ cm}^{-3}$ .

Comme représenté sur les figures 4g et 4h, la grille de contrôle arrière 12, 13, 17, 18 est isolée du substrat de base 1 par un caisson 14, 15 de polarisation opposée (caisson 15 de type P pour la grille de contrôle arrière de type N 13, 18 ; caisson 14 de type N pour une grille de contrôle arrière de type P 12, 17).

Dans le cas de la figure 4f, on n'a réalisé un caisson que pour une seule polarisation de grille de contrôle arrière (caisson P 13 d'isolation d'une grille de contrôle arrière N 13, alors qu'une grille de contrôle arrière de type P 12 est agencée directement dans le substrat de base 1 polarisé N).

On relèvera que d'une manière générale, la tension du caisson est choisie de façon à ce que la diode créée par le nœud électrique entre la grille de contrôle arrière et le caisson soit toujours en inverse, la diode isolant alors la grille de contrôle arrière du caisson et de tout ce qu'il peut contenir (autres grilles de contrôles arrière notamment).

Selon un premier mode de réalisation représenté sur la figure 4h, la grille de contrôle arrière 17, 18 s'étend sous toute la largeur du caisson 14, 15. Dans ce cas de figure, la tranchée d'isolation 16 permet d'isoler les grilles de contrôle arrière 17, 18 entre elles.

5            Selon un autre mode de réalisation représentée sur la figure 4g, la grille de contrôle arrière 12, 13 est localisée pour ne s'étendre que sur une portion de la largeur du caisson 14, 15. On notera qu'une tranchée d'isolation peut également être prévue lorsque la grille de contrôle arrière est localisée en contribuant ainsi à l'isolation des caissons.

10           Selon une variante de réalisation non représentée, une seconde couche isolante, agencée dans le substrat de base en dessous de la couche isolante BOX, peut contribuer, totalement ou en partie, à isoler une grille de contrôle arrière du substrat de base.

15           Partant de la structure représentée sur la figure 4f (respectivement figure 4g et figure 4h), on réalise ensuite un remplissage des mésas, et les cas échéant des tranchées d'isolation, par dépôt d'un diélectrique. Ce remplissage met en œuvre des traitements standard de passivation des parois latérales, de remplissage et de planarisation de surface.

20           Un ou plusieurs transistors (de même type) peuvent ensuite être formés dans chacune des régions de la couche mince 3 délimitées par les régions d'isolation 19 formées du diélectrique ainsi déposé.

25           Dans le cadre de l'invention, la grille de contrôle arrière est utilisée afin de modifier dynamiquement la tension de seuil effective du transistor. Plus particulièrement, la tension qui est appliquée à la grille de contrôle arrière est modulée en fonction du type d'opérations de commande de la cellule (programmation, effacement, lecture, maintien).

30           Un transistor dont le canal présente une conductivité de type N et une grille de contrôle arrière de conductivité P (on parle alors de grille de contrôle arrière avec fonction de travail) présente une tension seuil très élevée. Cette tension de seuil peut alors être réduite en appliquant une tension positive sur la grille de contrôle arrière.

Un transistor dont le canal présente une conductivité de type N et une grille de contrôle arrière de conductivité N (on parle alors de grille de contrôle arrière sans fonction de travail) présente une tension seuil nominale qui peut être réduite en appliquant une tension positive sur la grille de contrôle arrière.

5 Cette variation de la tension de seuil du transistor via la grille de contrôle arrière peut être formulée selon  $V_{th} = V_{t0} - \alpha \cdot V_{BG}$ , où  $V_{th}$  représente la tension de seuil du transistor,  $V_{BG}$  la tension appliquée à la grille de contrôle arrière,  $V_{t0}$  la tension de seuil nominale (qui peut être en plus décalée par la fonction de travail selon que l'on utilise une grille de contrôle arrière de type N ou P ou  
10 métallique), et  $\alpha$  un coefficient lié à l'architecture du transistor.

Tel que présenté dans la thèse « Architectures innovantes de mémoire non-volatile embarquée sur film mince de silicium » soutenue par Germain Bossu en juin 2009 à l'Université de Provence Aix Marseille I, le coefficient  $\alpha$

peut notamment être approximé selon  $\alpha = \frac{3 \cdot t_{ox1}}{t_{Si} + 3 \cdot t_{ox2}}$ , où  $t_{ox1}$  désigne

15 l'épaisseur de la couche diélectrique de grille séparant la grille de contrôle avant du canal,  $t_{ox2}$  désigne l'épaisseur de la couche isolante séparant la grille de contrôle arrière du canal et  $t_{Si}$  désigne l'épaisseur de la couche mince.

On comprend donc que le type de dopage de la grille de contrôle arrière  
20 associé à un transistor décale ou non la tension de seuil nominale, et que la polarisation de la grille de contrôle arrière permet d'ajuster la tension de seuil.

Dans le cadre de l'invention, la polarité de la grille de contrôle arrière 6 est préférentiellement choisie de sorte que la grille de contrôle arrière ne présente pas de fonction de travail. Cette polarité doit ainsi être de même  
25 type que le transistor FET (soit une polarité de type N pour un transistor de type N, une polarité de type P pour un transistor de type P). L'invention s'étend toutefois également à une grille arrière présentant une tension de travail (polarité opposée à celle du transistor FET).

Par ailleurs l'invention n'est bien entendu pas limitée à un transistor de  
30 type N, mais s'étend également à un transistor de type P.

Revenant au cas général d'une grille de contrôle arrière, une tension positive appliquée à la grille de contrôle arrière permet de diminuer la tension de seuil effective du transistor.

On peut également venir augmenter la tension de seuil effective, via une  
5 tension négative appliquée à la grille de contrôle arrière, ce qui permet de diminuer les fuites, avantageusement dans un état globalement inactif du circuit.

Dans le cadre de l'invention, la grille de contrôle arrière associé à un transistor d'une cellule DRAM SeOI est utilisée dynamiquement : la tension  
10 qui lui est appliquée est effectivement modulée en fonction du type d'opérations de commande de la cellule (programmation, effacement, lecture, maintien ou retention).

L'invention propose ainsi d'utiliser conjointement la grille de contrôle avant et la grille de contrôle arrière lors d'une opération de programmation de  
15 la cellule en appliquant une première tension sur la grille de contrôle avant et une seconde tension sur la grille de contrôle arrière, ladite première tension étant inférieure en amplitude à la tension nécessaire pour programmer la cellule lorsqu'aucune tension n'est appliquée sur la grille de contrôle arrière.

La seconde tension est positive, notamment égale à la tension  
20 d'alimentation nominale  $V_{dd}$ , dans le cas d'un transistor de canal N.

Dans le cas d'une cellule à transistor de canal P, le fonctionnement reste symétrique au cas d'un transistor de canal N. Les tensions appliquées sont alors référencées par rapport à  $V_{dd}$  et négatives par rapport à cette référence, en évoluant ainsi vers la tension nulle.

25 On prendra dans ce qui suit l'exemple d'un transistor de canal N.

Selon un mode de réalisation préférentiel, la tension de grille de contrôle arrière est positive pour la programmation et nulle les autres opérations.

Lors de la programmation, l'application d'une tension positive à la grille de contrôle arrière permet effectivement de diminuer la tension de seuil du  
30 transistor. La grille de contrôle avant peut alors n'être alimentée que par la tension nominale de lecture  $V_{dd}$ . Les tensions de programmation peuvent

ainsi être abaissées, ce qui aide considérablement à la conception des circuits périphériques (les circuits commande des lignes de mot n'ont plus à délivrer de hautes tensions, de sorte que le besoin de circuits générant la surtension est éliminé) et renforce la fiabilité de la cellule et du circuit en général.

Dans la mesure où les sollicitations du transistor sont abaissées, il s'avère en outre possible d'utiliser des transistors de plus petites dimensions.

Selon une variante de réalisation, on peut venir appliquer une troisième tension sur la grille de contrôle arrière lors d'une opération de maintien, pour permettre une meilleure rétention des charges dans le canal flottante.

Une tension nulle ou légèrement négative (une tension proche de  $V_{DD}$  dans le cas d'un transistor de canal P) appliquée à la grille de contrôle arrière lors des opérations de maintien permet en particulier de limiter les fuites du transistor.

On retiendra que dans un souci de simplicité, il est préférable de travailler avec des tensions de grille de contrôle arrière égales à des valeurs simples (typiquement 0V,  $V_{DD}$ , éventuellement  $V_{DD}/2$ ) qui ne demandent pas ou peu de circuits (consommant de l'énergie) pour être disponibles.

On retiendra toutefois que dans le cas où l'effet de grille de contrôle arrière sur la tension de seuil du transistor n'a pas l'amplitude désirée, on peut toujours moduler la tension appliquée à la grille de contrôle arrière pour compenser un « mauvais » ratio d'épaisseurs de la couche mince, de la couche isolante, et de la couche diélectrique de grille, en utilisant des tensions de grille de contrôle arrière différentes des valeurs simples mentionnées ci-dessus.

Selon encore une autre variante, une quatrième tension, notamment une tension positive, est appliquée à la grille de contrôle arrière lors d'une opération de lecture. Une opération de lecture est en effet généralement suivie d'une restauration, c'est-à-dire une reprogrammation. L'application d'une tension positive à la grille de contrôle arrière lors d'une opération de

lecture s'avère alors avantageuse en ce qu'elle permet de réduire les tensions devant alors être appliquées à la grille de contrôle avant.

On aura compris de ce qui précède que l'invention prévoit d'exploiter avantageusement une cellule mémoire disposant d'une grille de contrôle  
5 arrière individualisée. A tout le moins, seules les cellules agencées le long d'une même ligne ou d'une même colonne d'une matrice mémoire partagent la même grille de contrôle arrière. Une ligne de grille arrière peut ainsi être couplée à la grille de contrôle arrière chacune des cellules le long d'une ligne ou d'une colonne.

10 De manière connue en soi, une ligne de mot ('Word Line') est couplée à la grille de contrôle avant de chacune des cellules long d'une colonne de la matrice mémoire.

On prévoit de manière préférentielle que la ligne de grille arrière s'étende en parallèle de la ligne de mot (la grille de contrôle arrière venant  
15 effectivement assister la grille de contrôle avant lors de la programmation).

On peut également prévoir que la grille de contrôle avant et la grille de contrôle arrière d'une cellule mémoire soient connectées ensemble ce qui permet de diminuer le nombre de décodeurs nécessaires. En particulier, on peut relier la ligne de mot d'une colonne d'une matrice mémoire à la ligne de  
20 grille arrière qui lui est parallèle.

## **REVENDEICATIONS**

1. Procédé de commande d'une cellule mémoire DRAM composée d'un transistor FET sur un substrat semi-conducteur sur isolant comprenant une  
5 couche mince (3) de matériau semi-conducteur séparée d'un substrat de base (1) par une couche isolante (2, BOX), le transistor disposant d'un canal (4) et de deux grilles de contrôle, une grille de contrôle avant (8, 11) étant disposée au-dessus du canal (4) et séparée de celui-ci par un diélectrique de grille (7, 10) et une grille de contrôle arrière (9, 12, 13, 17, 18) étant disposée  
10 dans le substrat de base et séparée du canal (4) par la couche isolante (BOX), caractérisé en ce que lors d'une opération de programmation de la cellule on utilise conjointement la grille de contrôle avant et la grille de contrôle arrière en appliquant une première tension sur la grille de contrôle avant et une seconde tension sur la grille de contrôle arrière, ladite première  
15 tension étant inférieure en amplitude à la tension nécessaire pour programmer la cellule lorsqu'aucune tension n'est appliquée sur la grille de contrôle arrière.

2. Procédé selon la revendication 1, dans lequel la seconde tension est  
20 positive.

3. Procédé selon l'une des revendications 1 ou 2, dans lequel lors d'une opération de maintien de la cellule, on applique une troisième tension à la grille de contrôle arrière.  
25

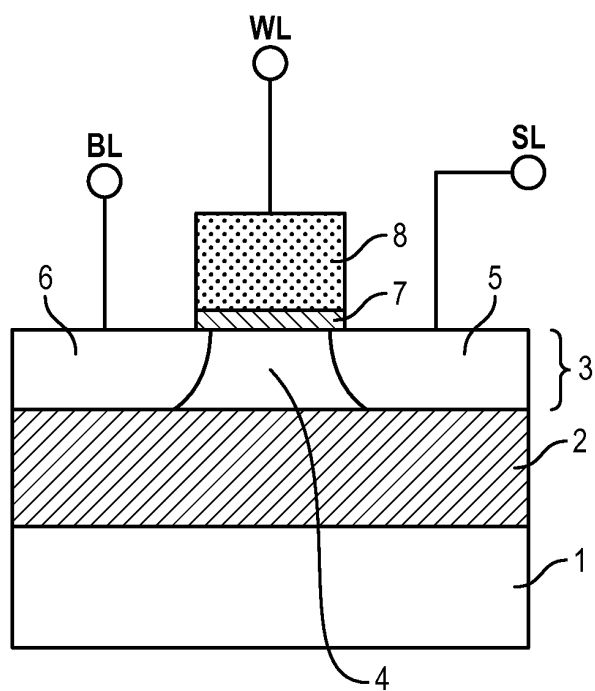
4. Procédé selon la revendication 3, dans lequel la troisième tension est négative ou nulle.

5. Procédé selon l'une des revendications précédentes, dans lequel lors  
30 d'une opération de lecture de la cellule, on applique une quatrième tension à la grille de contrôle arrière.

6. Procédé selon la revendication 5, dans lequel la quatrième tension est positive.
- 5 7. Procédé selon l'une des revendications précédentes, dans lequel la grille de contrôle avant et la grille de contrôle arrière sont connectées ensemble et on applique sur la grille de contrôle avant une tension identique à la tension appliquée à la grille de contrôle arrière.

1/7

FIG. 1



2/7

FIG. 2a

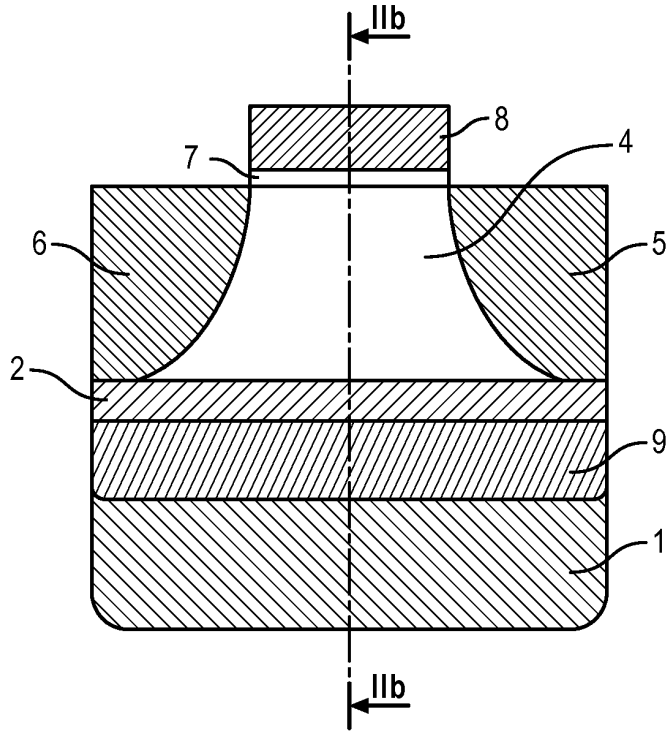
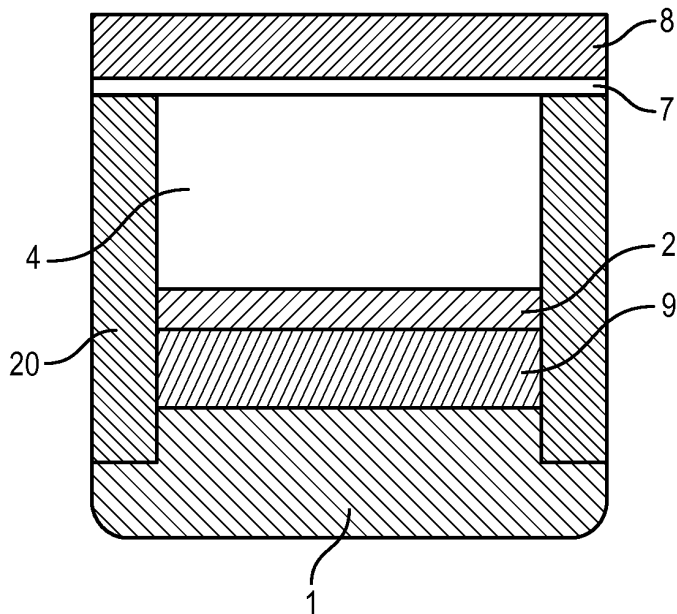
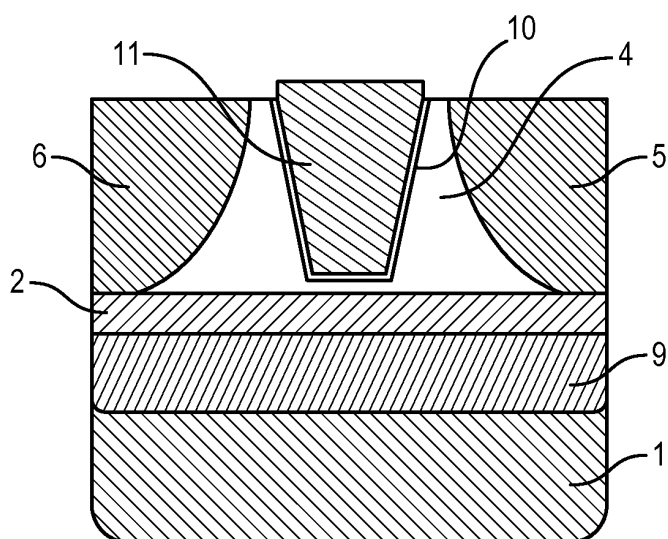


FIG. 2b



**3/7****FIG. 3**

4/7

FIG. 4a

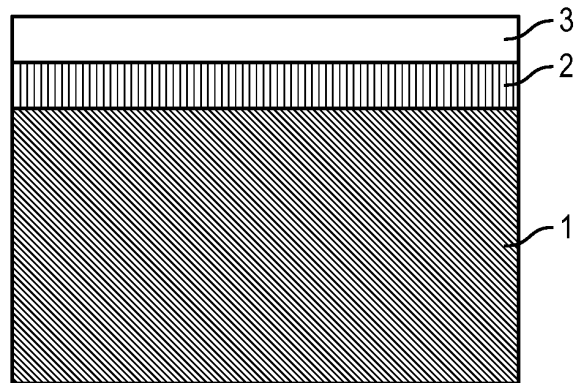
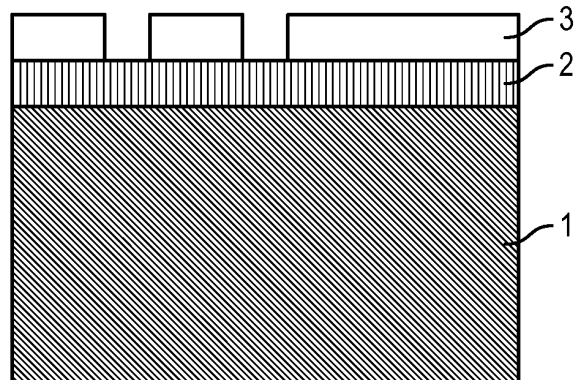


FIG. 4b



5/7

FIG. 4c

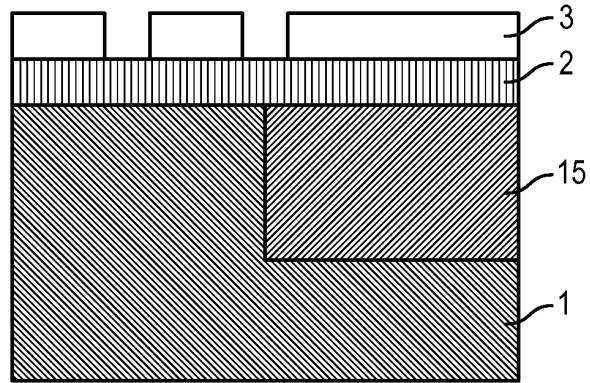


FIG. 4d

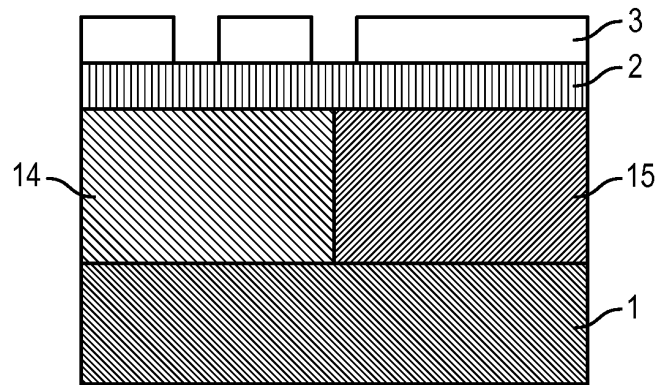
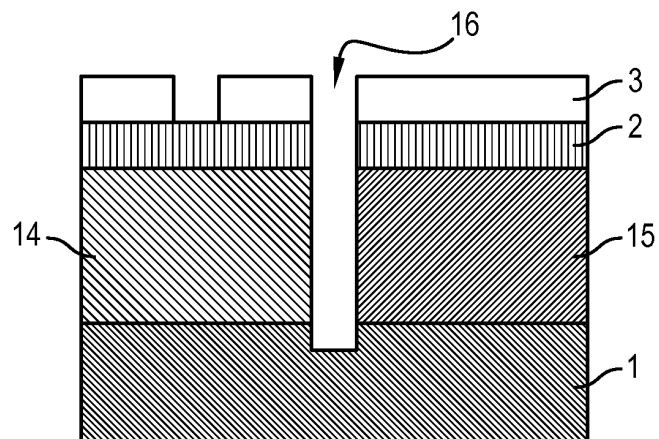


FIG. 4e



6/7

FIG. 4f

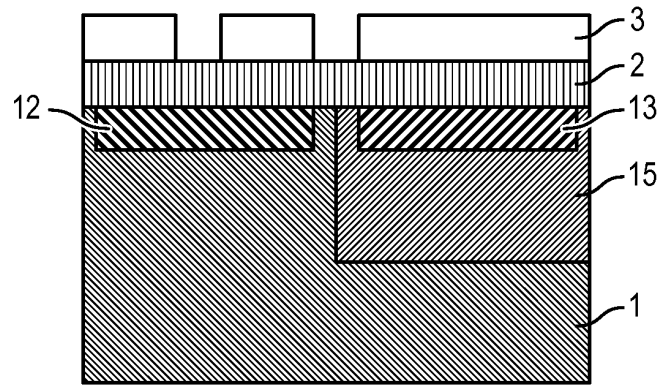


FIG. 4g

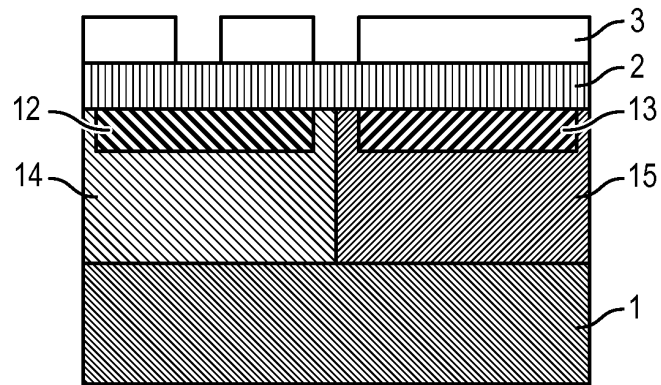
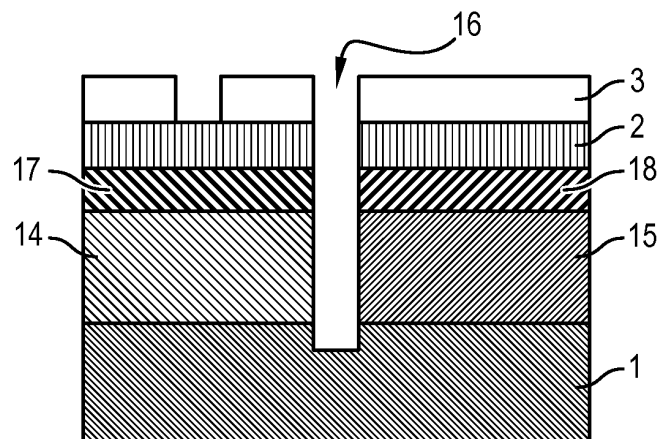


FIG. 4h



7/7

FIG. 4i

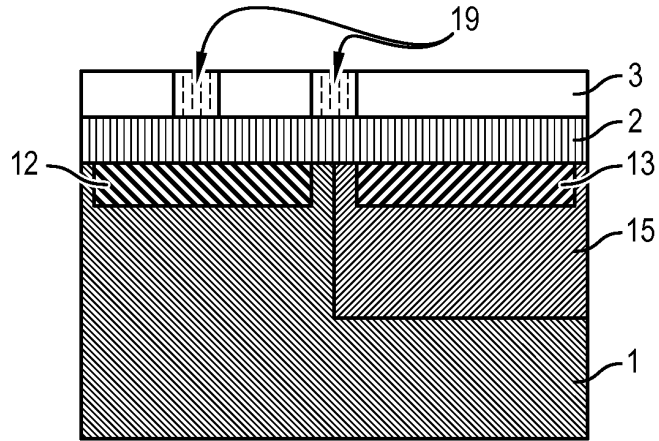


FIG. 4j

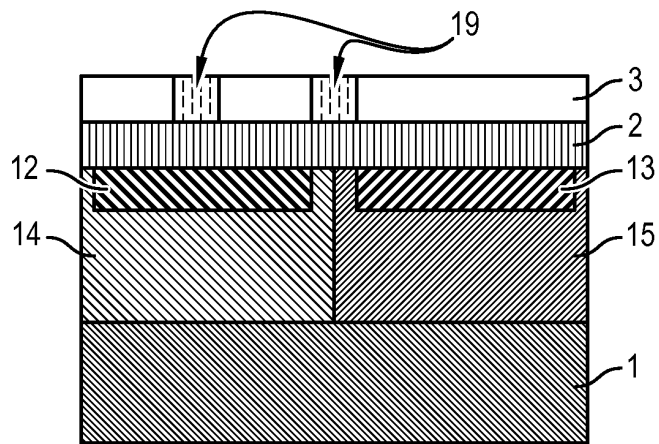
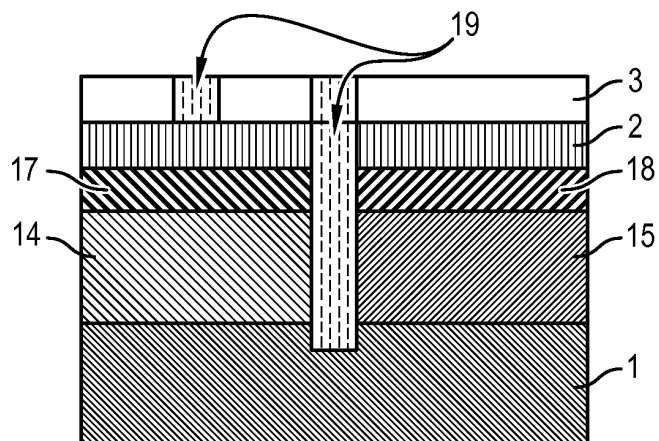


FIG. 4k





**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 732190  
FR 0958749

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	EP 1 233 454 A2 (TOSHIBA KK [JP]) 21 août 2002 (2002-08-21) * alinéas [0043], [0 46], [ 144]; figures 3, 4, 7A, 7B, 26, 62 *	1-7	G11C7/12
X	US 2009/010056 A1 (KUO CHARLES C [US] ET AL KUO CHARLES C [US] ET AL) 8 janvier 2009 (2009-01-08)	1	
A	* alinéas [0010], [0 11], [0 13]; figures 2-4 *	3-5	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			G11C H01L
Date d'achèvement de la recherche		Examineur	
28 mai 2010		Vidal Verdú, Jorge	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0958749 FA 732190**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.  
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **28-05-2010**  
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 1233454	A2	21-08-2002	CN 1372323 A	02-10-2002
			CN 1645618 A	27-07-2005
			JP 3884266 B2	21-02-2007
			JP 2003086712 A	20-03-2003
			KR 20020067974 A	24-08-2002
			TW 525292 B	21-03-2003
			US 2002114191 A1	22-08-2002
-----				
US 2009010056	A1	08-01-2009	AUCUN	
-----				