发明名称
一种芯片封装外观缺陷检测系统及方法

摘要
本发明公开了一种产品封装外观缺陷检测系统及方法。所述系统包括图像获取模块，采集被检测的产品封装外观图像；多层次并行处理架构，其包括：二位全并行处理单元阵列，包括多个像素处理单元，用于并行处理产品封装外观图像，对其进行低级图像处理；二位全并行处理单元阵列，包括多个行处理单元，用于并行处理经所述二位全并行处理单元阵列低级图像处理后的结果，对其进行中级图像处理；阵列控制器，其用于根据处理器的指令控制所述多层次并行处理架构执行相应的动作；处理器，其根据所述二位全并行处理单元阵列的处理结果，判断待检测产品封装外观是否有缺陷。本发明利用以上提到的检测系统及方法，能够快速实现芯片封装外观缺陷的检测。
1. 一种产品封装外观缺陷检测系统，其特征在于，该装置包括：
图像获取模块，用于采集被检测的产品封装外观图像；
多层次并行处理架构，其包括：
二值全并行处理单元阵列，其包括多个像素处理单元，用于并行处理产品封装外观图像，对其进行低级图像处理；
二值全并行处理单元阵列，其包括多个行处理单元，用于并行处理经过所述二值全并行处理单元阵列低级图像处理后的产品，对其进行中级图像处理；
阵列控制器，用于根据处理器的指令控制所述多层次并行处理架构执行相应的动作；
处理器，其根据所述二值全并行处理单元阵列的处理结果，判断待检测产品封装外观是否有缺陷。

2. 如权利要求 1 所述的系统，其中，所述低级图像处理包括对所述产品封装外观图像进行滤波、阈值分割、形态学处理和边缘提取操作。

3. 如权利要求 2 所述的系统，其中，所述中级图像处理包括对从产品封装外观图像所提取的每列边缘像素值进行求和和和直方图统计。

4. 如权利要求 1 所述的系统，其中，所述二值全并行处理单元阵列中的所有像素处理单元并行计算所述产品封装外观图像的单个像素的边缘值，并根据预先设定的边缘值阈值确定当前像素点是否为边缘像素点，并形成与像素阵列对应的边缘像素点表示矩阵。

5. 如权利要求 4 所述的系统，其中，所述二值全并行处理单元阵列中的每个行处理单元对所述边缘像素点表示矩阵中的每列元素并行求和，将大于分界线阈值的列所在位置确定为产品分界线。

6. 如权利要求 4 或 5 所述的系统，其中，所述二值全并行处理单元阵列在提取缺陷特征时仅对产品封装外观图像中的任意区域进行处理。

7. 如权利要求 1-5 任一项所述的系统，其中，
所有像素处理单元接收相同的指令，完成相同的操作，工作在单指令多数据模式下；
每个像素处理单元完成 1 比特的算术逻辑运算；
每个像素处理单元与其他任意像素处理单元进行数据交换，其中每个像素处理单元与
其邻近的上、下、左、右像素处理单元相连，通过数据的邻近像素处理单元数据的传递，可以实现任意两个像素处理单元之间的数据交换。

8. 如权利要求 1-5 任一项所述的系统，其中所述像素处理单元包括：
一个算术逻辑单元，用于实现至少包括求和、求反、相与、相或的算数逻辑运算。
第一操作数选择器，根据阵列控制器的控制指令从本像素处理单元或其邻近像素处理单元的随机存储器中选择一个数据作为 1 比特算术逻辑运算单元的第一操作数；
第二操作数选择器，根据阵列控制器的控制指令选择本像素处理单元 1 比特临时寄存器的数据，或者 1 比特立即数 0、1 中的一个作为 1 比特算术逻辑运算单元的第二操作数；
一个 1 比特临时寄存器；
一个随机存储器。

9. 如权利要求 1-5 任一项所述的系统，其中，
所有行处理单元接收相同的指令，完成相同的操作，工作在单指令多数据模式下；
每个行处理单元与其上、下相邻的单元相连，能够进行数据的交换。
10. 如权利要求 1-5 任一项所述的系统，其中，所述行处理单元 RP 包括：
一个 8 比特算术运算单元；
第一操作数选择器，用于根据阵列控制器的控制指令从本行处理单元或邻近行处理单元的寄存器文件或 8 比特立即数中选择一个数据作为 8 比特算术运算单元的第一操作数；
第二操作数选择器，用于根据阵列控制器的控制指令从缓冲移动寄存器和立即数 0 中选择一个数据作为 8 比特算术运算单元的第二操作数。
条件标志选择器，用于控制寄存器文件的写使能。
一个 8 比特的临时寄存器，用于二维全并行处理单元阵列和一维全并行处理单元阵列之间的数据交换；
一个位宽为 8 比特的寄存器文件，用于保存 8 比特算术运算单元的运算结果。
11. 一种利用权利要求 1-10 任一项所述的产品封装外观缺陷检测系统进行产品外观缺陷检测的方法，其特征在于，包括：
用于采集被检测的产品封装外观图像；
并行处理产品封装外观图像，对其进行低级图像处理；
并行处理经低级图像处理后的结果，对其进行中级图像处理；
根据所述中级图像处理的结果，判断待检测产品封装外观是否有缺陷。
一种芯片封装外观缺陷检测系统及方法

技术领域
[0001] 本发明涉及芯片封装外观缺陷的检测和基于多层次并行处理架构的图像处理领域，尤其涉及一种基于多层次并行处理的快速芯片封装外观缺陷检测系统。

背景技术
[0002] 最终目检是半导体芯片生产的最后一个环节。通过目检，可以发现并去除芯片表面的缺陷，保证芯片外观完整的同时，也可以避免由芯片外观缺陷导致的芯片功能缺陷。目前大多数半导体芯片生产厂商都采用人工来进行产品的最终目检，而人工的主观性严重影响了检测的准确性。现有的自动化检测设备，一般多基于计算机或数字信号处理器进行检测，由于硬件的限制，检测的速度比较低，无法满足高速生产的要求。
[0003] 随着信息技术的快速发展，利用大规模高性能现场可编程门阵列（FPGA）、数字信号处理器（DSP）及嵌入式处理器的硬件系统成为了研究热点，然而受限于传统的构架体系，仍然很难在处理能力、功耗、实时等各方面达到平衡。

发明内容
[0004] （一）要解决的技术问题
[0005] 针对上述问题，本发明提供了一种基于多层次并行处理的快速芯片封装外观缺陷检测系统，该系统通过设计的并行处理架构和与之相适配的缺陷检测算法，可以实现芯片封装外观缺陷的快速检测。
[0006] （二）技术方案
[0007] 为了达到上述的效果，本发明提供了一种基于多层次并行处理的产品封装外观缺陷检测系统，其特征在于，该装置包括：
[0008] 图像获取模块，用于采集被检测的产品封装外观图像；
[0009] 多层次并行处理架构，其包括：
[0010] 二维全并行处理单元阵列：其包括多个像素处理单元，用于并行处理芯片封装外观图像，对其进行低级图像处理；
[0011] 一维全并行处理单元阵列，其包括多个并行处理单元，用于并行处理经所述二维全并行处理单元阵列低级图像处理后的结果，对其进行中级图像处理；
[0012] 阵列控制器，其用于根据处理器的指令控制所述多层次并行处理架构执行相应的动作；
[0013] 处理器，其根据所述一维全并行处理单元阵列的处理结果，判断待检测芯片封装外观是否有缺陷。
[0014] 本发明还提供了一种利用上述产品封装外观缺陷检测系统进行产品外观缺陷检测的方法，其特征在于，包括：
[0015] 用于采集被检测的产品封装外观图像；
[0016] 并行处理产品封装外观图像，对其进行低级图像处理。
说明书

[0017] 并行处理经低级图像处理后的结果，对其进行中级图像处理；
[0018] 根据所述中级图像处理的处理结果，判断待检测产品封装外观是否有缺陷。
[0019] （三）有益效果
[0020] 本发明提出的基于多层次并行处理的芯片封装外观缺陷检测系统，包括高速图像传感器 101、镜头 102、光源 103、二维全并行处理单元 (PE) 阵列 112、一维全并行处理单元 (RP) 阵列 114、精简指令处理器 119，以及实现芯片封装外观缺陷检测的高并行度算法。其中通过二维全并行处理单元 (PE) 阵列 112 完成图像的滤波、提取边缘等低级处理，通过一维全并行处理单元 (RP) 阵列 114 完成图像特征的提取，精简指令处理器 119 通过特征匹配做出缺陷检测的结果，同时精简指令处理器 119 对整个系统进行控制和管理。由于本发明基于二维全并行处理单元 (PE) 阵列 112 和一维全并行处理单元 (RP) 阵列 114，可以快速完成图像的低级和中级处理，从而大大提高了缺陷检测的速度，其检测速度是现有检测设备的 3 倍以上。

附图说明
[0021] 图 1 是本发明提出的基于多层次并行处理的快速芯片封装外观缺陷检测系统架构图；
[0022] 图 2 是本发明中二维全并行处理单元 PE 的实施例结构图；
[0023] 图 3 是本发明中一维全并行处理单元 RP 的实施例结构图；
[0024] 图 4 是本发明中基于多层次并行处理的快速芯片封装外观缺陷检测方法流程图；
[0025] 图 5 是本发明中二维全并行处理单元 PE 进行像素处理的过程示意图；
[0026] 图 6 (a) ～ (d) 是本发明中缺陷检测效果示意图。

具体实施方式
[0027] 为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明作进一步的详细说明。
[0028] 如图 1 是本发明提出的基于多层次并行处理的快速芯片封装外观缺陷检测系统架构图，包括：
[0029] 图像获取模块 10，该模块采集被检测的产品的清晰图像；以及
[0030] 多层次并行处理装置 11，该装置根据所述图像获取模块 10 获取的产品图像，通过高速实现缺陷检测算法，完成产品外观缺陷的检测；可选地，所述产品可以是半导体芯片。
[0031] 上述方案中，所述图像获取模块 10 包括：
[0032] 高速图像传感器 101，用于捕捉被检测产品的图像；
[0033] 镜头 102，用于将检测产品放大并聚焦到图像传感器；
[0034] 光源 103，用于均匀地照射被检测的产品；
[0035] 上述方案中，所述多层次并行处理装置 11 包括：
[0036] 图像输入模块 111，用于存储所述图像获取模块 10 采集到的产品外观的整幅图像数据，并根据阵列控制器 116 中预先配置的起始行、起始列、采样间隔把所需部分图像数据传递到所述的二维全并行处理单元阵列 112；
[0037] 二维全并行处理单元阵列 112，用于接收图像输入模块 111 传送的图像数据，执行
包括滤波、阈值分割、形态学处理、边缘提取等低级图像处理，并把处理后的图像数据传递给一维全并行单元阵列 114；

[0038] 一维全并行单元阵列 114，用于接收二维全并行处理单元阵列 112 的图像数据，执行求和、直方图统计等中级图像处理，并把进行了中级图像处理后的图像数据传递给精简指令处理器 119；

[0039] 阵列控制器 116，用于控制图像输入模块 111 输入相应的图像数据到二维全并行处理单元阵列 112，并控制二维全并行处理单元阵列 112 进行低级图像处理和一维全并行处理单元阵列 114 进行中级图像处理；

[0040] 精简指令处理器 119，用于接收一维全并行处理单元阵列 114 的图像特征数据，并通过特征匹配和识别做出缺陷检测判断，同时负责整个系统的时序和逻辑控制；

[0041] 片上总线 117，用于将来自精简指令处理器 119 的读取控制信号和逻辑地址信息映射到其他各个总线与器件模块（如阵列控制器 116, 输入 / 输出模块 118 等）所需的选通使能信号和物理地址信息，以驱动从器件模块完成操作；

[0042] 输入 / 输出模块 118，用于和外部 PC 进行数据交换；

[0043] 本发明基于这种多层次并行处理架构和检测要求，设计了相应的检测算法，首先利用二维全并行处理单元 (PE) 阵列实现待检测图像的预处理，再利用一维全并行处理单元 (RP) 阵列提取图像的表征，最后利用精简指令处理器匹配特征并做出检测判断，整个过程由于采用了大量的并行处理，所以速度远快于传统的检测设备。

[0044] 图 1 中的二维全并行处理单元 (PE) 阵列 112 包含了多个像素处理单元 PE113。每个 PE 工作在单指令多数据 (SIMD) 模式下，接受相同的指令，执行相同的操作，但是数据是来自每个 PE 本地的存储器；每个 PE 能够完成适合全并行处理的局部图像操作，如滤波、边缘提取、增强等。每个 PE 的数据可以与上、下、左、右的邻近单元进行交互传递，通过多次的邻近单元数据传递，每个 PE 可与任意位置的其他 PE 产生交互。每个 PE 能够完成 1 比特的求和、求反、逻辑与、逻辑或等操作，多比特的操作可以分解为上述 1 比特运算来实现。

[0045] 如在本实施例中设计了 64×64 的 PE 阵列，要处理的图像是 512×320，相对于 40 个 64×64 的图像块，因此在图像输入模块中提供了一个存储器，把信息的图像数据保存下来，PE 阵列可以多次读取同一帧内的图像数据。为了提高速度，在进行某些算法时，可以对图像进行二维采样，同时，根据所要检测的缺陷项目，如果是盖带的缺陷，则定位到图像的上下边缘部分，如果是芯片的缺陷，则定位到图像的中间部分，从而找到图像中感兴趣的部分，只需对图像中感兴趣的部分进行缺陷检测，在保证检测精度的情况下，减小了计算量，缩短了处理时间。

[0046] 如图 2 所示为二维全并行处理单元 PE 的实施例结构图。所述 PE113 包括至少两个输入数据选择器，一个 1 比特算术逻辑单元，一个结果选择器，一个 1 比特临时寄存器和 64 比特的存储器。具体地，所述处理单元 PE113 包括：

[0047] 一个算术逻辑单元 23，用于对第一操作数和第二操作数实现至少包括求和、求反、相与、相或的运算；

[0048] 第一操作数选择器 21，根据阵列控制器的控制指令从本单元或者邻近单元的随机存储器中选择一个数据作为 1 比特算术逻辑运算单元的第一操作数；
第二操作数选择器 22，根据阵列控制器的控制指令从本单元 1 比特寄存器的数据或 1 比特立即数 0 和 1 中选择一个数据作为 1 比特算术逻辑运算单元的第二操作数；

一个 1 比特寄存器 24；

一个随机存储器 25。

所述 1bit 算术逻辑单元 23 包括：一个全加器、一个非门、一个二输入与门、一个二输入或门、一个 1 比特进位寄存器和一个输出结果选择器。

在阵列控制器 116 的控制指令下，PE 113 选择相应的输入数据和算术逻辑功能，完成运算后，把结果存入相应地址的存储器或临时寄存器。PE 阵列适合于滤波，提取边缘等通过模板实现的运算。如利用 PE 阵列提取图像中垂直方向的边缘，只需要 130 条指令，在 27 兆赫的工作频率下，只需要 48 微秒。

图 1 所示的一维全并行处理单元 (RP) 阵列包括多个处理单元 RP115，其中所有 RP 单元 115 接收相同的指令，完成相同的操作。工作在单指令多数据 (SIMD) 模式下，能够完成适合一维并行的图像处理；每个 RP 单元 115 与其上、下相邻的单元相连，能够进行数据的交换。

如图 3 所示为一维全并行处理单元 RP 的实施例结构图。每个 RP 115 包括了两个输入数据选择器，一个 8 比特算术逻辑单元，一个条件标志选择器，一个临时寄存器和存储器。具体地，所述 RP 单元 115 包括：

一个 8 比特算术运算单元 33；

第一操作数选择器 31，用于根据阵列控制器的控制指令从本地单元或邻近单元的寄存器文件或 8 比特立即数中选择一个数为 8 比特算术运算单元的第一操作数；

第二操作数选择器 32，用于根据阵列控制器的控制指令从缓冲移位寄存器和立即数 0 中选择一个数据作为 8 比特算术运算单元的第二操作数。

条件标志选择器 34，其用于从进位标志、结果标志、PE 单元标志位和 1 中进行选择，用于控制 RP115 寄存器文件的写使能；

一个 8 比特的临时寄存器 36，用于二维全并行处理单元阵列 112 和一维全并行处理单元阵列 114 之间的数据交换，同时用于片上总线 117 对一维全并行处理单元阵列 114 访问的接口。

一个位宽为 8 比特的寄存器文件 35，用于保存 8 比特算术运算单元 33 的结果；

在阵列控制器的控制指令下，RP 选择相应的输入数据和算术逻辑功能，完成运算后，把结果存入相应地址的存储器或临时寄存器。RP 阵列可以完成求和，直方图统计等运算，能够根据 PE 阵列的数据完成特征提取。

所示精简指令 (RISC) 处理器 119 包括：

一个精简指令 (RISC) 处理器核；

一个随机只读存储器，用于存储精简指令处理器核的程序；

一个随机存储器，用于精简指令处理器核处理过程中的数据的存储和读取。

如图 4 所示为缺陷检测的算法流程。缺陷检测算法是根据所需检测的项目包括盖带缺陷、芯片字符缺陷、芯片引脚缺陷独立设计的，每一步算法都具有很高的并行度。

首先输入图像数据，每个图像数据可包括多个待检测芯片的外观图像，所以通过
从所述图像中提取垂直边缘来定位每个芯片的边界，完成芯片的分割和定位。这里采用
3×3 的 Sobel 模板算子进行竖直边缘提取。如式 (1) 所示。通过 3×3 邻域内的像素的计算
得到每个点的边缘值。Ey(i, j) 是边缘图，I(i, j) 是原图像。

\[ Ey(i, j) = \left| I(i-1, j-1) + 2 \times I(i-1, j) + I(i+1, j-1) - 2 \times I(i+1, j) + I(i+1, j+1) \right| \]

（1）

在 PE 阵列里面的实现过程如图 5 所示。通过 Sobel 算子与原图像进行卷积计算，
得到垂直边缘图像，图中只示意了其中一个 PE 单元对应的像素的计算过程，该 PE 单元把
左上像素的灰度值，左下像素灰度值的两倍，右下像素灰度值相加，再减去右上像素的灰度
值，减去右下像素灰度值的两倍，减去右下像素灰度值，得到该 PE 单元所对应的像素的边
缘值。实际 PE 单元均同时完成同样的操作，由于 PE 阵列具有像素级的并行性，即每个
PE 单元对应一个像素，所以可以快速完成边缘提取等运算。所述二维全并行处理单元阵列
中的所有像素处理单元并行计算所述芯片封装外观图像的单个像素的边缘值，并根据预先
设定的边缘值阈值确定当前像素是否为边缘像素，并形成与像素阵列对应的边缘像素
点表示矩阵。具体地，每二个 PE 得到每个像素点的边缘值后，根据一个合适的阈值分割边
缘和背景。例如，如果当前像素点的边缘值大于阈值，分割为灰度值是 255 的白点，用 1 表
示，反转为背景，用 0 表示。然后依次将 PE 阵列的每一列数据移到 RP 阵列里面，并求每
列的和，和大于一定阈值的列所在位置即为芯片分界线的位置。所述一维全并行处理单元
阵列中的每个行处理单元对所述边缘像素点表示矩阵中的每列元素并行求和，将大于分界
线阈值的列所在位置确定为芯片分界线。为了减小计算量，提高检测速率，在进行缺陷检测
之前，找到各种缺陷所在的预先估计缺陷区域，即感兴趣区域，如只检测距离盖板上下边界
64 个像素范围内的区域来检测盖带的缺陷。这里可以通过 PC 设定盖带的上下边界。

针对图像中感兴趣的部分，通过 PE 阵列完成滤波和灰度形态学处理，平滑图像并
突出图像中的缺陷。然后由 PE 阵列进行阈值分割，将缺陷分割为白点，用 1 表示，背景分割
为黑点，用 0 表示，然后 RP 阵列统计白点的数目，作为缺陷的特征，RISC 处理器得到缺陷特
征以后，根据检测的特征，与之前提取的标准的特征进行比较，差值大于一定阈值判断为有
缺陷，反之判断为无缺陷。

如图 6 所示为缺陷检测效果示意图。该图 (a)、(b)、(c) 反映了带有盖带缺陷的产
品，图 (d) 反映了带有引脚缺陷的产品，每个产品下面的字符框内显示了其检测的结果，如
果有缺陷就是“FAIL”，没有缺陷就是“PASS”

基于多层次并行架构，本发明的检测系统完成一幅图像的检测只需要 36.8 毫秒，
其中整幅图像数据的存储占 18 毫秒，盖带缺陷和引脚的缺陷检测占 18.6 毫秒。每幅图像包含
三个芯片，所以每秒钟可以检测 80 个芯片，速度快于传统的检测设备。

以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详
细说明，应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限制本发明，凡在
本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护
范围之内。
图 1
图 2
图 4

图 5

图 6