(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4610205号
(P4610205)

(45)発行日　平成23年1月12日(2011.1.12)　(24)登録日　平成22年10月22日(2010.10.22)

(51)Int.Cl.　F I
H01L 21/822 (2006.01)　H01L 27/04 P
H01L 27/04 (2006.01)　H01L 21/88 A
H01L 21/3205 (2006.01)
H01L 23/52 (2006.01)

請求項の数 10　(全 40 頁)

(21)出願番号　特願2004-40910(P2004-40910)
(22)出願日　平成16年2月18日(2004.2.18)
(65)公開番号　特開2005-235888(P2005-235888A)
(43)公開日　平成17年9月2日(2005.9.2)
審査請求日　平成18年11月16日(2006.11.16)

(73)特許権者　000006747
株式会社リコー
東京都大田区中馬込１丁目３番６号
(74)代理人　100085464
弁理士　野口　繁雄
(72)発明者　橋本　泰典
東京都大田区中馬込１丁目３番６号　株式会社リコー内
(72)発明者　山下　公彦
東京都大田区中馬込１丁目３番６号　株式会社リコー内

審査官　須原　宏光

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
絶縁膜上に金属薄膜抵抗体を備えた半導体装置において、
絶縁膜上に形成され、一部分が金属薄膜抵抗体との電気的接続を形成するための電極を構成する配線パターンと、
前記配線パターンのうち少なくとも前記電極の側面に形成された絶縁性材料からなるサイドウォールと、
前記電極の上面から、前記サイドウォール表面を介して、前記絶縁膜上にわたって形成された金属薄膜抵抗体を備え、
前記サイドウォールの前記絶縁膜側の表面に、成分にＡｒを含んでいる第２サイドウォールが形成されていることを特徴とする半導体装置。
【請求項２】
前記金属薄膜抵抗体の一部分は前記電極上で前記配線パターンと交差して形成されている請求項１に記載の半導体装置。
【請求項３】
前記金属薄膜抵抗体の膜厚は５～１０００Åである請求項１又は２に記載の半導体装置。
【請求項４】
前記配線パターンは金属材料パターンと前記金属材料パターンの少なくとも上面に形成された高融点金属膜により構成されている請求項１から３のいずれかに記載の半導体装置

。
【請求項５】
前記配線パターンはポリシリコンパターンと前記ポリシリコンパターンの少なくとも上面に形成された高融点金属膜により構成されている請求項１から３のいずれかに記載の半導体装置。
【請求項６】
前記金属薄膜抵抗体の上面を覆う金属窒化膜を備え、前記金属薄膜抵抗体の上面と前記金属窒化膜の間には金属酸化膜は形成されていない請求項１から５のいずれかに記載の半導体装置。
【請求項７】
前記配線パターンは最上層の配線パターンである請求項１から６のいずれかに記載の半導体装置。
【請求項８】
２個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、
前記抵抗素子は、請求項１から７のいずれかに記載の金属薄膜抵抗体により構成されていることを特徴とする半導体装置。
【請求項９】
入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、
前記分割抵抗回路として請求項８に記載の分割抵抗回路を備えていることを特徴とする半導体装置。
【請求項１０】
入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、
前記分割抵抗回路として請求項８に記載の分割抵抗回路を備えていることを特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置に関し、特に、絶縁膜上に形成された金属薄膜からなる金属薄膜抵抗体を備えた半導体装置に関するものである。
【背景技術】
【０００２】
アナログ集積回路において、抵抗素子は重要な素子として多用されている。近年、抵抗素子の中でも金属薄膜からなる抵抗体（金属薄膜抵抗体と称す）がその抵抗値の温度依存性（以下ＴＣＲという）の低さから注目を集めている。金属薄膜抵抗体の材料としては、例えばクロムシリコン（ＣｒＳｉ）やニッケルクロム（ＮｉＣｒ）、窒化タンタル（ＴａＮ）、クロムシリサイド（$CrSi_2$）、窒化クロムシリサイド（ＣｒＳｉＮ）、クロムシリコンオキシ（ＣｒＳｉＯ）などが用いられる。
金属薄膜抵抗体を備えた半導体装置において、高集積化の要求を満たすために、より高いシート抵抗を目指し、１０００Å（オングストローム）以下という薄い膜厚で金属薄膜抵抗体を形成することが多い。
【０００３】
従来、金属薄膜抵抗体の電気的接続をとる方法として、以下のような方法がある。
１）金属薄膜抵抗体に直接金属配線を接続する方法（例えば特許文献１参照。）。

２）金属薄膜抵抗体を形成した後、層間絶縁膜を形成し、その層間絶縁膜に接続孔を形成し、接続孔を介して金属配線を接続する方法（例えば特許文献２及び特許文献３参照。）。

３）金属薄膜抵抗体層上にバリヤ膜を形成し、そのバリヤ膜に金属配線を接続する方法（例えば特許文献４及び特許文献５参照。）。

【０００４】

上記１）～３）の金属薄膜抵抗体の電気的接続をとる方法を以下に示す。

図２５を参照して、１）金属薄膜抵抗体上に直接金属配線を形成する方法を説明する。

（１）素子分離酸化膜３及びトランジスタ素子等（図示は省略）の形成が完了したウェハ状のシリコン基板１上に、トランジスタのゲート電極とメタル配線との第１層間絶縁膜５となるＢＰＳＧ（Borophospho silicate grass）膜を形成し、リフロー工程等を行なう（図２５（ａ）参照）。

【０００５】

（２）シリコン基板１上全面に金属薄膜抵抗体を形成するための金属薄膜７３を２０～５００Å程度の膜厚に形成する（図２５（ｂ）参照）。

（３）金属薄膜７３上に金属薄膜抵抗体の形成領域を画定するためのレジストパターン７５を形成し、レジストパターン７５をマスクにして金属薄膜７３をパターニングして金属薄膜抵抗体７７を形成する（図２５（ｃ）参照）。

【０００６】

（４）レジストパターン７５を除去した後、金属薄膜抵抗体７７上を含む第１層間絶縁膜５上全面に、ＡｌＳｉＣｕ膜からなる配線用金属膜７９を形成する。配線用金属膜７９上に、配線用金属膜７９を金属薄膜抵抗体７７の両端部に残存させるようにパターニングするためのレジストパターン８１を形成する（図２５（ｄ）参照）。

【０００７】

（５）ウェットエッチング技術により、レジストパターン８１をマスクにして配線用金属膜７９をパターニングして金属配線パターン８３を形成する（図２５（ｅ）参照）。一般的な半導体装置の製造工程では、配線用金属膜７９のエッチング処理にはドライエッチング技術が用いられるが、配線用金属膜７９の直下に膜厚が薄い金属薄膜抵抗体７７が存在する状況下では、オーバーエッチングにより金属薄膜抵抗体７７をエッチングしてしまうため、ドライエッチング技術を使用することができない。したがって、配線用金属膜７９をウェットエッチング技術によってパターニングする必要がある。

（６）レジストパターン８１を除去することにより、金属薄膜抵抗体７７と、金属薄膜抵抗体７７の電気的接続をとるための金属配線パターン８３の形成が完了する（図２５（ｆ）参照）。

【０００８】

図２６を参照して、２）金属薄膜抵抗体を形成した後、層間絶縁膜を形成し、その層間絶縁膜に接続孔を形成し、接続孔を介して金属配線を接続する方法について説明する。

（１）図２５（ａ）から（ｃ）を参照して説明した上記工程（１）から（３）と同様にして、シリコン基板１上に素子分離酸化膜３、第１層間絶縁膜５及び金属薄膜抵抗体７７を形成する（図２６（ａ）参照）。

（２）金属薄膜抵抗体７７上を含む第１層間絶縁膜５上に、金属配線との層間絶縁膜となるＣＶＤ（chemical vapor deposition）酸化膜８５を２０００Å程度の膜厚に形成する（図２６（ｂ）参照）。

【０００９】

（３）ＣＶＤ酸化膜８５上に、金属薄膜抵抗体７７の両端部に対応して開口部をもつ、金属配線接続用の接続孔を形成するためのレジストパターン８７を形成する。ウェットエッチング技術により、レジストパターン８７をマスクにしてＣＶＤ酸化膜８５を選択的に除去して接続孔８９を形成する（図２６（ｃ）参照）。一般的な半導体装置の製造工程では、接続孔８９の形成にはドライエッチング技術が用いられるが、金属薄膜抵抗体７７が１０００Åより薄い場合には、接続孔８９が金属薄膜抵抗体７７を突き抜けるのを防止する

のは困難であり、ウェットエッチング技術により接続孔８９を形成する必要がある。
【００１０】
（４）接続孔８９内を含むＣＶＤ酸化膜８５上に、ＡｌＳｉＣｕ膜からなる配線用金属膜９１を形成する（図２６（ｄ）参照）。
（５）配線用金属膜９１上に、配線用金属膜９１を金属薄膜抵抗体７７の両端部に残存させるようにパターニングするためのレジストパターン９３を形成する（図２６（ｅ）参照）。
【００１１】
（６）ドライエッチング技術により、レジストパターン９３をマスクにして配線用金属膜９１をパターニングして金属配線パターン９５を形成する。このとき、配線用金属膜９１下にはＣＶＤ酸化膜８５が形成されているので、ドライエッチング技術を用いても金属薄膜抵抗体７７がエッチングされることはない。
レジストパターン９３を除去することにより、金属薄膜抵抗体７７と、金属薄膜抵抗体７７の電気的接続をとるための金属配線パターン９５の形成が完了する（図２６（ｆ）参照）。
【００１２】
図２７を参照して、３）金属薄膜抵抗体層上にバリヤ膜を形成し、そのバリヤ膜に金属配線を接続する方法を説明する。
（１）図２５（ａ）から（ｃ）を参照して説明した上記工程（１）から（３）と同様にして、シリコン基板１上に素子分離酸化膜３、第１層間絶縁膜５及び金属薄膜抵抗体７７を形成する（図２７（ａ）参照）。
【００１３】
（２）金属薄膜抵抗体７７上を含む第１層間絶縁膜５上に、金属配線とのバリヤ膜となるＴｉＷ等の高融点金属膜９７を形成し、さらにその上に、ＡｌＳｉ膜やＡｌＳｉＣｕ膜などの配線用金属膜９９を形成する（図２７（ｂ）参照）。
（３）配線用金属膜９９上に、配線用金属膜９９を金属薄膜抵抗体７７の両端部に残存させるようにパターニングするためのレジストパターン１０１を形成する（図２７（ｃ）参照）。
【００１４】
（４）ドライエッチング技術により、レジストパターン１０１をマスクにして配線用金属膜９９をパターニングして金属配線パターン１０３を形成する（図２７（ｄ）参照）。このとき、配線用金属膜９９下には高融点金属膜９７が形成されているので、ドライエッチング技術を用いても金属薄膜抵抗体７７がエッチングされることはない。
【００１５】
（５）レジストパターン１０１を除去した後、ウェットエッチング技術により金属配線パターン１０３をマスクにして高融点金属膜９７を選択的に除去して高融点金属膜パターン１０５を形成する。これにより、金属薄膜抵抗体７７と、金属薄膜抵抗体７７の電気的接続をとるための金属配線パターン１０３及び高融点金属膜パターン１０５の形成が完了する（図２７（ｅ）参照）。ここで、金属薄膜抵抗体７７の直上に高融点金属膜９７があるので、ドライエッチング技術による高融点金属膜９７のパターニングは困難である。
【００１６】
また、金属薄膜抵抗体ではないが、最上層配線電極上に絶縁膜を介して形成され、かつその最上層配線電極と結線されている抵抗体を備えた半導体集積回路装置が開示されている（例えば特許文献６参照。）。このような構造を金属薄膜抵抗体に適用した場合の製造方法について図２８を参照して説明する。
【００１７】
（１）素子分離酸化膜３及びトランジスタ素子等（図示は省略）の形成が完了したウェハ状のシリコン基板１上に、トランジスタのゲート電極とメタル配線との第１層間絶縁膜５となるＢＰＳＧ膜を形成し、リフロー工程等を行なった後、第１層間絶縁膜５上に金属配線パターン１０７と例えば下層側から順にＣＶＤ酸化膜、ＳＯＧ（spin on glass）膜、

ＣＶＤ酸化膜からなる第２層間絶縁膜１０９を形成する（図２８（ａ）参照）。図２８では第２層間絶縁膜１０９を構成する下層側のＣＶＤ酸化膜、ＳＯＧ膜及び上層側のＣＶＤ酸化膜を一体的に示している。

【００１８】

（２）第２層間絶縁膜１０９上に接続孔の形成領域を画定するためのレジストパターン１１１を形成する（図２８（ｂ）参照）。

（３）ドライエッチング技術により、レジストパターン１１１をマスクにして第２層間絶縁膜１０９を選択的に除去して、配線パターン１０７上の第２層間絶縁膜１０９に接続孔１１３を形成する。このとき、配線パターン１０７の上面側の一部分もオーバーエッチングによって除去される（図２８（ｃ）参照）。

【００１９】

（４）レジストパターン１１１を除去した後、接続孔１１３の形成領域を含んで第２層間絶縁膜１０９上全面に金属薄膜抵抗体を形成するための金属薄膜１１５を２０～５００Å程度の膜厚に形成する（図２８（ｄ）参照）。

その後、金属薄膜１１５を所定の形状にパターニングして金属薄膜抵抗体を形成する。

【００２０】

また、金属薄膜抵抗体を備えた半導体装置として、半導体集積回路の絶縁膜上に金属薄膜抵抗を搭載する集積回路であって、金属薄膜抵抗の電極部分における金属薄膜抵抗と金属配線との接触が、金属配線の端部の端面及び上面の少なくとも一部分においてなされるよう構成されたものが開示されている（例えば特許文献７参照。）。

【００２１】

【特許文献１】特開２００２－１２４６３９号公報
【特許文献２】特開２００２－２６１２３７号公報
【特許文献３】特許第２６９９５５９号公報
【特許文献４】特許第２９３２９４０号公報
【特許文献５】特許第３１８５６７７号公報
【特許文献６】特開昭５８－１４８４４３号公報
【特許文献７】特開昭６１－１００９５６号公報

【発明の開示】

【発明が解決しようとする課題】

【００２２】

上記１）の方法では、上述のように、金属薄膜抵抗体７７上に直接金属配線パターン８３を形成しているが、図２５（ｅ）を参照して説明した上記工程（５）において、配線用金属膜７９のパターニングをドライエッチング技術によっては行なうことができず、微細パターンの形成が困難であり、回路の高集積化の妨げになるという問題があった。

【００２３】

また、金属薄膜抵抗体７７は一般的に酸化されやすく、金属薄膜抵抗体７７の表面が酸化された状態で配線用金属膜７９を形成しても、金属薄膜抵抗体７７と金属配線パターン８３の良好な電気的接続を得ることができないという問題があった。一般的な半導体装置の製造工程では、シリコン基板表面等の自然酸化膜をフッ酸水溶液で除去することにより金属配線との良好な電気的接続を得ることができるが、金属薄膜抵抗体７７はフッ酸に少なからずエッチングされてしまうため、図２５（ｄ）を参照して説明した上記工程（４）において、配線用金属膜７９を形成する前にフッ酸による酸化膜除去処理を行なうと金属薄膜抵抗体７７の抵抗値のバラツキを招く虞があった。

【００２４】

上記２）の方法では、金属薄膜抵抗体７７の上に層間絶縁膜８５を形成することにより、図２６（ｆ）を参照して説明した上記工程（６）において、配線用金属膜９１のパターニングをドライエッチング技術により行なうことができる。

しかし、図２６（ｃ）を参照して説明した上記工程（３）において、金属薄膜抵抗体７７と金属配線パターン９５を電気的に接続するための接続孔８９の形成については、上述

のように、ウェットエッチング技術により開口する必要があり、微細化による高集積化の妨げとなる。さらに、接続孔８９を形成するためのウェットエッチング処理においてフッ酸水溶液を使用するが、フッ酸により金属薄膜抵抗体７７がエッチングされてしまうのを防止するには、金属薄膜抵抗体７７上にバリヤ膜を形成及びパターニングする工程を新規に追加する等の対策が必要であり、工程数が増加するという問題があった。

【００２５】

上記３）の方法では、図２７（ｄ）を参照して説明した上記工程（４）のように、配線用金属膜のエッチング処理をドライエッチング技術によって行なうことができ、さらに接続孔の形成も不要である。しかし、図２７（ｅ）を参照して説明した上記工程（５）において、上述のように、金属薄膜抵抗体７７の長さを実質的に決定する高融点金属膜パターン１０５を形成するための高融点金属膜９７のパターニングをウェットエッチング技術により行なう必要があるので、高融点金属膜９７は希望するエッチング領域よりも広くエッチングされてしまい、金属薄膜抵抗体７７の実質的な長さがばらつき、結果的に抵抗値のバラツキを大きくしてしまうと共に、微細化が困難になるという問題があった。

【００２６】

さらに、図２７（ｂ）を参照して説明した上記工程（２）において、高融点金属膜９７よりも先に形成されている金属薄膜抵抗体７７の表面は酸化されており、高融点金属膜９７との電気的接続を良好なものとするためには、フッ酸水溶液による金属薄膜抵抗体７７表面の酸化膜除去が必要となるが、高融点金属膜９７を形成する前にフッ酸による酸化膜除去処理を行なうと金属薄膜抵抗体７７の抵抗値がばらつく原因となる虞があった。

【００２７】

このように、従来の製造方法では、金属薄膜抵抗体の膜厚が薄いことに起因して、いずれかの工程でウェットエッチング処理が必要であり、微細化の妨げとなったり、抵抗値のバラツキを発生させる原因となったりしていた。

さらに、金属薄膜抵抗体が酸化されやすく、金属配線との良好な電気的接続を形成することが困難なので、金属薄膜抵抗体専用のバリヤ膜形成工程の追加や、フッ酸水溶液による表面酸化膜除去処理が必要であり、工程数が増加したり、抵抗値のバラツキを生む原因となったりしていた。

【００２８】

また、特許文献６に開示された、最上層配線電極上に絶縁膜を介して形成され、かつその最上層配線電極と結線されている抵抗体を備えた構成を金属薄膜抵抗体に適用した場合、図２８（ｄ）に示したように、接続孔１１３の内壁側面、特に接続孔１１３の底部側において金属薄膜１１５のステップカバレージ（段差被覆性）が悪くなり、金属薄膜抵抗体と配線パターン１０７の接触抵抗が大きくなるとともにばらつくという問題があった。さらに、ウェハ面内の接続孔深さのばらつきにより、接続孔径や金属薄膜のステップカバレージがばらつき、さらに接触抵抗がばらつくという問題もあった。

さらに、図２８（Ｃ）に示したように、接続孔１１３を形成する際にドライエッチング技術により第２層間絶縁膜１０９をエッチングし、配線パターン１０７の上面側の一部分もオーバーエッチングによって除去される。例えばドライエッチング処理にＡｒ，CHF_3，CF_4の混合ガスを用い、配線パターン１０７がＡｌを主成分とするものである場合には、オーバーエッチング中に配線パターン１０７をエッチングした際にＡｌ，Ｃ，Ｆ等からなる生成物が形成される。このような生成物は後工程でも完全には除去できず、その生成物に起因する凹凸により金属薄膜抵抗体と配線パターン１０７の接触抵抗が変動するという問題もあった。

さらに、金属薄膜抵抗体と配線パターンを電気的に接続するための接続孔を有する構造では、配線パターン上に層間絶縁膜を形成した後、写真製版技術によるレジストのパターニング、ドライエッチング技術による接続孔の形成、レジスト除去、接続孔内のエッチング反応性生物の除去等の工程が必要であり、製造方法が複雑になるという問題もあった。

【００２９】

また、特許文献７に開示された集積回路では、金属薄膜抵抗体の電極部分は金属配線の

端部の端面及び上面を覆って形成されているが、金属配線の端面という急な段差の影響により、金属薄膜抵抗体のステップカバレージが悪化し、抵抗値の増大及びばらつきや金属薄膜抵抗体の断線などの不具合が発生する虞があった。

【００３０】

本発明は、金属薄膜抵抗体を備えた半導体装置において、配線パターンの一部分により構成される電極との接触抵抗も含めて金属薄膜抵抗体の抵抗値の安定化を実現することを目的とするものである。

【課題を解決するための手段】

【００３１】

本発明の半導体装置は絶縁膜上に金属薄膜抵抗体を備えた半導体装置であって、第１態様は、絶縁膜上に形成され、一部分が金属薄膜抵抗体との電気的接続を形成するための電極を構成する配線パターンと、上記配線パターンのうち少なくとも上記電極の側面に形成された絶縁性材料からなるサイドウォールと、上記電極の上面から、上記サイドウォール表面を介して、上記絶縁膜上にわたって形成された金属薄膜抵抗体を備えている。

【００３２】

本発明の半導体装置において、上記サイドウォールの上記絶縁膜側の表面に、成分にＡｒを含んでいる第２サイドウォールが形成されている。成分にＡｒを含んでいる第２サイドウォールは、配線パターン及びサイドウォールを形成した後にＡｒスパッタエッチング処理（逆スパッタリング処理とも称される）を施すことにより形成することができる。

【００３３】

半導体装置の参考例は、絶縁膜上に形成された配線パターンと、上記絶縁膜上に上記配線パターンの上面が露出する膜厚で形成された第２絶縁膜と、上記電極の上面から上記第２絶縁膜上にわたって形成された金属薄膜抵抗体を備えている。

【００３４】

本発明の半導体装置及び参考例において、上記金属薄膜抵抗体の一部分は上記電極上で上記配線パターンと交差して形成されているようにしてもよい。

ここで、「金属薄膜抵抗体の一部分は上記電極上で上記配線パターンと交差して形成されている」とは、本発明の第１態様では金属薄膜抵抗体の一部分が上記電極の一側面に形成されたサイドウォール表面から、上記電極の上面を介して、上記一側面とは反対側の上記電極の側面に形成されたサイドウォール表面にわたって形成されていることを意味し、第２態様では金属薄膜抵抗体の一部分が上記電極の一側面近傍に形成された第２絶縁膜の表面から、上記電極の上面を介して、上記一側面とは反対側の上記電極の側面近傍に形成された第２絶縁膜の表面にわたって形成されていることを意味する。

【００３５】

本発明の半導体装置及び参考例において、上記金属薄膜抵抗体の膜厚は５～１０００Å、好ましくは２０～５００Åである例を挙げることができる。

【００３６】

本発明の半導体装置及び参考例において、上記配線パターンは金属材料パターンと上記金属材料パターンの少なくとも上面に形成された高融点金属膜により構成されているようにしてもよい。

【００３７】

本発明の半導体装置及び参考例において、上記配線パターンはポリシリコンパターンと上記ポリシリコンパターンの少なくとも上面に形成された高融点金属膜により構成されているようにしてもよい。

【００３８】

本発明の半導体装置及び参考例において、上記金属薄膜抵抗体の上面を覆う金属窒化膜を備え、上記金属薄膜抵抗体の上面と上記金属窒化膜の間には金属酸化膜は形成されていないようにしてもよい。

【００３９】

本発明の半導体装置及び参考例において、上記配線パターンは最上層の配線パターンで

あるようにしてもよい。

【００４０】

本発明の半導体装置が適用される半導体装置の一例として、２個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置を挙げることができる。その分割抵抗回路を構成する抵抗素子は、本発明の半導体装置を構成する金属薄膜抵抗体により構成される。

【００４１】

本発明の半導体装置が適用される半導体装置の他の例として、入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置を挙げることができる。その電圧検出回路を構成する分割抵抗回路は、本発明の半導体装置を構成する金属薄膜抵抗体が適用された抵抗素子を備えている。

【００４２】

本発明の半導体装置が適用される半導体装置のさらに他の例として、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置を挙げることができる。その定電圧発生回路を構成する分割抵抗回路は、本発明の半導体装置を構成する金属薄膜抵抗体が適用された抵抗素子を備えている。

【００４３】

参考例としての半導体装置の製造方法は絶縁膜上に金属薄膜抵抗体を備えた半導体装置の製造方法であって、第１局面は、以下の工程（Ａ）から（Ｄ）を含む。

（Ａ）絶縁膜上に、一部分が金属薄膜抵抗体との電気的接続を形成するための電極を構成する配線パターンを形成する配線パターン形成工程、

（Ｂ）上記配線パターンの形成領域を含んで上記絶縁膜上に絶縁性材料層を形成した後、上記絶縁性材料層に対してエッチバック処理を施して上記配線パターンの側面に絶縁性材料からなるサイドウォールを形成するサイドウォール形成工程、

（Ｃ）上記配線パターン上及び上記サイドウォールの形成領域を含んで上記絶縁膜上に金属薄膜を形成する金属薄膜形成工程、

（Ｄ）上記電極の上面から、上記サイドウォール表面を介して、上記絶縁膜上にわたって上記金属薄膜を残存させるように上記金属薄膜をパターニングして金属薄膜抵抗体を形成するパターニング工程。

【００４４】

参考例としての製造方法の第２局面は、以下の工程（Ａ）から（Ｄ）を含む。

（Ａ）絶縁膜上に、一部分が金属薄膜抵抗体との電気的接続を形成するための電極を構成する配線パターンを形成する配線パターン形成工程、

（Ｂ）上記絶縁膜上に、上記配線パターンの上面が露出する膜厚に第２絶縁膜を形成する第２絶縁膜形成工程、

（Ｃ）上記配線パターン上及び上記第２絶縁膜上に金属薄膜を形成する金属薄膜形成工程、

（Ｄ）上記電極の上面から上記第２絶縁膜上にわたって上記金属薄膜を残存させるように上記金属薄膜をパターニングして金属薄膜抵抗体を形成するパターニング工程。

【００４５】

上記製造方法の第１局面及び第２局面において、上記金属薄膜形成工程（Ｃ）で、上記金属薄膜を５～１０００Å、好ましくは２０～５００Åの膜厚に形成する例を挙げることができる。

【００４６】

上記製造方法の第１局面及び第２局面において、上記金属薄膜形成工程（Ｃ）で、上記

金属薄膜を形成する前に、Ａｒスパッタエッチング処理を施すようにしてもよい。

【００４７】

さらに、上記Ａｒスパッタエッチング処理を熱酸化膜エッチング量換算で２５Å以上の膜厚分だけ行なう例を挙げることができる。

【００４８】

上記製造方法の第１局面及び第２局面において、上記工程（Ａ）で、上記配線パターンとして、金属材料パターンと上記金属材料パターンの少なくとも上面に形成された高融点金属膜からなるものを形成するようにしてもよい。

【００４９】

上記製造方法の第１局面及び第２局面において、上記工程（Ａ）で、上記配線パターンとして、ポリシリコンパターンと上記ポリシリコンパターンの少なくとも上面に形成された高融点金属膜からなるものを形成するようにしてもよい。

【００５０】

さらに、上記高融点金属膜を５００～３０００Åの膜厚に形成する例を挙げることができる。

【００５１】

上記製造方法の第１局面及び第２局面において、上記金属薄膜形成工程（Ｃ）で、上記金属薄膜を無酸素雰囲気中で形成した後、連続して無酸素雰囲気中で上記金属薄膜上に金属窒化膜を形成し、上記パターニング工程（Ｄ）で、上記金属窒化膜及び上記金属薄膜をパターニングして金属窒化膜パターン及び上記金属薄膜抵抗体からなる積層パターンを形成するようにしてもよい。

【００５２】

さらに、上記金属窒化膜を形成する際のスパッタガス中の窒素分圧が１８～９０％である例を挙げることができる。

【００５３】

上記製造方法の第１局面及び第２局面において、前記配線パターンは最上層の配線パターンである例を挙げることができる。

【発明の効果】

【００５４】

請求項１に記載された半導体装置では、絶縁膜上に形成され、一部分が金属薄膜抵抗体との電気的接続を形成するための電極を構成する配線パターンと、上記配線パターンのうち少なくとも上記電極の側面に形成された絶縁性材料からなるサイドウォールと、上記電極の上面から、上記サイドウォール表面を介して、上記絶縁膜上にわたって形成された金属薄膜抵抗体を備えているようにしたので、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターニングを行なう必要はない。さらに、金属薄膜抵抗体における配線パターンとの接触面が大気に暴露されることはないので、金属薄膜抵抗体に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、金属薄膜抵抗体と配線パターンの良好な電気的接続を安定して得ることができる。これにより、金属薄膜抵抗体の膜厚に関わらず、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

さらに、金属薄膜抵抗体は配線パターンの一部分により構成される電極の上面からサイドウォール表面を介して絶縁膜上にわたって形成されているので、配線パターン上に形成された接続孔を介して金属薄膜抵抗体と配線パターンの電気的接続を形成する場合に比べて上記接続孔を形成する一連の工程を行なわなくてよいので、工程の短縮及び簡素化を実現でき、かつ上記接続孔を有するがゆえの金属薄膜抵抗体のステップカバレージの悪化による金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大もない。

さらに、配線パターンの側面にサイドウォールが形成されているので、配線パターン側面に起因する急峻な段差による金属薄膜抵抗体のステップカバレージの悪化を防止することができる。

このように、請求項１に記載された半導体装置よれば、電極との接触抵抗も含めて金属

薄膜抵抗体の抵抗値の安定化を実現することができる。

【００５５】

請求項１に記載された半導体装置では、さらに、上記サイドウォールの上記絶縁膜側の表面に、配線パターン及びサイドウォールを形成した後にＡｒスパッタエッチング処理を施すことにより形成された、成分にＡｒを含んでいる第２サイドウォールが形成されているようにしたので、従来、金属薄膜抵抗体は下地膜の組成や下地膜形成からの経過時間等に起因して抵抗値が変動するなど、下地膜の影響を受けてしまうという問題があったが、金属薄膜抵抗体のシート抵抗の下地膜依存性の軽減及び経時変化の低減を図ることができ、金属薄膜抵抗体の抵抗値の安定化を実現することができる。金属薄膜抵抗体の下地膜にＡｒスパッタエッチング処理を施すことにより得られる効果については後述にて詳細に説明する。

【００５６】

半導体装置の上記参考例では、絶縁膜上に形成された配線パターンと、上記絶縁膜上に上記配線パターンの上面が露出する膜厚で形成された第２絶縁膜と、上記電極の上面から上記第２絶縁膜上にわたって形成された金属薄膜抵抗体を備えているようにしたので、請求項１に記載された半導体装置と同様に、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターニングを行なう必要はなく、金属薄膜抵抗体における配線パターンとの接触面が大気に暴露されることもないので、金属薄膜抵抗体の膜厚に関わらず、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

さらに、金属薄膜抵抗体は配線パターンの一部分により構成される電極の上面から第２絶縁膜上にわたって形成されているので、請求項１に記載された半導体装置と同様に、配線パターン上に形成された接続孔を介して金属薄膜抵抗体と配線パターンの電気的接続を形成する場合に比べて工程の短縮及び簡素化を実現でき、金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大もない。

さらに、配線パターンの側面に第２絶縁膜が形成されているので、配線パターン側面に起因する急峻な段差による金属薄膜抵抗体のステップカバレージの悪化を防止することができる。

このように、半導体装置の上記参考例によれば、電極との接触抵抗も含めて金属薄膜抵抗体の抵抗値の安定化を実現することができる。

【００５７】

請求項２に記載された半導体装置では、上記金属薄膜抵抗体の一部分は上記電極上で上記配線パターンと交差して形成されているようにしたので、配線パターンと金属薄膜抵抗体の重ね合わせズレや金属薄膜抵抗体の端部の丸まりによる、電極と金属薄膜抵抗体の接触領域の変動をなくすことができ、さらに安定した接触抵抗を得ることができる。

【００５８】

請求項３に記載された半導体装置では、上記金属薄膜抵抗体の膜厚は５～１０００Å、好ましくは２０～５００Åであるようにした。上述のように、本発明の半導体装置では、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターニングを行なう必要はなく、さらに、金属薄膜抵抗体の配線パターンとの接触面が大気に暴露されることはなく、金属薄膜抵抗体に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、金属薄膜抵抗体と配線パターンの良好な電気的接続を安定して得ることができ、さらに金属薄膜抵抗体の電極近傍でのステップカバレージを向上させることができるので、上記のような膜厚の金属薄膜抵抗体をもつ半導体装置に適用しても、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

【００５９】

請求項４に記載された半導体装置では、上記配線パターンは金属材料パターンと上記金属材料パターンの少なくとも上面に形成された高融点金属膜により構成されているようにしたので、製造工程を増加させなくても金属薄膜抵抗体と、配線パターンを構成する金属

材料パターンの間に高融点金属膜を介在させることができ、金属薄膜抵抗体と配線パターンの接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。また、金属薄膜抵抗体と金属配線が直接接触している構造では３００～４００℃程度の比較的低温の熱処理により接触抵抗が大きく変動してしまうが、上記配線パターンが金属材料パターンと高融点金属膜により構成されている請求項４に記載の態様によれば、金属薄膜抵抗体と金属材料パターンの間に高融点金属膜を備えているので、このような不具合をなくすことができる。さらに、高融点金属膜が金属材料パターンの上面のみに形成されている場合であっても、配線パターンの側面、すなわち金属材料パターンの側面に絶縁性材料からなるサイドウォールが形成されているので、特許文献７のようには金属薄膜抵抗体と金属材料パターンの側面との接触が形成されることはなく、熱処理に起因する金属薄膜抵抗体と配線パターンの接触抵抗の変動を防止することができる。

【００６０】

請求項５に記載された半導体装置では、上記配線パターンはポリシリコンパターンと上記ポリシリコンパターンの少なくとも上面に形成された高融点金属膜により構成されているようにしたので、製造工程を増加させなくても金属薄膜抵抗体と配線パターンを構成するポリシリコンパターンの間に高融点金属膜を介在させることができ、金属薄膜抵抗体と配線パターンの接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。

【００６１】

請求項６に記載された半導体装置では、上記金属薄膜抵抗体の上面を覆う金属窒化膜を備え、上記金属薄膜抵抗体の上面と上記金属窒化膜の間には金属酸化膜は形成されていないようにしたので、金属薄膜抵抗体の上面の酸化をなくすことができ、金属薄膜抵抗体の抵抗値の安定化及び精度の向上を図ることができる。

【００６２】

請求項７に記載された半導体装置では、金属薄膜抵抗体と電気的接続が形成される上記配線パターンは最上層の配線パターンであるようにしたので、例えば金属薄膜抵抗体のレイアウト変更を金属薄膜抵抗体及び最上層の配線パターンのレイアウト変更により実現できるなど、設計の自由度を向上させることができる。

また、最上層の配線パターン上に形成された絶縁膜上に金属薄膜抵抗体を配置することにより、金属薄膜抵抗体の上層には絶縁性材料からなる最終保護膜が形成され、金属薄膜抵抗体の上層に最終保護膜以外の絶縁膜も形成されている場合に比べて金属薄膜抵抗体上の絶縁性材料の膜厚を薄くして膜厚ばらつきを小さくすることができる。これにより、金属薄膜抵抗体にレーザーを照射してトリミング処理を施す際に、金属薄膜抵抗体上の絶縁性材料でのレーザーの干渉のばらつきを小さくして金属薄膜抵抗体に与えられるレーザーエネルギーのばらつきを小さくすることができ、トリミングの正確性を向上させることができる。さらに、トリミング処理時のレーザー照射に起因する金属薄膜抵抗体の温度上昇などに対して放熱能力を向上させることができる。

【００６３】

請求項８に記載された半導体装置では、２個以上の抵抗による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、分割抵抗回路を構成する抵抗素子は、本発明の半導体装置を構成する金属薄膜抵抗体により構成されるようにしたので、本発明の半導体装置を構成する金属薄膜抵抗体によって抵抗素子の微細化及び抵抗値の安定化を図ることができ、分割抵抗回路の形成面積の縮小化及び出力電圧の精度の向上を図ることができる。

【００６４】

請求項９に記載された半導体装置では、入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、分割抵抗回路として請求項８に記載された分割抵抗回路を備えているようにしたので、本発明の半導体装置を構成する抵抗体が適用された

分割抵抗回路では形成面積の縮小化及び出力電圧の精度の向上を図ることができ、電圧検出回路の形成面積の縮小化及び電圧検出能力の精度の向上を図ることができる。

【００６５】

請求項１０に記載された半導体装置では、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、分割抵抗回路として請求項８に記載された分割抵抗回路を備えているようにしたので、本発明の半導体装置を構成する抵抗体が適用された分割抵抗回路では形成面積の縮小化及び出力電圧の精度の向上を図ることができ、定電圧発生回路の形成面積の縮小化及び出力電圧の安定化を図ることができる。

【００６６】

参考例としての半導体装置の製造方法の上記第１局面では、絶縁膜上に、一部分が金属薄膜抵抗体との電気的接続を形成するための電極を構成する配線パターンを形成する配線パターン形成工程（Ａ）、上記配線パターンの形成領域を含んで上記絶縁膜上に絶縁性材料層を形成した後、上記絶縁性材料層に対してエッチバック処理を施して上記配線パターンの側面に絶縁性材料からなるサイドウォールを形成するサイドウォール形成工程（Ｂ）、上記配線パターン上及び上記サイドウォールの形成領域を含んで上記絶縁膜上に金属薄膜を形成する金属薄膜形成工程（Ｃ）、及び、上記電極の上面から、上記サイドウォール表面を介して、上記絶縁膜上にわたって上記金属薄膜を残存させるように上記金属薄膜をパターニングして金属薄膜抵抗体を形成するパターニング工程（Ｄ）を含むようにしたので、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターニングを行なう必要はない。さらに、金属薄膜抵抗体の配線パターンとの接触面が大気に暴露されることはないので、金属薄膜抵抗体に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、金属薄膜抵抗体と配線パターンの良好な電気的接続を安定して得ることができる。これにより、金属薄膜抵抗体の膜厚に関わらず、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

さらに、金属薄膜抵抗体を配線パターンの一部分により構成される電極の上面からサイドウォール表面を介して絶縁膜上にわたって形成するための金属薄膜形成工程（Ｃ）及びパターニング工程（Ｄ）を含んでいるので、配線パターン上に形成された接続孔を介して金属薄膜抵抗体と配線パターンの電気的接続を形成する場合に比べて上記接続孔を形成する一連の工程を行なわなくてよいので、工程の短縮及び簡素化を実現でき、かつ上記接続孔を有するがゆえの金属薄膜抵抗体のステップカバレージの悪化による金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大もない。

さらに、配線パターンの側面にサイドウォールを形成するためのサイドウォール形成工程（Ｂ）を含んでいるので、配線パターン側面に起因する急峻な段差による金属薄膜抵抗体のステップカバレージの悪化を防止することができる。

このように、半導体装置の製造方法の上記第１局面によれば、電極との接触抵抗も含めて金属薄膜抵抗体の抵抗値の安定化を実現することができる。

【００６７】

参考例としての半導体装置の製造方法の上記第２局面では、絶縁膜上に、一部分が金属薄膜抵抗体との電気的接続を形成するための電極を構成する配線パターンを形成する配線パターン形成工程（Ａ）、上記絶縁膜上に、上記配線パターンの上面が露出する膜厚に第２絶縁膜を形成する第２絶縁膜形成工程（Ｂ）、上記配線パターン上及び上記第２絶縁膜上に金属薄膜を形成する金属薄膜形成工程（Ｃ）、上記電極の上面から上記第２絶縁膜上にわたって上記金属薄膜を残存させるように上記金属薄膜をパターニングして金属薄膜抵抗体を形成するパターニング工程（Ｄ）を含むようにしたので、半導体装置の製造方法の上記第１局面と同様に、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターニングを行なう必要はなく、金属薄膜抵抗体における配線パターンとの接触面が大気に暴露されることもないので、金属薄膜抵抗体の膜厚に関わらず、工程数を増加させるこ

となく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

さらに、金属薄膜抵抗体を配線パターンの一部分により構成される電極の上面から第２絶縁膜上にわたって形成するための金属薄膜形成工程（Ｃ）及びパターニング工程（Ｄ）を含んでいるので、半導体装置の製造方法の上記第１局面と同様に、配線パターン上に形成された接続孔を介して金属薄膜抵抗体と配線パターンの電気的接続を形成する場合に比べて工程の短縮及び簡素化を実現でき、金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大もない。

さらに、配線パターンの側面に第２絶縁膜を形成するための第２絶縁膜形成工程（Ｂ）を含んでいるので、配線パターン側面に起因する急峻な段差による金属薄膜抵抗体のステップカバレージの悪化を防止することができる。

このように、半導体装置の製造方法の上記第２局面によれば、電極との接触抵抗も含めて金属薄膜抵抗体の抵抗値の安定化を実現することができる。

【００６８】

半導体装置の製造方法の上記第１局面及び上記第２局面において、上記金属薄膜形成工程（Ｃ）で、上記金属薄膜を５～１０００Å、好ましくは２０～５００Åの膜厚に形成するようにしてもよい。上述のように、本発明の半導体装置の製造方法では、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターニングを行なう必要はなく、さらに、金属薄膜抵抗体の配線パターンとの接触面が大気に暴露されることはなく、金属薄膜抵抗体に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、金属薄膜抵抗体と配線パターンの良好な電気的接続を安定して得ることができ、さらに金属薄膜抵抗体の電極近傍でのステップカバレージを向上させることができるので、上記のような膜厚の金属薄膜抵抗体をもつ半導体装置に適用しても、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

【００６９】

半導体装置の製造方法の上記第１局面及び上記第２局面において、上記金属薄膜形成工程（Ｃ）で、上記金属薄膜を形成する前に、ＡｒスパッタエッチングＡｒスパッタエッチング処理を施すようにしてもよい。上述のように、金属薄膜抵抗体は抵抗値が下地膜の影響を受けてしまうという問題があったが、金属薄膜を形成する前に、ＡｒスパッタエッチングＡｒスパッタエッチング処理を施すことにより、金属薄膜抵抗体のシート抵抗の下地膜依存性の軽減及び経時変化の低減を図ることができ、金属薄膜抵抗体の抵抗値の安定化を実現することができる。金属薄膜抵抗体の下地膜にＡｒスパッタエッチングＡｒスパッタエッチング処理を施すことにより得られる効果については後述にて詳細に説明する。

【００７０】

半導体装置の製造方法の上記第１局面及び上記第２局面において、上記工程（Ａ）で、上記配線パターンとして、金属材料パターンと上記金属材料パターンの少なくとも上面に形成された高融点金属膜からなるものを形成するようにすれば、製造工程を増加させなくても金属薄膜抵抗体と、配線パターンを構成する金属材料パターンの間に高融点金属膜を介在させることができ、金属薄膜抵抗体と配線パターンの接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。また、金属薄膜抵抗体と金属配線が直接接触している構造では３００～４００℃程度の比較的低温の熱処理により接触抵抗が大きく変動してしまうが、金属薄膜抵抗体と金属材料パターンの間に高融点金属膜を備えているので、このような不具合をなくすことができる。

【００７１】

半導体装置の製造方法の上記第１局面及び上記第２局面において、上記工程（Ａ）で、上記配線パターンとして、ポリシリコンパターンと上記ポリシリコンパターンの少なくとも上面に形成された高融点金属膜からなるものを形成するようにすれば、製造工程を増加させなくても金属薄膜抵抗体と配線パターンを構成するポリシリコンパターンの間に高融点金属膜を介在させることができ、金属薄膜抵抗体と配線パターンの接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。

【００７２】

さらに、上記高融点金属膜を５００～３０００Åの膜厚に形成するようにすれば、上記金属薄膜形成工程（Ｃ）で、上記金属薄膜を形成する前に、Ａｒスパッタエッチング処理を施す工程を含む場合に、配線パターンの上面に高融点金属を十分に残存させることができる。

【００７３】

半導体装置の製造方法の上記第１局面及び上記第２局面において、上記金属薄膜形成工程（Ｃ）で、上記金属薄膜を無酸素雰囲気中で形成した後、連続して無酸素雰囲気中で上記金属薄膜上に金属窒化膜を形成し、上記パターニング工程（Ｄ）で、上記金属窒化膜及び上記金属薄膜をパターニングして金属窒化膜パターン及び上記金属薄膜抵抗体からなる積層パターンを形成するようにすれば、金属薄膜抵抗体の上面の酸化をなくすことができ、金属薄膜抵抗体の抵抗値の安定化及び精度の向上を図ることができる。

【００７４】

半導体装置の製造方法の上記第１局面及び上記第２局面において、上記配線パターンは最上層の配線パターンであるようにすれば、例えば金属薄膜抵抗体のレイアウト変更を金属薄膜抵抗体及び最上層の配線パターンのレイアウト変更により実現できるなど、設計の自由度を向上させることができる。

また、最上層の配線パターン上に形成された絶縁膜上に金属薄膜抵抗体を配置することにより、金属薄膜抵抗体の上層には絶縁性材料からなる最終保護膜が形成され、金属薄膜抵抗体の上層に最終保護膜以外の絶縁膜も形成されている場合に比べて金属薄膜抵抗体上の絶縁性材料の膜厚を薄くして膜厚ばらつきを小さくすることができる。これにより、金属薄膜抵抗体にレーザーを照射してトリミング処理を施す際に、金属薄膜抵抗体上の絶縁性材料でのレーザーの干渉のばらつきを小さくして金属薄膜抵抗体に与えられるレーザーエネルギーのばらつきを小さくすることができ、トリミングの正確性を向上させることができる。さらに、トリミング処理時のレーザー照射に起因する金属薄膜抵抗体の温度上昇などに対して放熱能力を向上させることができる。

【発明を実施するための最良の形態】

【００７５】

図１は半導体装置の一実施例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＡ－Ａ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。（Ａ）でのパッシベーション膜の図示は省略している。以下に説明する実施例では同一基板上にトランジスタ素子や容量素子などが形成されているが、図ではそれらの素子の図示は省略する。

【００７６】

シリコン基板１上に素子分離酸化膜３が形成されている。素子分離酸化膜３の形成領域を含むシリコン基板１上にＢＰＳＧ膜又はＰＳＧ（phospho silicate glass）膜からなる層間絶縁膜（絶縁膜）５が形成されている。層間絶縁膜５上に、金属材料パターン７と金属材料パターン７表面に形成された高融点金属膜９からなる配線パターン１１が形成されている。金属材料パターン７は例えばＡｌＳｉＣｕ膜により形成されている。高融点金属膜９は例えばＴｉＮ膜により形成されており、反射防止膜兼バリヤ膜として機能するものである。

【００７７】

配線パターン１１の側面に絶縁性材料、例えばＣＶＤ酸化膜からなるサイドウォール１３が形成されている。サイドウォール１３の層間絶縁膜５側の表面に第２サイドウォール１５（（Ａ）及び（Ｂ）での図示は省略）が形成されている。第２サイドウォール１５は配線パターン１１及びサイドウォール１３が形成された後に層間絶縁膜５に対してＡｒスパッタエッチング処理が施されて形成されたものである。第２サイドウォール１５は成分にＡｒを含んでおり、さらに、層間絶縁膜５、サイドウォール１３及び高融点金属膜９の材料を含んでいる。

【００７８】

対向する一対の配線パターン１１間のサイドウォール１３の表面、第２サイドウォール

１５の表面及び層間絶縁膜５上に帯状のＣｒＳｉ薄膜抵抗体（金属薄膜抵抗体）１７が形成されている。ＣｒＳｉ薄膜抵抗体１７の両端部は、一対の配線パターン１１において対向する側面とは反対側の側面に形成されたサイドウォール１３及び第２サイドウォール１５の表面並びに層間絶縁膜５上に延伸して形成されており、ＣｒＳｉ薄膜抵抗体１７と配線パターン１１は互いに交差して形成されている。配線パターン１１のＣｒＳｉ薄膜抵抗体１７と交差する部分は電極１１ａを構成する。

【００７９】

ＣｒＳｉ薄膜抵抗体１７の形成領域を含む層間絶縁膜５上に、下層側がシリコン酸化膜１９、上層側がシリコン窒化膜２１からなる、最終保護膜としてのパッシベーション膜２３（（Ａ）での図示は省略）が形成されている。

【００８０】

図２は参考例としての製造方法の第１局面の一例を説明するための工程断面図である。この実施例は図１を参照して説明した半導体装置の実施例を製造するためのものである。図１及び図２を参照してこの参考例を説明する。

【００８１】

（１）例えば常圧ＣＶＤ装置を用いて、素子分離酸化膜３及びトランジスタ素子等（図示は省略）の形成が完了したウェハ状のシリコン基板１上に、ＢＰＳＧ膜又はＰＳＧ膜からなる層間絶縁膜５を約８０００Åの膜厚に形成する。その後、リフロー等の熱処理を行なって層間絶縁膜５の表面を平坦化する。

例えばＤＣマグネトロンスパッタリング装置を用いて、層間絶縁膜５上に、ＡｌＳｉＣｕ膜からなる配線用金属膜を約５０００Åの膜厚に形成し、さらにその上に、公知の技術である反射防止膜としての高融点金属膜、ここではＴｉＮ膜を約５００Åの膜厚に、真空中で連続的に形成する。ここで、高融点金属膜は、最終的には後工程で配線用金属膜から形成される金属材料パターンと、金属薄膜抵抗体との接触抵抗を安定させるためのバリヤ膜としても機能するため、配線用金属膜と高融点金属膜を真空中で連続して形成することが好ましい。

公知の写真製版技術及びエッチング技術により、高融点金属膜及び配線用金属膜をパターンニングして、金属配線パターン７及び高融点金属膜９からなる配線パターン１１を形成する（図２（ａ）参照。）。この時、配線用金属膜上に、反射防止膜として機能する高融点金属膜が形成されているので、配線パターン１１の形成領域を画定するためのレジストパターンの太りや細りなどを最小限に抑えることができる。

【００８２】

また、この段階では、従来技術のようには金属薄膜抵抗体は形成されておらず、配線パターン１１の下地膜は層間絶縁膜５により形成されているので、高融点金属膜及び配線用金属膜のパターンニングをドライエッチング技術により十分なオーバーエッチングをもって行なうことが可能であり、従来技術の問題点となっていたウェットエッチング技術によるパターニングを適用する必要性は全く無く、回路の微細化に影響を与えることはない。

【００８３】

（２）例えばプラズマＣＶＤ法により、配線パターン１１の形成領域を含む層間絶縁膜５上にプラズマＣＶＤ酸化膜を２０００Å程度の膜厚に形成した後、エッチバック処理を行ない、配線パターン１１の側面にプラズマＣＶＤ酸化膜からなるサイドウォール１３を形成する（図２（ｂ）参照。）。

【００８４】

（３）例えばマルチチャンバースパッタリング装置のＡｒスパッタエッチングチャンバーにて、真空中で、ＤＣバイアス：１２５０Ｖ、Ａｒ：２０ｓｃｃｍ、圧力：８.５ｍＴｏｒｒ（ミリトル）、処理時間：２０秒の条件で、配線パターン１１及びサイドウォール１３の形成領域を含んで層間絶縁膜５に対してＡｒスパッタエッチング処理を行なう。このエッチング条件は、１０００℃、ウェット雰囲気で形成した熱酸化膜を約５０Åだけエッチングする条件と同等である。この処理を行なった後の高融点金属膜９の膜厚は４００Å程度であった。このＡｒスパッタエッチング処理により、サイドウォール１３の層間絶縁

膜５側の表面に、Ａｒスパッタエッチング残渣からなり、成分にＡｒを含む第２サイドウォール１５（図１(Ｃ)参照。）が形成される。

【００８５】

続けて、Ａｒスパッタエッチング完了後に真空状態を破らずに連続して金属薄膜抵抗体用のＣｒＳｉ薄膜（金属薄膜）を形成する。ここでは、半導体ウェハをＡｒスパッタエッチングチャンバーからＣｒＳｉターゲットが装着されたスパッタチャンバーに移送した後、Ｓｉ／Ｃｒ＝８０／２０ｗｔ％（重量パーセント）のＣｒＳｉターゲットを使用し、ＤＣパワー：０.７ＫＷ（キロワット）、Ａｒ：８５ｓｃｃｍ、圧力：８.５ｍＴｏｒｒ、処理時間：９秒の条件で処理を行ない、配線パターン１１及びサイドウォール１３，１５の形成領域を含む層間絶縁膜５上全面にＣｒＳｉ薄膜を約５０Åの膜厚に形成した。

【００８６】

写真製版技術により、ＣｒＳｉ薄膜上に金属薄膜抵抗体の形成領域を画定するためのレジストパターンを形成する。例えばＲＩＥ（反応性イオンエッチング）装置を用い、そのレジストパターンをマスクにしてＣｒＳｉ薄膜をパターニングしてＣｒＳｉ薄膜抵抗体１７を形成する（図２（ｃ）参照。）。その後、上記レジストパターンを除去する。ここで、ＣｒＳｉ薄膜抵抗体１７は、配線パターン１１の一部分である電極１１ａと電気的に接続されているので、従来技術のようには金属薄膜抵抗体上面で電気的接続をとるためにフッ酸水溶液によるＣｒＳｉ薄膜抵抗体１７の表面の金属酸化膜除去処理を行なう必要はない。

【００８７】

（４）例えばプラズマＣＶＤ法により、層間絶縁膜５上全面にパッシベーション膜としてのシリコン酸化膜１９及びシリコン窒化膜２１を順次形成する。以上により、半導体装置の製造工程が完了する（図１参照。）。

【００８８】

図１を参照して説明した半導体装置の実施例、並びに図１及び図２を参照して説明した製造方法の参考例では、ＣｒＳｉ薄膜抵抗体１７を形成した後にウェットエッチング技術によるパターニングを行なう必要はなく、さらに、ＣｒＳｉ薄膜抵抗体１７における配線パターン１１との接触面が大気に暴露されることはないので、ＣｒＳｉ薄膜抵抗体１７に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、ＣｒＳｉ薄膜抵抗体１７と配線パターン１１の良好な電気的接続を安定して得ることができる。これにより、ＣｒＳｉ薄膜抵抗体１７の膜厚に関わらず、工程数を増加させることなく、ＣｒＳｉ薄膜抵抗体１７の微細化及び抵抗値の安定化を実現することができる。

【００８９】

さらに、ＣｒＳｉ薄膜抵抗体１７は配線パターン１１の一部分により構成される電極１１ａの上面からサイドウォール１３，１５の表面を介して層間絶縁膜５上にわたって形成されているので、配線パターン上に形成された接続孔を介して金属薄膜抵抗体と配線パターンの電気的接続を形成する場合に比べて上記接続孔を形成する一連の工程を行なわなくてよいので、工程の短縮及び簡素化を実現でき、かつ上記接続孔を有するがゆえの金属薄膜抵抗体のステップカバレージの悪化による金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大もない。

【００９０】

さらに、配線パターン１１の側面にサイドウォール１３が形成されているので、配線パターン１１の側面に起因する急峻な段差によるＣｒＳｉ薄膜抵抗体１７のステップカバレージの悪化を防止することができる。

このように、電極１１ａとの接触抵抗も含めてＣｒＳｉ薄膜抵抗体１７の抵抗値の安定化を実現することができる。

【００９１】

さらに、ＣｒＳｉ薄膜抵抗体１７の両端部は電極１１ａ上で配線パターン１１と交差して形成されているようにしたので、配線パターン１１とＣｒＳｉ薄膜抵抗体１７の重ね合わせズレやＣｒＳｉ薄膜抵抗体１７の端部の丸まりによる、電極１１ａとＣｒＳｉ薄膜抵

抗体１７の接触領域の変動をなくすことができ、さらに安定した接触抵抗を得ることができる。

【００９２】

さらに、ＣｒＳｉ薄膜抵抗体１７と金属材料パターン７の間にバリヤ膜として機能する高融点金属膜９を介在させているので、ＣｒＳｉ薄膜抵抗体１７と配線パターン１１の接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。

さらに、高融点金属膜９はバリヤ膜兼反射防止膜としても機能しており、従来技術に比べて製造工程を増加させることなく高融点金属膜９を形成することができるので、製造コストの増大を防止しつつ、金属薄膜抵抗体と配線パターンの接触抵抗を安定させることができる。

【００９３】

さらに、上記Ａｒスパッタエッチング処理を行なうことにより、配線パターン１１を構成する高融点金属膜９上面の絶縁性物質を除去することができるとともに、後工程で形成されるＣｒＳｉ薄膜抵抗体１７の下地膜依存性を改善できる。この効果について説明する。

【００９４】

図３及び図４を参照して、上記実施例と同様の構成で形成した金属薄膜抵抗体の特性について調べた結果を示す。図３は、金属薄膜抵抗体のシート抵抗と膜厚との関係を示し、縦軸はシート抵抗（Ω／□）、横軸はＣｒＳｉ膜厚（Å）を示す。図４は、金属薄膜抵抗体のシート抵抗のウェハ面内の６３箇所での測定結果の標準偏差（σ）を平均値（ＡＶＥ）で割った値（σ／ＡＶＥ）とＣｒＳｉ膜厚との関係を示し、縦軸はσ／ＡＶＥ（％）、横軸はＣｒＳｉ膜厚（Å）を示す。ここでは、サンプルとして配線パターン上の絶縁膜に形成された接続孔を介して金属薄膜抵抗体と配線パターンが電気的に接続されている構造を採用した。

【００９５】

金属薄膜抵抗体の形成条件は次の通りである。

マルチチャンバースパッタリング装置を用いて、ＤＣパワー：０.７ＫＷ、Ａｒ：８５ｓｃｃｍ、圧力：８.５ｍＴｏｒｒ、ターゲット：Ｓｉ／Ｃｒ＝５０／５０ｗｔ％及び８０／２０ｗｔ％の２種について、体積時間を調整することにより、ＣｒＳｉ薄膜を２５～５００Åの膜厚にサンプルを作成した。なお、Ｓｉ／Ｃｒ＝５０／５０ｗｔ％のサンプルについては膜厚が５００Åのものは作成していない。

【００９６】

また、ＣｒＳｉ薄膜形成前のＡｒスパッタエッチング処理は、上記マルチチャンバースパッタリング装置を用いて、ＤＣバイアス：１２５０Ｖ、Ａｒ：２０ｓｃｃｍ、圧力：８.５ｍＴｏｒｒ、処理時間：１６０秒の条件で行なった。これは、１０００℃、ウェット雰囲気で形成した熱酸化膜を４００Åだけエッチング除去するのに相当する処理である。

また、本サンプルでは、金属薄膜抵抗体に接続する下層の金属配線として、膜厚が５０００ÅのＡｌＳｉＣｕ膜を用い、ＡｌＳｉＣｕ膜とＣｒＳｉ薄膜間の接続孔底部にはＡｌＳｉＣｕ膜上のＴｉＮ膜が形成されていない構造を採用した。

【００９７】

シート抵抗の測定は、幅が０.５μｍ（マイクロメートル）、長さが５０μｍの帯状パターンを０.５μｍ間隔で２０本配置したうちの１本の金属薄膜抵抗体の両端に１Ｖの電圧を印加して電流値を測定する２端子法にて行なった。

また、金属配線とＣｒＳｉ薄膜抵抗体とをつなぐ接続孔の平面寸法は０.６μｍ×０.６μｍであった。

【００９８】

図３に示すように、ターゲット（Ｓｉ／Ｃｒ＝５０／５０ｗｔ％とＳｉ／Ｃｒ＝８０／２０ｗｔ％）の組成に関わらず、２００Å以上の膜厚から２５Åという極めて薄い膜厚まで、膜厚とシート抵抗の線形性が維持されており、従来技術では形成できないような微細

な寸法の金属薄膜抵抗体を薄い膜厚に形成できることが分かる。

【００９９】

また、ウェハ面内６３箇所におけるシート抵抗のバラツキを示す図４を見ても、ターゲット（Ｓｉ／Ｃｒ＝５０／５０ｗｔ％とＳｉ／Ｃｒ＝８０／２０ｗｔ％）の両方とも、抵抗値のバラツキは膜厚の影響をほとんど受けておらず、抵抗値のバラツキも非常に小さく安定していることが分かる。このことから、本発明の構造を採用すれば、極めて微細な金属薄膜抵抗体パターンを金属薄膜抵抗体の膜厚に関係なく安定して形成できる。

ＣｒＳｉ薄膜形成前のＡｒスパッタエッチング処理により得られる効果は、配線パターン上の絶縁膜に形成された接続孔を介して金属薄膜抵抗体と配線パターンが電気的に接続されている構造に限らず、本発明の半導体装置における、配線パターンの一部分からなる電極上で配線パターンと金属薄膜抵抗体が電気的に接続されている構造でも、同様に得られると考えられる。

【０１００】

図５は、金属薄膜抵抗体用の金属薄膜を形成する前にＡｒスパッタエッチング処理を行なった場合及び行なわなかった場合のＣｒＳｉ薄膜抵抗体のシート抵抗と金属薄膜抵抗体の下地膜を形成してから経過した時間との関係を示す図であり、（Ａ）は行なった場合、（Ｂ）は行なわなかった場合を示す。図５において、縦軸はシート抵抗（Ω／□）、横軸は下地膜形成後経過時間（時間）を示す。

【０１０１】

図５のサンプルとして、下地膜としてプラズマＣＶＤ法によって２０００Åの膜厚に形成したプラズマＳｉＮ膜とプラズマＮＳＧ（non-doped silicate glass）膜の２つのシリコンウェハを準備し、これらのシリコンウェハに形成したＣｒＳｉ薄膜抵抗体を用い、ＣｒＳｉ薄膜抵抗体のシート抵抗を４端子法によって測定した。

【０１０２】

下地膜のプラズマＳｉＮ膜は、並行平板型プラズマＣＶＤ装置を用いて、温度：３６０℃、圧力：５.５Ｔｏｒｒ、ＲＦパワー：２００Ｗ、SiH_4：７０ｓｃｃｍ、N_2：３５００ｓｃｃｍ、NH_3：４０ｓｃｃｍの条件で形成した。

プラズマＮＳＧ膜は、並行平板型プラズマＣＶＤ装置を用いて、温度：４００℃、圧力：３.０Ｔｏｒｒ、ＲＦパワー：２５０Ｗ、SiH_4：１６ｓｃｃｍ、N_2O：１０００ｓｃｃｍの条件で形成した。

【０１０３】

ＣｒＳｉ薄膜抵抗体は、マルチチャンバースパッタリング装置を用いて、Ｓｉ／Ｃｒ＝８０／２０ｗｔ％のターゲット、ＤＣパワー：０.７ＫＷ、Ａｒ：８５ｓｃｃｍ、圧力：８.５ｍＴｏｒｒ、体積時間：１３秒の条件で処理を行なうことで、１００Åの膜厚に形成した。

【０１０４】

Ａｒスパッタエッチング処理を行なったサンプルには、上記マルチチャンバースパッタリング装置を用いて、ＤＣバイアス：１２５０Ｖ、Ａｒ：２０ｓｃｃｍ、圧力：８.５ｍＴｏｒｒ、処理時間：８０秒の条件で行なった。これは、１０００℃、ウェット雰囲気で形成した熱酸化膜を２００Åだけエッチング除去するのに相当する処理である。

【０１０５】

（Ｂ）に示すように、ＣｒＳｉ薄膜の形成前にＡｒスパッタエッチング処理を行なっていない場合、下地膜の違い（ＳｉＮ膜上とＮＳＧ膜上）によりシート抵抗が大きく異なっているのが分かる。さらに、下地膜を形成してからＣｒＳｉ薄膜抵抗体を形成するまでに経過した時間の影響を大きく受けているのが分かる。

これに対し、（Ａ）に示すように、Ａｒスパッタエッチング処理を行なった場合、下地膜の種類及び経過時間ともに、ＣｒＳｉ薄膜抵抗体のシート抵抗にほとんど影響を与えていないのが分かる。

【０１０６】

このことから、Ａｒスパッタエッチング処理を行なった後、真空中で連続して金属薄膜

抵抗体用の金属薄膜を形成することにより、前工程からの経過時間や製品毎に異なる下地膜の違い等によって発生する抵抗値のバラツキを大幅に改善できることが分かる。

【０１０７】

図６は、ＡｒスパッタエッチングのＡｒ量とシート抵抗の関係を示す図である。縦軸はシート抵抗（Ω／□）、横軸はエッチング量（熱酸化膜エッチング量換算）（Å）を示す。図６のサンプルについて、下地膜及びＣｒＳｉ薄膜抵抗体は図５のサンプル形成と同じ条件で形成したプラズマＮＳＧ膜及びＣｒＳｉ薄膜抵抗体を用いた。なお、成膜から１週間経過したプラズマＮＳＧ膜に対してＡｒスパッタエッチングを行なった後、そのプラズマＮＳＧ膜上にＣｒＳｉ薄膜抵抗体を形成した。Ａｒスパッタエッチングの条件は、エッチング量以外は図５のサンプルと同じ条件で行なった。そして、ウェット雰囲気で形成した熱酸化膜エッチング量換算で０Å（Ａｒスパッタエッチング無し）、２５Å、５０Å、１００Å、２００Å、４００Å、１０００Åとなるように調整した。ＣｒＳｉ薄膜抵抗体のシート抵抗を４端子法によって測定した。

【０１０８】

図６の結果から、Ａｒスパッタエッチングは、ウェット雰囲気で形成した熱酸化膜エッチング量換算で２５Å以上の膜厚分だけ行なえば、ＣｒＳｉ薄膜抵抗体の抵抗値安定化の効果が得られることが分かった。なお、図６ではＡｒスパッタエッチング条件について熱酸化膜エッチング量換算で１０００Åの膜厚分だけエッチングしたものまでしかサンプルを製作していないが、熱酸化膜エッチング量換算で１０００Åよりも大きい膜厚分だけエッチングした場合であっても、金属薄膜抵抗体の形成領域に下地膜が残存しているのであれば、上記Ａｒスパッタエッチングの効果が得られるものと予想できる。

【０１０９】

さらに、Ａｒスパッタエッチング処理の効果は下地の影響のみならず、ＣｒＳｉ薄膜の抵抗値そのものの安定性にも影響を与えることが分かった。

図７は、ＣｒＳｉ薄膜を形成した後に、温度２５℃、湿度４５％の大気中に放置した時間と、形成直後のシート抵抗（Ｒ０）からのシート抵抗の変化率（ΔＲ／Ｒ０）の関係を示す図であり、縦軸はΔＲ／Ｒ０（％）、横軸は放置時間（時間）を示す。

【０１１０】

図７のサンプルについて、下地膜及びＣｒＳｉ薄膜抵抗体は図５のサンプル形成と同じ条件で形成したプラズマＮＳＧ膜及びＣｒＳｉ薄膜抵抗体を用いた。

Ａｒスパッタエッチングについては、処理を行わないもの（Ａｒエッチ無）、処理時間４０秒で熱酸化膜換算：１００Åのもの（Ａｒエッチ：１００Å）、処理時間８０秒で熱酸化膜換算：２００Åのもの（Ａｒエッチ：２００Å）の３種を準備した。

【０１１１】

Ａｒスパッタエッチング処理を行なっていないサンプル（Ａｒエッチ無）では、形成後から時間が経過すると共に抵抗値が上昇し、３００時間以上放置した場合、３％以上も抵抗値が変動しているのが分かる。

これに対し、Ａｒスパッタエッチング処理を行なったサンプル（Ａｒエッチ：１００Å、及びＡｒエッチ：２００Å）では、抵抗値の変化率は大幅に減少し、３００時間以上放置しても、形成直後のシート抵抗±１％から外れることはなかった。

さらに、Ａｒエッチ：１００ÅとＡｒエッチ：２００Åを比較すると、Ａｒスパッタエッチング量の大小の影響は小さく、わずかなエッチング量で効果があることが判明した。

【０１１２】

以上、図３から図７を参照して、下地膜のシート抵抗への影響や大気放置時間の影響に対する本発明の効果を説明したが、これらの効果は、サンプルとして使用した、ターゲットがＳｉ／Ｃｒ＝５０／５０ｗｔ％又は８０／２０ｗｔ％のＣｒＳｉ薄膜抵抗に限定されるものではない。なお、Ｓｉ／Ｃｒ＝５０／５０～９０／１０ｗｔ％のターゲットで形成したＣｒＳｉ薄膜及びＣｒＳｉＮ膜の全てで上記と同様の効果が観察されている。

また、Ａｒスパッタエッチング方法も今回使用したＤＣバイアススパッタエッチング法に限定されるものではない。

【０１１３】
図８は、熱処理に起因する金属薄膜抵抗と金属配線の接触抵抗の変動を調べた結果を示す図である。縦軸は熱処理前の接触抵抗値で規格化した値を示し、横軸は熱処理回数を示す。ここでは、サンプルとして配線パターン上の絶縁膜に形成された接続孔を介して金属薄膜抵抗体と配線パターンが電気的に接続されている構造を採用し、接続孔形成時に接続孔底部に高融点金属膜を残存させたサンプルと完全に除去したサンプルについて接触抵抗の変動を調べた。
【０１１４】
図８のサンプルとして、接続孔形成時のドライエッチング時間を調整することで、接続孔底部の高融点金属膜を５００Å程度残存させたサンプルと、完全に除去したサンプルを作成した。
高融点金属膜にはＴｉＮ膜を用いた。
ＣｒＳｉ薄膜抵抗体は、Ｓｉ／Ｃｒ＝８０／２０ｗｔ％、ＤＣパワー：０．７ＫＷ、Ａｒ：８５ｓｃｃｍ、圧力：８．５ｍＴｏｒｒ、体積時間：６秒の条件で５０Åの膜厚に形成した。
ＣｒＳｉ薄膜形成前のＡｒスパッタエッチング処理は、ＤＣバイアス：１２５０Ｖ、Ａｒ：２０ｓｃｃｍ、圧力：８．５ｍＴｏｒｒ、処理時間：１６０秒の条件で行なった。これは、１０００℃、ウェット雰囲気で形成した熱酸化膜を４００Åだけエッチング除去するのに相当する処理である。
接続孔の平面寸法は０．６μｍ×０．６μｍであった。接触抵抗測定方法は４端子法を用いた。
【０１１５】
上記のサンプルについて、３５０℃、窒素雰囲気中で３０分の熱処理を追加することで、接触抵抗がどのように変化するかを調べた。
ＴｉＮ膜を接続孔底部に有するサンプル（ＴｉＮ有）は、熱処理を２回追加してもほとんど熱処理前の接触抵抗から変化していない。これに対し、ＴｉＮ膜を完全に除去したサンプル（ＴｉＮ無）は、２回の熱処理追加によって接触抵抗が熱処理前に比べて２０％以上変動している。このことは、ＴｉＮ膜がＣｒＳｉ薄膜と金属配線の相互作用による抵抗変動を防止するバリヤ膜としての機能を有することを意味している。
【０１１６】
ＣｒＳｉ薄膜抵抗体と金属配線の間にＴｉＮ膜を存在させることにより、例えばシンタリングやＣＶＤなど、製造工程で行なわれる熱処理による接触抵抗の変動を極めて小さくできると共に、後工程である組立て作業で行なわれる半田処理などの熱処理での接触抵抗の変動を防止できる。これにより、設定通りの接触抵抗を安定して得ることができると共に、組立て前後の接触抵抗の変動を防止することができ、製品の高精度化や歩留の向上が可能となる。
ＣｒＳｉ薄膜抵抗体と金属配線の間にＴｉＮ膜を存在させることにより得られる効果は、配線パターン上の絶縁膜に形成された接続孔を介して金属薄膜抵抗体と配線パターンが電気的に接続されている構造に限らず、本発明の半導体装置における、配線パターンの一部分からなる電極上で配線パターンと金属薄膜抵抗体が電気的に接続されている構造でも、同様に得られると考えられる。
【０１１７】
図１及び図２を参照して説明した製造方法の参考例では、上記工程（３）において、ＣｒＳｉ薄膜の形成直前にＡｒスパッタエッチング処理を行なっているが、ＴｉＮ膜からなる高融点金属膜９は大気に晒されてもＡｌＳｉＣｕ膜ほど強固な自然酸化膜を形成しないため、上記Ａｒスパッタエッチング処理を行わなくてもＣｒＳｉ薄膜と配線パターン１１の電気的接続を得ることができる。その場合には第２サイドウォール１５は形成されない。ただし、上述したように、ＣｒＳｉ薄膜の形成直前にＡｒスパッタエッチング処理を行なうことによりＣｒＳｉ薄膜抵抗体１７の抵抗値の安定性を改善することができるので、Ａｒスパッタエッチング処理を行なうことが好ましい。

【０１１８】
また、上記の実施例では、ＣｒＳｉ薄膜抵抗体１７はＢＰＳＧ膜又はＰＳＧ膜からなる層間絶縁膜５上に形成されているが、本発明において、金属薄膜抵抗体の下地となる絶縁膜はこれに限定されるものではない。金属薄膜抵抗体の下地となる絶縁膜としては、例えば公知の技術であるＣＭＰ（chemical mechanical polish）技術を用いて平坦化を行なった絶縁膜やＳＯＧ膜の塗布及びエッチバックを行なって平坦化した絶縁膜、平坦化を行なっていないプラズマＣＶＤ酸化膜など、他の絶縁膜であってもよい。ただし、アナログ抵抗素子の中には、ＴＣＲのみならず、ペア性や比精度も重要となるような構成で使用されている場合も多いので、特に、本発明の半導体装置を構成する金属薄膜抵抗体をアナログ抵抗素子に適用する場合には、金属薄膜抵抗体の下地となる絶縁膜は平坦化処理が施されていることが好ましい。

【０１１９】
また、上記の実施例では、ＣｒＳｉ薄膜抵抗体１７の上にパッシベーション膜２３を備えているが、本発明はこれに限定されるものではなく、例えば第２層目の金属配線を形成するための層間絶縁膜など、ＣｒＳｉ薄膜抵抗体１７上の膜は、いかなる絶縁膜であってもよい。

【０１２０】
図９は半導体装置の他の実施例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＢ－Ｂ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。（Ａ）でのパッシベーション膜の図示は省略している。図１と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【０１２１】
シリコン基板１上に素子分離酸化膜３、層間絶縁膜５、金属材料パターン７及び高融点金属膜９からなる配線パターン１１、サイドウォール１３並びに第２サイドウォール１５が形成されている。
一対の配線パターン１１，１１に電極１１ａ，１１ａで交差して、層間絶縁膜５上、電極１１ａの表面及びサイドウォール１３，１５の表面にわたってＣｒＳｉ薄膜抵抗体１７が形成されている。ＣｒＳｉ薄膜抵抗体１７の上面にＣｒＳｉＮ膜（金属窒化膜）４１が形成されている。ＣｒＳｉ薄膜抵抗体１７とＣｒＳｉＮ膜２５の間にはＣｒＳｉＯは形成されていない。
層間絶縁膜５上全面に、シリコン酸化膜１９及びシリコン窒化膜２１からなるパッシベーション膜２３が形成されている。

【０１２２】
この実施例を製作するための参考例としての製造方法の第１局面の一例を説明する。
図２（ａ）及び（ｂ）を参照して説明した上記工程（１）及び（２）と同じ工程により、素子分離酸化膜３の形成が完了したウェハ状のシリコン基板１上に、層間絶縁膜５、金属配線パターン７及び高融点金属膜９からなる配線パターン１１、サイドウォール１３を形成する。

【０１２３】
図２（ｃ）を参照して説明した上記工程（３）と同じ条件により、例えばマルチチャンバースパッタリング装置のＡｒスパッタエッチングチャンバーにて、真空中で、層間絶縁膜５の表面に対してＡｒスパッタエッチング処理を行なって第２サイドウォール１５を形成し、続けて、Ａｒスパッタエッチング完了後に真空を破らずに連続して金属薄膜抵抗体用のＣｒＳｉ薄膜を形成する。

【０１２４】
さらに、ＣｒＳｉ薄膜の形成後、真空を破らずに連続して、ＣｒＳｉ薄膜上にＣｒＳｉＮ膜を形成する。例えば、ＣｒＳｉ薄膜の形成で用いたＳｉ／Ｃｒ＝８０／２０ｗｔ％のＣｒＳｉターゲットを使用し、ＤＣパワー：０.７ＫＷ（キロワット）、Ａｒ＋N_2（アルゴンと窒素の混合ガス）：８５ｓｃｃｍ、圧力：８.５ｍＴｏｒｒ、処理時間：６秒の条

件で処理を行ない、ＣｒＳｉ薄膜上にＣｒＳｉＮ膜を約５０Åの膜厚に形成する。次に、ＣｒＳｉＮ膜及びＣｒＳｉ薄膜をパターニングして、ＣｒＳｉＮ膜２５及びＣｒＳｉ薄膜抵抗体１７からなる積層パターンを形成する。

上記の参考例と同様に、ＣｒＳｉ薄膜抵抗体１７は配線パターン１１と電気的に接続されているので、従来技術のようにはフッ酸水溶液によるＣｒＳｉ薄膜抵抗体１７の表面の金属酸化膜除去処理を行なう必要はない。さらに、ＣｒＳｉ薄膜抵抗体１７の上面はＣｒＳｉＮ膜２５により覆われているので、大気など、酸素を含む雰囲気中に暴露されてもＣｒＳｉ薄膜抵抗体１７の上面が酸化されることはない。

その後、層間絶縁膜５上に、シリコン酸化膜１９及びシリコン窒化膜２１からなるパッシベーション膜２３を形成する。

【０１２５】

一般に、金属薄膜は酸素との反応性が高く、金属薄膜を大気に晒した状態で長時間放置すると抵抗値が変動してしまうことが知られている。

この参考例では、ＣｒＳｉ薄膜抵抗体１７の上面にＣｒＳｉＮ膜２５を形成することにより、ＣｒＳｉ薄膜抵抗体１７の上面が大気に晒されてＣｒＳｉ薄膜抵抗体１７の抵抗値が変動するのを防止している。ここで、ＣｒＳｉ薄膜抵抗体１７を形成するためのＣｒＳｉ薄膜が成膜された段階で、ＣｒＳｉ薄膜と配線パターン１１との電気的接続は完了しているため、ＣｒＳｉ薄膜上に新たな薄膜が成膜されても、特性上何ら影響を与えるものではない。

【０１２６】

図１０に、ＣｒＳｉＮ膜形成用のガスのN_2分圧とＣｒＳｉＮ膜の抵抗率の関係を示す図であり、縦軸は抵抗率ρ（mohm・cm（ミリオーム・センチメートル））、横軸はN_2分圧（％）を示す。ここでは、ターゲット：Ｓｉ／Ｃｒ＝５０／５０ｗｔ％、ＤＣパワー：０.７ＫＷ、Ａｒ＋N_2：８５ｓｃｃｍ、圧力：８.５ｍＴｏｒｒ、処理時間：６秒の条件でＡｒ＋N_2ガスのN_2分圧を調整してＣｒＳｉＮ膜を形成した。

【０１２７】

N_2分圧を１８％以上添加してリアクティブスパッタにより形成されたＣｒＳｉＮ膜は、N_2を全く添加しないガスを用いた場合（N_2分圧が０％）に比べて１０倍以上の高い抵抗率を示す。したがって、N_2分圧を１８％以上に設定してＣｒＳｉＮ膜を成膜するようにすれば、ＣｒＳｉ薄膜抵抗体上に直接ＣｒＳｉＮ膜を形成しても、ＣｒＳｉ薄膜抵抗体全体の抵抗値はＣｒＳｉ薄膜が決定することとなり、ＣｒＳｉＮ膜は抵抗値にほとんど影響を与えない。ここで、N_2分圧の上限は９０％程度である。N_2分圧を９０％よりも大きく設定した場合、スパッタリング速度の大幅な低下を招き、生産効率が低下するので好ましくない。

なお、ＣｒＳｉＮ膜は、N_2分圧を例えば６～１１％程度添加してリアクティブスパッタにより形成するようにすれば、ＣｒＳｉＮ膜自体を金属薄膜抵抗体として使用することも可能である。

【０１２８】

また、上記の参考例では、ＣｒＳｉ薄膜抵抗体１７上にＣｒＳｉＮ膜２５を形成しているが、ＣｒＳｉ薄膜抵抗体１７上にＣＶＤ系の絶縁膜、例えばシリコン窒化膜等を形成してもよい。しかし、一般的なマルチチャンバースパッタ装置にはＣＶＤチャンバーは接続されておらず、ＣＶＤ系の絶縁膜を真空中で連続してＣｒＳｉ薄膜抵抗体１７上に形成するためには、対応する新しい設備を購入する必要があり、製造コストに多大な影響を与えてしまう。

上記参考例のように、ＣｒＳｉ薄膜抵抗体１７用のＣｒＳｉ薄膜上にＣｒＳｉＮ膜４３を形成する構成であれば、新しい装置を購入すること無く、既存のマルチチャンバースパッタ装置を用いてＣｒＳｉ薄膜抵抗体１７の耐酸化カバー膜となるＣｒＳｉＮ膜４３を、真空を破ること無く形成することができる。

【０１２９】

図１１は半導体装置の参考例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ

）は平面図、（Ｂ）は（Ａ）のＣ－Ｃ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。（Ａ）でのパッシベーション膜の図示は省略している。図１と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【０１３０】

シリコン基板１上に素子分離酸化膜３、層間絶縁膜５、並びに金属材料パターン７及び高融点金属膜９からなる配線パターン１１が形成されている。

層間絶縁膜５上に、下層側のプラズマＣＶＤ酸化膜２７と上層側のＳＯＧ膜２９からなり、両膜が堆積された後にエッチバック処理が施されて配線パターン１１の上面が露出する膜厚に形成された第２絶縁膜３１が形成されている。

【０１３１】

対向する一対の配線パターン１１間の第２絶縁膜３１上に帯状のＣｒＳｉ薄膜抵抗体１７が形成されている。ＣｒＳｉ薄膜抵抗体１７の両端部は、一対の配線パターン１１において対向する側面とは反対側の側面近傍に形成された第２絶縁膜３１上に延伸して形成されており、ＣｒＳｉ薄膜抵抗体１７と配線パターン１１は電極１１ａ部分で互いに交差して形成されている。

ＣｒＳｉ薄膜抵抗体１７の形成領域を含む層間絶縁膜５上に、下層側がシリコン酸化膜１９、上層側がシリコン窒化膜２１からなるパッシベーション膜２３（（Ａ）での図示は省略）が形成されている。

【０１３２】

図１２は参考例としての製造方法の第２局面の一例を説明するための工程断面図である。この実施例は図１１を参照して説明した半導体装置の参考例を製造するためのものである。図１１及び図１２を参照してこの参考例を説明する。

【０１３３】

（１）図２（ａ）を参照して説明した上記工程（１）と同じ工程により、素子分離酸化膜３及びトランジスタ素子等（図示は省略）の形成が完了したウェハ状のシリコン基板１上に層間絶縁膜５を形成し、層間絶縁膜５上に金属配線パターン７及び高融点金属膜９からなる配線パターン１１を形成する。

例えばプラズマＣＶＤ法により、配線パターン１１の形成領域を含む層間絶縁膜５上にプラズマＣＶＤ酸化膜２７を２０００Å程度の膜厚に形成した後、公知の技術であるＳＯＧのコーティング処理を行なってＳＯＧ膜２９を形成する（図１２（ａ）参照。）

【０１３４】

（２）ＳＯＧ膜２９及びプラズマＣＶＤ酸化膜２７に対して、配線パターン１１の上面が露出するまでエッチバック処理を行なって、プラズマＣＶＤ酸化膜２７及びＳＯＧ膜２９からなる第２絶縁膜３１を形成する（図１２（ｂ）参照。）。

【０１３５】

（３）図２（ｃ）を参照して説明した上記工程（３）と同じ条件により、配線パターン１１の形成領域を含んで第２絶縁膜３１に対してＡｒスパッタエッチング処理を行ない、続けて、Ａｒスパッタエッチング完了後に真空状態を破らずに連続して金属薄膜抵抗体用のＣｒＳｉ薄膜を形成し、そのＣｒＳｉ薄膜をパターニングしてＣｒＳｉ薄膜抵抗体１７を形成する（図１２（ｃ）参照。）。

【０１３６】

（４）例えばプラズマＣＶＤ法により、層間絶縁膜５上全面にパッシベーション膜としてのシリコン酸化膜１９及びシリコン窒化膜２１を順次形成する。以上により、半導体装置の製造工程が完了する（図１１参照。）。

【０１３７】

図１１を参照して説明した半導体装置の参考例、並びに図１１及び図１２を参照して説明した製造方法の参考例でも、図１及び図２を参照して説明した参考例と同様に、ＣｒＳｉ薄膜抵抗体１７を形成した後にウェットエッチング技術によるパターニングを行なう必要はなく、さらに、ＣｒＳｉ薄膜抵抗体１７における配線パターン１１との接触面が大気

に暴露されることはないので、ＣｒＳｉ薄膜抵抗体１７と配線パターン１１の良好な電気的接続を安定して得ることができ、ＣｒＳｉ薄膜抵抗体１７の膜厚に関わらず、工程数を増加させることなく、ＣｒＳｉ薄膜抵抗体１７の微細化及び抵抗値の安定化を実現することができる。

【０１３８】

さらに、図１及び図２を参照して説明した参考例と同様に、ＣｒＳｉ薄膜抵抗体１７と配線パターン１１を電気的に接続するための接続孔は必要ないので、そのような接続孔を形成する場合に比べて、工程の短縮及び簡素化を実現でき、かつ上記接続孔を有するがゆえの金属薄膜抵抗体のステップカバレージの悪化による金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大もない。

【０１３９】

さらに、配線パターン１１の側面に第２絶縁膜３１が形成されているので、配線パターン１１の側面に起因する急峻な段差によるＣｒＳｉ薄膜抵抗体１７のステップカバレージの悪化を防止することができる。

このように、電極１１ａとの接触抵抗も含めてＣｒＳｉ薄膜抵抗体１７の抵抗値の安定化を実現することができる。

【０１４０】

さらに、ＣｒＳｉ薄膜抵抗体１７の両端部は電極１１ａ上で配線パターン１１と交差して形成されているようにしたので、配線パターン１１とＣｒＳｉ薄膜抵抗体１７の重ね合わせズレやＣｒＳｉ薄膜抵抗体１７の端部の丸まりによる、電極１１ａとＣｒＳｉ薄膜抵抗体１７の接触領域の変動をなくすことができ、さらに安定した接触抵抗を得ることができる。

【０１４１】

さらに、ＣｒＳｉ薄膜抵抗体１７と金属材料パターン７の間にバリヤ膜として機能する高融点金属膜９を介在させているので、ＣｒＳｉ薄膜抵抗体１７と配線パターン１１の接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。

さらに、高融点金属膜９はバリヤ膜兼反射防止膜としても機能しており、従来技術に比べて製造工程を増加させることなく高融点金属膜９を形成することができるので、製造コストの増大を防止しつつ、金属薄膜抵抗体と配線パターンの接触抵抗を安定させることができる。

さらに、上記Ａｒスパッタエッチング処理を行なうことにより、配線パターン１１を構成する高融点金属膜９上面の絶縁性物質を除去することができるとともに、後工程で形成されるＣｒＳｉ薄膜抵抗体１７の下地膜依存性を改善できる。

【０１４２】

図１３は半導体装置の他の参考例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＤ－Ｄ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。（Ａ）でのパッシベーション膜の図示は省略している。図１と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【０１４３】

シリコン基板１上に素子分離酸化膜３、層間絶縁膜５、金属材料パターン７及び高融点金属膜９からなる配線パターン１１、並びに、プラズマＣＶＤ酸化膜２７及びＳＯＧ膜２９からなる第２絶縁膜３１が形成されている。

一対の配線パターン１１，１１に電極１１ａ，１１ａで交差して、第２絶縁膜３１上及び電極１１ａの表面にわたってＣｒＳｉ薄膜抵抗体１７が形成されている。ＣｒＳｉ薄膜抵抗体１７の上面にＣｒＳｉＮ膜４１が形成されている。ＣｒＳｉ薄膜抵抗体１７とＣｒＳｉＮ膜２５の間にはＣｒＳｉＯは形成されていない。

第２絶縁膜３１上全面に、シリコン酸化膜１９及びシリコン窒化膜２１からなるパッシベーション膜２３が形成されている。

【０１４４】
この参考例を製作するための参考例としての製造方法の第２局面の一例を説明する。
図１２（ａ）及び（ｂ）を参照して説明した上記工程（１）及び（２）と同じ工程により、素子分離酸化膜３の形成が完了したウェハ状のシリコン基板１上に、層間絶縁膜５、金属配線パターン７及び高融点金属膜９からなる配線パターン１１、並びに、プラズマＣＶＤ酸化膜２７及びＳＯＧ膜２９からなる第２絶縁膜３１を形成する。
【０１４５】
図２（ｃ）を参照して説明した上記工程（３）と同じ条件により、例えばマルチチャンバースパッタリング装置のＡｒスパッタエッチングチャンバーにて、真空中で、層間絶縁膜５の表面に対してＡｒスパッタエッチング処理を行なって第２サイドウォール１５を形成し、続けて、Ａｒスパッタエッチング完了後に真空を破らずに連続して金属薄膜抵抗体用のＣｒＳｉ薄膜を形成する。
【０１４６】
さらに、ＣｒＳｉ薄膜の形成後、真空を破らずに連続して、図９を参照して説明した製造方法の参考例でのＣｒＳｉＮ膜形成条件と同じ条件で、ＣｒＳｉ薄膜上にＣｒＳｉＮ膜を形成する。
次に、ＣｒＳｉＮ膜及びＣｒＳｉ薄膜をパターニングして、ＣｒＳｉＮ膜２５及びＣｒＳｉ薄膜抵抗体１７からなる積層パターンを形成する。
その後、層間絶縁膜５上に、シリコン酸化膜１９及びシリコン窒化膜２１からなるパッシベーション膜２３を形成する。
【０１４７】
この参考例でも、図９を参照して説明した参考例と同様に、ＣｒＳｉ薄膜抵抗体１７の上面にＣｒＳｉＮ膜２５を形成することにより、ＣｒＳｉ薄膜抵抗体１７の上面が大気に晒されてＣｒＳｉ薄膜抵抗体１７の抵抗値が変動するのを防止することができる。
【０１４８】
また、上記の参考例では、第２絶縁膜３１として、プラズマＣＶＤ酸化膜２７上にＳＯＧ膜２９を塗布し、ＳＯＧ膜２９をエッチバック処理して平坦化したものを用いているが、金属薄膜抵抗体の下地となる第２絶縁膜はこれに限定されるものではない。例えば、ＨＤＰ（high-density-plasma）－ＣＶＤ法により形成したＣＶＤ絶縁膜を配線パターン表面が露出する膜厚までエッチバックして形成したものや、堆積させたプラズマＣＶＤ酸化膜をＣＭＰ法により配線パターン表面が露出する膜厚まで研磨したものなどであってもよい。
【０１４９】
また、上記の実施例では、高融点金属膜９としてＴｉＮ膜を用いた例を挙げているが、配線パターンを構成する高融点金属膜はこれに限定されるものではなく、例えばＴｉＷやＷＳｉなど、他の高融点金属膜を用いてもよい。
【０１５０】
また、上記の実施例では、金属配線として一層の配線パターン１１を備えた半導体装置に本発明を適用しているが、本発明はこれに限定されるものではなく、多層金属配線構造の半導体装置に本発明を適用することもできる。その場合、金属薄膜抵抗体の電気的接続を得るための、金属薄膜抵抗体の下層の金属配線は何層目の金属配線であってもよい。多層金属配線構造の半導体装置に本発明を適用する場合、金属薄膜抵抗体の下層の配線パターン（金属配線）、すなわち金属薄膜抵抗体と電気的に接続される配線パターンが最上層の配線パターンであるようにすれば、例えば金属薄膜抵抗体のレイアウト変更を金属薄膜抵抗体及び最上層の配線パターンのレイアウト変更により実現できるなど、設計の自由度を向上させることができる。また、最上層の配線パターン上に形成された絶縁膜上に金属薄膜抵抗体を配置することにより、金属薄膜抵抗体の上層には絶縁性材料からなる最終保護膜が形成され、金属薄膜抵抗体の上層に最終保護膜以外の絶縁膜も形成されている場合に比べて金属薄膜抵抗体上の絶縁性材料の膜厚を薄くして膜厚ばらつきを小さくすることができる。これにより、金属薄膜抵抗体にレーザーを照射してトリミング処理を施す際に

、金属薄膜抵抗体上の絶縁性材料でのレーザーの干渉のばらつきを小さくして金属薄膜抵抗体に与えられるレーザーエネルギーのばらつきを小さくすることができ、トリミングの正確性を向上させることができる。さらに、トリミング処理時のレーザー照射に起因する金属薄膜抵抗体の温度上昇などに対して放熱能力を向上させることができる。

【０１５１】

また、上記の実施例では、配線パターン１１として、金属材料パターン７の上面に高融点金属膜９が形成されたものを用いているが、本発明はこれに限定されるものではなく、配線パターンとして上面に高融点金属膜が形成されていない金属材料パターンからなるものを用いてもよい。この場合、金属材料パターンとして例えばＡｌ系合金を用いた場合には、金属材料パターン表面に強固な自然酸化膜が形成されるので、接続孔形成後で金属薄膜抵抗体用の金属薄膜を形成する前に、接続孔底部の金属材料パターン表面の自然酸化膜を除去する工程を行なうことが好ましい。その自然酸化膜除去工程は、金属薄膜抵抗体の抵抗値の経時的変化抑制を目的とした上記Ａｒスパッタエッチング処理を兼ねて行なってもよい。また、配線パターンはＡｌ系合金を含むものに限定されるものではなく、いわゆるダマシン法により形成されたＣｕ配線など、他の金属材料からなる配線パターンであってもよい。

【０１５２】

また、上記の実施例では、ＣｒＳｉ薄膜抵抗体１７の電位をとるための配線パターン１１として金属材料パターン７及び高融点金属膜９からなるものを用いているが、金属材料パターン７に替えてポリシリコンパターンを用いることもできる。

【０１５３】

図１４は半導体装置のさらに他の実施例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＥ－Ｅ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。図１４では、層間絶縁膜、金属配線パターン及びパッシベーション膜の図示は省略している。図１と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【０１５４】

シリコン基板１上に素子分離酸化膜３が形成されている。シリコン基板１上に形成された酸化膜（図示は省略）上及び素子分離酸化膜３上に、ポリシリコンパターン３３と、ポリシリコンパターン３３上に形成された高融点金属膜３５からなる配線パターン３７が形成されている。高融点金属膜３５は例えばＷＳｉ又はＴｉＳｉにより形成されている。図示していないトランジスタ素子形成領域では配線パターン３７はゲート電極を構成している。

【０１５５】

配線パターン３７の側面に絶縁性材料、例えばＣＶＤ酸化膜からなるサイドウォール３９が形成されている。サイドウォール３９の素子分離酸化膜３側の表面に第２サイドウォール４１（（Ａ）及び（Ｂ）での図示は省略）が形成されている。第２サイドウォール４１は配線パターン３７及びサイドウォール３９が形成された後に素子分離酸化膜３に対してＡｒスパッタエッチング処理が施されて形成されたものである。第２サイドウォール４１は成分にＡｒを含んでおり、さらに、素子分離酸化膜３、サイドウォール３９及び高融点金属膜３５の材料を含んでいる。

【０１５６】

対向する一対の配線パターン３７間のサイドウォール３９の表面、第２サイドウォール４１の表面及び素子分離酸化膜３上に帯状のＣｒＳｉ薄膜抵抗体１７が形成されている。ＣｒＳｉ薄膜抵抗体１７の両端部は、一対の配線パターン３７において対向する側面とは反対側の側面に形成されたサイドウォール３９及び第２サイドウォール４１の表面並びに素子分離酸化膜３上に延伸して形成されており、ＣｒＳｉ薄膜抵抗体１７と配線パターン３９は互いに交差して形成されている。配線パターン３７のＣｒＳｉ薄膜抵抗体１７と交差する部分は電極３７ａを構成する。

図示は省略するが、ＣｒＳｉ薄膜抵抗体１７、配線パターン３７及びサイドウォール３

９，４１の形成領域を含む素子分離酸化膜３上に、層間絶縁膜、金属配線パターン及びパッシベーション膜が形成されている。

【０１５７】

図１５は参考例としての製造方法の第１局面のさらに他の例を説明するための工程断面図である。この参考例は図１４を参照して説明した半導体装置の実施例を製造するためのものである。図１４及び図１５を参照してこの参考例を説明する。

【０１５８】

（１）シリコン基板１上に素子分離酸化膜３を形成し、素子分離酸化膜３以外のシリコン基板１表面にトランジスタのゲート酸化膜などの酸化膜（図示は省略）を形成した後、シリコン基板１上全面にポリシリコン膜を形成する。例えばトランジスタのゲート電極の形成と同時に、低抵抗化したポリシリコンパターン３３を形成する（図１５（ａ）参照。）。

【０１５９】

（２）例えばプラズマＣＶＤ法により、素子分離酸化膜３の形成領域を含むシリコン基板１上全面にプラズマＣＶＤ酸化膜を２０００Å程度の膜厚に形成した後、エッチバック処理を行ない、ポリシリコンパターン３３の側面にプラズマＣＶＤ酸化膜からなるサイドウォール３９を形成する（図１５（ｂ）参照。）。

【０１６０】

（３）ポリシリコンパターン３３上及びサイドウォール３９上を含むシリコン基板１上全面に高融点金属膜を形成し、ポリシリコンパターン３３のサリサイド化を行なって、ポリシリコンパターン３３上にＴｉＳｉやＷＳｉなどの高融点金属膜３５を形成し、配線パターン３７を形成する（図１５（ｃ）参照。）。

【０１６１】

（４）図２（ｃ）を参照して説明した上記工程（３）と同じ条件により、配線パターン３７及びサイドウォール３９の形成領域を含んで素子分離酸化膜３に対してＡｒスパッタエッチング処理を行なって第２サイドウォール４１を形成し、続けて、Ａｒスパッタエッチング完了後に真空状態を破らずに連続して金属薄膜抵抗体用のＣｒＳｉ薄膜を形成し、そのＣｒＳｉ薄膜をパターニングしてＣｒＳｉ薄膜抵抗体１７を形成する（図１４参照。）。

その後、層間絶縁膜、金属配線パターン、パッシベーション膜などを形成する。

【０１６２】

この参考例においても、図１及び図２を参照して説明した参考例と同様に、ＣｒＳｉ薄膜抵抗体１７をパターニングした後にウェットエッチング技術によるパターニングを行なう必要はなく、さらに、ＣｒＳｉ薄膜抵抗体１７の配線パターン３７との接触面が大気に暴露されることはないのでＣｒＳｉ薄膜抵抗体１７と配線パターン３７の良好な電気的接続を安定して得ることができ、ＣｒＳｉ薄膜抵抗体１７の膜厚に関わらず、工程数を増加させることなく、ＣｒＳｉ薄膜抵抗体１７の微細化及び抵抗値の安定化を実現することができる。

【０１６３】

さらに、ＣｒＳｉ薄膜抵抗体１７とポリシリコンパターン３３の間にバリヤ膜として機能する高融点金属膜３５を介在させているので、ＣｒＳｉ薄膜抵抗体１７と配線パターン３７の接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。

さらに、高融点金属膜３５はポリシリコンパターン３３の低抵抗化にも寄与しており、従来技術に比べて製造工程を増加させることなく高融点金属膜３５を形成することができるので、製造コストの増大を防止しつつ、金属薄膜抵抗体と配線パターンの接触抵抗を安定させることができる。

さらに、ＣｒＳｉ薄膜抵抗体１７用の金属薄膜を形成する前にＡｒスパッタエッチング処理を行なっているので、前工程からの経過時間や製品毎に異なる下地膜の違い等によって発生する抵抗値のバラツキを低減することができる。

【０１６４】
さらに、ＬＤＤ（lightly doped drain）構造をもつトランジスタ素子など、ゲート電極を構成するポリシリコンパターンの側面にサイドウォールをもつトランジスタ素子が同一シリコン基板上に形成されている場合には、ゲート電極を構成するポリシリコンパターンの側面にサイドウォールを形成する際にＣｒＳｉ薄膜抵抗体１７形成領域の配線パターン３７の側面にもサイドウォール３９を形成することができるので、製造工程を増加させることはない。
【０１６５】
図１６は半導体装置のさらに他の参考例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＦ－Ｆ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。図１及び図１４と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。
【０１６６】
シリコン基板１上に素子分離酸化膜３、並びにポリシリコンパターン３３及び高融点金属膜３５からなる配線パターン３７が形成されている。
素子分離酸化膜３上に、下層側のプラズマＣＶＤ酸化膜４３と上層側のＳＯＧ膜４５からなり、両膜が堆積された後にエッチバック処理が施されて配線パターン３７の上面が露出する膜厚に形成された第２絶縁膜４７が形成されている。
【０１６７】
対向する一対の配線パターン３７間の第２絶縁膜４７上に帯状のＣｒＳｉ薄膜抵抗体１７が形成されている。ＣｒＳｉ薄膜抵抗体１７の両端部は、一対の配線パターン３７において対向する側面とは反対側の側面近傍に形成された第２絶縁膜４７上に延伸して形成されており、ＣｒＳｉ薄膜抵抗体１７と配線パターン３７は電極３７ａ部分で互いに交差して形成されている。
図示は省略するが、ＣｒＳｉ薄膜抵抗体１７及び配線パターン３７の形成領域を含む第２絶縁膜４７上に、層間絶縁膜、金属配線パターン及びパッシベーション膜が形成されている。
【０１６８】
図１７は参考例としての製造方法の第２局面のさらに他の例を説明するための工程断面図である。この参考例は図１６を参照して説明した半導体装置の参考例を製造するためのものである。図１６及び図１７を参照してこの参考例を説明する。
【０１６９】
（１）シリコン基板１上に素子分離酸化膜３を形成し、素子分離酸化膜３以外のシリコン基板１表面にトランジスタのゲート酸化膜などの酸化膜（図示は省略）を形成した後、シリコン基板１上全面にポリシリコン膜を形成する。例えばトランジスタのゲート電極の形成と同時に、低抵抗化したポリシリコンパターン３３を形成する。ポリシリコンパターン３３上を含むシリコン基板１上全面に高融点金属膜を形成し、ポリシリコンパターン３３のサリサイド化を行なって、ポリシリコンパターン３３上にＴｉＳｉやＷＳｉなどの高融点金属膜３５を形成し、配線パターン３７を形成する（図１７（ａ）参照）。
【０１７０】
（２）例えばプラズマＣＶＤ法により、素子分離酸化膜３及び配線パターン３７の形成領域を含むシリコン基板１上全面にプラズマＣＶＤ酸化膜４３を２０００Å程度の膜厚に形成した後、公知の技術であるＳＯＧのコーティング処理を行なってＳＯＧ膜４５を形成する（図１７（ｂ）参照。）
【０１７１】
（３）ＳＯＧ膜４５及びプラズマＣＶＤ酸化膜４３に対して、配線パターン１１の上面が露出するまでエッチバック処理を行なって、プラズマＣＶＤ酸化膜４３及びＳＯＧ膜４５からなる第２絶縁膜４７を形成する（図１７（ｃ）参照。）。
【０１７２】
（４）図２（ｃ）を参照して説明した上記工程（３）と同じ条件により、配線パターン３

７の形成領域を含んで第２絶縁膜４７に対してＡｒスパッタエッチング処理を行ない、続けて、Ａｒスパッタエッチング完了後に真空状態を破らずに連続して金属薄膜抵抗体用のＣｒＳｉ薄膜を形成し、そのＣｒＳｉ薄膜をパターニングしてＣｒＳｉ薄膜抵抗体１７を形成する（図１７参照。）。

その後、層間絶縁膜、金属配線パターン、パッシベーション膜などを形成する。

【０１７３】

この参考例においても、上記の参考例と同様に、ＣｒＳｉ薄膜抵抗体１７をパターニングした後にウェットエッチング技術によるパターニングを行なう必要はなく、さらに、ＣｒＳｉ薄膜抵抗体１７の配線パターン３７との接触面が大気に暴露されることはないのでＣｒＳｉ薄膜抵抗体１７と配線パターン３７の良好な電気的接続を安定して得ることができ、ＣｒＳｉ薄膜抵抗体１７の膜厚に関わらず、工程数を増加させることなく、ＣｒＳｉ薄膜抵抗体１７の微細化及び抵抗値の安定化を実現することができる。

【０１７４】

さらに、図１４及び図１５を参照して説明した参考例と同様に、ＣｒＳｉ薄膜抵抗体１７とポリシリコンパターン３３の間にバリヤ膜として機能する高融点金属膜３５を介在させていることによる効果、高融点金属膜３５がポリシリコンパターン３３の低抵抗化にも寄与していることによる効果、及び、ＣｒＳｉ薄膜抵抗体１７用の金属薄膜を形成する前にＡｒスパッタエッチング処理を行なっていることによる効果も得ることができる。

【０１７５】

さらに、素子分離酸化膜３上に配線パターン３７の表面が露出する膜厚をもって形成された第２絶縁膜４７は、第２絶縁膜４７の上層に形成される層間絶縁膜の平坦化処理をなくす、又は軽減することができる。

【０１７６】

図１４及び図１５を参照して説明した半導体装置の参考例、並びに図１６及び図１７を参照して説明した参考例でも、図９を参照して説明した実施例及び図１３を参照して説明した参考例と同様に、ＣｒＳｉ薄膜抵抗体１７上にＣｒＳｉＮ膜を形成するようにしてもよい。

【０１７７】

また、上記の実施例では、ＣｒＳｉ薄膜抵抗体１７と配線パターン１１，３７は互いに交差して設けられているが、本発明はこれに限定されるものではなく、金属薄膜抵抗体の端部が配線パターン上に配置されていてもよいし、金属薄膜抵抗体の下に配線パターンの端部が配置されていてもよい。例えば、図１を参照して説明した半導体装置の実施例を参考にして説明すると、図１８（Ａ）の平面図に示すように、ＣｒＳｉ薄膜抵抗体１７の端部が配線パターン１１の上に配置されていてもよいし、図１８（Ｂ）に示すように、ＣｒＳｉ薄膜抵抗体１７下に配線パターン１１の端部が配置されていてもよい。

また、金属薄膜抵抗体と配線パターンは互いに直交する方向に配置されている必要はなく、例えば図１９（Ａ）及び（Ｂ）の平面図に示すように、金属薄膜抵抗体と配線パターンは互いに平行に配置されているなど、金属薄膜抵抗体と配線パターンの形状、向き及び配置は実施例に限定されるものではない。

【０１７８】

また、図１から図１９に示した上記の実施例、参考例及びサンプルでは、金属薄膜抵抗体の材料としてＣｒＳｉを用いた例を示しているが、本発明はこれに限定されるものではなく、金属薄膜抵抗体の材料としては、例えばＮｉＣｒ、ＴａＮ、$CrSi_2$、ＣｒＳｉＮ、ＣｒＳｉ、ＣｒＳｉ０など、他の材料を用いてもよい。

【０１７９】

本発明の半導体装置を構成する金属薄膜抵抗体、及び本発明の製造方法により形成された金属薄膜抵抗体は、例えばアナログ回路を備えた半導体装置に適用することができる。以下に、本発明にかかる金属薄膜抵抗体を備えたアナログ回路を備えた半導体装置の実施例について説明する。

【０１８０】

図２０はアナログ回路である定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

直流電源５１からの電源を負荷５３に安定して供給すべく、定電圧発生回路５５が設けられている。定電圧発生回路５５は、直流電源５１が接続される入力端子（Ｖbat）５７、基準電圧発生回路（Ｖref）５９、演算増幅器（比較回路）６１、出力ドライバを構成するＰチャネルＭＯＳトランジスタ（以下、ＰＭＯＳと略記する）６３、分割抵抗素子Ｒ１，Ｒ２及び出力端子（Ｖout）６５を備えている。

【０１８１】

定電圧発生回路５５の演算増幅器６１では、出力端子がＰＭＯＳ６３のゲート電極に接続され、反転入力端子（－）に基準電圧発生回路５９から基準電圧Ｖrefが印加され、非反転入力端子（＋）に出力電圧Ｖoutを抵抗素子Ｒ１とＲ２で分割した電圧が印加され、抵抗素子Ｒ１，Ｒ２の分割電圧が基準電圧Ｖrefに等しくなるように制御される。

【０１８２】

図２１は、アナログ回路である電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

電圧検出回路６７において、６１は演算増幅器で、その反転入力端子（－）に基準電圧発生回路５９が接続され、基準電圧Ｖrefが印加される。入力端子（Ｖsens）６９から入力される測定すべき端子の電圧が分割抵抗素子Ｒ１とＲ２によって分割されて演算増幅器６１の非反転入力端子（＋）に入力される。演算増幅器６１の出力は出力端子（Ｖout）７１を介して外部に出力される。

【０１８３】

電圧検出回路６７では、測定すべき端子の電圧が高く、分割抵抗素子Ｒ１とＲ２により分割された電圧が基準電圧Ｖrefよりも高いときは演算増幅器６１の出力がＨレベルを維持し、測定すべき端子の電圧が降下してきて分割抵抗素子Ｒ１とＲ２により分割された電圧が基準電圧Ｖref以下になってくると演算増幅器６１の出力がＬレベルになる。

【０１８４】

一般に、図２０に示した定電圧発生回路や図２１に示した電圧検出回路では、製造プロセスのバラツキに起因して基準電圧発生回路からの基準電圧Ｖrefが変動するので、その変動に対応すべく、分割抵抗素子としてヒューズ素子の切断により抵抗値を調整可能な抵抗素子回路（分割抵抗回路と称す）を用いて、分割抵抗素子の抵抗値を調整している。

【０１８５】

図２２は、本発明の金属薄膜抵抗体が適用される分割抵抗回路の一例を示す回路図である。図２３及び図２４は、その分割抵抗回路のレイアウト例を示すレイアウト図であり、図２３はヒューズ素子部分のレイアウト例を示し、図２４は抵抗素子部分のレイアウト例を示す。

【０１８６】

図２２に示すように、抵抗素子Ｒbottom、ｍ＋１個（ｍは正の整数）の抵抗素子ＲＴ０，ＲＴ１，…，ＲＴｍ、抵抗素子Ｒtopが直列に接続されている。抵抗素子ＲＴ０，ＲＴ１，…，ＲＴｍには、各抵抗素子に対応してヒューズ素子ＲＬ０，ＲＬ１，…，ＲＬｍが並列に接続されている。

【０１８７】

図２３に示すように、ヒューズ素子ＲＬ０，ＲＬ１，…，ＲＬｍは、例えばシート抵抗が２０Ω～４０Ωのポリシリコンパターンにより形成されている。

抵抗素子ＲＴ０，ＲＴ１，…，ＲＴｍの値は抵抗素子Ｒbottom側から順に二進数的に増加するよう設定されている。すなわち、抵抗素子ＲＴｎの抵抗値は、抵抗素子ＲＴ０の抵抗値を単位値とし、その単位値の2^n倍である。

【０１８８】

例えば、図２４に示すように、ＣｒＳｉ薄膜からなるＣｒＳｉ薄膜抵抗体１７を用い、抵抗素子ＲＴ０を１本のＣｒＳｉ薄膜抵抗体１７を単位抵抗とし、抵抗素子ＲＴｎを2^n本のＣｒＳｉ薄膜抵抗体１７により構成する。ＣｒＳｉ薄膜抵抗体１７は、例えば図１、

図９、図１１、図１３、図１４又は図１６に示したものが用いられる。
図２３及び図２４において、符号Ａ－Ａ間、符号Ｂ－Ｂ間、符号Ｃ－Ｃ間、符号Ｄ－Ｄ、符号Ｅ－Ｅ、符号Ｆ－Ｆ及び符号Ｇ－Ｇ間はそれぞれ金属配線パターン７２により電気的に接続されている。
【０１８９】
このように、抵抗素子の比の精度が重視される分割抵抗回路では、製造工程での作り込み精度を上げるために、一対の抵抗素子及びヒューズ素子からなる単位抵抗素子が直列に接続されて梯子状に配置されている。
このような分割抵抗回路では、任意のヒューズ素子ＲＬ０，ＲＬ１，…，ＲＬｍをレーザービームで切断することにより、所望の直列抵抗値を得ることができる。
【０１９０】
本発明の半導体装置を構成する金属薄膜抵抗体では、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができるので、図２２に示した分割抵抗回路の形成面積の縮小化及び出力電圧の精度の向上を図ることができる。
【０１９１】
図２２に示した分割抵抗回路を図２０に示した定電圧発生回路の分割抵抗素子Ｒ１，Ｒ２に適用する場合、例えば抵抗素子Ｒbottom端を接地し、抵抗素子Ｒtop端をＰＭＯＳ７１のドレインに接続する。さらに、抵抗素子Ｒbottom、ＲＴ０間の端子ＮｏｄｅＬ、又は抵抗素子Ｒtop、ＲＴｍ間の端子ＮｏｄｅＭを演算増幅器６１の非反転入力端子に接続する。
本発明を構成する金属薄膜抵抗体を適用した分割抵抗回路によって分割抵抗素子Ｒ１，Ｒ２の出力電圧の精度を向上させることができるので、定電圧発生回路５５の出力電圧の安定性を向上させることができる。さらに、分割抵抗回路の形成面積の縮小化により、定電圧発生回路５５の形成面積の縮小化を実現できる。
【０１９２】
また、図２２に示した分割抵抗回路を図２１に示した電圧検出回路の分割抵抗素子Ｒ１，Ｒ２に適用する場合、例えば抵抗素子Ｒbottom端を接地し、抵抗素子Ｒtop端を入力端子７７に接続する。さらに、抵抗素子Ｒbottom、ＲＴ０間の端子ＮｏｄｅＬ、又は抵抗素子Ｒtop、ＲＴｍ間の端子ＮｏｄｅＭを演算増幅器６１の非反転入力端子に接続する。
本発明を構成する金属薄膜抵抗体を適用した分割抵抗回路によって分割抵抗素子Ｒ１，Ｒ２の出力電圧の精度を向上させることができるので、電圧検出回路６７の電圧検出能力の精度を向上させることができる。さらに、分割抵抗回路の形成面積の縮小化により、電圧検出回路６７の形成面積の縮小化を実現できる。
【０１９３】
ただし、本発明を構成する金属薄膜抵抗体を適用した分割抵抗回路が適用される半導体装置は、定電圧発生回路を備えた半導体装置及び電圧検出回路を備えた半導体装置に限定されるものではなく、分割抵抗回路を備えた半導体装置であれば適用することができる。
また、本発明を構成する金属薄膜抵抗体が適用される半導体装置は分割抵抗回路を備えた半導体装置に限定されるものではなく、金属薄膜抵抗体を備えた半導体装置であれば、本発明を適用することができる。例えば、本発明を構成する金属薄膜抵抗体は、抵抗体自体にレーザー光を照射して切断又は変質させて抵抗値を調整するための抵抗体として用いることもできる。
【０１９４】
以上、本発明の実施例を説明したが、本発明はこれらに限定されるものではなく、寸法、形状、材料、配置などは一例であり、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。
【図面の簡単な説明】
【０１９５】
【図１】半導体装置の一実施例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＡ－Ａ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた

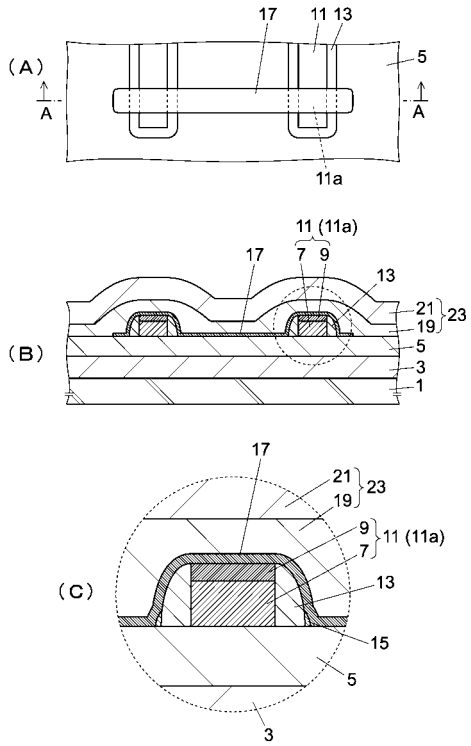
部分を拡大して示す拡大断面図である。
【図２】参考例としての製造方法の第１局面の一例を説明するための工程断面図である。
【図３】本発明により形成した金属薄膜抵抗体のシート抵抗と膜厚との関係を示す図であり、縦軸はシート抵抗（Ω／□）、横軸はＣｒＳｉ膜厚（Å）を示す。
【図４】本発明により形成した金属薄膜抵抗体のシート抵抗のウェハ面内の６３箇所での測定結果の標準偏差（σ）を平均値（ＡＶＥ）で割った値（σ／ＡＶＥ）と膜厚との関係を示す図であり、縦軸はσ／ＡＶＥ（％）、横軸はＣｒＳｉ膜厚（Å）を示す。
【図５】金属薄膜抵抗体用の金属薄膜を形成する前にＡｒスパッタエッチング処理を行なった場合及び行なわなかった場合のＣｒＳｉ薄膜抵抗体のシート抵抗と金属薄膜抵抗体の下地膜を形成してから経過した時間との関係を示す図であり、（Ａ）は行なった場合、（Ｂ）は行なわなかった場合を示し、縦軸はシート抵抗（Ω／□）、横軸は下地膜形成後経過時間（時間）を示す。
【図６】Ａｒスパッタエッチングの量とシート抵抗の関係を示す図であり、縦軸はシート抵抗（Ω／□）、横軸はエッチング量（熱酸化膜エッチング量換算）（Å）を示す。
【図７】金属薄膜抵抗体用のＣｒＳｉ薄膜を形成した後に、温度２５℃、湿度４５％の大気中に放置した時間と、形成直後のシート抵抗からのシート抵抗の変化率（ΔＲ／Ｒ０）の関係を示す図であり、縦軸はΔＲ／Ｒ０（％）、横軸は放置時間（時間）を示す。
【図８】接続孔形成時に接続孔底部に高融点金属膜を残存させたサンプルと完全に除去したサンプルについて熱処理に起因する金属薄膜抵抗と金属配線の接触抵抗の変動を調べた結果を示す図であり、縦軸は熱処理前の接触抵抗値で規格化した値、横軸は熱処理回数を示す。
【図９】半導体装置の他の実施例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＢ－Ｂ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。
【図１０】ＣｒＳｉＮ膜形成用のガスのN_2分圧とＣｒＳｉＮ膜の抵抗率の関係を示す図であり、縦軸は抵抗率ρ（mohm・cm）、横軸はN_2分圧（％）を示す。
【図１１】半導体装置の参考例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＣ－Ｃ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。
【図１２】参考例としての製造方法の第２局面の一例を説明するための工程断面図である。
【図１３】半導体装置の他の参考例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＤ－Ｄ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。
【図１４】半導体装置のさらに他の実施例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＥ－Ｅ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。
【図１５】参考例としての製造方法の第１局面のさらに他の例を説明するための工程断面図である。
【図１６】半導体装置のさらに他の参考例における金属薄膜抵抗体の形成領域を示す図であり、（Ａ）は平面図、（Ｂ）は（Ａ）のＦ－Ｆ位置での断面図、（Ｃ）は（Ｂ）の破線で囲まれた部分を拡大して示す拡大断面図である。
【図１７】半導体装置のさらに他の実施例における金属薄膜抵抗体の形成領域を示す平面図である。
【図１８】半導体装置のさらに他の実施例における金属薄膜抵抗体の形成領域を示す平面図である。
【図１９】さらに他の実施例を示す断面図であり、（Ａ）は金属薄膜抵抗体の形成領域を示す断面図、（Ｂ）は（Ａ）の破線で囲まれた部分を拡大して示す拡大断面図である。
【図２０】アナログ回路である定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

【図２１】アナログ回路である電圧検出回路を備えた半導体装置の一実施例を示す回路図である。
【図２２】アナログ回路である分割抵抗回路を備えた半導体装置の一実施例を示す回路図である。
【図２３】分割抵抗回路のヒューズ素子部分のレイアウト例を示すレイアウト図である。
【図２４】分割抵抗回路の金属薄膜抵抗体部分のレイアウト例を示すレイアウト図である。
【図２５】従来の製造方法の一例を説明するための工程断面図である。
【図２６】従来の製造方法の他の例を説明するための工程断面図である。
【図２７】従来の製造方法のさらに他の例を説明するための工程断面図である。
【図２８】従来の製造方法のさらに他の例を説明するための工程断面図である。
【符号の説明】
【０１９６】

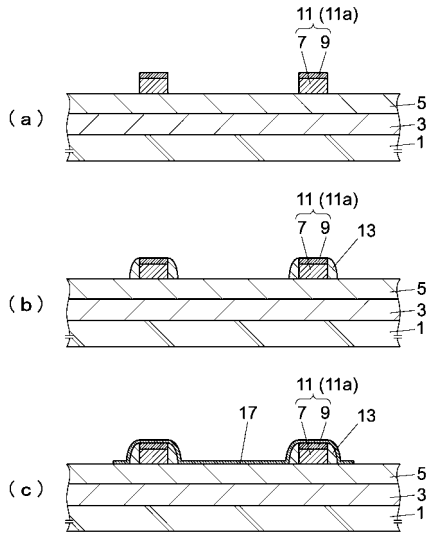
１	シリコン基板
３	素子分離酸化膜
５	層間絶縁膜
７	金属材料パターン
９	高融点金属膜
１１	配線パターン
１１ａ	電極
１３	サイドウォール
１５	第２サイドウォール
１７	ＣｒＳｉ薄膜抵抗体
１９	シリコン酸化膜
２１	シリコン窒化膜
２３	パッシベーション膜
２５	ＣｒＳｉＮ膜
２７	プラズマＣＶＤ酸化膜
２９	ＳＯＧ膜
３１	第２絶縁膜
３３	ポリシリコンパターン
３５	高融点金属膜
３７	配線パターン
３７ａ	電極
３９	サイドウォール
４１	第２サイドウォール
４３	プラズマＣＶＤ酸化膜
４５	ＳＯＧ膜
４７	第２絶縁膜
５１	直流電源
５３	負荷
５５	定電圧発生回路
５７	入力端子
５９	基準電圧発生回路
６１	演算増幅器
６３	ＰチャネルＭＯＳトランジスタ
６５	出力端子
６７	電圧検出回路
６９	入力端子
７１	出力端子

７２　　配線パターン
Ｒ１，Ｒ２　　分割抵抗素子
Ｒbottom，ＲＴ０，ＲＴ１，…，ＲＴｍ，Ｒtop　　抵抗素子
ＲＬ０，ＲＬ１，…，ＲＬｍ　　ヒューズ素子
ＮｏｄｅＬ，ＮｏｄｅＭ　　端子

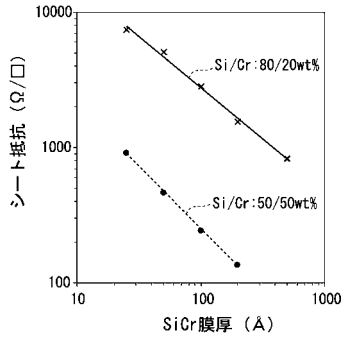
【図１】



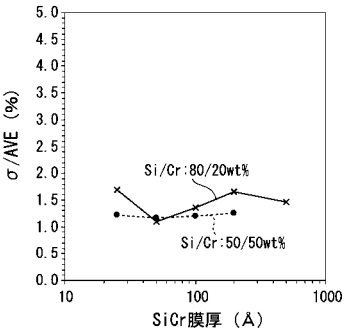
【図２】



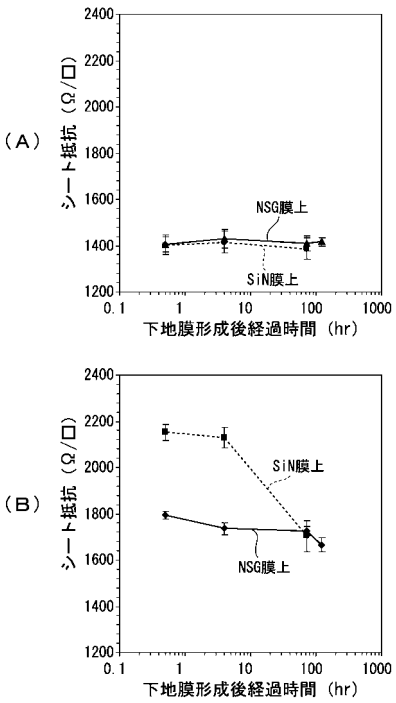
【図３】



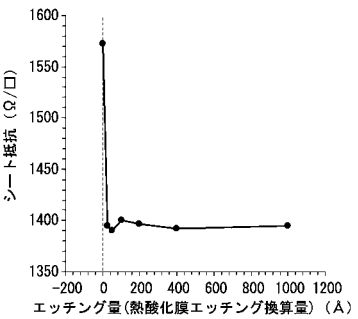
【図４】



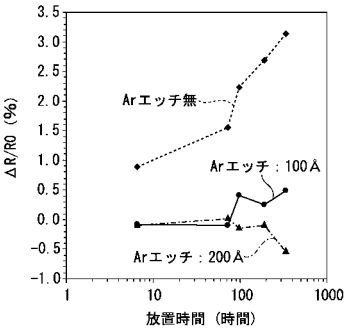
【図５】



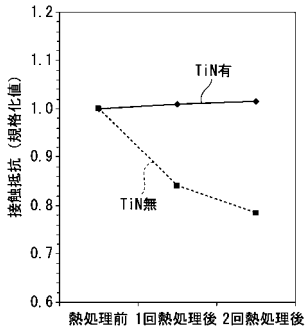
【図６】



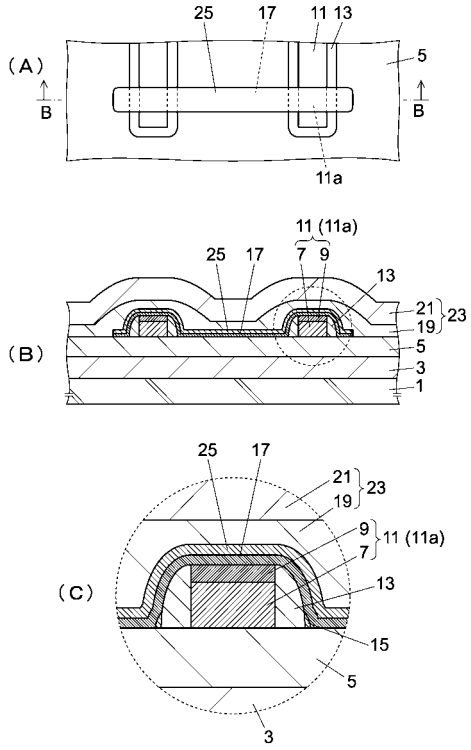
【図７】



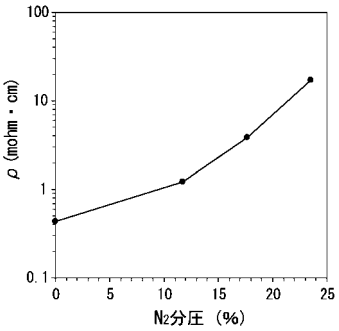
【図８】



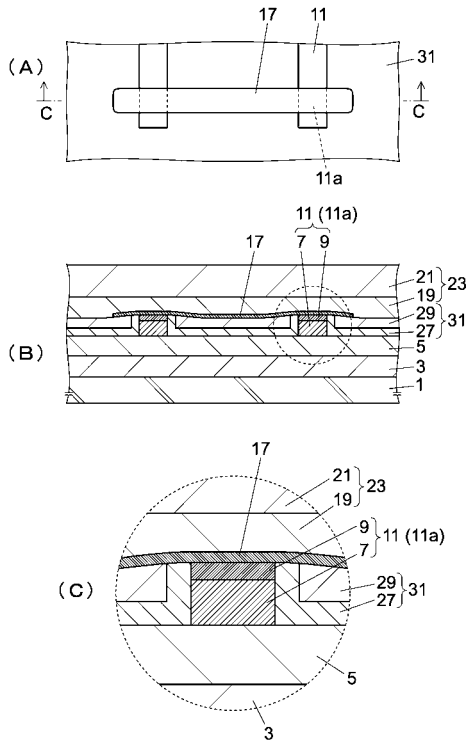
【図９】



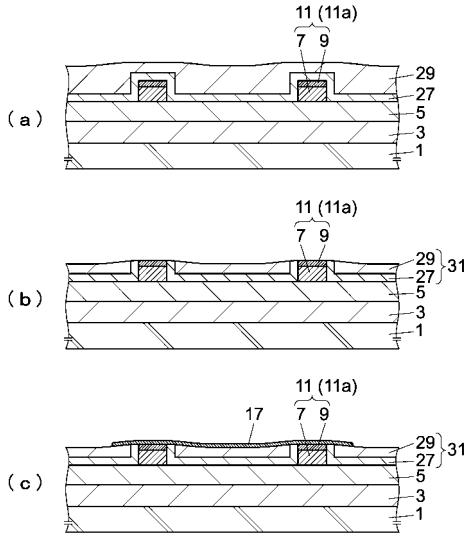
【図１０】



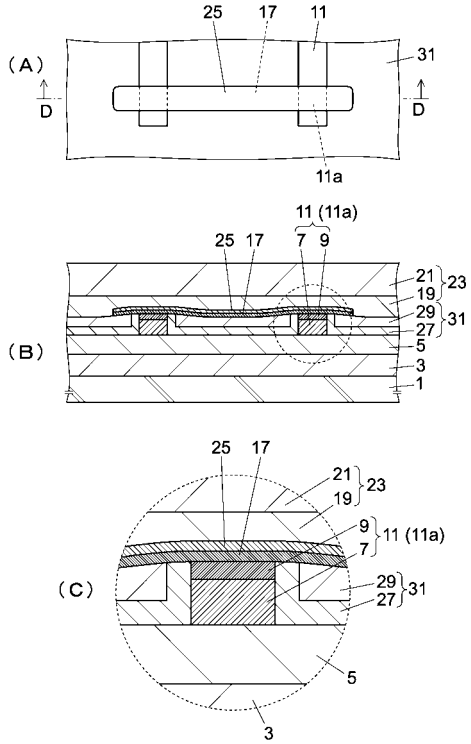
【図１１】



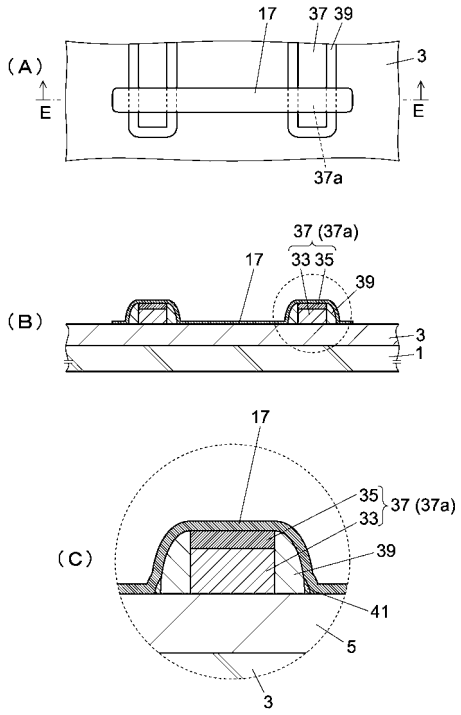
【図１２】



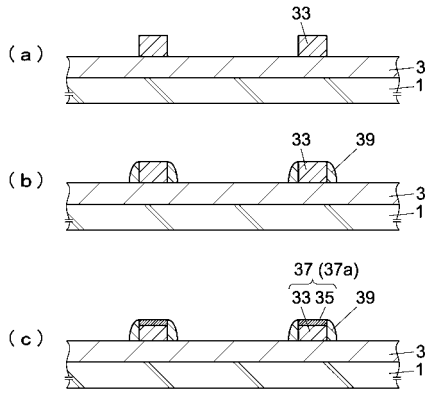
【図１３】



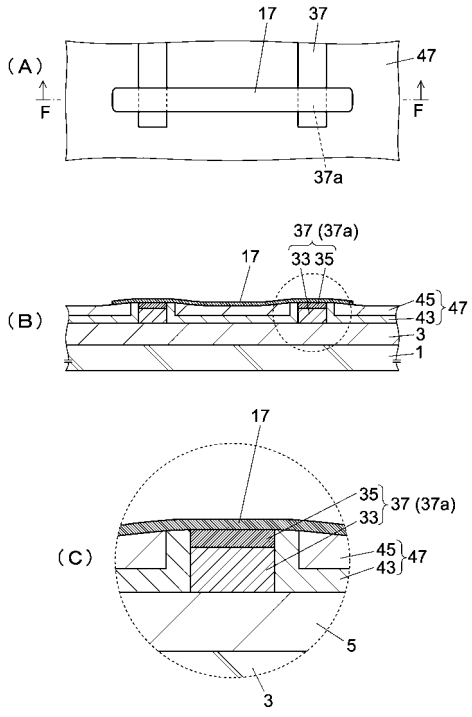
【図１４】



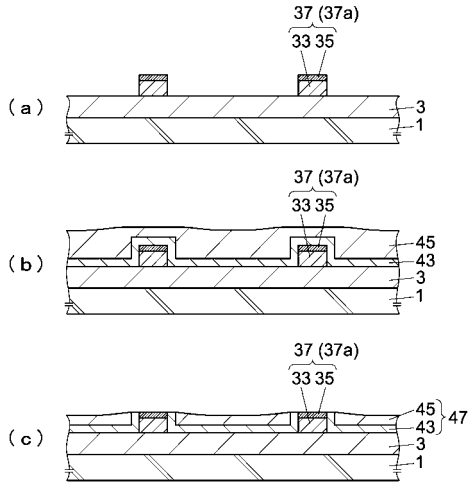
【図１５】



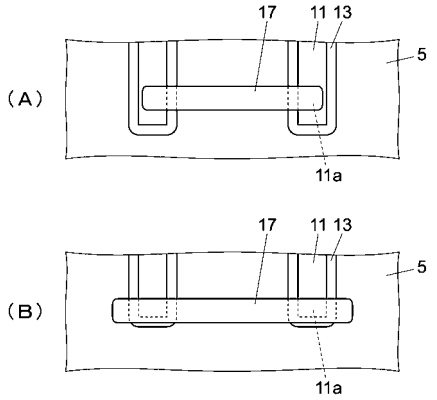
【図１６】



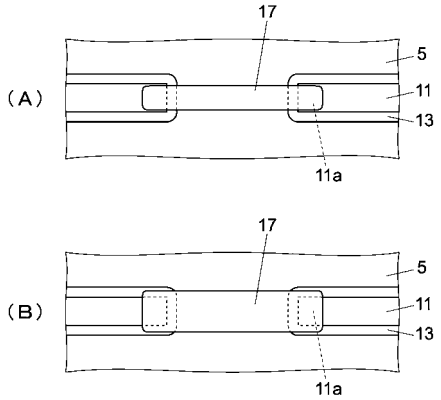
【図１７】



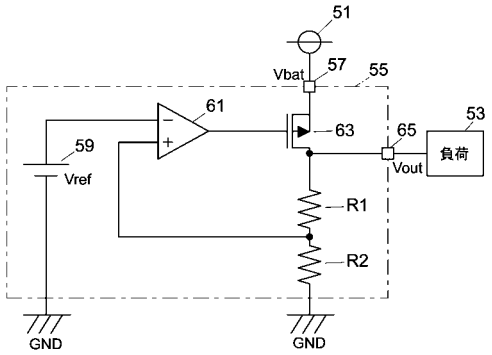
【図１８】



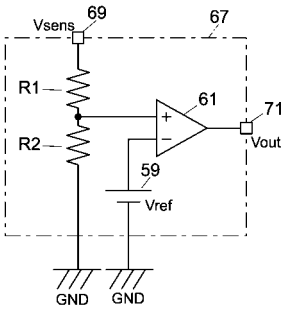
【図１９】



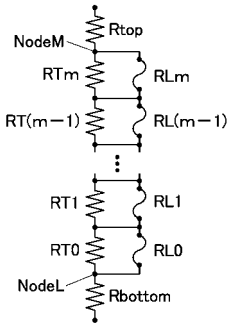
【図２０】



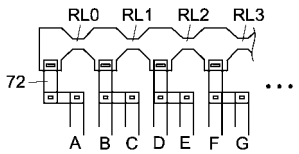
【図２１】



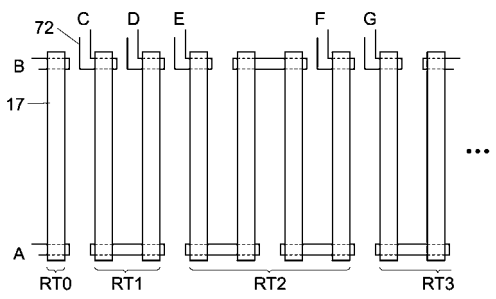
【図２２】



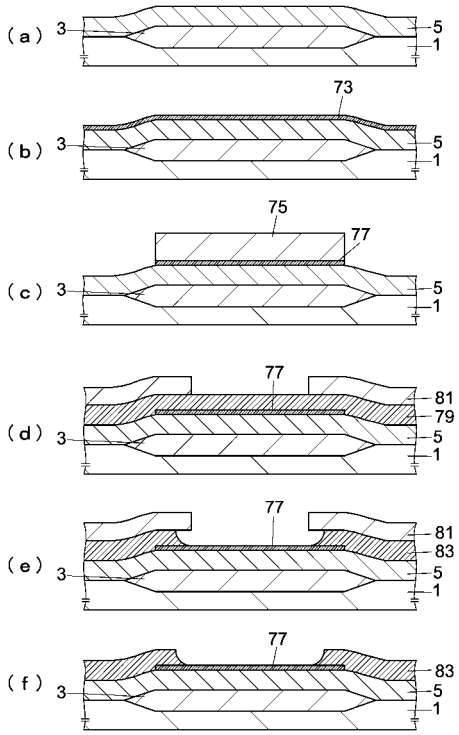
【図２３】



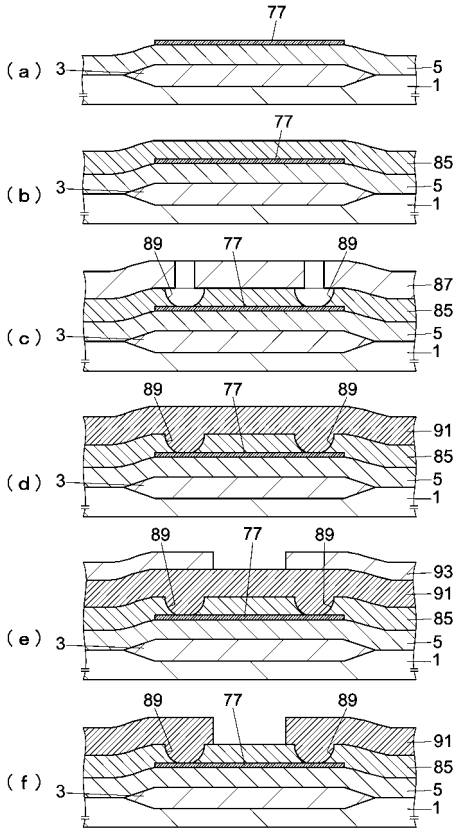
【図２４】



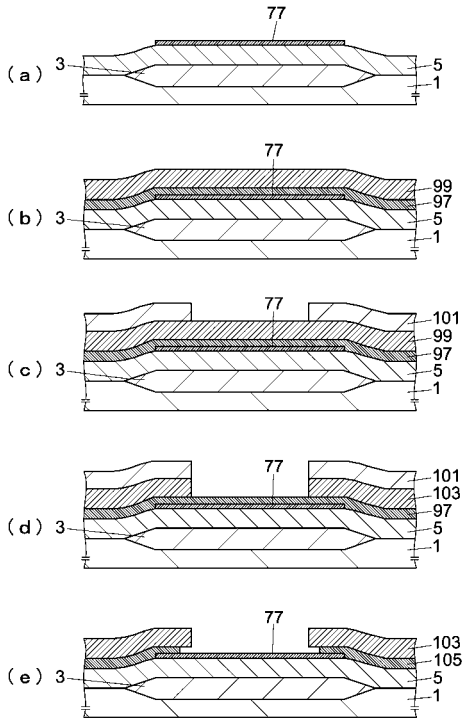
【図２５】



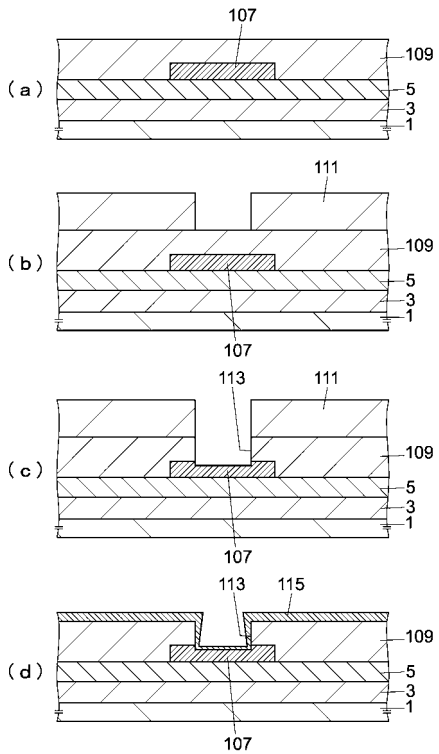
【図２６】



【図２７】



【図２８】



フロントページの続き

(56)参考文献 特開平０４－０４４２６０（ＪＰ，Ａ）
特開平１１－３１７４６２（ＪＰ，Ａ）
特開２０００－３３２２０３（ＪＰ，Ａ）
特開２００２－１２４６３９（ＪＰ，Ａ）
特開平０６－２９１２５８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２７／０４
Ｈ０１Ｌ　２１／８２２