(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0014481
(43) 공개일자 2025년02월03일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) *H10B 61/00* (2023.01)
H10N 50/10 (2023.01)
(52) CPC특허분류
G11C 11/1673 (2013.01)
G11C 11/1655 (2013.01)
(21) 출원번호 10-2023-0094560
(22) 출원일자 2023년07월20일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
박종선
서울특별시 성북구 안암로 145
김동수
서울특별시 성북구 안암로 145
박성건
경기도 수원시 영통구 삼성로 129
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 20 항

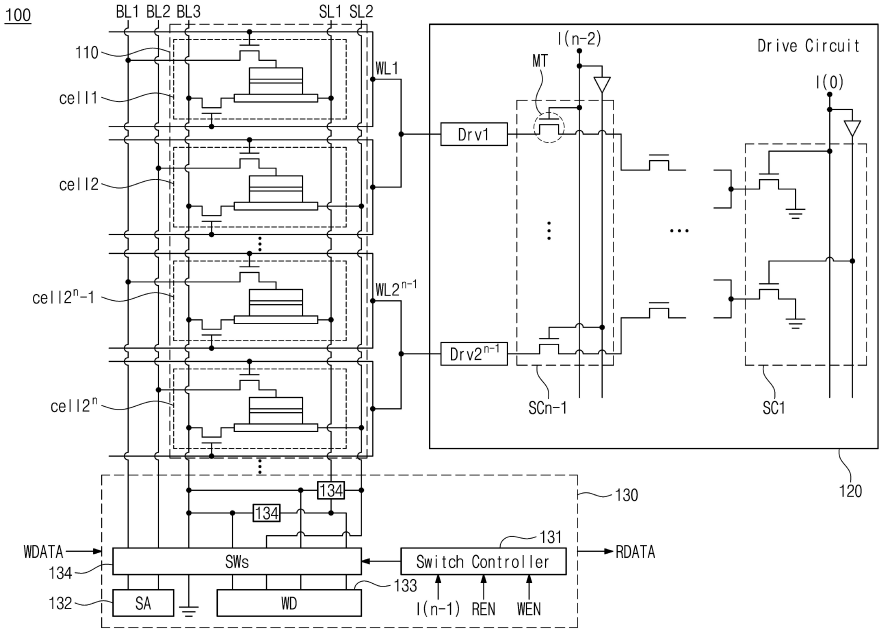
(54) 발명의 명칭 **스핀 궤도 토크-자기 랜덤 액세스 메모리를 포함하는 필드 프로그래머블 게이트 어레이 장치 및 그것의 동작 방법**

(57) 요 약

본 기재의 실시 예에 따른 필드 프로그래머블 게이트 어레이 장치는 각각 데이터를 저장하도록 구성된 복수의 룩업 테이블들을 포함하되, 복수의 룩업 테이블들 각각은, 복수의 워드라인들에 연결된 복수의 셀들을 포함하는 셀 어레이, 셀 어레이와 복수의 워드라인들을 통해 연결되는 구동 회로, 및 셀 어레이와 복수의 비트라인들 및 복수

(뒷면에 계속)

대 표 도



의 소스라인들을 통해 연결되고, 구동 회로를 제어하도록 구성된 주변 회로를 포함하되, 구동 회로는 외부로부터 수신한 제1 입력 신호들에 기반하여 복수의 워드라인들 중 하나의 워드라인을 구동하고, 그리고 주변 회로는, 외부로부터 수신한 제1 커맨드 및 제2 입력 신호에 기반하여 복수의 셀들 중 하나의 워드라인에 연결된 셀들 중 하나의 셀에 대한 데이터 쓰기 동작을 수행하고, 그리고 외부로부터 수신한 제2 커맨드 및 제2 입력 신호에 기반하여 복수의 셀들 중 하나의 워드라인에 연결된 셀들 중 하나의 셀에 대한 데이터 읽기 동작을 수행하되, 하나의 워드라인에 연결된 셀들 각각은 복수의 비트라인들 중 두 개의 비트라인들 및 복수의 소스라인들 중 하나의 소스라인과 연결된다.

(52) CPC특허분류
G11C 11/1657 (2013.01)
G11C 11/1675 (2013.01)
H10B 61/00 (2023.02)
H10N 50/10 (2023.02)

명 세 서

청구범위

청구항 1

각각 데이터를 저장하도록 구성된 복수의 룩업 테이블들을 포함하되,

상기 복수의 룩업 테이블들 각각은:

복수의 워드라인들에 연결된 복수의 셀들을 포함하는 셀 어레이;

상기 셀 어레이와 상기 복수의 워드라인들을 통해 연결되는 구동 회로; 및

상기 셀 어레이와 복수의 비트라인들 및 복수의 소스라인들을 통해 연결되고, 상기 구동 회로를 제어하도록 구성된 주변 회로를 포함하되,

상기 구동 회로는 외부로부터 수신한 제1 입력 신호들에 기반하여 상기 복수의 워드라인들 중 하나의 워드라인을 구동하고, 그리고

상기 주변 회로는:

외부로부터 수신한 제1 커맨드 및 제2 입력 신호에 기반하여 상기 복수의 셀들 중 상기 하나의 워드라인에 연결된 셀들 중 하나의 셀에 대한 데이터 쓰기 동작을 수행하고, 그리고

외부로부터 수신한 제2 커맨드 및 상기 제2 입력 신호에 기반하여 상기 복수의 셀들 중 상기 하나의 워드라인에 연결된 셀들 중 하나의 셀에 대한 데이터 읽기 동작을 수행하되,

상기 하나의 워드라인에 연결된 셀들 각각은 상기 복수의 비트라인들 중 두 개의 비트라인들 및 상기 복수의 소스라인들 중 하나의 소스라인과 연결되는 필드 프로그래머블 게이트 어레이 장치.

청구항 2

제1 항에 있어서,

상기 구동 회로는 각각 서로 다른 수의 복수의 트랜지스터들을 포함하는 복수의 선택 회로들을 포함하되,

상기 복수의 선택 회로들에 상기 제1 입력 신호들이 각각 인가되고, 그리고

상기 제1 입력 신호들에 기반하여 상기 복수의 트랜지스터들 중 적어도 일부가 턴-온되는 필드 프로그래머블 게이트 어레이 장치.

청구항 3

제2 항에 있어서,

상기 복수의 트랜지스터들은 NMOS 트랜지스터, PMOS 트랜지스터, 또는 HEMT 중 적어도 하나인 필드 프로그래머블 게이트 어레이 장치.

청구항 4

제1 항에 있어서,

상기 하나의 워드라인에 연결된 셀들은 제1 셀 및 제2 셀을 포함하고, 그리고

상기 제1 및 제2 셀들 각각은 상기 하나의 워드라인 및 상기 복수의 비트라인들 중 하나의 비트라인과 연결되는 쓰기 트랜지스터를 포함하되,

상기 제1 셀에 포함된 메모리는 상기 제1 셀에 포함된 쓰기 트랜지스터의 일단 및 상기 복수의 소스라인들 중 제1 소스라인에 연결되고, 그리고

상기 제2 셀에 포함된 메모리는 상기 제2 셀에 포함된 쓰기 트랜지스터의 일단 및 상기 복수의 소스라인들 중

상기 제1 소스라인과 다른 제2 소스라인에 연결되는 필드 프로그래머블 게이트 어레이 장치.

청구항 5

제4 항에 있어서,

상기 제1 및 제2 셀들 각각에 포함된 메모리는 스핀 궤도 토크-자기 랜덤 액세스 메모리(SOT-MRAM)인 필드 프로그래머블 게이트 어레이 장치.

청구항 6

제1 항에 있어서,

상기 하나의 워드라인에 연결된 셀들은 제1 셀 및 제2 셀을 포함하고,

상기 제1 셀에 포함된 읽기 트랜지스터는 상기 하나의 워드라인 및 상기 복수의 비트라인들 중 제1 비트라인에 연결되고, 그리고

상기 제2 셀에 포함된 읽기 트랜지스터는 상기 하나의 워드라인 및 상기 복수의 비트라인들 중 상기 제1 비트라인과 다른 제2 비트라인에 연결되는 필드 프로그래머블 게이트 어레이 장치.

청구항 7

제1 항에 있어서,

상기 주변 회로는:

상기 셀 어레이와 상기 복수의 비트라인들 및 상기 복수의 소스라인들을 통해 연결되는 복수의 스위치들; 및

상기 복수의 스위치들을 제어하도록 구성된 스위치 컨트롤러를 포함하는 필드 프로그래머블 게이트 어레이 장치.

청구항 8

제7 항에 있어서,

상기 스위치 컨트롤러는:

상기 제2 입력 신호 및 쓰기 인에이블 신호에 대해 제1 논리 연산들을 수행하여 상기 복수의 스위치들 중 제1 스위치들을 제어하기 위한 제1 제어 신호들을 출력하도록 구성된 제1 논리 회로; 및

상기 제2 입력 신호 및 읽기 인에이블 신호에 대해 제2 논리 연산들을 수행하여 상기 복수의 스위치들 중 제2 스위치들을 제어하기 위한 제2 제어 신호들을 출력하도록 구성된 제2 논리 회로를 포함하되,

상기 쓰기 인에이블 신호는, 상기 제1 커맨드에 응답하여, 상기 주변 회로에 의해 생성되고, 그리고

상기 읽기 인에이블 신호는, 상기 제2 커맨드에 응답하여, 상기 주변 회로에 의해 생성되는 필드 프로그래머블 게이트 어레이 장치.

청구항 9

제8 항에 있어서,

상기 제1 논리 연산들 및 상기 제2 논리 연산들 각각은 AND 연산을 포함하는 필드 프로그래머블 게이트 어레이 장치.

청구항 10

제8 항에 있어서,

상기 하나의 워드라인에 연결된 셀들은 제1 셀 및 제2 셀을 포함하되,

상기 주변 회로는 상기 제1 입력 신호들 및 상기 제2 입력 신호에 기반하여 상기 복수의 소스라인들에 서로 다른 전압들을 인가하고,

상기 주변 회로는, 상기 전압들 및 상기 제1 제어 신호들에 기반하여, 상기 제1 셀 또는 상기 제2 셀 중 하나의 셀에 상기 데이터 쓰기 동작을 수행하는 필드 프로그래머블 게이트 어레이 장치.

청구항 11

제10 항에 있어서,

상기 제2 입력 신호가 제1 논리값을 갖는 경우, 상기 주변 회로는 상기 복수의 소스라인들에 인가된 전압 차에 기반하여 상기 제2 셀에 대해 상기 데이터 쓰기 동작을 수행하고, 그리고

상기 제2 입력 신호가 제2 논리값을 갖는 경우, 상기 주변 회로는 상기 복수의 소스라인들에 인가된 전압 차에 기반하여 상기 제1 셀에 대해 상기 데이터 쓰기 동작을 수행하는 필드 프로그래머블 게이트 어레이 장치.

청구항 12

제10 항에 있어서,

상기 제2 입력 신호가 제1 논리값을 갖는 경우,

상기 주변 회로는, 상기 제2 제어 신호들에 기반하여, 상기 복수의 비트라인들 중 상기 제1 셀과 연결된 비트라인의 전압 변화를 감지하여 상기 제1 셀에 대해 상기 데이터 읽기 동작을 수행하는 필드 프로그래머블 게이트 어레이 장치.

청구항 13

제10 항에 있어서,

상기 제2 입력 신호가 제2 논리값을 갖는 경우,

상기 주변 회로는, 상기 제2 제어 신호들에 기반하여, 상기 복수의 비트라인들 중 상기 제2 셀과 연결된 비트라인의 전압 변화를 감지하여 상기 제2 셀에 대해 상기 데이터 읽기 동작을 수행하는 필드 프로그래머블 게이트 어레이 장치.

청구항 14

복수의 셀들을 포함하는 셀 어레이, 상기 셀 어레이와 복수의 워드라인들을 통해 연결된 구동 회로, 및 상기 셀 어레이와 복수의 비트라인들 및 복수의 소스라인들을 통해 연결되고, 상기 구동 회로를 제어하도록 구성된 주변 회로를 포함하는 룩업 테이블을 포함하는 필드 프로그래머블 게이트 어레이 장치의 동작 방법에 있어서:

상기 구동 회로가 외부로부터 제1 입력 신호들을 수신하는 단계;

상기 구동 회로가 상기 제1 입력 신호들에 기반하여 상기 복수의 워드라인들 중 하나의 워드라인을 구동하는 단계;

상기 주변 회로가 외부로부터 커맨드, 어드레스, 및 제2 입력 신호를 수신하는 단계; 및

상기 주변 회로가 상기 커맨드 및 상기 제2 입력 신호에 기반하여 상기 복수의 셀들 중 상기 하나의 워드라인에 연결된 셀들 중 하나의 셀에 대한 데이터 읽기 동작을 수행하는 단계를 포함하되,

상기 하나의 워드라인에 연결된 셀들 각각은 상기 복수의 비트라인들 중 두 개의 비트라인들 및 상기 복수의 소스라인들 중 하나의 소스라인과 연결되는 방법.

청구항 15

제14 항에 있어서,

상기 구동 회로는 각각 서로 다른 수의 복수의 트랜지스터들을 포함하는 복수의 선택 회로들을 포함하되,

상기 하나의 워드라인을 구동하는 단계는:

상기 복수의 선택 회로들에 상기 제1 입력 신호들이 각각 인가될 때, 상기 구동 회로가 상기 제1 입력 신호들에 기반하여 상기 복수의 트랜지스터들 중 적어도 일부를 턴-온하는 단계를 포함하는 방법.

청구항 16

제14 항에 있어서,

상기 데이터 읽기 동작을 수행하는 단계는:

상기 주변 회로가 상기 제2 입력 신호 및 읽기 인에이블 신호에 대해 논리 연산들을 수행하는 단계; 및

상기 주변 회로가 상기 논리 연산들의 결과에 기반하여 상기 복수의 비트라인들 중 하나의 비트라인의 전압 변화를 감지하는 단계를 포함하되,

상기 읽기 인에이블 신호는, 상기 커맨드에 응답하여, 상기 주변 회로에 의해 생성되는 방법.

청구항 17

제16 항에 있어서,

상기 하나의 워드라인에 연결된 셀들은 제1 셀 및 제2 셀을 포함하되,

상기 데이터 읽기 동작을 수행하는 단계는:

상기 제2 입력 신호가 제1 논리값을 갖는 경우,

상기 주변 회로가, 상기 논리 연산들의 결과에 응답하여, 상기 복수의 비트라인들 중 상기 제1 셀과 연결된 비트라인의 전압 변화를 감지하는 단계를 포함하는 방법.

청구항 18

제16 항에 있어서,

상기 하나의 워드라인에 연결된 셀들은 제1 셀 및 제2 셀을 포함하되,

상기 데이터 읽기 동작을 수행하는 단계는:

상기 제2 입력 신호가 제2 논리값을 갖는 경우,

상기 주변 회로가, 상기 논리 연산들의 결과에 응답하여, 상기 복수의 비트라인들 중 상기 제2 셀과 연결된 비트라인의 전압 변화를 감지하는 단계를 포함하는 방법.

청구항 19

제16 항에 있어서,

상기 논리 연산들 각각은 AND 연산을 포함하는 방법.

청구항 20

복수의 셀들을 포함하는 셀 어레이, 상기 셀 어레이와 복수의 워드라인들을 통해 연결된 구동 회로, 및 상기 셀 어레이와 복수의 비트라인들 및 복수의 소스라인들을 통해 연결되고, 상기 구동 회로를 제어하도록 구성된 주변 회로를 포함하는 룩업 테이블을 포함하는 필드 프로그래머블 게이트 어레이 장치의 동작 방법에 있어서:

상기 구동 회로가 외부로부터 제1 입력 신호들을 수신하는 단계;

상기 구동 회로가 상기 제1 입력 신호들에 기반하여 상기 복수의 워드라인들 중 하나의 워드라인을 구동하는 단계;

상기 주변 회로가 외부로부터 쓰기 커맨드, 쓰기 어드레스, 쓰기 데이터, 및 제2 입력 신호를 수신하는 단계;

상기 주변 회로가 상기 쓰기 커맨드 및 상기 제2 입력 신호에 기반하여 상기 복수의 셀들 중 상기 하나의 워드라인에 연결된 셀들 중 하나의 셀에 상기 쓰기 데이터를 쓰는 단계;

상기 주변 회로가 외부로부터 읽기 커맨드, 읽기 어드레스, 및 상기 제2 입력 신호를 수신하는 단계; 및

상기 주변 회로가 상기 읽기 커맨드 및 상기 제2 입력 신호에 기반하여 상기 복수의 셀들 중 상기 하나의 워드라인에 연결된 상기 셀들 중 하나의 셀을 읽는 단계를 포함하되,

상기 쓰기 데이터를 쓰는 단계는:

상기 주변 회로가 상기 제2 입력 신호 및 쓰기 인에이블 신호에 대해 제1 논리 연산들을 수행하는 단계;

상기 주변 회로가 상기 제1 입력 신호들 및 상기 제2 입력 신호에 기반하여 상기 복수의 소스라인들에 서로 다른 전압들을 인가하는 단계; 및

상기 주변 회로가 상기 전압들 및 상기 제1 논리 연산들의 결과에 기반하여, 상기 셀들 중 하나의 셀에 상기 쓰기 데이터를 쓰는 단계를 포함하되,

상기 쓰기 인에이블 신호는, 상기 쓰기 커맨드에 응답하여, 상기 주변 회로에 의해 생성되고,

상기 셀들을 읽는 단계는:

상기 주변 회로가 상기 제2 입력 신호, 및 상기 읽기 커맨드에 기반하여 생성된 읽기 인에이블 신호에 대해 제2 논리 연산들을 수행하는 단계; 및

상기 주변 회로가 상기 제2 논리 연산들의 결과에 기반하여, 상기 복수의 비트라인들 중에서, 상기 셀들 중 하나의 셀에 연결된, 비트라인의 전압 변화를 감지하는 단계를 포함하되,

상기 읽기 인에이블 신호는, 상기 읽기 커맨드에 응답하여, 상기 주변 회로에 의해 생성되고,

상기 하나의 워드라인에 연결된 셀들 각각은 상기 복수의 비트라인들 중 두 개의 비트라인들 및 상기 복수의 소스라인들 중 하나의 소스라인과 연결되는 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 전자 장치에 관한 것으로, 좀 더 상세하게는 스핀 궤도 토크-자기 랜덤 액세스 메모리를 포함하는 필드 프로그래머블 게이트 어레이 장치 및 그것의 동작 방법에 관한 것이다.

배 경 기 술

[0002] 필드 프로그래머블 게이트 어레이(Field Programable Gate Array, FPGA)는 원하는 기능을 현장에서 구현할 수 있도록 프로그램 가능한 메탈 배선과 프로그램 가능한 논리 요소가 포함된 반도체 소자이다.

[0003] FPGA에 포함된 프로그램 가능한 논리 요소는 FPGA에 입력되는 데이터에 대한 연산 결과를 미리 저장할 수 있는 룩업 테이블을 포함한다. 이러한 룩업 테이블은 반도체 메모리 장치를 각각 포함하는 복수의 셀들을 포함한다.

[0004] 룩업 테이블은 FPGA의 고속화 및/또는 낮은 동작 전압 등에 대한 요구에 따라 반도체 메모리 장치로써 자기 기억 소자를 포함한다. 예를 들어, 룩업 테이블은 자기 기억 소자로써 스핀 궤도 토크-자기 랜덤 액세스 메모리(Spin Orbit Torque-Magnetic Random Access Memory, 이하 SOT-MRAM)를 포함할 수 있다.

[0005] 룩업 테이블에 포함된 셀들의 설계 방식에 따라 룩업 테이블의 면적이 상당히 증가할 수 있고, 룩업 테이블로부터 연산 결과를 읽는 시간이 오래 걸릴 수 있다. FPGA의 전체 면적에서 룩업 테이블이 상당한 부분을 차지하므로, 룩업 테이블에 포함된 셀들의 설계 방식을 변경하여 FPGA의 면적을 감소시키고, FPGA로부터 연산 결과를 읽는 시간을 줄일 수 있는 방법이 요구될 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 SOT-MRAM을 포함하면서 저면적의 룩업 테이블을 제공할 수 있는 필드 프로그래머블 게이트 어레이 장치 및 그것의 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0008] 본 기재의 실시 예에 따른 필드 프로그래머블 게이트 어레이 장치는 각각 데이터를 저장하도록 구성된 복수의 룩업 테이블들을 포함하되, 복수의 룩업 테이블들 각각은, 복수의 워드라인들에 연결된 복수의 셀들을 포함하는 셀 어레이, 셀 어레이와 복수의 워드라인들을 통해 연결되는 구동 회로, 및 셀 어레이와 복수의 비트라인들 및 복수의 소스라인들을 통해 연결되고, 구동 회로를 제어하도록 구성된 주변 회로를 포함하되, 구동 회로는 외부로부터 수신한 제1 입력 신호들에 기반하여 복수의 워드라인들 중 하나의 워드라인을 구동하고, 그리고 주변 회로는. 외부로부터 수신한 제1 커맨드 및 제2 입력 신호에 기반하여 복수의 셀들 중 하나의 워드라인에 연결된 셀들 중 하나의 셀에 대한 데이터 쓰기 동작을 수행하고, 그리고 외부로부터 수신한 제2 커맨드 및 제2 입력 신호에 기반하여 복수의 셀들 중 하나의 워드라인에 연결된 셀들 중 하나의 셀에 대한 데이터 읽기 동작을 수행하되, 하나의 워드라인에 연결된 셀들 각각은 복수의 비트라인들 중 두 개의 비트라인들 및 복수의 소스라인들 중 하나의 소스라인과 연결된다.

[0009] 본 기재의 실시 예에 따른 복수의 셀들을 포함하는 셀 어레이, 셀 어레이와 복수의 워드라인들을 통해 연결된 구동 회로, 및 셀 어레이와 복수의 비트라인들을 통해 연결되고, 구동 회로를 제어하도록 구성된 주변 회로를 포함하는 룩업 테이블을 포함하는 필드 프로그래머블 게이트 어레이 장치의 동작 방법에 있어서, 구동 회로가 외부로부터 제1 입력 신호들을 수신하는 단계, 구동 회로가 제1 입력 신호들에 기반하여 복수의 워드라인들 중 하나의 워드라인을 구동하는 단계, 주변 회로가 외부로부터 커맨드, 어드레스, 및 제2 입력 신호를 수신하는 단계, 및 주변 회로가 커맨드 및 제2 입력 신호에 기반하여 복수의 셀들 중 하나의 워드라인에 연결된 셀들 중 하나의 셀에 대한 데이터 읽기 동작을 수행하는 단계를 포함하되, 하나의 워드라인에 연결된 셀들 각각은 복수의 비트라인들 중 두 개의 비트라인들 및 복수의 소스라인들 중 하나의 소스라인과 연결된다.

[0010] 본 기재의 실시 예에 따른 복수의 셀들을 포함하는 셀 어레이, 셀 어레이와 복수의 워드라인들을 통해 연결된 구동 회로, 및 셀 어레이와 복수의 비트라인들 및 복수의 소스라인들을 통해 연결되고, 구동 회로를 제어하도록 구성된 주변 회로를 포함하는 룩업 테이블을 포함하는 필드 프로그래머블 게이트 어레이 장치의 동작 방법에 있어서, 구동 회로가 외부로부터 제1 입력 신호들을 수신하는 단계, 구동 회로가 제1 입력 신호들에 기반하여 복수의 워드라인들 중 하나의 워드라인을 구동하는 단계, 주변 회로가 외부로부터 쓰기 커맨드, 쓰기 어드레스, 쓰기 데이터, 및 제2 입력 신호를 수신하는 단계, 주변 회로가 쓰기 커맨드 및 제2 입력 신호에 기반하여 복수의 셀들 중 하나의 워드라인에 연결된 셀들 중 하나의 셀에 쓰기 데이터를 쓰는 단계, 주변 회로가 외부로부터 읽기 커맨드, 읽기 어드레스, 및 제2 입력 신호를 수신하는 단계, 및 주변 회로가 읽기 커맨드 및 제2 입력 신호에 기반하여 복수의 셀들 중 하나의 워드라인에 연결된 셀들 중 하나의 셀을 읽는 단계를 포함하되, 쓰기 데이터를 쓰는 단계는, 주변 회로가 제2 입력 신호 및 쓰기 인에이블 신호에 대해 제1 논리 연산들을 수행하는 단계, 주변 회로가 제1 입력 신호들 및 제2 입력 신호에 기반하여 복수의 소스라인들에 서로 다른 전압들을 인가하는 단계, 및 주변 회로가 전압들 및 제1 논리 연산들의 결과에 기반하여, 셀들 중 하나의 셀에 쓰기 데이터를 쓰는 단계를 포함하되, 쓰기 인에이블 신호는, 쓰기 커맨드에 응답하여, 주변 회로에 의해 생성되고, 셀들을 읽는 단계는, 주변 회로가 제2 입력 신호, 및 읽기 커맨드에 기반하여 생성된 읽기 인에이블 신호에 대해 제2 논리 연산들을 수행하는 단계, 및 주변 회로가 제2 논리 연산들의 결과에 기반하여, 복수의 비트라인들 중에서, 셀들 중 하나의 셀에 연결된, 비트라인의 전압 변화를 감지하는 단계를 포함하되, 읽기 인에이블 신호는, 읽기 커맨드에 응답하여, 주변 회로에 의해 생성되고, 하나의 워드라인에 연결된 셀들 각각은 복수의 비트라인들 중 두 개의 비트라인들 및 복수의 소스라인들 중 하나의 소스라인과 연결된다.

발명의 효과

[0011] 본 발명의 실시 예에 따른 필드 프로그래머블 게이트 어레이 장치 및 그것의 동작 방법은 룩업 테이블의 설계 방식을 변경하여 저면적의 룩업 테이블을 제공할 수 있다. 또한, 변경된 룩업 테이블의 설계 방식에 따라 하나의 읽기 비트라인에 연결된 셀들의 수가 감소하여, FPGA의 읽기 동작 시 읽기 에너지 및 읽기 시간이 감소할 수 있다.

도면의 간단한 설명

[0012] 도 1a 및 도 1b는 본 발명의 실시 예에 따른 필드 프로그래머블 게이트 어레이(Field Programmable Gate Array, 이하 FPGA) 장치를 보여주는 도면이다.

도 2는 FPGA 장치에 포함된 하나의 셀을 상세하게 보여주는 도면이다.

도 3a 및 도 3b는 FPGA 장치에 포함된 룩업 테이블(Look Up Table, 이하 LUT)을 상세하게 보여주는 도면이다.

도 4a 내지 도 4c는 룩업 테이블(LUT)에 포함된 하나의 셀에 데이터 쓰기 및 데이터 읽기가 수행되는 실시 예를 보여준다.

도 5는 본 발명의 실시 예에 따른 FPGA 장치에 포함된 2개의 셀들을 상세하게 보여주는 도면이다.

도 6은 본 발명의 실시 예에 따른 FPGA 장치에 포함된 룩업 테이블(LUT)을 상세하게 보여주는 도면이다.

도 7은 본 발명의 실시 예에 따른 룩업 테이블(LUT)에 포함된 스위치 컨트롤러를 상세하게 보여주는 도면이다.

도 8a는 도 2의 하나의 셀의 평면도이다.

도 8b는 본 발명의 실시 예에 따른 도 5의 2개의 셀들의 평면도이다.

도 8c 내지 도 8e는 각각 도 8b의 A-A'선, B-B'선, C-C'선을 따라 자른 단면도이다.

도 9a 내지 도 9c는 본 발명의 실시 예에 따른 도 6의 하나의 워드라인과 연결된 셀들에 대한 데이터 읽기 동작을 설명하기 위한 도면들이다.

도 10a 내지 도 11c는 본 발명의 실시 예에 따른 도 6의 하나의 워드라인과 연결된 셀들에 대한 데이터 쓰기 동작을 설명하기 위한 도면들이다.

도 12는 본 발명의 실시 예에 따른 데이터 쓰기 동작을 수행하는 룩업 테이블(LUT)의 동작 방법의 흐름도이다.

도 13은 본 발명의 실시 예에 따른 데이터 읽기 동작을 수행하는 룩업 테이블(LUT)의 동작 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0014] 도 1a 및 도 1b는 본 발명의 실시 예에 따른 필드 프로그래머블 게이트 어레이(Field Programmable Gate Array, 이하 FPGA) 장치를 보여주는 도면이다. 도 1a 및 도 1b를 참조하면, FPGA 장치(10)는 복수의 배선 설계 장치들(20), 복수의 내부 블록들(IB)(30), 및 복수의 외부 블록들(OB)(40)을 포함할 수 있다.

[0015] 복수의 배선 설계 장치들(20)은 FPGA 장치(10)에 포함된 복수의 내부 블록들(IB)(30), 및 복수의 외부 블록들(OB)(40)의 연결관계를 구현하는 배선 구조를 형성할 수 있다. 도 1a 및 도 1b에서, 복수의 배선 설계 장치들(20)의 수가 네 개인 것으로 도시되었지만, 복수의 배선 설계 장치들(20)의 개수는 이에 제한되지 않는다.

[0016] 복수의 배선 설계 장치들(20)은 내부에 스위치 박스들(SB)의 연결 정보를 포함할 수 있다. 예를 들어, 복수의 배선 설계 장치들(20)은 스위치 박스들(SB)의 연결 정보에 기반하여 복수의 내부 블록들(IB)(30), 및 복수의 외부 블록들(OB)(40)의 연결관계를 구현할 수 있다.

[0017] 복수의 내부 블록들(IB)(30) 및 복수의 외부 블록들(OB(40) 각각은 복수의 수평 번들들(hb) 및 복수의 수직 번들들(vb)을 포함할 수 있다. 복수의 수평 번들들(hb) 및 복수의 수직 번들들(vb) 각각은 배선 패턴을 포함할 수 있다.

[0018] 배선 패턴은 단일 배선 패턴, 이중 배선 패턴, 헥스 배선 패턴, 복합 배선 패턴 등과 같은 패턴일 수 있다. 복수의 내부 블록들(IB)(30) 및 복수의 외부 블록들(OB)(40)은 스위치 박스(SB)들의 연결 정보에 기반하여, 배선 패턴을 통해, 서로 연결될 수 있다. 복수의 배선 설계 장치들(20) 각각은 두 개의 외부 블록들(OB)에 포함된 복수의 수직 번들들(vb)과 전기적으로 연결될 수 있다.

[0019] 복수의 내부 블록들(IB)(30) 각각은 복수의 수평 번들들(hb) 및 복수의 수직 번들들(vb) 외에도 스위치 박스(SB) 및 룩업 테이블(Look Up Table, 이하 LUT)을 더 포함할 수 있다. 도 1a 및 도 1b에서, 복수의 내부 블록들(IB)(30)의 수가 네 개인 것으로 도시되었지만, 복수의 내부 블록들(IB)(30)의 개수는 이에 제한되지 않는다.

[0020] 스위치 박스(SB)는 복수의 스위치들을 포함할 수 있다. 스위치 박스(SB)는 복수의 배선 설계 장치들(20)로부터 스위치들의 연결 정보를 수신할 수 있다. 스위치 박스(SB)는 수신된 스위치들의 연결 정보를 바탕으로, 복수의 스위치들을 이용해서 룩업 테이블(LUT), 복수의 수평 번들들(hb), 및 복수의 수직 번들들(vb)과 각각 전기적으로 연결될 수 있다.

[0021] 복수의 외부 블록들(OB)(40) 각각은 복수의 수평 번들들(hb) 및 복수의 수직 번들들(vb) 외에도 입출력 블록(I/O) 및 스위치 박스(SB)를 더 포함할 수 있다. FPGA 장치(10)는 입출력 블록(I/O)을 통해 외부로부터 정보를

입출력할 수 있다. 도 1a 및 도 1b에서, 복수의 외부 블록들(OB)(40)의 수가 여덟 개인 것으로 도시되었지만, 복수의 외부 블록들(OB)(40)의 개수는 이에 제한되지 않는다.

[0022] 스위치 박스(SB)는 복수의 스위치들을 포함할 수 있다. 스위치 박스(SB)는 복수의 배선 설계 장치들(20)로부터 스위치들의 연결 정보를 수신할 수 있다. 스위치 박스(SB)는 수신된 스위치들의 연결 정보를 바탕으로, 복수의 스위치들을 이용해서 입출력 블록(I/O), 복수의 수평 번들들(hb), 및 복수의 수직 번들들(vb)과 각각 전기적으로 연결될 수 있다.

[0023] FPGA 장치(10)는 외부로부터 읽기 커맨드 및 어드레스(RCMD, RADDR), 쓰기 커맨드 및 어드레스(WCMD, WADDR), 및 쓰기 데이터(WDATA)를 수신할 수 있다. FPGA 장치(10)는 외부로 읽기 데이터(RDATA)를 출력할 수 있다.

[0024] 도시되지 않았지만, FPGA 장치(10)가 FPGA 장치(10)를 제어하는, FPGA 장치(10)의 외부에 위치한, FPGA 컨트롤러(미도시)로부터 읽기 커맨드 및 어드레스(RCMD, RADDR), 쓰기 커맨드 및 어드레스(WCMD, WADDR), 및 쓰기 데이터(WDATA)를 수신할 수 있고, FPGA 컨트롤러(미도시)로 읽기 데이터(RDATA)를 출력할 수 있다.

[0025] 도 2는 FPGA 장치에 포함된 하나의 셀을 상세하게 보여주는 도면이다. 도 1의 FPGA 장치(10)에 포함된 복수의 룩업 테이블들(LUT) 각각은 복수의 셀들을 포함할 수 있다. 예시적으로, 도 2에서는 하나의 셀에 대해서만 설명되며, 나머지 셀들의 기능 및 동작 또한 하나의 셀과 유사할 수 있다.

[0026] 도 2를 참조하면, 하나의 셀은 읽기 트랜지스터(RT), 쓰기 트랜지스터(WT), 및 스핀 궤도 토크-자기 랜덤 액세스 메모리(Spin Orbit Torque-Magnetic Random Access Memory, 이하 SOT-MRAM이라 명명한다)를 포함할 수 있다. SOT-MRAM은 헤비 메탈(HM) 및 자기터널접합 패턴(Magnetic Tunnel Juntion, 이하 MTJ라 명명한다)을 포함할 수 있다.

[0027] 헤비 메탈(HM)의 제1 단부는 쓰기 트랜지스터(WT)의 제1 소스/드레인 단자에 연결될 수 있고, 헤비 메탈(HM)의 제2 단부는 소스라인(SL)에 연결될 수 있다. MTJ는 제1 단부와 제2 단부 사이의 헤비 메탈(HM) 상에 배치될 수 있다.

[0028] 헤비 메탈(HM)은 실리콘, 절연체 상의 실리콘(SOI), 실리콘저마늄(SiGe), 저마늄(Ge), 갈륨비소(GaAs) 등을 포함하는 반도체 기판일 수 있다.

[0029] MTJ는 기준 자성 패턴(PL), 자유 자성 패턴(FL), 및 이들 사이의 터널 배리어 패턴(TBP)을 포함할 수 있다.

[0030] 자유 자성 패턴(FL)은 헤비 메탈(HM)과 터널 배리어 패턴(TBP) 사이에 배치될 수 있다. 자유 자성 패턴(FL)은 헤비 메탈(HM)의 일면과 접촉되도록 헤비 메탈(HM)로부터 제1 방향으로 배치될 수 있다.

[0031] 자유 자성 패턴(FL)은 자유 자성 패턴(FL)과 터널 배리어 패턴(TBP)의 계면에서 자기 이방성을 유도할 수 있는 자성 물질을 포함할 수 있다. 일 예로, 자유 자성 패턴(FL)은 코발트-철-보론(CoFeB)을 포함할 수 있다.

[0032] 터널 배리어 패턴(TBP)은 자유 자성 패턴(FL) 및 기준 자성 패턴(PL) 사이에 배치될 수 있다. 터널 배리어 패턴(TBP)은 자유 자성 패턴(FL)의 일면과 접촉되도록 자유 자성 패턴(FL)으로부터 제1 방향으로 배치될 수 있다.

[0033] 터널 배리어 패턴(TBP)은 마그네슘(Mg) 산화막, 티타늄(Ti) 산화막, 알루미늄(Al) 산화막, 마그네슘-아연(Mg-Zn) 산화막, 또는 마그네슘-붕소(Mg-B) 산화막 중에서 적어도 하나를 포함할 수 있다.

[0034] 기준 자성 패턴(PL)은 터널 배리어 패턴(TBP)을 사이에 두고 자유 자성 패턴(FL)으로부터 이격될 수 있다. 기준 자성 패턴(PL)은 터널 배리어 패턴(TBP)의 일면과 접촉되도록 터널 배리어 패턴(TBP)로부터 제1 방향으로 배치될 수 있다.

[0035] 기준 자성 패턴(PL)은 코발트(Co), 백금(Pt), 및 제1 비자성 원소를 포함할 수 있다. 제1 비자성 원소는 Nb, Cr, Mo, W, Zr, Hf, 및 Ti 중 적어도 하나를 포함할 수 있다.

[0036] 헤비 메탈(HM)에 면내(in-plane) 전류가 흐를 때, 스핀 홀 효과(spin Hall effect) 또는 라쉬바 효과(Rashba effect)에 의해 유도되는 스핀-궤도 토크(Spin Orbit Torque, 이하 SOT)가 자유 자성 패턴(FL)에 인가될 수 있고, 이로 인해 자유 자성 패턴(FL)의 자화방향이 스위칭될 수 있다.

[0037] MTJ는 읽기 트랜지스터(RT)의 제1 소스/드레인 단자와 헤비 메탈(HM) 사이에 배치될 수 있고, 읽기 트랜지스터(RT)의 제1 소스/드레인 단자에 연결될 수 있다.

[0038] 쓰기 트랜지스터(WT)의 제2 소스/드레인 단자는 쓰기 비트라인(WBL)에 연결될 수 있고, 읽기 트랜지스터(RT) 제

2 소스/드레인 단자는 읽기 비트라인(RBL)에 연결될 수 있다.

[0039] 읽기 트랜지스터(RT)는 MTJ와 읽기 비트라인(RBL) 사이에 연결될 수 있고, 읽기 트랜지스터(RT)의 게이트 전극은 워드라인(WL)에 연결될 수 있다. 읽기 트랜지스터(RT)는 MTJ와 읽기 비트라인(RBL) 사이의 전기적 연결을 제어할 수 있다.

[0040] 쓰기 트랜지스터(WT)는 헤비 메탈(HM)의 제1 단부와 쓰기 비트라인(WBL) 사이에 연결될 수 있고, 쓰기 트랜지스터(WT)의 게이트 전극은 워드라인(WL)에 연결될 수 있다. 쓰기 트랜지스터(WT)는 헤비 메탈(HM)과 쓰기 비트라인(WBL) 사이의 전기적 연결을 제어할 수 있다.

[0041] 쓰기 동작 시, 워드라인(WL)을 통해 쓰기 트랜지스터(WT)가 턴-온 될 수 있다. 이에 따라, 쓰기 전류(Iw)가 헤비 메탈(HM)을 통해 흐를 수 있다. 쓰기 전류는 쓰기 비트라인(WBL) 및 소스라인(SL)에 인가되는 전압 조건에 따라 전류 방향(제2 방향 또는 제4 방향)이 달라질 수 있다.

[0042] 쓰기 전류(Iw)는 MTJ의 자유 자성 패턴(FL)에 스핀-궤도 토크(SOT)를 가하는 면내 전류(in-plane current)일 수 있다. 쓰기 전류(Iw)는 헤비 메탈(HM)과 자유 자성 패턴(FL) 사이의 계면과 평행하게 그리고 이에 인접하게 흐를 수 있다. 쓰기 전류(Iw)가 흐르는 동안, 스핀 홀 효과 및 라쉬바 효과에 의해 스핀 전류(spin current)가 헤비 메탈(HM)과 자유 자성 패턴(FL) 사이의 계면에 대해 수직한 방향으로 흐를 수 있고, 이로 인해 MTJ에 스핀 궤도 토크(SOT)가 가해질 수 있다. 이에 따라, 자유 자성 패턴(FL)의 자화 방향이 기준 자성 패턴(PL)의 자화 방향에 반평행하게(또는 평행하게) 스위칭될 수 있다.

[0043] 읽기 동작 시, 워드라인(WL)을 통해 읽기 트랜지스터(RT)가 턴-온 될 수 있다. 이에 따라, 읽기 전류(IR)가 읽기 비트라인(RBL)에서 소스라인(SL)으로 흐를 수 있다. 읽기 전류(IR)는 MTJ 및 헤비 메탈(HM)을 통해 흐를 수 있다. 읽기 전류(IR)는 헤비 메탈(HM) 및 MTJ 사이의 계면에 대해 수직한 방향(제3 방향)으로 MTJ를 통해 흐를 수 있다.

[0044] 도 3a 및 도 3b는 FPGA 장치에 포함된 룩업 테이블(Look Up Table, 이하 LUT)을 상세하게 보여주는 도면이다. 도 1의 FPGA 장치(10)는 복수의 룩업 테이블들(LUT)을 포함할 수 있으며, 예시적으로 도 3a 및 도 3b에서는 하나의 룩업 테이블(LUT)(50)에 대해서만 설명된다. 나머지 룩업 테이블들(LUT)의 기능 및 동작 또한 하나의 룩업 테이블(LUT)(50)과 유사할 수 있다.

[0045] 도 2, 도 3a 및 도 3b를 참조하면, 룩업 테이블(LUT)(50)은 셀 어레이(51), 구동 회로(52), 및 주변 회로(53)를 포함할 수 있다.

[0046] 셀 어레이(51)는 복수의 셀들(cell1 ~ cell2^n)을 포함할 수 있다. 복수의 셀들(cell1 ~ cell2^n)은 제4 방향(도 2 참조)으로 배열되고, 복수의 워드라인들(WL1 ~ WL2^n)과 각각 연결될 수 있다. (예를 들어, n은 1 이상의 양의 정수)

[0047] 예를 들어, 제1 셀(cell1)에 포함된 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각의 게이트 전극은 제1 워드라인(WL1)에 연결될 수 있다. 제2 셀(cell2)에 포함된 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각의 게이트 전극은 제2 워드라인(WL2)에 연결될 수 있다.

[0048] 이와 같은 방식으로, 제2^n-1 셀(cell2^n-1)에 포함된 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각의 게이트 전극은 제2^n-1 워드라인(WL2^n-1)에 연결될 수 있다. 제2^n 셀(cell2^n)에 포함된 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각의 게이트 전극은 제2^n 워드라인(WL2^n)에 연결될 수 있다.

[0049] 도 3a의 복수의 셀들(cell1 ~ cell2^n) 각각의 구성 및 동작은 도 2에서 설명된 하나의 셀과 동일하다. 따라서, 이에 대한 중복되는 설명은 생략된다.

[0050] 구동 회로(52)는 복수의 워드라인들을 통해 셀 어레이(51)와 연결될 수 있다. 구동 회로(52)는 제1 내지 제n 선택 회로들(SC1 ~ SCn)을 포함할 수 있다. 제1 내지 제n 선택 회로들(SC1 ~ SCn)은 각각 서로 다른 수의 트랜지스터들(MT)을 포함할 수 있다.

[0051] 복수의 트랜지스터들(MT)은 NMOS 트랜지스터, PMOS 트랜지스터, 또는 HEMT 중 적어도 하나일 수 있다. 이하에서, 복수의 트랜지스터들(MT) 각각은 NMOS 트랜지스터인 것으로 가정하여 설명된다.

[0052] 예를 들어, 제n 선택 회로(SCn)는 2^n 개의 NMOS 트랜지스터들(MT)을 포함할 수 있다. 제n-1 선택 회로(SCn-1)는 2^{n-1} 개의 NMOS 트랜지스터들(MT)을 포함할 수 있다. 이와 같은 방식으로 제1 선택 회로(SC1)는 2 개의 NMOS 트랜지스터들(MT)을 포함할 수 있다.

[0053] 제n 선택 회로(SCn)는 2^n 개의 NMOS 트랜지스터들(MT)을 외에도 2^n 개의 워드라인 드라이버들(Drv1 ~ DRV2^n)을 더 포함할 수 있다. 2^n 개의 워드라인 드라이버들(Drv1 ~ Drv2^n)의 일단은 복수의 워드라인들(WL1 ~ WL2^n)과 각각 연결될 수 있다. 2^n 개의 워드라인 드라이버들(Drv1 ~ Drv2^n)의 타단은 2^n 개의 NMOS 트랜지스터들(MT)의 제1 소스/드레인 단자들과 각각 연결될 수 있다.

[0054] 구동 회로(52)는 외부(도 1에서 설명된 FPGA 컨트롤러(미도시))로부터 입력 신호들(I(0) ~ I(n-1))을 수신할 수 있다. 입력 신호들(I(0) ~ I(n-1))은 n비트 데이터일 수 있다. 제1 내지 제n 선택 회로들(SC1 ~ SCn)에 n비트 데이터가 1비트씩 각각 인가될 수 있다.

[0055] 제n 선택 회로(SCn)에 포함된 2^n 개의 NMOS 트랜지스터들(MT) 각각의 게이트 전극은 입력 신호(I(n-1))가 인가되는 라인에 연결될 수 있다. 좀 더 구체적으로, 2^n 개의 NMOS 트랜지스터들(MT)의 게이트 전극들 중 절반은 반전되지 않은 논리값(0 또는 1)을 갖는 입력 신호(I(n-1))가 인가되는 라인에 연결될 수 있다. 2^n 개의 NMOS 트랜지스터들(MT)의 게이트 전극들 중 나머지 절반은 반전된 논리값(0 또는 1)을 갖는 입력 신호(I(n-1))가 인가되는 라인에 연결될 수 있다.

[0056] 2^n 개의 NMOS 트랜지스터들(MT)의 제2 소스/드레인 단자들은 제n-1 선택 회로(SCn-1)에 포함된 2^{n-1} 개의 NMOS 트랜지스터들(MT)의 제1 소스/드레인 단자들과 연결될 수 있다.

[0057] 제n-1 선택 회로(SCn-1)에 포함된 2^{n-1} 개의 NMOS 트랜지스터들(MT) 각각의 게이트 전극은 입력 신호(I(n-2))가 인가되는 라인에 연결될 수 있다. 좀 더 구체적으로, 2^{n-1} 개의 NMOS 트랜지스터들(MT)의 게이트 전극들 중 절반은 반전되지 않은 논리값(0 또는 1)을 갖는 입력 신호(I(n-2))가 인가되는 라인에 연결될 수 있다. 2^n 개의 NMOS 트랜지스터들(MT)의 게이트 전극들 중 나머지 절반은 반전된 논리값(0 또는 1)을 갖는 입력 신호(I(n-2))가 인가되는 라인에 연결될 수 있다.

[0058] 2^{n-1} 개의 NMOS 트랜지스터들(MT)의 제2 소스/드레인 단자들은 이후의 선택 회로에 포함된 2^{n-2} 개의 NMOS 트랜지스터들(MT)의 제1 소스/드레인 단자들과 연결될 수 있다.

[0059] 이와 같은 방식으로, 제1 선택 회로(SC1)에 포함된 2 개의 NMOS 트랜지스터들(MT) 각각의 게이트 전극은 입력 신호(I(0))가 인가되는 라인에 연결될 수 있다. 좀 더 구체적으로, 2 개의 NMOS 트랜지스터들(MT)의 게이트 전극들 중 하나는 반전되지 않은 논리값(0 또는 1)을 갖는 입력 신호(I(0))가 인가되는 라인에 연결될 수 있다. 2 개의 NMOS 트랜지스터들(MT)의 게이트 전극들 중 나머지 하나는 반전된 논리값(0 또는 1)을 갖는 입력 신호(I(0))가 인가되는 라인에 연결될 수 있다.

[0060] 2^n 개의 NMOS 트랜지스터들(MT)의 제2 소스/드레인 단자들은 각각 접지단에 연결될 수 있다.

[0061] 이 경우, 입력 신호들(I(0) ~ I(n-1)) 각각의 논리값에 따라 복수의 워드라인들(WL1 ~ WL2^n) 중 하나의 워드라인과 연결되는 워드라인 드라이버만이 구동될 수 있다. 이에 대한 자세한 설명은 도 4a에서 후술된다.

[0062] 도 3b에서, 2^n 개의 워드라인 드라이버들(Drv1 ~ Drv2^n) 중 제1 워드라인 드라이버(Drv1)는 PMOS 트랜지스터 및 인버터를 포함할 수 있다. PMOS 트랜지스터의 제1 소스/드레인 단자는 인버터의 일단과 연결될 수 있다. PMOS 트랜지스터의 제2 소스/드레인 단자로 전원 전압(VDD)이 인가될 수 있다. 인버터의 타단은 제1 워드라인(WL1)과 연결될 수 있다.

[0063] 나머지 워드라인 드라이버들(Drv2 ~ Drv2^n)의 구성 및 동작들은 제1 워드라인 드라이버(Drv1)와 동일하므로 중복되는 설명은 생략된다.

[0064] 주변 회로(53)는 셀 어레이(51)와 복수의 비트라인들(WBL, RBL) 및 소스라인(SL)을 통해 연결될 수 있다. 주변

회로(53)는 셀 어레이(51) 및 구동 회로(52)를 제어하도록 구성될 수 있다. 주변 회로(53)의 동작에 대한 자세한 설명은 도 4에서 후술된다.

[0065] 도시되지 않았지만, 주변 회로(53)는 감지 증폭기, 쓰기 드라이버, 소스라인 드라이버, 입출력 회로, 및 제어 로직 회로와 같은 구성 요소들을 포함할 수 있다. 하지만, 주변 회로(53)의 구성 요소들은 이에 제한되지 않는다.

[0066] 도 3a 및 도 3b에서, 주변 회로(53)는 외부(도 1에서 설명된 FPGA 컨트롤러(미도시))로부터 입력 신호들(I(0) ~ I(n-1))을 수신하기 전에 프리차지 커맨드(PRE CMD)를 수신할 수 있다. 주변 회로(53)는 프리차지 커맨드(PRE CMD)에 응답하여, 2^n 개의 워드라인 드라이버들(Drv1 ~ Drv2^n)에 프리차지 신호(PRE)를 인가할 수 있다.

[0067] 이 경우, 2^n 개의 워드라인 드라이버들(Drv1 ~ Drv2^n)에 각각 포함된 인버터의 일단이 전원 전압(VDD)으로 충전될 수 있다. 복수의 워드라인들(WL1 ~ WL2^n)과 각각 연결된 인버터의 타단은 접지 전압(VSS)으로 방전될 수 있다. 따라서, 복수의 워드라인들(WL1 ~ WL2^n) 모두가 비활성 상태를 유지할 수 있다.

[0068] 도 4a 내지 도 4c는 룩업 테이블(LUT)에 포함된 하나의 셀에 데이터 쓰기 및 데이터 읽기가 수행되는 실시 예를 보여준다. 예시적으로, 도 4a 내지 도 4c에서, 제1 셀(cell1)에 대해 데이터 쓰기 및 데이터 읽기가 수행될 수 있다. 도 3a 및 도 3b에서 설명된 것과 중복되는 내용은 생략된다.

[0069] 도 4a 내지 도 4c를 참조하면, 주변 회로(53)는 외부(도 1에서 설명된 FPGA 컨트롤러(미도시))로부터 활성화 커맨드(ACT CMD)를 수신할 수 있다. 주변 회로(53)는 활성화 커맨드(ACT CMD)에 응답하여, 2^n 개의 워드라인 드라이버들(Drv1 ~ Drv2^n)에 활성화 신호(PRE)를 인가할 수 있다. 이 경우, 2^n 개의 워드라인 드라이버들(Drv1 ~ Drv2^n)에 각각 포함된 인버터의 일단이 전원 전압(VDD)으로 충전된 상태를 유지할 수 있다.

[0070] 구동 회로(52)는 주변 회로(53)의 제어 하에 입력 신호들(I(0) ~ I(n-1))을 수신할 수 있다. 입력 신호들(I(0) ~ I(n-1)) 각각은 특정 논리값을 가질 수 있고, 이에 따라 제1 내지 제n 선택 회로들(SC1 ~ SCn) 각각에 포함된 복수의 트랜지스터들 중 적어도 일부가 턴-온 될 수 있다.

[0071] 좀 더 구체적으로, 제n 선택 회로(SCn)에 입력 신호(I(n-1))가 인가될 때, 2^n 개의 NMOS 트랜지스터들(MT) 중 절반이 턴-온 될 수 있다. 제n-1 선택 회로(SCn-1)에 입력 신호(I(n-2))가 인가될 때, 2^{n-1} 개의 NMOS 트랜지스터들(MT) 중 절반이 턴-온 될 수 있다. 제1 선택 회로(SC1)에 입력 신호(I(0))가 인가될 때, 2 개의 NMOS 트랜지스터들(MT) 중 하나만이 턴-온 될 수 있다.

[0072] 이렇게, 입력 신호들(I(0) ~ I(n-1)) 각각이 특정 논리값을 갖는 경우, NMOS 트랜지스터의 제1 소스/드레인 단자와 연결된 제1 워드라인 드라이버(Drv1)의 일단 및 접지단 사이에 전류 경로가 형성될 수 있다.

[0073] 이 경우, 전압 차이에 의해 제1 워드라인 드라이버(Drv1)의 일단에서 접지단으로 전류가 흐르면서, 제1 워드라인 드라이버(Drv1)에 포함된 인버터의 일단이 접지 전압(VSS)으로 방전될 수 있다.

[0074] 이에 따라, 제1 워드라인 드라이버(Drv1)에 포함된 인버터의 타단이 전원 전압(VDD)으로 충전될 수 있다. 따라서, 복수의 워드라인들(WL1 ~ WL2^n) 중 제1 워드라인(WL1)이 활성화될 수 있다.

[0075] 이렇게, 입력 신호들(I(0) ~ I(n-1)) 각각이 특정 논리값을 갖는 경우, NMOS 트랜지스터의 제1 소스/드레인 단자와 연결된 제2^n 워드라인 드라이버(Drv2^n)의 일단 및 접지단 사이에 전류 경로가 형성되지 않을 수 있다.

[0076] 이 경우, 제2^n 워드라인 드라이버(Drv2^n)에 포함된 인버터의 일단의 전압 레벨은 전원 전압(VDD) 레벨로 유지될 수 있다.

[0077] 이에 따라, 제2^n 워드라인 드라이버(Drv2^n)에 포함된 인버터의 타단의 전압 레벨은 접지 전압(VSS) 레벨로 유지될 수 있다. 따라서, 복수의 워드라인들(WL1 ~ WL2^n) 중 제2^n 워드라인(WL2^n)이 활성화되지 않을 수 있다.

[0078] 제1 워드라인(WL1)이 활성화된 이후, 주변 회로(53)는 외부로부터 쓰기 커맨드(WCMD) 및 쓰기 데이터(WDATA)를 수신할 수 있다. 주변 회로(53)는 입력 신호들에 대한 연산 결과를 저장하도록 구성된 테이블(미도시)을 더 포함할 수 있다. 연산은 덧셈 및 곱셈 중 적어도 하나일 수 있다.

[0079] 이 경우, 주변 회로(53)는 테이블(미도시)에서 입력 신호들의 특정 논리값들에 따른 연산 결과를 참조하고, 쓰기 데이터(WDATA)에 기반하여 쓰기 비트라인(WBL) 및 소스라인(SL)의 전압 레벨을 결정할 수 있다.

[0080] 주변 회로(53)는 쓰기 비트라인(WBL) 및 소스라인(SL)의 전압 레벨에 기반하여 제2 방향 또는 제4 방향(도 2 참조)의 쓰기 전류(Iw)를 생성할 수 있다. 주변 회로(53)는 쓰기 전류(Iw)에 기반하여 데이터 쓰기 동작을 수행할 수 있다.

[0081] 주변 회로(53)는 활성화된 제1 워드라인(WL1)을 통해 제1 셀(cell1)에 포함된 쓰기 트랜지스터(WT)를 턴-온 하여 제1 셀(cell1)에 포함된 SOT-MRAM에 쓰기 데이터(0 또는 1)(WDATA)를 쓸 수 있다.

[0082] 데이터 쓰기 동작 이후, 주변 회로(53)는 외부로부터 읽기 커맨드(RCMD)를 수신할 수 있다. 주변 회로(53)는 읽기 비트라인(RBL)의 전압 변화를 감지하여 제3 방향(도 2 참조)의 읽기 전류(IR)를 생성할 수 있다.

[0083] 주변 회로(53)는 읽기 전류(IR)에 기반하여 데이터 읽기 동작을 수행할 수 있다. 주변 회로(53)는 활성화된 제1 워드라인(WL1)을 통해 제1 셀(cell1)에 포함된 읽기 트랜지스터(RT)를 턴-온 하여 제1 셀(cell1)에 포함된 SOT-MRAM에 저장된 데이터(0 또는 1)(RDATA)를 읽을 수 있다.

[0084] 앞서 언급된 바와 같이, 도 3a 및 도 4a에서 설명된 구동 회로(52)는 제1 내지 제n 선택 회로들(SC1 ~ SCn)을 포함할 수 있다. 이에 따라 구동 회로(52)는 총 2^{n+1}-2개의 NMOS 트랜지스터들(MT)을 포함할 수 있다. 이 경우, 룩업 테이블(LUT)(50) 내에서 구동 회로(52)가 상당히 큰 면적을 차지할 수 있다. 따라서, 저면적의 FPGA 장치(10)를 구현할 수 있는 룩업 테이블(LUT)의 설계 방식이 요구될 수 있다.

[0085] 또한, 도 3a 및 도 4a에서 설명된 셀들에 각각 포함된 읽기 트랜지스터들(RT)은 하나의 읽기 비트라인(RBL)에 연결될 수 있다. 이에 따라, 2^n 개의 읽기 트랜지스터들(RT)의 기생 커패시터(미도시)가 누적되어 읽기 비트라인(RBL)은 큰 커패시터 값을 가질 수 있고, 데이터 읽기 동작 시 큰 소비 전력 및 소비 시간을 유발할 수 있다. 따라서, 에너지 효율이 개선될 수 있는, FPGA 장치(10)를 구현할 수 있는 룩업 테이블(LUT)의 설계 방식이 요구될 수 있다.

[0086] 도 5는 본 발명의 실시 예에 따른 FPGA 장치에 포함된 2개의 셀들을 상세하게 보여주는 도면이다. 도 1의 FPGA 장치(10)에 포함된 복수의 룩업 테이블들(LUT) 각각은 복수의 셀들을 포함할 수 있다. 예시적으로, 도 5에서는 2개의 셀들에 대해서 설명되며, 나머지 셀들의 기능 및 동작 또한 2개의 셀들과 유사할 수 있다. 도 2와 중복되는 내용에 대한 자세한 설명은 생략된다.

[0087] 도 5를 참조하면, 하나의 워드라인(WL)에 2개의 셀들(cell1, cell1')이 연결될 수 있다.

[0088] 하나의 셀(cell1)에 포함된 헤비 메탈(HM)의 제1 단부는 쓰기 트랜지스터(WT)의 제1 소스/드레인 단자에 연결될 수 있고, 헤비 메탈(HM)의 제2 단부는 제1 소스라인(SL1)에 연결될 수 있다.

[0089] 하나의 셀(cell1)에 포함된 MTJ는 읽기 트랜지스터(RT)의 제1 소스/드레인 단자와 헤비 메탈(HM) 사이에 배치될 수 있고, 읽기 트랜지스터(RT)의 제1 소스/드레인 단자에 연결될 수 있다.

[0090] 하나의 셀(cell1)에 포함된 쓰기 트랜지스터(WT)의 제2 소스/드레인 단자는 제3 비트라인(BL3)에 연결될 수 있다. 하나의 셀(cell1)에 포함된 읽기 트랜지스터(RT)의 제2 소스/드레인 단자는 제1 비트라인(BL1)에 연결될 수 있다.

[0091] 하나의 셀(cell1)에 포함된 읽기 트랜지스터(RT)는 MTJ와 제1 비트라인(BL1) 사이에 연결될 수 있고, 읽기 트랜지스터(RT)의 게이트 전극은 워드라인(WL)에 연결될 수 있다. 읽기 트랜지스터(RT)는 MTJ와 제1 비트라인(BL1) 사이의 전기적 연결을 제어할 수 있다.

[0092] 쓰기 트랜지스터(WT)는 헤비 메탈(HM)의 제1 단부와 제3 비트라인(BL3) 사이에 연결될 수 있고, 쓰기 트랜지스터(WT)의 게이트 전극은 워드라인(WL)에 연결될 수 있다. 쓰기 트랜지스터(WT)는 헤비 메탈(HM)과 제3 비트라인(BL3) 사이의 전기적 연결을 제어할 수 있다.

[0093] 쓰기 동작 시, 워드라인(WL)을 통해 하나의 셀(cell1)에 포함된 쓰기 트랜지스터(WT)가 턴-온 될 수 있다. 이에 따라, 헤비 메탈(HM)을 통해 흐르는 쓰기 전류(Iw)는 제3 비트라인(BL3) 및 제1 소스라인(SL1)에 인가되는 전압 조건에 따라 전류 방향(제1 방향 또는 제3 방향)(도 2 참조)이 달라질 수 있다.

[0094] 읽기 동작 시, 워드라인(WL)을 통해 읽기 트랜지스터(RT)가 턴-온 될 수 있다. 이에 따라, 읽기 전류(IR)는 제1 비트라인(BL1)로부터 MTJ 및 헤비 메탈(HM)을 통해 흐를 수 있다. 읽기 전류(IR)는 헤비 메탈(HM) 및 MTJ 사이

의 계면에 대해 수직한 방향(제4 방향)(도 2 참조)으로 MTJ를 통해 흐를 수 있다.

[0095] 다른 하나의 셀(cell')에 포함된 헤비 메탈(HM)의 제1 단부는 쓰기 트랜지스터(WT)의 제1 소스/드레인 단자에 연결될 수 있고, 헤비 메탈(HM)의 제2 단부는 제2 소스라인(SL2)에 연결될 수 있다.

[0096] 다른 하나의 셀(cell')에 포함된 쓰기 트랜지스터(WT)의 제2 소스/드레인 단자는 제3 비트라인(BL3)에 연결될 수 있다. 다른 하나의 셀(cell')에 포함된 읽기 트랜지스터(RT)의 제2 소스/드레인 단자는 제2 비트라인(BL2)에 연결될 수 있다.

[0097] 다른 하나의 셀(cell')에 포함된 읽기 트랜지스터(RT)는 MTJ와 제2 비트라인(BL2) 사이에 연결될 수 있고, 읽기 트랜지스터(RT)의 게이트 전극은 워드라인(WL)에 연결될 수 있다. 읽기 트랜지스터(RT)는 MTJ와 제2 비트라인(BL2) 사이의 전기적 연결을 제어할 수 있다.

[0098] 쓰기 동작 시, 워드라인(WL)을 통해 하나의 셀(cell)에 포함된 쓰기 트랜지스터(WT)가 턴-온 될 수 있다. 이에 따라, 헤비 메탈(HM)을 통해 흐르는 쓰기 전류(Iw)는 제3 비트라인(BL3) 및 제2 소스라인(SL2)에 인가되는 전압 조건에 따라 전류 방향(제1 방향 또는 제3 방향)(도 2 참조)이 달라질 수 있다.

[0099] 읽기 동작 시, 워드라인(WL)을 통해 읽기 트랜지스터(RT)가 턴-온 될 수 있다. 이에 따라, 읽기 전류(IR)는 제2 비트라인(BL2)로부터 MTJ 및 헤비 메탈(HM)을 통해 흐를 수 있다. 읽기 전류(IR)는 헤비 메탈(HM) 및 MTJ 사이의 계면에 대해 수직한 방향(제4 방향)(도 2 참조)으로 MTJ를 통해 흐를 수 있다.

[0100] 도 6은 본 발명의 실시 예에 따른 FPGA 장치에 포함된 룩업 테이블(LUT)을 상세하게 보여주는 도면이다. 도 1의 FPGA 장치(10)는 복수의 룩업 테이블들(LUT)을 포함할 수 있으며, 예시적으로 도 6에서는 하나의 룩업 테이블(LUT)(100)에 대해서만 설명된다. 나머지 룩업 테이블들(LUT)의 기능 및 동작 또한 하나의 룩업 테이블(LUT)(100)과 유사할 수 있다.

[0101] 도 6의 룩업 테이블(LUT)(100)에 포함된 셀 어레이(110), 구동 회로(120), 및 주변 회로(130)에 대해 도 3a 및 도 3b에서와 중복되는 내용에 대한 자세한 설명은 생략된다.

[0102] 도 5 및 도 6을 참조하면, 셀 어레이(110)에 포함된 제1 셀(cell1) 및 제2 셀(cell2)은 제1 워드라인(WL1)과 연결될 수 있고, 제2^n-1 셀(cell2^n-1) 및 제2^n 셀들(cell2^n)은 제2^{n-1} 워드라인(WL2^{n-1})과 연결될 수 있다.

[0103] 예를 들어, 제1 셀(cell1)에 포함된 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각의 게이트 전극, 및 제2 셀(cell2)에 포함된 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각의 게이트 전극은 제1 워드라인(WL1)에 연결될 수 있다.

[0104] 이와 같은 방식으로, 제2^n-1 셀(cell2^n-1)에 포함된 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각의 게이트 전극, 및 제2^n 셀(cell2^n)에 포함된 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각의 게이트 전극은 제2^{n-1} 워드라인(WL2^{n-1})에 연결될 수 있다.

[0105] 도 6의 제1 셀(cell1) 및 제2 셀(cell2), 및 제2^n-1 셀(cell2^n-1) 및 제2^n 셀들(cell2^n)의 구성 및 동작은 도 5에서 설명된 2개의 셀들(cell, cell')의 구성 및 동작과 동일하다. 따라서, 이에 대한 중복되는 설명은 생략된다.

[0106] 구동 회로(120)는 복수의 워드라인들(WL1 ~ WL2^{n-1})을 통해 셀 어레이(110)와 연결될 수 있다. 구동 회로(120)는 제1 내지 제n-1 선택 회로들(SC1 ~ SCn-1)을 포함할 수 있다.

[0107] 도 6의 구동 회로(120)는 도 3a 및 도 4a의 구동 회로(52)와 달리 제n 선택 회로(SCn)를 포함하지 않을 수 있다. 이에 따라 구동 회로(120)에 포함된 NMOS 트랜지스터들(MT)의 수가 2^n-2일 수 있다.

[0108] 따라서, 도 6의 구동 회로(120)의 면적은 도 3a 및 도 4a의 구동 회로(52)의 면적보다 상당히 작을 수 있다. 이에 따라, 저면적의 룩업 테이블(LUT)(100)의 설계가 가능할 수 있다.

[0109] 제n-1 선택 회로(SCn-1)는 2^{n-1} 개의 NMOS 트랜지스터들(MT)을 외에도 2^{n-1} 개의 워드라인 드라이버들(Drv1 ~ Drv2^{n-1})을 더 포함할 수 있다. 2^{n-1} 개의 워드라인 드라이버들(Drv1 ~ Drv2^{n-1})의 일단은 복수의 워드라인들(WL1 ~ WL2^{n-1})과 각각 연결될 수 있다. 2^{n-1} 개의 워드라인 드라이버들(Drv1 ~ Drv2^{n-1})의 타단은 2^{n-1} 개의 NMOS 트랜

지스터들(MT)의 제1 소스/드레인 단자들과 각각 연결될 수 있다.

[0110] 즉, 도 3a 및 도 4a에서, 제n 선택 회로(SCn)는 2^n 개의 워드라인 드라이버들(Drv1 ~ Drv2^{n-1})을 포함할 수 있지만, 도 6에서, 제n-1 선택 회로(SCn-1)는 제n 선택 회로(SCn)보다 절반의 워드라인 드라이버들만을 포함할 수 있다.

[0111] 구동 회로(120)는 외부로부터 제1 입력 신호들(I(0) ~ I(n-2))을 수신할 수 있다. 도 3a의 구동 회로(52)와 달리 도 6의 구동 회로(120)는 제1 내지 제n-1 선택 회로들(SC1 ~ SCn-1)을 포함하므로, 제1 내지 제n-1 선택 회로들(SC1 ~ SCn-1)에 n-1비트 데이터가 1비트씩 각각 인가될 수 있다. 제1 입력 신호들(I(0) ~ I(n-2))과 다른 제2 입력 신호(I(n-1))는 주변 회로(130)에서 수신될 수 있다.

[0112] 이 경우, 제1 입력 신호들(I(0) ~ I(n-2)) 각각의 논리값에 따라 복수의 워드라인들(WL1 ~ WL2^{n-1}) 중 하나의 워드라인과 연결되는 워드라인 드라이버만이 구동될 수 있다. 이에 대한 자세한 설명은 도 9a 내지 도 11c에서 후술된다.

[0113] 주변 회로(130)는 셀 어레이(110)와 복수의 비트라인들(BL1, BL2, BL3) 및 복수의 소스라인들(SL1, SL2)을 통해 연결될 수 있다.

[0114] 즉, 도 3a 및 도 4a의 주변 회로(53)는 셀 어레이(51)와 2개의 비트라인들(RBL, WBL) 및 하나의 소스라인(SL)으로 연결될 수 있지만, 도 6의 주변 회로(130)는 셀 어레이(110)와 3개의 비트라인들(BL1, BL2, BL3) 및 2개의 소스라인들(SL1, SL2)을 통해 연결될 수 있다.

[0115] 주변 회로(130)는 외부로부터 수신한 쓰기 커맨드(WCMD)(도 3a 참조)에 응답하여 쓰기 인에이블 신호(WEN)를 생성할 수 있다. 주변 회로(130)는 외부로부터 수신한 읽기 커맨드(RCMD)(도 3a 참조)에 응답하여 읽기 인에이블 신호(REN)를 생성할 수 있다.

[0116] 도 6에서, 주변 회로(130)는 스위치 컨트롤러(131), 감지 증폭기(Sense Amplifier, SA)(132), 쓰기 드라이버(Write Driver, WD)(133), 및 복수의 스위치들(134)을 포함할 수 있다.

[0117] 스위치 컨트롤러(131)는 복수의 스위치들(134)에 제어 신호들을 출력할 수 있다. 제어 신호들에 기반하여, 복수의 비트라인(BL1, BL2, BL3), 및 복수의 소스라인들(SL1, SL2)과 감지 증폭기(132), 쓰기 드라이버(133), 및 접지단이 전기적으로 연결될 수 있다. 스위치 컨트롤러(131)는 복수의 스위치들(134)을 제어하도록 구성될 수 있다.

[0118] 스위치 컨트롤러(131)는 제2 입력 신호(I(n-1)), 쓰기 인에이블 신호(WEN), 및 읽기 인에이블 신호(REN)를 수신할 수 있다. 스위치 컨트롤러(131)는 제2 입력 신호(I(n-1)), 쓰기 인에이블 신호(WEN), 및 읽기 인에이블 신호(REN)에 기반하여 복수의 스위치들(134)을 제어하기 위한 제어 신호들을 출력할 수 있다. 스위치 컨트롤러(131)에 대한 자세한 설명은 도 7에서 후술된다.

[0119] 주변 회로(130)는 쓰기 인에이블 신호(WEN)에 기반하여 데이터 쓰기 동작을 수행할 수 있다. 주변 회로(130)는 읽기 인에이블 신호(REN)에 기반하여 데이터 읽기 동작을 수행할 수 있다.

[0120] 도 6에서, 제1 비트라인(BL1)에 2^{n-1}개의 셀들이 연결될 수 있다. 마찬가지로, 제2 비트라인(BL2)에 2^{n-1}개의 셀들이 연결될 수 있다. 즉, 도 3a 및 도 4a의 2^n개의 셀들은 하나의 읽기 비트라인(RBL)에 연결될 수 있지만, 도 6에서는 하나의 비트라인(BL1 또는 BL2)에 2^{n-1}개의 셀들만이 연결될 수 있다.

[0121] 도 6의 하나의 비트라인(BL1 또는 BL2)은 도 3a 및 도 4a의 읽기 비트라인(RBL)보다 작은 커패시터 값을 가질 수 있다. 이에 따라, 읽기 동작 시 충전된 전하를 방전하는 속도가 증가할 수 있고, 읽기 동작 시에 소모되는 소비 전력 및 소비 시간이 감소할 수 있다.

[0122] 또한, 하나의 비트라인(BL1 또는 BL2)에 커패시터를 충전하고, 전압 레벨을 디벨롭할 때 소비되는 에너지가 감소할 수 있다. 따라서, 추가된 비트라인의 개수에 기반하여, 읽기 동작 시 에너지 효율이 개선된 FPGA 장치(10)를 구현하는 것이 가능할 수 있다.

[0123] 도 7은 본 발명의 실시 예에 따른 룩업 테이블(LUT)에 포함된 스위치 컨트롤러를 상세하게 보여주는 도면이다.

[0124] 도 6 및 도 7을 참조하면, 주변 회로(130)는 스위치 컨트롤러(131), 감지 증폭기(132), 및 쓰기 드라이버(133)

를 포함할 수 있다. 스위치 컨트롤러(131)는 제1 내지 제5 논리 게이트들(131a ~ 131e)을 포함할 수 있다.

[0125] 제1 내지 제5 논리 게이트들(131a ~ 131e)은 제1 내지 제7 스위치들(S1~S7)을 제어하기 위한 제어 신호들을 출력할 수 있다.

[0126] 제1 내지 제7 스위치들(S1~S7)은 전송 게이트(Transmission Gate, 이하 TG)일 수 있다. 전송 게이트(TG)는 PMOS 트랜지스터 및 NMOS 트랜지스터가 병렬로 연결된 구성일 수 있다. 전송 게이트(TG)의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극에 제어 신호가 인가될 수 있다.

[0127] 제어 신호는 PMOS 트랜지스터의 게이트 전극으로 인가되는 반전된 논리값을 갖는 신호 및 NMOS 트랜지스터의 게이트 전극으로 인가되는 반전되지 않은 논리값을 갖는 신호를 포함할 수 있다.

[0128] 제1 및 제2 논리 게이트들(131a, 131b)은 읽기 인에이블 신호(REN)를 수신할 수 있다.

[0129] 제1 논리 게이트(131a)는 반전되지 않은 제2 입력 신호(I(n-1))를 수신할 수 있다. 제1 논리 게이트(131a)는 반전되지 않은 제2 입력 신호(I(n-1)) 및 읽기 인에이블 신호(REN)에 기반하여 논리 연산을 수행하여 제1 스위치(S1)를 제어하기 위한 제어 신호를 출력할 수 있다.

[0130] 도시되지 않았지만, 제1 스위치(S1)의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극은 제1 논리 게이트(131a)에 연결될 수 있다. 따라서, 제1 스위치(S1)의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극에 제어 신호가 인가될 수 있다.

[0131] 제2 논리 게이트(131b)는 반전된 제2 입력 신호(I(n-1))를 수신할 수 있다. 제2 논리 게이트(131b)는 반전된 제2 입력 신호(I(n-1)) 및 읽기 인에이블 신호(REN)에 기반하여 논리 연산을 수행하여 제2 스위치(S2)를 제어하기 위한 제어 신호를 출력할 수 있다.

[0132] 도시되지 않았지만, 제2 스위치(S2)의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극은 제2 논리 게이트(131b)에 연결될 수 있다. 따라서, 제2 스위치(S2)의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극에 제어 신호가 인가될 수 있다.

[0133] 예를 들어, 제2 입력 신호(I(n-1))가 제1 논리값(예를 들어, 1)을 갖는 경우, 제1 논리 게이트(131a)의 제어 신호에 기반하여 주변 회로(130)에 포함된 감지 증폭기(132)는 제1 비트라인(BL1)과 연결될 수 있다. 제2 논리 게이트(131b)의 제어 신호에 기반하여 주변 회로(130)에 포함된 감지 증폭기(132)는 제2 비트라인(BL2)과 연결되지 않을 수 있다.

[0134] 예를 들어, 제2 입력 신호(I(n-1))가 제2 논리값(예를 들어, 0)을 갖는 경우, 제1 논리 게이트(131a)의 제어 신호에 기반하여 주변 회로(130)에 포함된 감지 증폭기(132)는 제1 비트라인(BL1)과 연결되지 않을 수 있다. 제2 논리 게이트(131b)의 제어 신호에 기반하여 주변 회로(130)에 포함된 감지 증폭기(132)는 제2 비트라인(BL2)과 연결될 수 있다.

[0135] 제3 및 제4 논리 게이트들(131c, 131d)은 쓰기 인에이블 신호(WEN)를 수신할 수 있다.

[0136] 제3 논리 게이트(131c)는 반전되지 않은 제2 입력 신호(I(n-1))를 수신할 수 있다. 제3 논리 게이트(131c)는 반전되지 않은 제2 입력 신호(I(n-1)) 및 쓰기 인에이블 신호(WEN)에 기반하여 논리 연산을 수행하여 제4 및 제5 스위치들(S4, S5)을 제어하기 위한 제어 신호를 출력할 수 있다.

[0137] 도시되지 않았지만, 제4 스위치(S4) 및 제5 스위치(S5) 각각의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극은 제3 논리 게이트(131c)에 연결될 수 있다. 따라서, 제4 스위치(S4) 및 제5 스위치(S5) 각각의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극에 제어 신호가 인가될 수 있다.

[0138] 제4 논리 게이트(131d)는 반전된 제2 입력 신호(I(n-1))를 수신할 수 있다. 제4 논리 게이트(131d)는 반전된 제2 입력 신호(I(n-1)) 및 쓰기 인에이블 신호(WEN)에 기반하여 논리 연산을 수행하여 제6 및 제7 스위치들(S6, S7)을 제어하기 위한 제어 신호를 출력할 수 있다.

[0139] 도시되지 않았지만, 제6 스위치(S6) 및 제7 스위치(S7) 각각의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극은 제4 논리 게이트(131d)에 연결될 수 있다. 따라서, 제6 스위치(S6) 및 제7 스위치(S7) 각각의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극에 제어 신호가 인가될 수 있다.

[0140] 예를 들어, 제2 입력 신호(I(n-1))가 제1 논리값(예를 들어, 1)을 갖는 경우, 제3 논리 게이트(131c)의 제어 신호에 기반하여 주변 회로(130)에 포함된 쓰기 드라이버(133)는 제3 비트라인(BL3) 및 복수의 소스라인들(SL1,

SL2)과 연결될 수 있다.

[0141] 예를 들어, 제2 입력 신호(I(n-1))가 제2 논리값(예를 들어, 0)을 갖는 경우, 제4 논리 게이트(131d)의 제어 신호에 기반하여 주변 회로(130)에 포함된 쓰기 드라이버(133)는 제3 비트라인(BL3) 및 복수의 소스라인들(SL1, SL2)과 연결될 수 있다.

[0142] 제1 내지 제4 논리 게이트들(131a ~ 131d) 각각은 AND 게이트를 포함할 수 있고, 논리 연산은 AND 연산을 포함할 수 있다.

[0143] 제5 논리 게이트(131e)는 읽기 인에이블 신호(REN)를 수신할 수 있다. 제5 논리 게이트(131e)는 읽기 인에이블 신호(REN)에 기반하여 제3 스위치(S3)를 제어하기 위한 제어 신호를 출력할 수 있다.

[0144] 도시되지 않았지만, 제3 스위치(S3)의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극은 제5 논리 게이트(131e)에 연결될 수 있다. 따라서, 제3 스위치(S3)의 PMOS 트랜지스터의 게이트 전극 및 NMOS 트랜지스터의 게이트 전극에 제어 신호가 인가될 수 있다.

[0145] 즉, 스위치 컨트롤러(131)가 읽기 인에이블 신호(REN)를 수신할 때, 제3 비트라인(BL3)은 접지단과 연결될 수 있다.

[0146] 도 8a는 도 2의 하나의 셀의 평면도이다. 도 2 내지 도 8a를 참조하면, 반도체 기판(미도시)에 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT)가 배치될 수 있다. 반도체 기판(미도시)은 실리콘 기판, 게르마늄 기판, 및/또는 실리콘-게르마늄 기판 등일 수 있다.

[0147] 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT)에 워드라인(WL) 및 제1 메탈(M1)이 배치될 수 있다. 제1 메탈(M1)은 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각과 메탈 컨택(미도시)으로 접속될 수 있다.

[0148] 제1 메탈(M1)에 읽기 비트라인(RBL) 및 쓰기 비트라인(WBL)이 배치될 수 있다. 읽기 비트라인(RBL) 및 쓰기 비트라인(WBL)은 제1 메탈(M1)과 메탈 컨택(미도시)으로 접속될 수 있다. 반도체 기판(미도시) 상에 읽기 비트라인(RBL) 및 쓰기 비트라인(WBL)은 워드라인(WL)과 교차되어 배치될 수 있다.

[0149] MTJ는 읽기 트랜지스터(RT) 상에 배치된 제1 메탈(M1) 상에 배치될 수 있다. 헤비 메탈(HM)은 쓰기 트랜지스터(WT) 상에 배치된 제1 메탈(M1) 및 MTJ 상에 배치될 수 있다. 헤비 메탈(HM)은 쓰기 트랜지스터(WT) 상에 배치된 제1 메탈(M1)과 메탈 컨택(미도시)으로 접속될 수 있다.

[0150] 헤비 메탈(HM) 상에 소스라인(SL)이 배치될 수 있다. 소스라인(SL)은 헤비 메탈(HM)과 메탈 컨택(미도시)으로 접속될 수 있다. 도 8a에서, 하나의 셀의 가로 길이는 L1일 수 있다. L1은 읽기 트랜지스터(RT) 상에 배치된 제1 메탈(M1)의 일측으로부터 쓰기 트랜지스터(WT) 상에 배치된 제1 메탈(M1)의 일측까지의 거리를 가리킬 수 있다.

[0151] 도 8b는 본 발명의 실시 예에 따른 도 5의 2개의 셀들의 평면도이다. 도 8c 내지 도 8e는 각각 도 8b의 A-A'선, B-B'선, C-C'선을 따라 자른 단면도이다. 도 8a와 중복되는 내용에 대한 자세한 설명은 생략된다.

[0152] 도 8b 내지 도 8e를 참조하면, 반도체 기판에 쓰기 트랜지스터들(WT) 및 읽기 트랜지스터들(RT)이 배치될 수 있다.

[0153] 쓰기 트랜지스터들(WT) 및 읽기 트랜지스터들(RT)에 워드라인(WL) 및 제1 메탈(M1)이 배치될 수 있다. 제1 메탈(M1)은 쓰기 트랜지스터(WT) 및 읽기 트랜지스터(RT) 각각과 메탈 컨택(M2)으로 접속될 수 있다.

[0154] 제1 메탈(M1)에 제1 내지 제3 비트라인들(BL1 ~ BL3)이 배치될 수 있다. 제1 내지 제3 비트라인들(BL1 ~ BL3)은 제1 메탈(M1)과 메탈 컨택(M2)으로 접속될 수 있다.

[0155] 좀 더 구체적으로, 읽기 트랜지스터들(RT)에 배치되는 제1 메탈(M1)에 제1 및 제2 비트라인들(BL1, BL2)이 배치될 수 있다. 제1 및 제2 비트라인들(BL1, BL2)은 읽기 트랜지스터들(RT)에 배치된 제1 메탈(M1)과 메탈 컨택(M2)으로 접속될 수 있다. 제1 및 제2 비트라인들(BL1, BL2)은 쓰기 트랜지스터들(WT)에 배치된 제1 메탈(M1)과 접속되지 않을 수 있다.

[0156] 쓰기 트랜지스터들(WT)에 배치되는 제1 메탈(M1)에 제3 비트라인(BL3)이 배치될 수 있다. 제3 비트라인(BL3)은 쓰기 트랜지스터들(WT)에 배치된 제1 메탈(M1)과 메탈 컨택(M2)으로 접속될 수 있다.

[0157] 제1 셀(cell1)에 포함된 쓰기 트랜지스터(WT)에 배치된 제1 메탈(M1) 및 제3 비트라인(BL3) 사이에서 메탈 컨택

(M2)으로 접속되는 부분은 제1 영역(P1)일 수 있다.

[0158] 제2 셀(cell2)에 포함된 쓰기 트랜지스터(WT)에 배치된 제1 메탈(M1) 및 제3 비트라인(BL3) 사이에서 메탈 컨택(M2)으로 접속되는 부분은 제2 영역(P2)일 수 있다. 제3 비트라인(BL3)은 읽기 트랜지스터들(RT)에 배치된 제1 메탈(M1)과 접속되지 않을 수 있다.

[0159] 반도체 기판 상에 제1 내지 제3 비트라인들(BL1 ~ BL3)은 워드라인(WL)과 교차되어 배치될 수 있다.

[0160] MTJ들은 읽기 트랜지스터들(RT) 상에 각각 배치된 제1 메탈(M1) 상에 배치될 수 있다. 헤비 메탈들(HM)은 쓰기 트랜지스터들(WT) 상에 배치된 제1 메탈(M1) 및 MTJ 상에 배치될 수 있다. 헤비 메탈들(HM)은 쓰기 트랜지스터(WT) 상에 배치된 제1 메탈(M1)과 메탈 컨택(M2)으로 접속될 수 있다.

[0161] 헤비 메탈들(HM) 상에 복수의 소스라인들(SL1, SL2)이 배치될 수 있다. 복수의 소스라인들(SL1, SL2)은 헤비 메탈들(HM)과 메탈 컨택(M2)으로 각각 접속될 수 있다.

[0162] 도 8b에서, 하나의 셀의 가로 길이는 L2일 수 있다. L2는 제1 셀(cell1)에 포함된 읽기 트랜지스터(RT) 상에 배치된 제1 메탈(M1)의 일측으로부터 제1 영역(P1)의 일측까지의 거리를 가리킬 수 있다.

[0163] 도 8b에서는, 제1 방향(도 2 참조)으로 배치된 2개의 셀들(cell1, cell2)이 제1 내지 제3 비트라인들(BL1 ~ BL3)과 연결되고, 2개의 셀들(cell1, cell2)이 제3 비트라인(BL3) 및 워드라인(WL)을 공유할 수 있다. 도 8a에서는, 하나의 셀이 읽기 및 쓰기 비트라인들(WBL, RBL)과 연결될 수 있다. 이에 따라, 도 8b에서의 L2는 도 8a에서의 L1보다 작을 수 있고, 저면적의 FPGA 장치(10)의 구현이 가능할 수 있다.

[0164] 도 9a 내지 도 9c는 본 발명의 실시 예에 따른 도 6의 하나의 워드라인과 연결된 셀들에 대한 데이터 읽기 동작을 설명하기 위한 도면들이다. 예시적으로, 도 9a 내지 도 9c에서는, 도 6의 복수의 워드라인들(WL1 ~ $WL2^{n-1}$) 중 제1 워드라인(WL1)과 연결된 셀들에 대한 데이터 읽기 동작이 설명된다.

[0165] 도 4a 내지 도 7 및 도 9a 내지 도 9c를 참조하면, 제1 워드라인(WL1)에 연결된 제1 셀(cell1) 및 제2 셀(cell2)에 대한 데이터 읽기 동작 시, 제1 워드라인 드라이버(Drv1)에 의해 제1 워드라인이 전원 전압(VDD)으로 충전될 수 있다. 따라서, 복수의 워드라인들(WL1 ~ $WL2^{n-1}$) 중 제1 워드라인(WL1)만이 활성화될 수 있다. 구동 회로(120)는 외부로부터 수신한 제1 입력 신호들(I(0) ~ I(n-2))에 기반하여 복수의 워드라인들(WL1 ~ $WL2^{n-1}$) 중 하나의 워드라인(WL1)을 구동할 수 있다.

[0166] 제1 논리값(예를 들어, 1)을 갖는 제2 입력 신호(I(n-1)) 및 읽기 인에이블 신호(REN)에 기반한 제1 논리 게이트(131a)의 제어 신호에 따라 제1 스위치(S1)가 닫힐 수 있다. 이 경우, 감지 증폭기(132)는 제1 비트라인(BL1)과 연결될 수 있다.

[0167] 제2 논리값(예를 들어, 0)을 갖는 제2 입력 신호(I(n-1)) 및 읽기 인에이블 신호(REN)에 기반한 제2 논리 게이트(131b)의 제어 신호에 따라 제2 스위치(S2)가 닫힐 수 있다. 이 경우, 감지 증폭기(132)는 제2 비트라인(BL2)과 연결될 수 있다. 도 9a 및 도 9b에서, 쓰기 드라이버(133)는 제3 비트라인(BL3) 및 복수의 소스라인들(SL1, SL2)에 연결되지 않을 수 있다.

[0168] 읽기 인에이블 신호(REN)에 기반한 제5 논리 게이트(131e)의 제어 신호에 따라 제3 스위치(S3)가 닫힐 수 있다. 이 경우, 제3 비트라인(BL3)은 접지단과 연결될 수 있다. 제3 비트라인(BL3)에 접지 전압(VSS)이 인가될 수 있다.

[0169] 제1 워드라인(WL1)이 전원 전압(VDD)으로 충전되는 경우, 제1 셀(cell1) 및 제2 셀(cell2)에 포함된 읽기 트랜지스터들이 턴-온 될 수 있다. 이 경우, 제1 비트라인(BL1) 및 제2 비트라인(BL2)이 전원 전압(VDD)으로 충전될 수 있다.

[0170] 이러한 전압 조건에서, 감지 증폭기(132)는 제1 셀(cell1)에 연결된 제1 비트라인(BL1) 또는 제2 셀(cell2)에 연결된 제2 비트라인(BL2)의 전압 변화를 감지하기 위해 읽기 전류(IR)를 생성할 수 있다. 읽기 전류(IR)가 제1 비트라인(BL1)에서 제3 비트라인(B3), 또는 제2 비트라인(BL2)에서 제3 비트라인(BL3)으로 흐를 수 있다.

[0171] 읽기 전류(IR)는 헤비 메탈(HM) 및 MTJ를 통해 흐를 수 있다. 읽기 전류(IR)는 헤비 메탈(HM)과 MTJ이 접하는 계면에 대해 수직한 방향(제4 방향, 도 2 참조)으로 MTJ을 통해 흐를 수 있다.

[0172] 읽기 전류(IR)에 의해 MTJ의 저항 상태(고저항 상태 또는 저저항 상태)가 검출될 수 있다. 일 예로, 자유 자성

패턴(FL)의 자화 방향이 기준 자성 패턴(PL)의 자화 방향에 평행한 경우, MTJ는 제1 저항 상태(예를 들어, 저저항 상태)에 있을 수 있다. 자유 자성 패턴(FL)의 자화 방향이 기준 자성 패턴(PL)의 자화 방향에 반평행한 경우, MTJ는 제2 저항 상태(예를 들어, 고저항 상태)에 있을 수 있다. MTJ의 저항 상태에 따라, 제1 셀(cell) 또는 제2 셀(cell2)에 포함된 MTJ 내 저장된 데이터(0 또는 1)가 검출될 수 있다.

[0173] 도 10a 내지 도 11c는 본 발명의 실시 예에 따른 도 6의 하나의 워드라인과 연결된 셀들에 대한 데이터 쓰기 동작을 설명하기 위한 도면들이다.

[0174] 예시적으로, 도 10a 내지 도 10c에서는, 도 6의 복수의 워드라인들(WL1 ~ $WL2^{n-1}$) 중 제1 워드라인(WL1)과 연결된 셀들에 대해 제1 값을 갖는 쓰기 데이터(예를 들어, 0)를 쓰는 동작이 설명된다.

[0175] 예시적으로, 도 11a 내지 도 11c에서는, 도 6의 복수의 워드라인들(WL1 ~ $WL2^{n-1}$) 중 제1 워드라인(WL1)과 연결된 셀들에 대해 제2 값을 갖는 쓰기 데이터(예를 들어, 1)를 쓰는 동작이 설명된다. 도 9a 내지 도 9c와 중복되는 설명은 생략된다.

[0176] 도 6, 도 7, 및 도 10a 내지 도 11c를 참조하면, 제1 워드라인(WL1)이 전원 전압(VDD)으로 충전되는 경우, 제1 셀(cell1) 및 제2 셀(cell2)에 포함된 쓰기 트랜지스터들이 턴-온 될 수 있다. 이 경우, 제3 비트라인(BL3)이 전원 전압(VDD)으로 충전될 수 있다.

[0177] 제2 논리값(예를 들어, 0)을 갖는 제2 입력 신호(I(n-1)) 및 쓰기 인에이블 신호(WEN)에 기반한 제4 논리 게이트(131d)의 제어 신호에 따라 제6 및 제7 스위치들(S6, S7)이 닫힐 수 있다. 이 경우, 쓰기 드라이버(133)는 제7 스위치(S7)를 통해 제1 소스라인(SL1)의 일단과 연결될 수 있다. 제1 소스라인(SL1)의 타단은 주변 회로(130)에 포함된 소스라인 드라이버(미도시)에 연결될 수 있다.

[0178] 제1 논리값(예를 들어, 1)을 갖는 제2 입력 신호(I(n-1)) 및 쓰기 인에이블 신호(WEN)에 기반한 제3 논리 게이트(131c)의 제어 신호에 따라 제4 및 제5 스위치들(S4, S5)이 닫힐 수 있다. 이 경우, 이 경우, 쓰기 드라이버(133)는 제5 스위치(S5)를 통해 제2 소스라인(SL2)의 일단과 연결될 수 있다. 제2 소스라인(SL2)의 타단은 주변 회로(130)에 포함된 소스라인 드라이버(미도시)에 연결될 수 있다.

[0179] 소스라인 드라이버(미도시)는 주변 회로(130)의 제어 하에 복수의 소스라인들(SL1, SL2)을 특정 전압 레벨로 구동할 수 있다.

[0180] 제1 셀(cell1) 및 제2 셀(cell2)에 높은 저항 값(예컨대, 반평형 상태)을 갖도록 쓰기 동작(예를 들어, 제1 값(“”)을 갖는 쓰기 데이터 쓰기)을 수행하고자 하는 경우, 또는 제1 셀(cell1) 및 제2 셀(cell2)에 낮은 저항 값(예컨대, 평형 상태)을 갖도록 쓰기 동작(예를 들어, 제2 값(“1” 을 갖는 쓰기 데이터 쓰기)을 수행하고자 하는 경우, 소스라인 드라이버(미도시)로부터 제1 소스라인(SL1) 및 제2 소스라인(SL2)으로 인가되는 전압 레벨들은 서로 다를 수 있다.

[0181] 도 10a 내지 도 10c에서, 제1 셀(cell1)에 제1 값을 갖는 쓰기 데이터(예를 들어, 0)를 쓰기 위해, 제1 소스라인(SL1)에 접지 전압(VSS)이 인가될 수 있으며, 제2 소스라인(SL2)에 전원 전압(VDD)이 인가될 수 있다.

[0182] 제6 스위치(S6)가 닫히는 경우, 제2 소스라인(SL2)의 일단 및 제3 비트라인(BL3)이 쓰기 드라이버(133)와 연결될 수 있다. 따라서, 제3 비트라인(BL3)이 전원 전압(VDD) 레벨로 유지될 수 있다.

[0183] 이러한 전압 조건에서, 쓰기 전류(Iw)가 헤비 메탈(HM)을 통해 제3 비트라인(BL3)(전원 전압(VDD) 레벨)에서 제1 소스라인(SL1)(접지 전압(VSS) 레벨)으로 흐를 수 있으며, 동시에, MTJ의 기준 자성 패턴(PL)에 평행한 방향으로 또는 반평행한 방향으로 MTJ를 통해 스핀 전류가 제1 비트라인(BL1)으로 흐를 수 있다.

[0184] 쓰기 전류(Iw)는 MTJ의 자유 자성 패턴(FL)에 스핀-궤도 토크(spin-orbit torque)를 가하는 면내 전류(in-plane current)일 수 있다. 쓰기 전류(Iw)는 헤비 메탈(HM)과 MTJ의 자유 자성 패턴(FL) 사이의 계면과 평행하게 그리고 이에 인접하게 흐를 수 있다. 쓰기 전류(Iw)가 흐르는 동안 스핀 홀 효과 및 라쉬바 효과에 의해 스핀 전류가 헤비 메탈(HM)과 MTJ의 자유 자성 패턴(FL) 사이의 계면에 대해 수직한 방향으로 흐를 수 있으며, 이로 인해 MTJ에 스핀-궤도 토크가 가해질 수 있다. 헤비 메탈(HM)의 표면을 따라 유도된 쓰기 전류(Iw) 크기에 기초하여 MTJ의 자유 자성 패턴(FL)의 자화 방향이 기준 자성 패턴(PL)의 자화 방향에 반평행하게(또는 평행하게) 스위칭될 수 있다.

[0185] 제2 셀(cell2)에 제1 값을 갖는 쓰기 데이터(예를 들어, 0)를 쓰기 위해, 제1 소스라인(SL1)에 전원 전압(VDD)

이 인가될 수 있으며, 제2 소스라인(SL2)에 접지 전압(VSS)이 인가될 수 있다.

[0186] 제4 스위치(S4)가 닫히는 경우, 제1 소스라인(SL1)의 일단 및 제3 비트라인(BL3)이 쓰기 드라이버(133)와 연결될 수 있다. 따라서, 제3 비트라인(BL3)이 전원 전압(VDD) 레벨로 유지될 수 있다.

[0187] 이러한 전압 조건에서, 쓰기 전류(Iw)가 헤비 메탈(HM)을 통해 제3 비트라인(BL3)(전원 전압(VDD) 레벨)에서 제2 소스라인(SL2)(접지 전압(VSS) 레벨)으로 흐를 수 있으며, 동시에, MTJ의 기준 자성 패턴(PL)에 평행한 방향으로 또는 반평행한 방향으로 MTJ를 통해 스핀 전류가 제2 비트라인(BL2)으로 흐를 수 있다.

[0188] 도 11a 내지 도 11c에서, 제1 셀(cell1)에 제2 값을 갖는 쓰기 데이터(예를 들어, 1)를 쓰기 위해, 제1 소스라인(SL1)에 전원 전압(VDD)이 인가될 수 있으며, 제2 소스라인(SL2)에 접지 전압(VSS)이 인가될 수 있다.

[0189] 제6 스위치(S6)가 닫히는 경우, 제2 소스라인(SL2)의 일단 및 제3 비트라인(BL3)이 쓰기 드라이버(133)와 연결될 수 있다. 따라서, 제3 비트라인(BL3)이 접지 전압(VSS) 레벨로 방전될 수 있다.

[0190] 이러한 전압 조건에서, 쓰기 전류(Iw)가 헤비 메탈(HM)을 통해 제1 소스라인(SL1)(전원 전압(VDD) 레벨)에서 제3 비트라인(BL3)(접지 전압(VSS) 레벨)으로 흐를 수 있으며, 동시에, MTJ의 기준 자성 패턴(PL)에 평행한 방향으로 또는 반평행한 방향으로 MTJ를 통해 스핀 전류가 제1 비트라인(BL1)으로 흐를 수 있다.

[0191] 제2 셀(cell2)에 제2 값을 갖는 쓰기 데이터(예를 들어, 1)를 쓰기 위해, 제1 소스라인(SL1)에 접지 전압(VSS)이 인가될 수 있으며, 제2 소스라인(SL2)에 전원 전압(VDD)이 인가될 수 있다.

[0192] 제4 스위치(S4)가 닫히는 경우, 제1 소스라인(SL1)의 일단 및 제3 비트라인(BL3)이 쓰기 드라이버(133)와 연결될 수 있다. 따라서, 제3 비트라인(BL3)이 접지 전압(VSS) 레벨로 유지될 수 있다.

[0193] 이러한 전압 조건에서, 쓰기 전류(Iw)가 헤비 메탈(HM)을 통해 제2 소스라인(SL2)(전원 전압(VDD) 레벨)에서 제3 비트라인(BL3)(접지 전압(VSS) 레벨)으로 흐를 수 있으며, 동시에, MTJ의 기준 자성 패턴(PL)에 평행한 방향으로 또는 반평행한 방향으로 MTJ를 통해 스핀 전류가 제2 비트라인(BL2)으로 흐를 수 있다.

[0194] 도 12는 본 발명의 실시 예에 따른 데이터 쓰기 동작을 수행하는 룩업 테이블(LUT)의 동작 방법의 흐름도이다.

[0195] 도 6, 도 7, 도 10a 내지 도 11c, 및 도 12를 참조하면, S110 단계에서, 룩업 테이블(LUT)(100)은 제1 입력 신호들에 기반하여 복수의 워드라인들 중 하나의 워드라인을 구동할 수 있다.

[0196] S120 단계에서, 룩업 테이블(LUT)(100)은 외부로부터 제2 입력 신호, 쓰기 커맨드(WCMD), 쓰기 어드레스(WADDR), 및 쓰기 데이터(WDATA)를 수신할 수 있다. 제2 입력 신호는 구동 회로(120)에 입력되는 제1 입력 신호들과 달리 주변 회로(130)에 입력될 수 있다.

[0197] S130 단계에서, 룩업 테이블(LUT)(100)은 쓰기 커맨드(WCMD)에 응답하여 쓰기 인에이블 신호(WEN)를 생성할 수 있다. 룩업 테이블(LUT)(100)은 쓰기 인에이블 신호(WEN)에 기반하여 데이터 쓰기 동작을 수행할 수 있다.

[0198] S140 단계에서, 룩업 테이블(LUT)(100)은 제2 입력 신호 및 쓰기 인에이블 신호(WEN)에 기반하여 복수의 스위치들을 제어할 수 있다. 쓰기 인에이블 신호(WEN)가 인가되는 경우, 룩업 테이블(LUT)(100)은 제4 내지 제7 스위치들(S4 ~ S7)을 제어할 수 있다.

[0199] S150 단계에서, 제2 입력 신호의 논리값이 1인 경우, S160 단계가 진행될 수 있다. S160 단계에서, 룩업 테이블(LUT)(100)은 하위 셀(도 10a 및 도 10b에서, 제2 셀(cell2))에 데이터(0 또는 1)를 쓸 수 있다.

[0200] S150 단계에서, 제2 입력 신호의 논리값이 1이 아닌 경우(예를 들어 0인 경우), S170 단계가 진행될 수 있다. S170 단계에서, 룩업 테이블(LUT)(100)은 상위 셀(도 10a 및 도 10b에서, 제1 셀(cell1))에 데이터(0 또는 1)를 쓸 수 있다.

[0201] 도 13은 본 발명의 실시 예에 따른 데이터 읽기 동작을 수행하는 룩업 테이블(LUT)의 동작 방법의 흐름도이다.

[0202] 도 6, 도 7, 도 9a 내지 도 9c, 및 도 12를 참조하면, S210 단계에서, 룩업 테이블(LUT)(100)은 제1 입력 신호들에 기반하여 복수의 워드라인들 중 하나의 워드라인을 구동할 수 있다.

[0203] S220 단계에서, 룩업 테이블(LUT)(100)은 외부로부터 제2 입력 신호, 읽기 커맨드(RCMD), 및 읽기 어드레스(RADDR)를 수신할 수 있다.

[0204] S230 단계에서, 룩업 테이블(LUT)(100)은 읽기 커맨드(RCMD)에 응답하여 읽기 인에이블 신호(REN)를 생성할 수 있다. 룩업 테이블(LUT)(100)은 읽기 인에이블 신호(REN)에 기반하여 데이터 읽기 동작을 수행할 수 있다.

[0205] S240 단계에서, 룩업 테이블(LUT)(100)은 제2 입력 신호 및 읽기 인에이블 신호(REN)에 기반하여 복수의 스위치들을 제어할 수 있다. 읽기 인에이블 신호(REN)가 인가되는 경우, 룩업 테이블(LUT)(100)은 제1 내지 제3 스위치들(S1 ~ S3)을 제어할 수 있다.

[0206] S250 단계에서, 제2 입력 신호의 논리값이 1인 경우, S260 단계가 진행될 수 있다. S260 단계에서, 룩업 테이블(LUT)(100)은 상위 셀(도 9a 및 도 9b에서, 제1 셀(cell1))에 저장된 데이터(0 또는 1)를 읽을 수 있다.

[0207] S250 단계에서, 제2 입력 신호의 논리값이 1이 아닌 경우(예를 들어 0인 경우), S270 단계가 진행될 수 있다. S270 단계에서, 룩업 테이블(LUT)(100)은 하위 셀(도 9a 및 도 9b에서, 제2 셀(cell2))에 저장된 데이터(0 또는 1)를 읽을 수 있다.

[0208] 상술된 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술된 실시 예들뿐만 아니라, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들 또한 포함할 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안 되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0209] 10: FPGA 장치

50, 100: 룩업 테이블(LUT)

51, 110: 셀 어레이

52, 120: 구동 회로

53, 130: 주변 회로

131: 스위치 컨트롤러

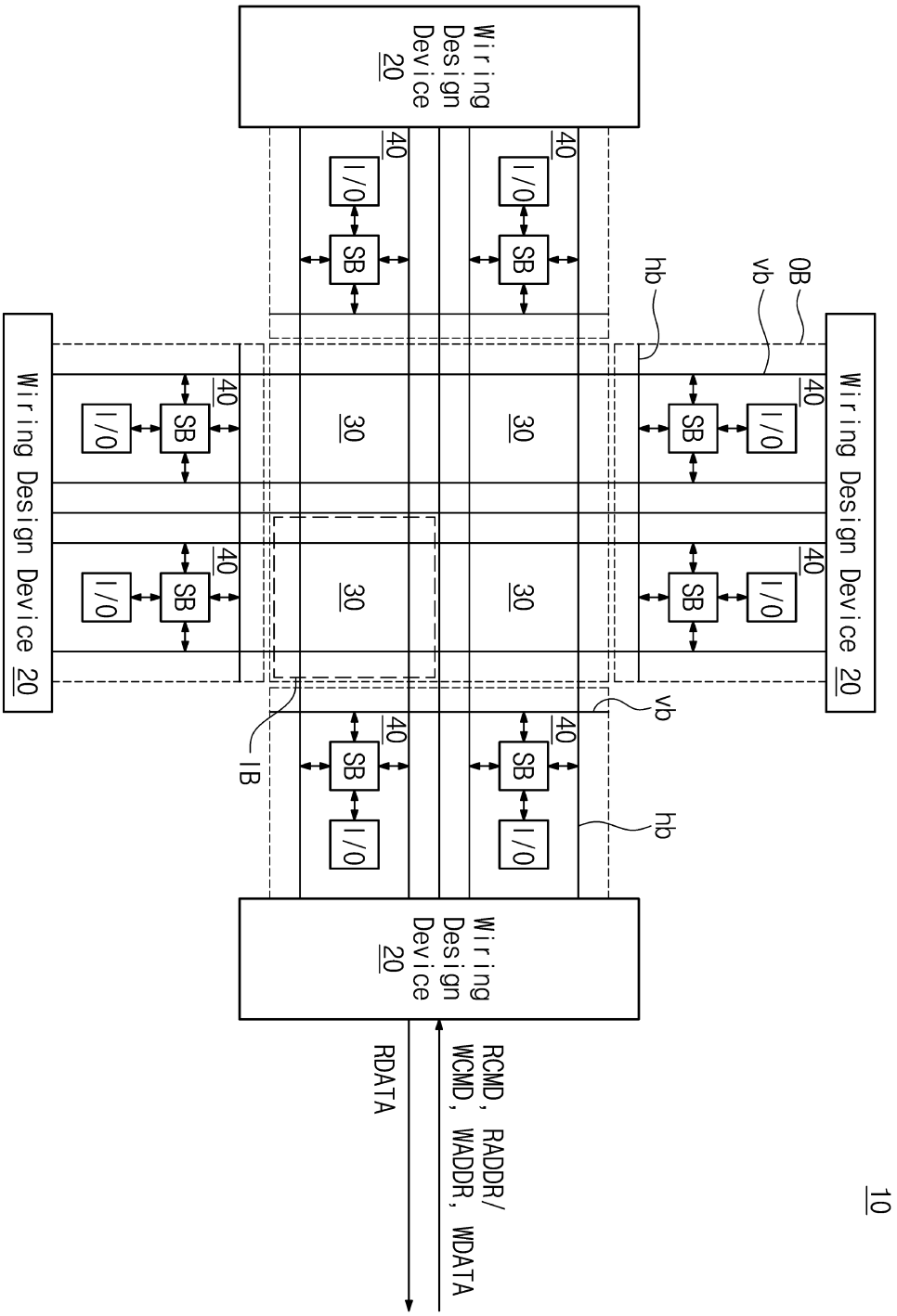
132: 감지 증폭기

133: 쓰기 드라이버

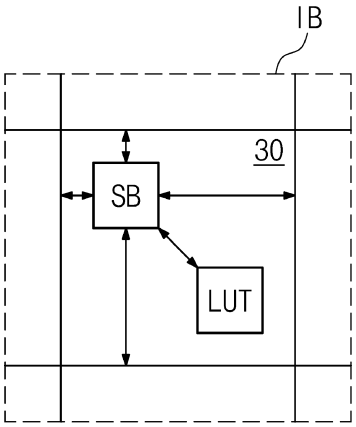
134: 복수의 스위치들

도면

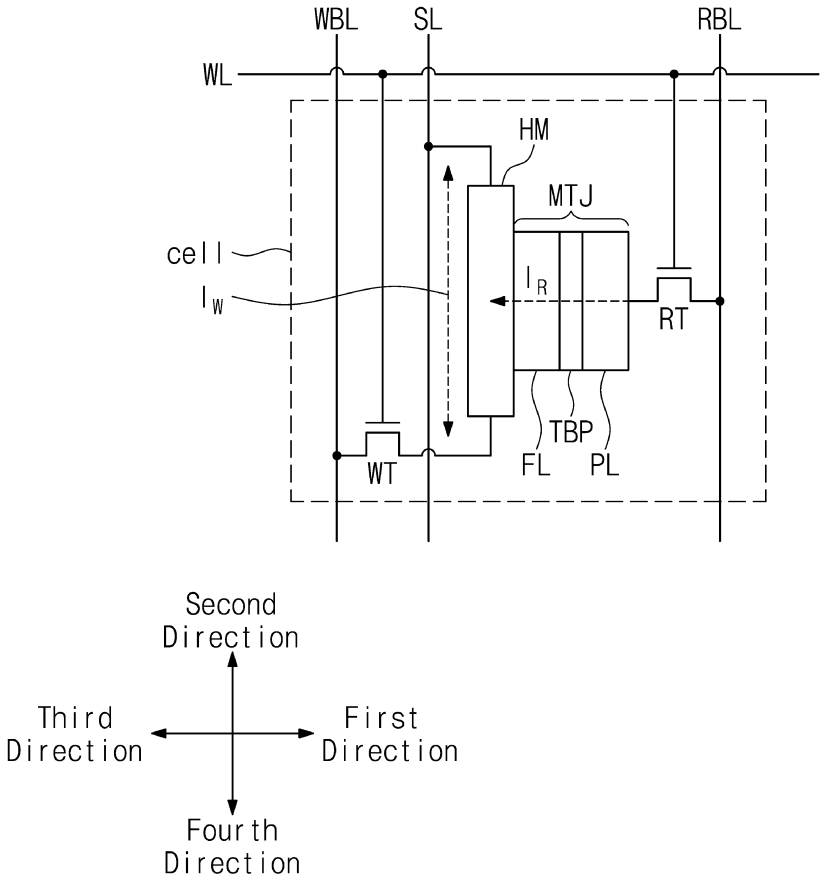
도면1a


Wiring Design Device 20
Wiring Design Device 20
Wiring Design Device 20
Wiring Design Device 20
40
I/O
SB
30
OB
vb
hb
IB
RCMD, RADDR/
WCMD, WADDR, WDATA
RDATA
10

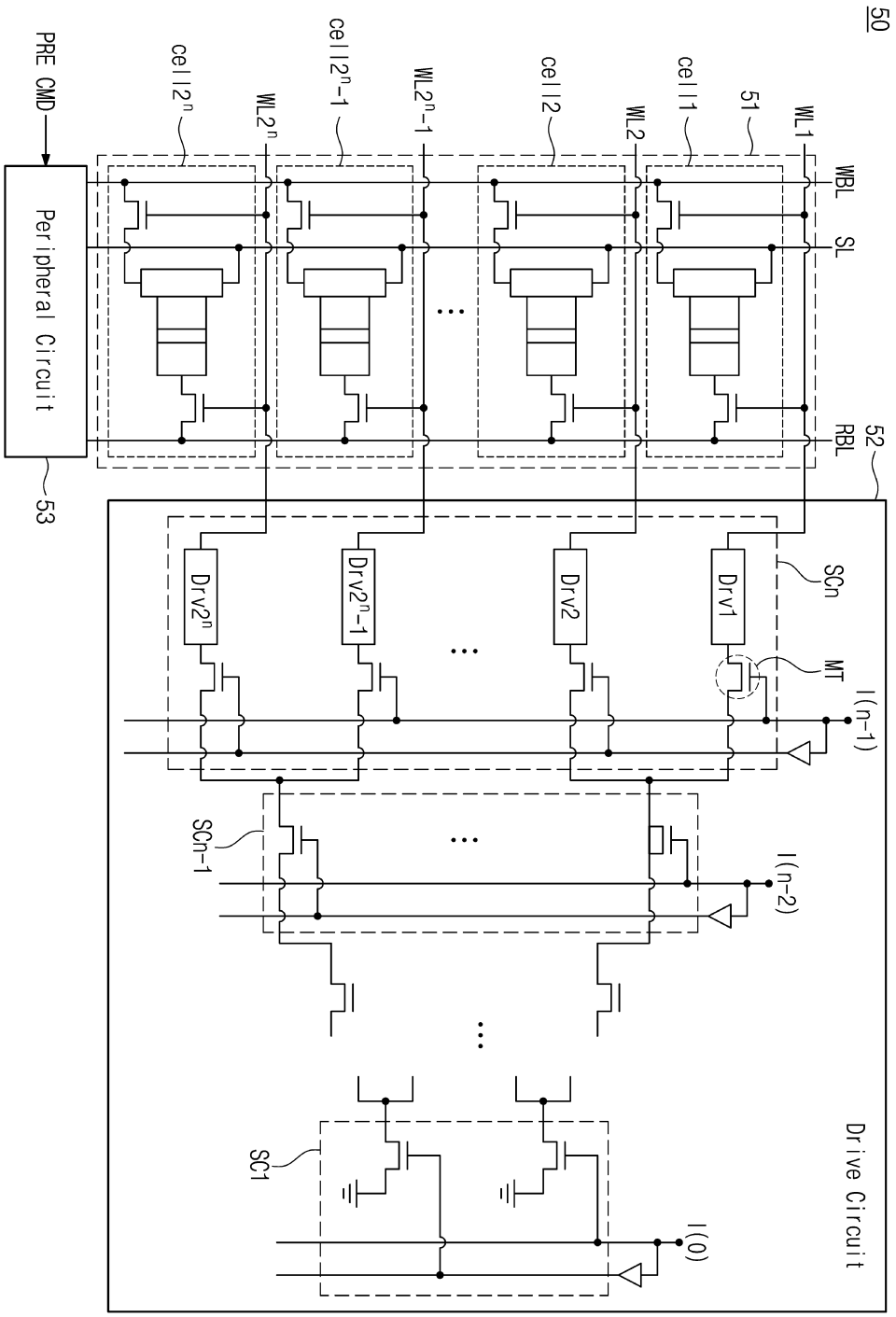
도면1b


IB
30
SB
LUT

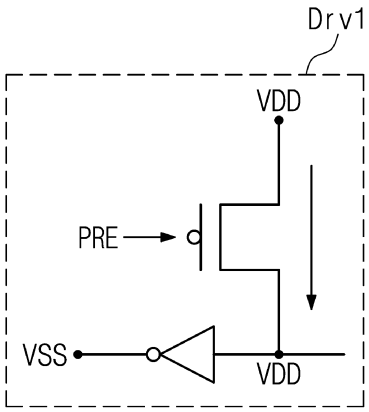
도면2


WBL
SL
RBL
WL
HM
MTJ
cell
I_W
I_R
RT
TBP
FL
PL
WT
Second Direction
Third Direction
First Direction
Fourth Direction

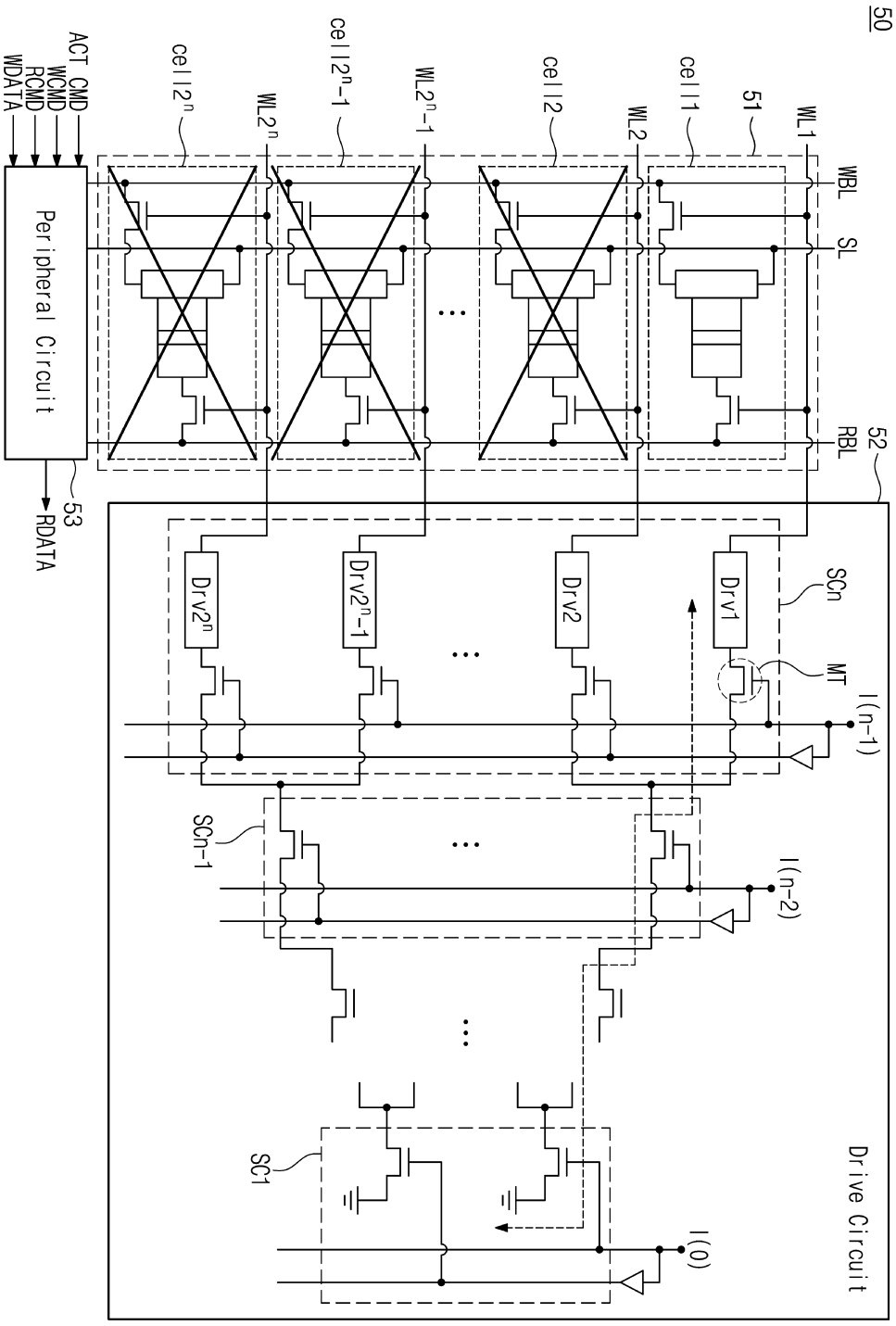
도면3a


50
PRE CMD
Peripheral Circuit
53
cell2^n
WL2^n
cell2^n-1
WL2^n-1
cell2
WL2
cell1
51
WL1
WBL
SL
RBL
52
Drv2^n
Drv2^n-1
Drv2
Drv1
SCn
MT
I(n-1)
SCn-1
I(n-2)
SC1
I(0)
Drive Circuit

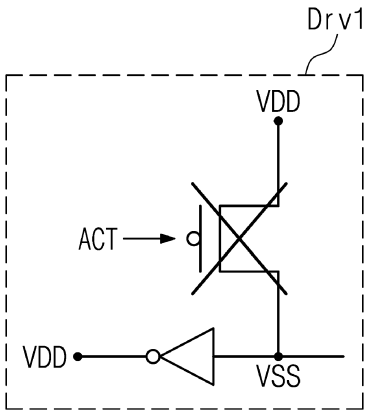
도면3b



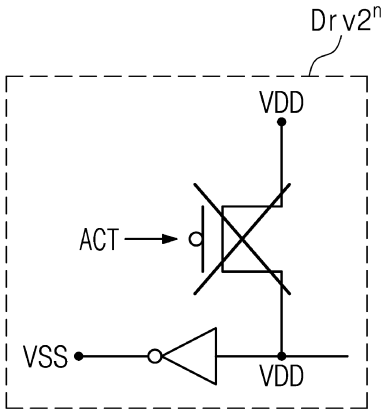
도면4a


50
ACT
CMD
WCMD
RCMD
WDATA
Peripheral Circuit
53
RDATA
cell2^n
WL2^n
cell2^n-1
WL2^n-1
cell2
WL2
cell1
51
WL1
WBL
SL
RBL
52
Drv2^n
Drv2^n-1
Drv2
Drv1
SCn
MT
I(n-1)
SCn-1
I(n-2)
SC1
I(0)
Drive Circuit

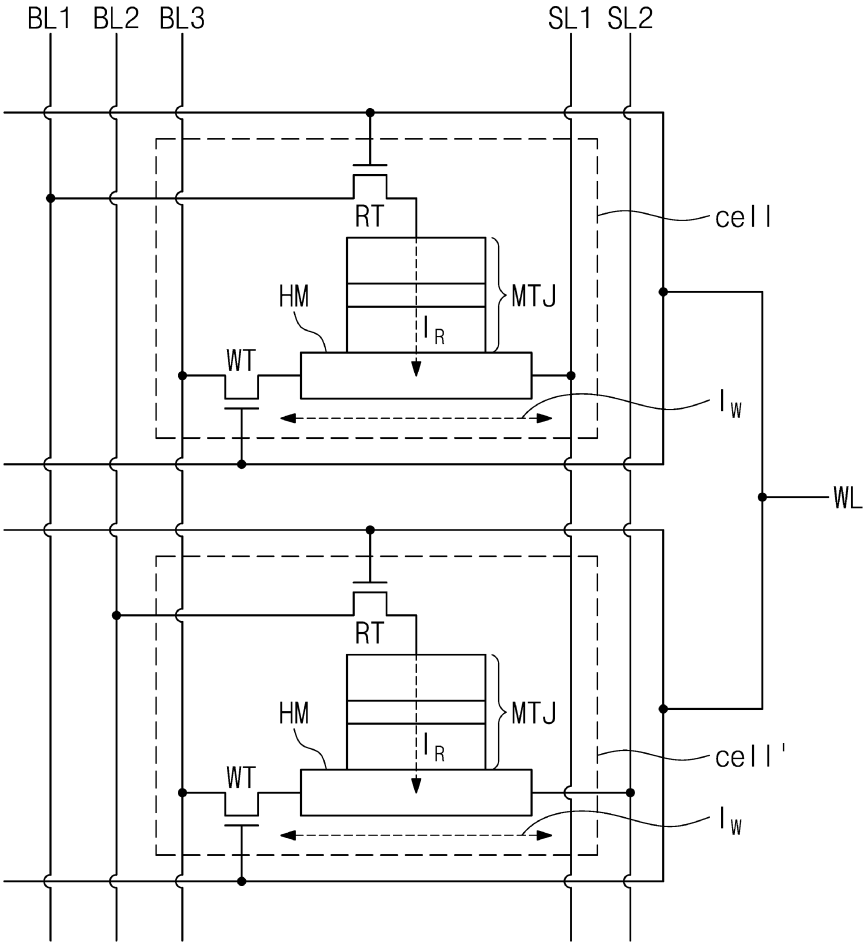
도면4b



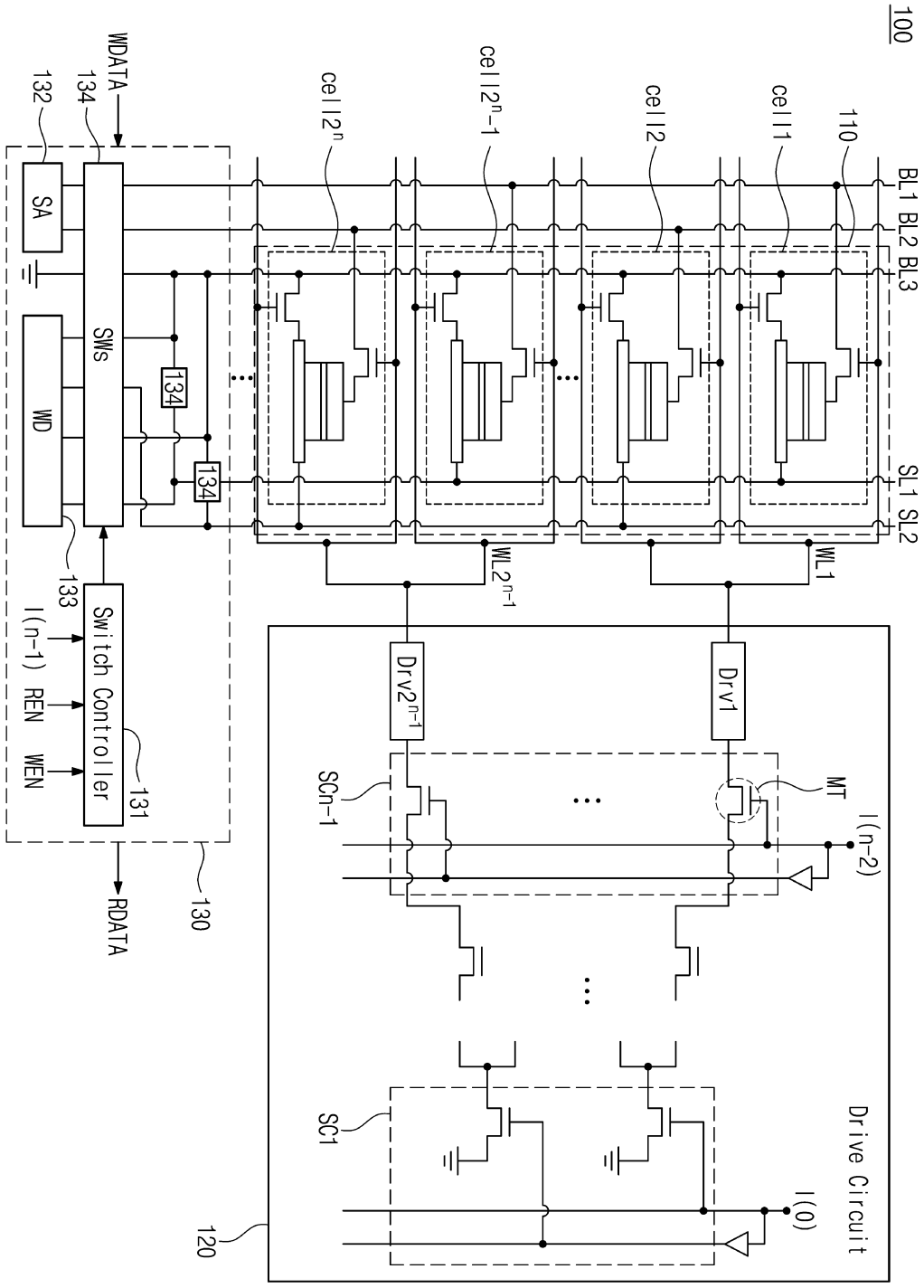
도면4c



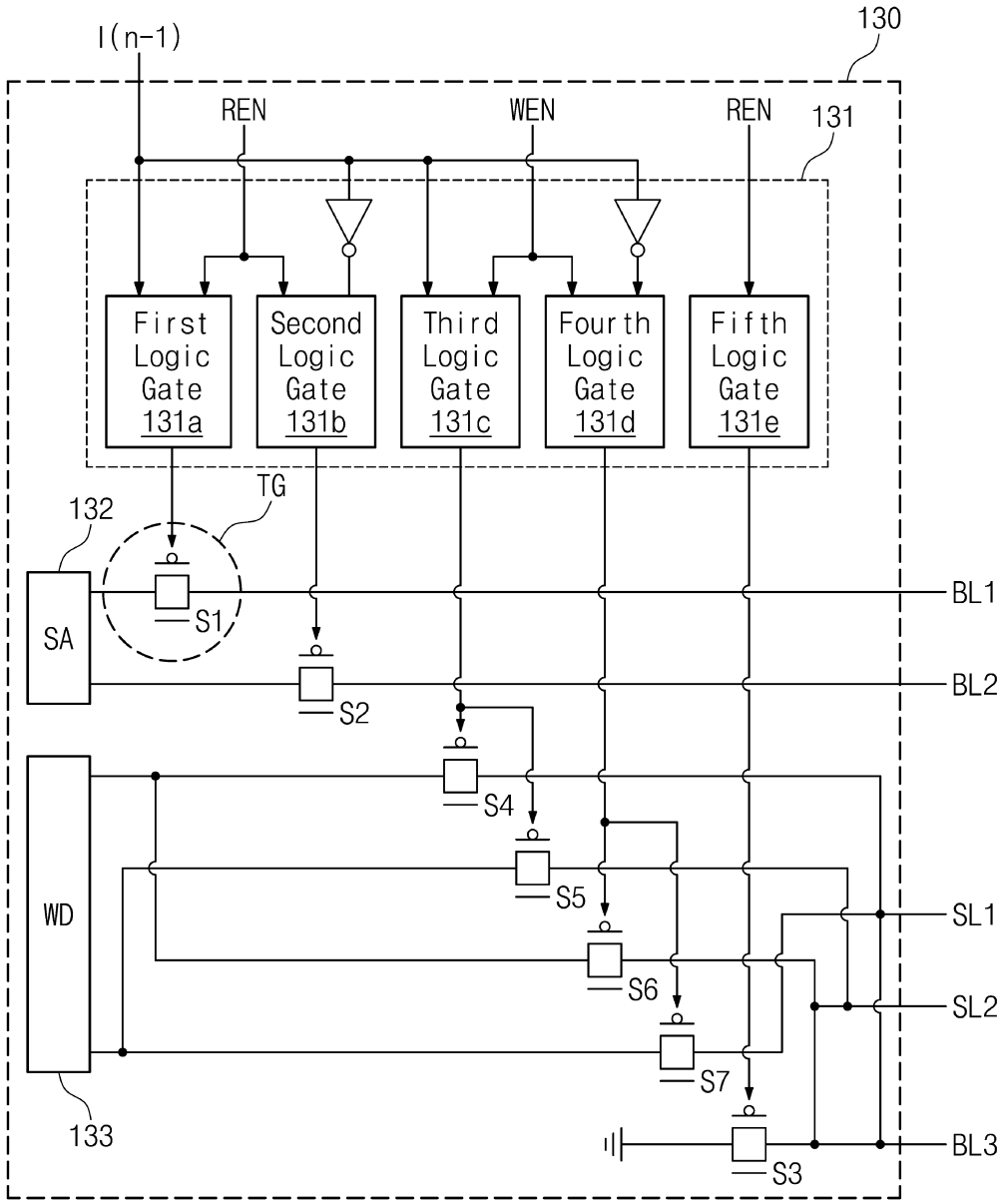
도면5


BL1
BL2
BL3
SL1
SL2
RT
HM
MTJ
I_R
WT
cell
I_W
WL
RT
HM
MTJ
I_R
WT
cell'
I_W

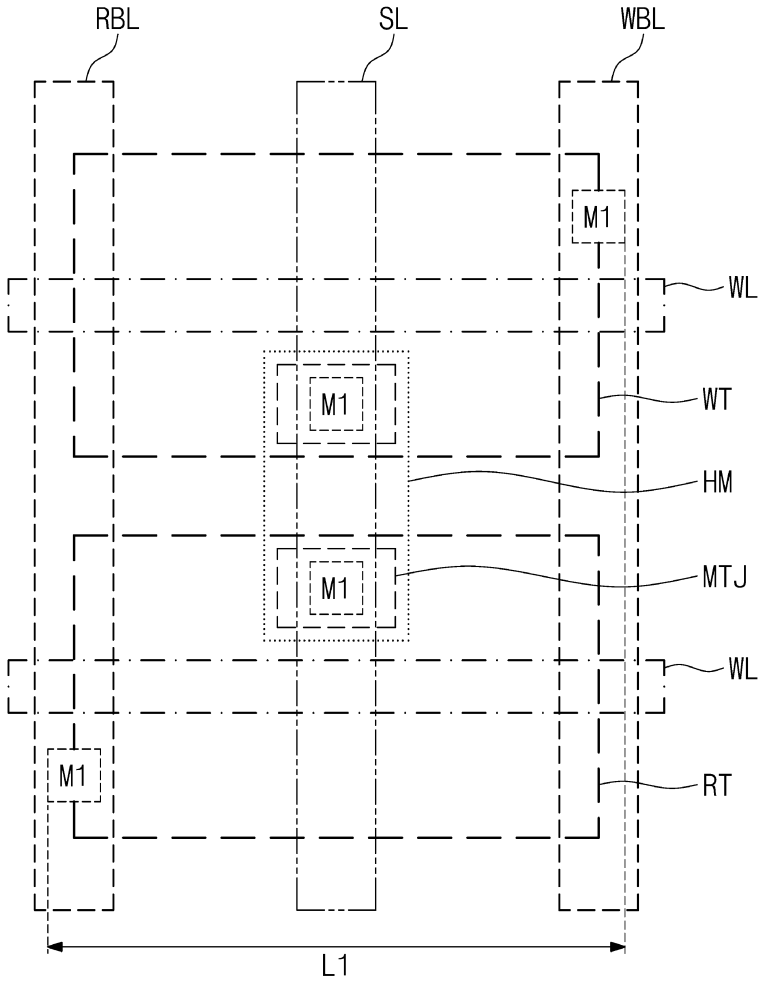
도면6


100
WDATA
132
134
cell2^n
cell2^n-1
cell2
cell1
110
BL1 BL2 BL3
SL1 SL2
SA
SWs
WD
134
134
WL2^n-1
WL1
133
I(n-1) REN WEN
Switch Controller
131
130
RDATA
Drv2^n-1
Drv1
SCn-1
MT
I(n-2)
SC1
I(0)
Drive Circuit
120

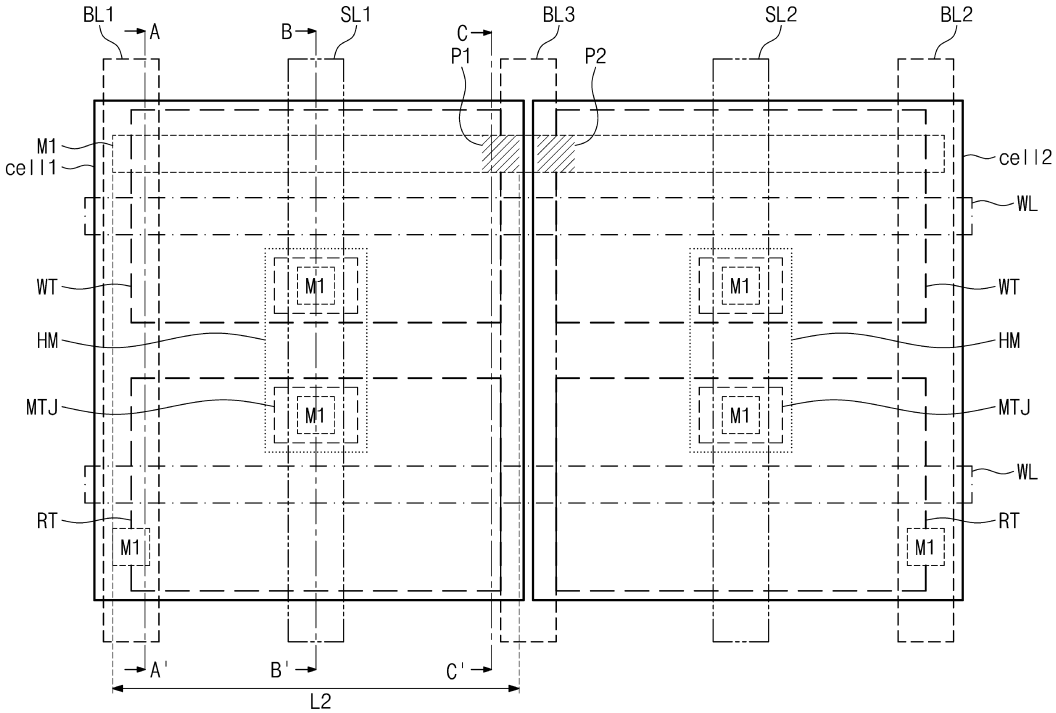
도면7


I(n-1)
130
REN
WEN
REN
131
First Logic Gate 131a
Second Logic Gate 131b
Third Logic Gate 131c
Fourth Logic Gate 131d
Fifth Logic Gate 131e
TG
132
SA
S1
S2
S4
S5
S6
S7
S3
WD
133
BL1
BL2
SL1
SL2
BL3

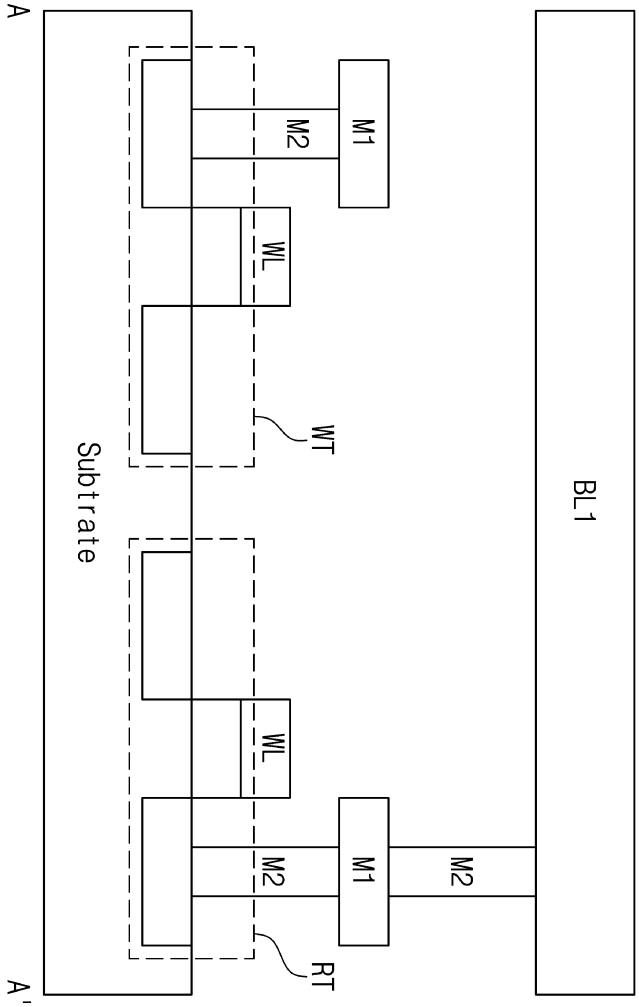
도면8a


RBL
SL
WBL
M1
WL
M1
WT
HM
M1
MTJ
WL
M1
RT
L1

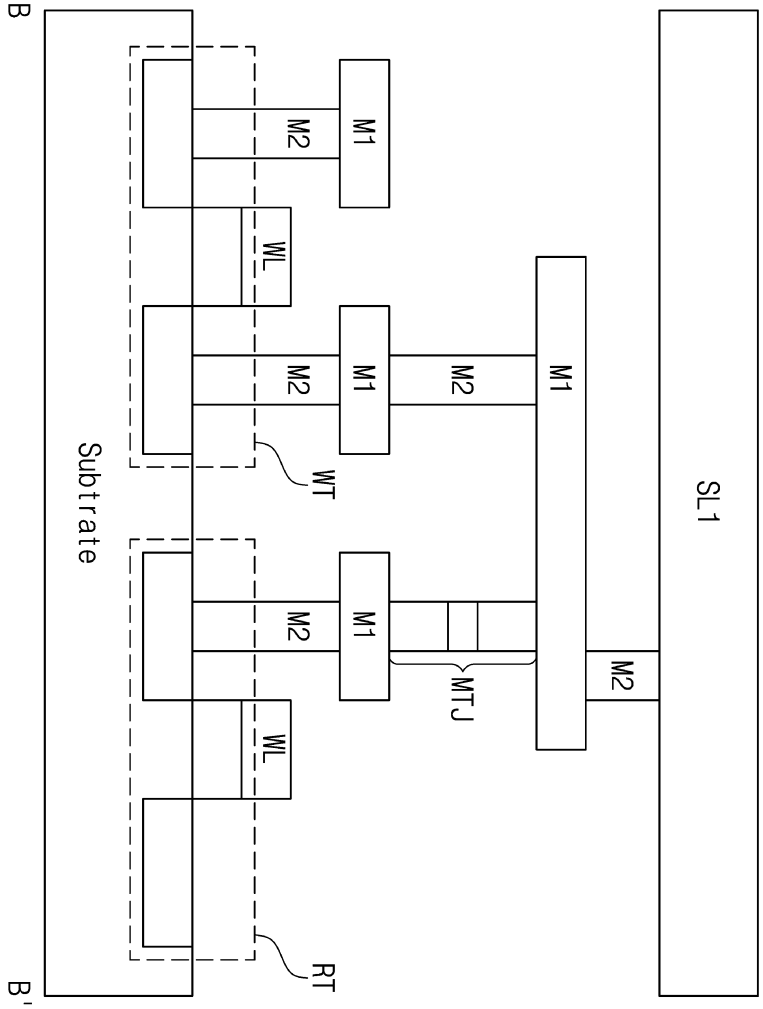
도면8b


BL1
A
B
SL1
C
P1
BL3
P2
SL2
BL2
M1
cell1
cell2
WL
WT
HM
MTJ
RT
A'
B'
C'
L2

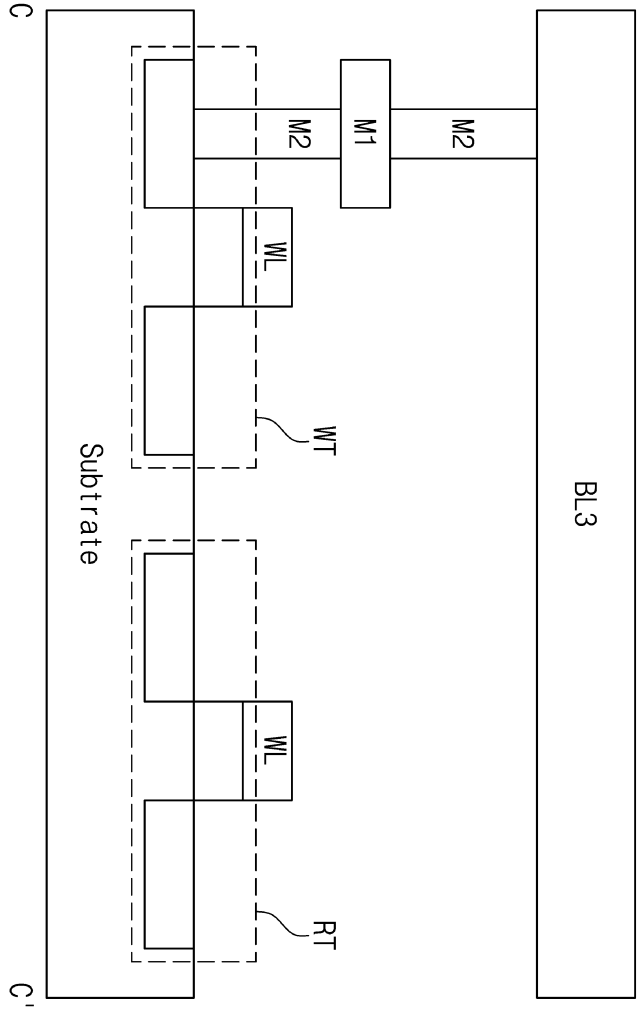
도면8c



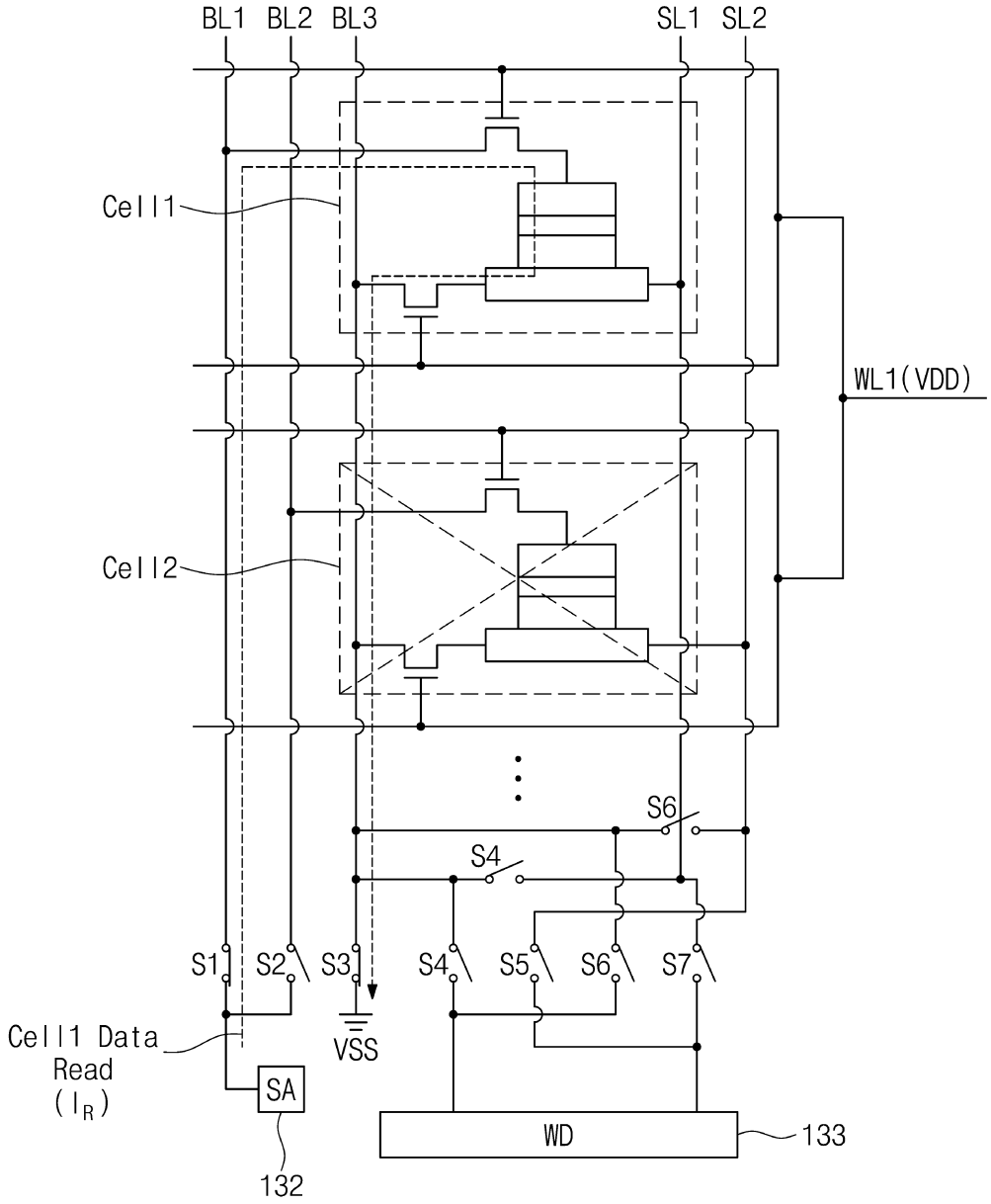
도면8d



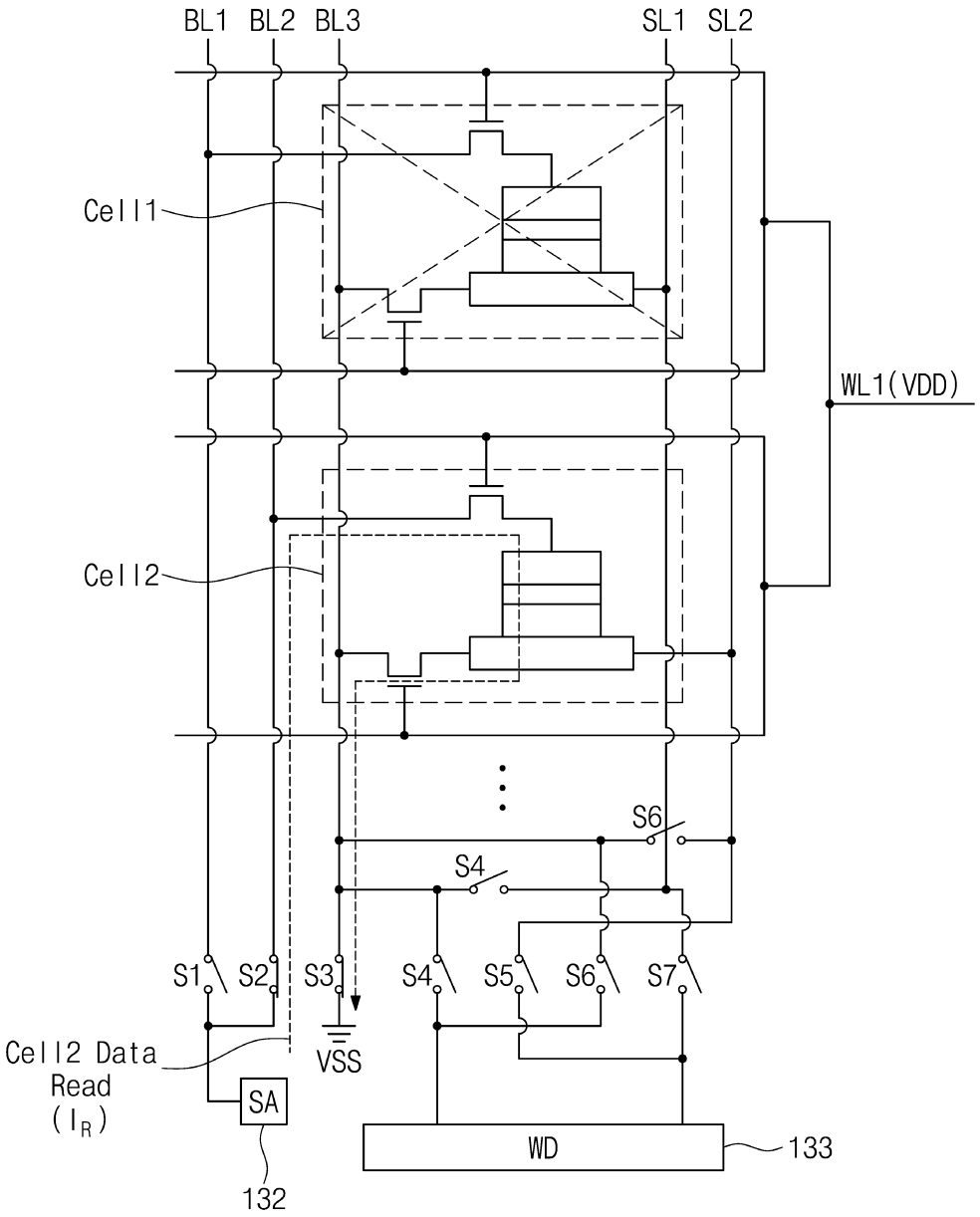
도면8e



도면9a


BL1
BL2
BL3
SL1
SL2
Cell1
Cell2
WL1(VDD)
S6
S4
S1
S2
S3
S4
S5
S6
S7
VSS
Cell1 Data
Read
(I_R)
SA
132
WD
133

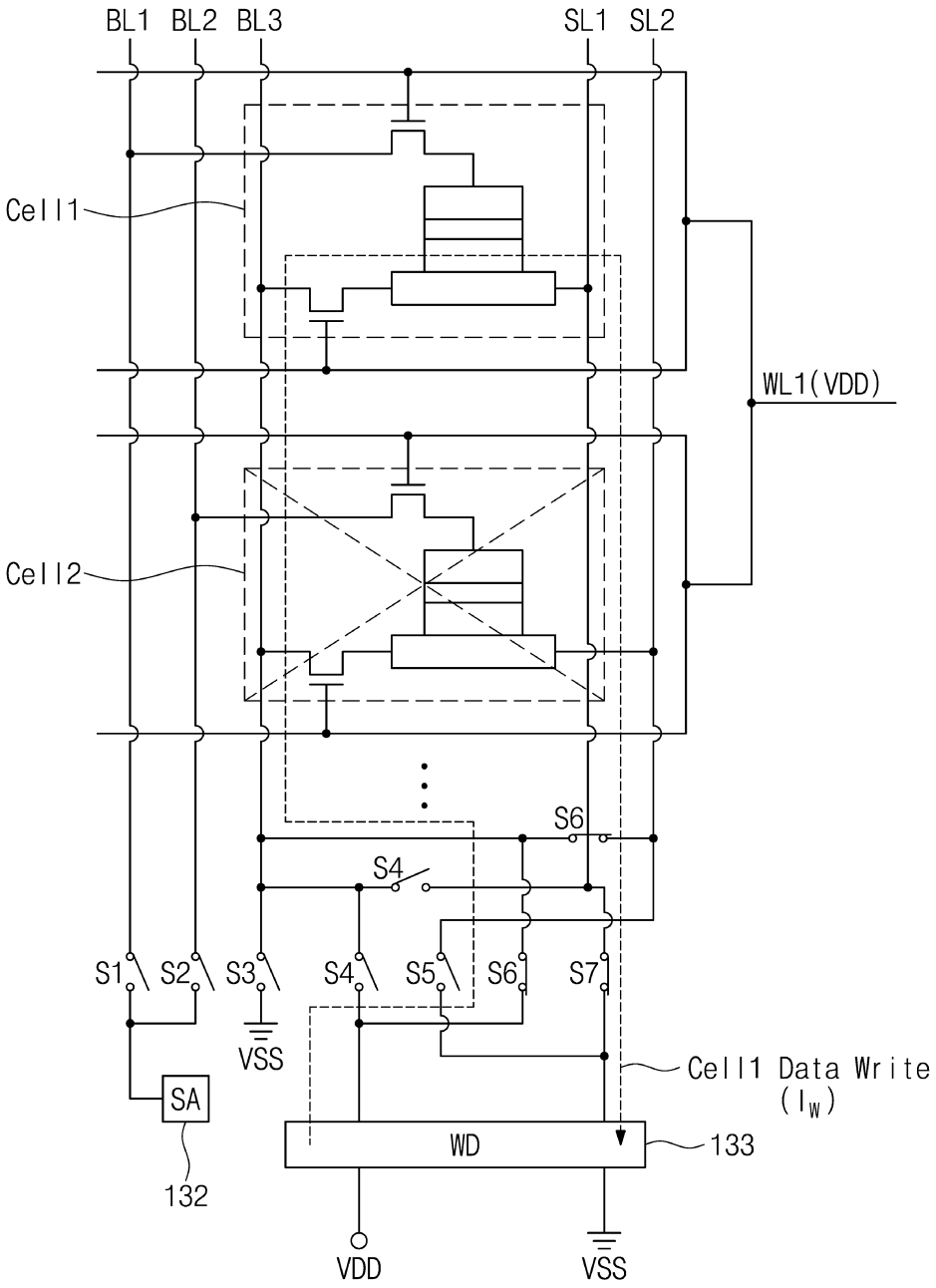
도면9b



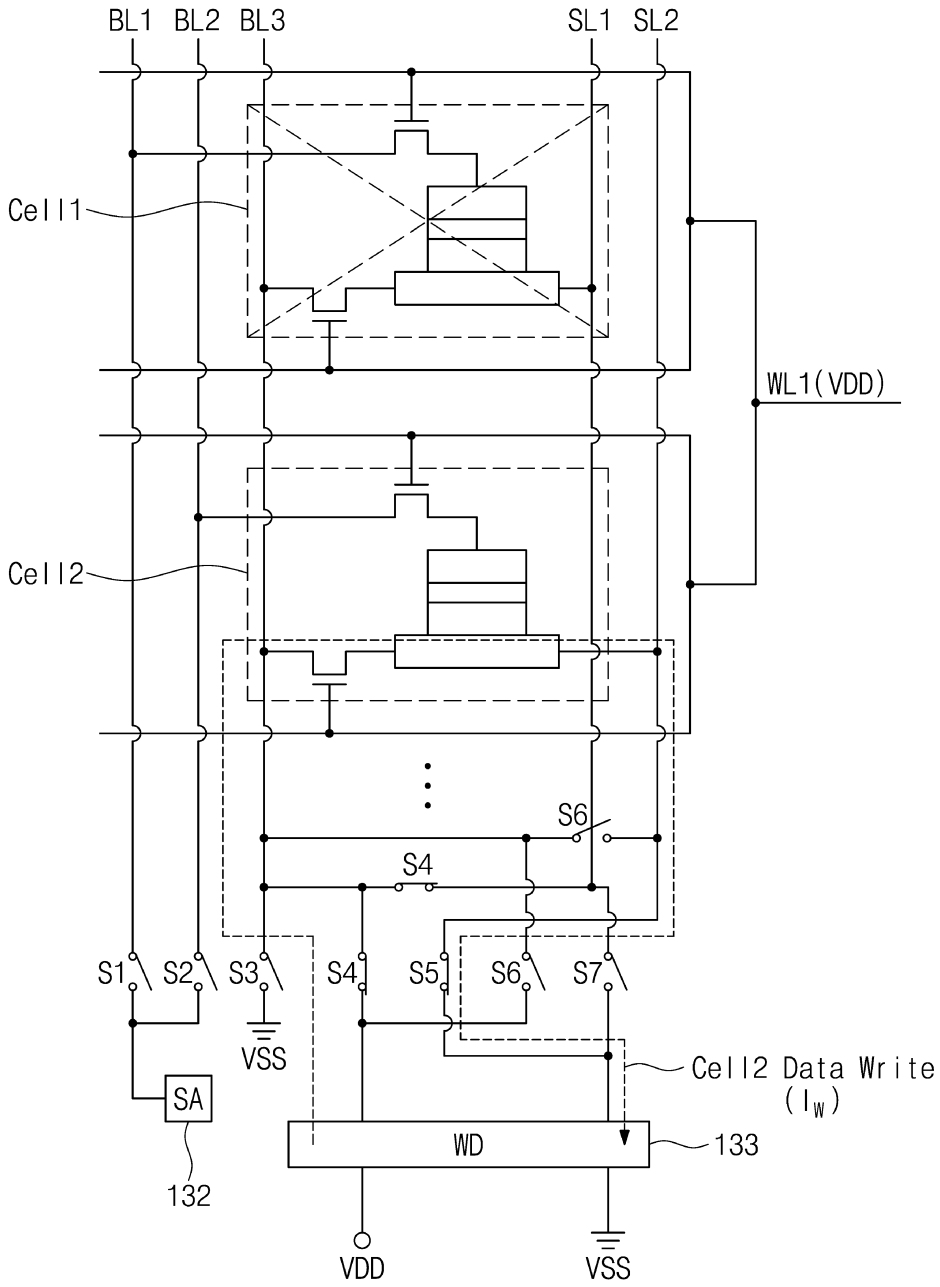
도면9c

Read Operation		
	Cell1	Cell2
BL1	SA	-
BL2	-	SA
BL3	VSS	VSS
SL1	-	-
SL2	-	-

도면10a


BL1
BL2
BL3
SL1
SL2
Cell1
WL1(VDD)
Cell2
S6
S4
S1
S2
S3
S4
S5
S6
S7
VSS
Cell1 Data Write
(I_w)
SA
WD
133
132
VDD
VSS

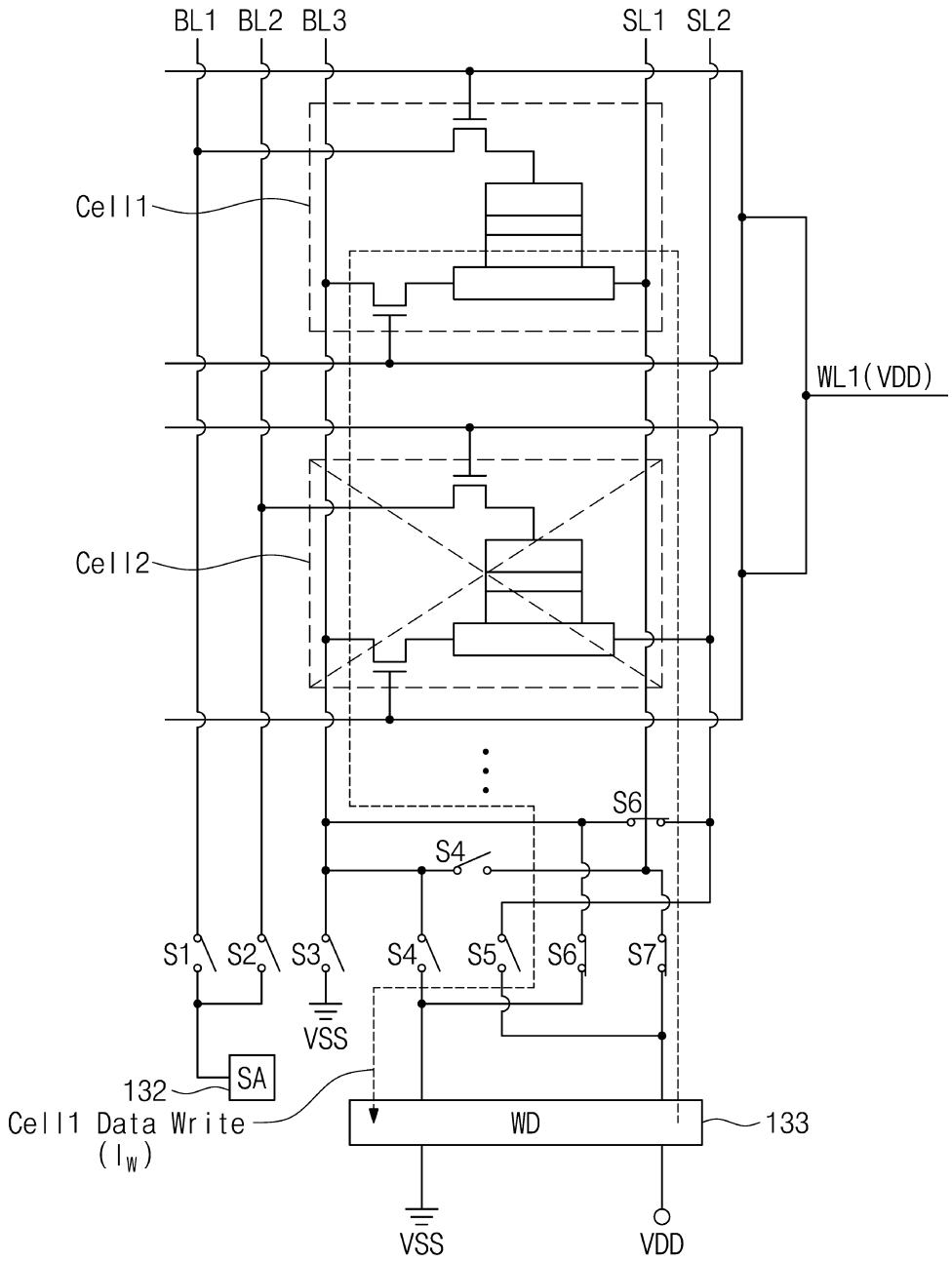
도면10b


BL1
BL2
BL3
SL1
SL2
Cell1
Cell2
WL1(VDD)
S6
S4
S1
S2
S3
S4
S5
S6
S7
VSS
SA
132
Cell2 Data Write
(Iw)
WD
133
VDD
VSS

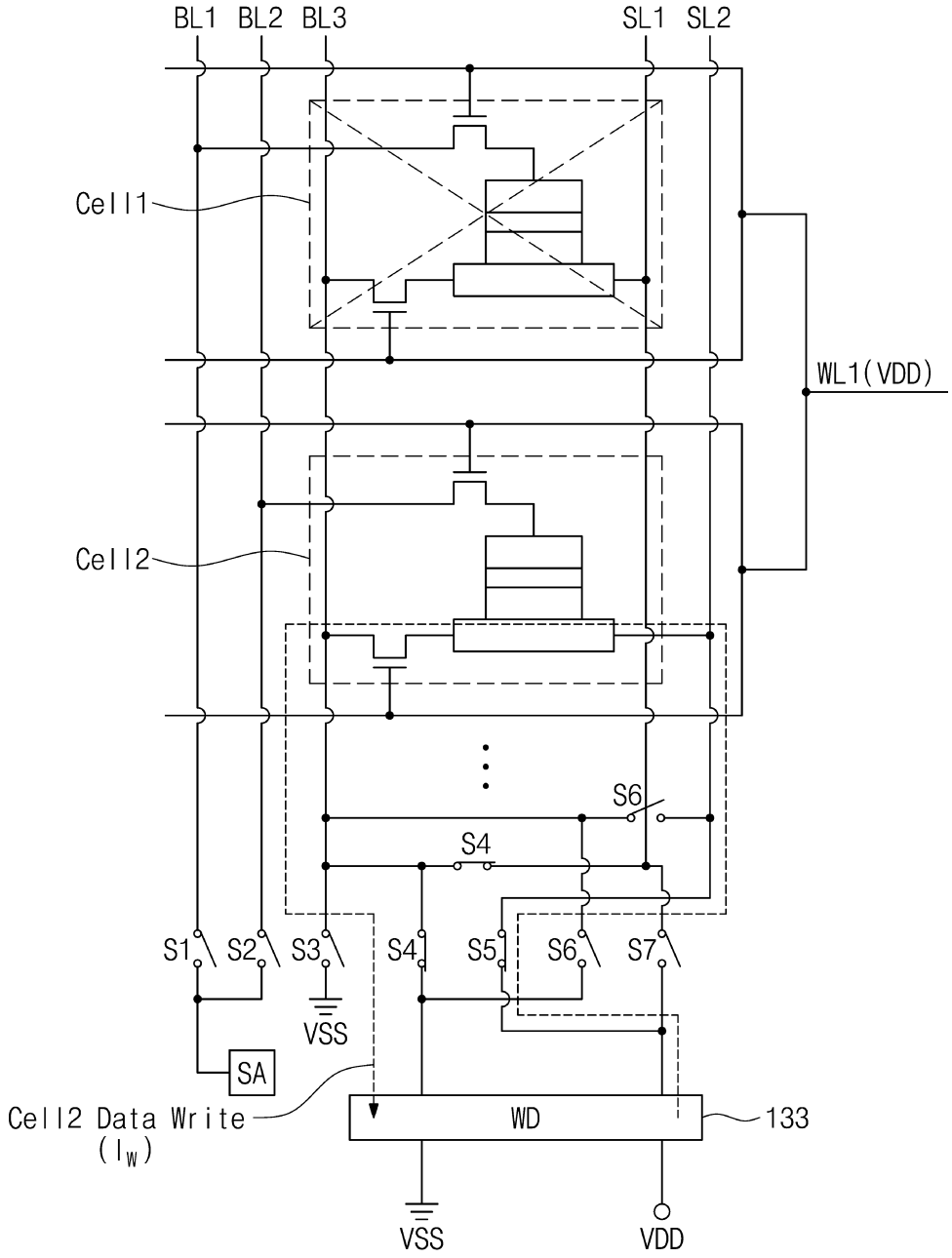
도면10c

Write Operation		
Data '0'		
	Cell1	Cell2
BL1	-	-
BL2	-	-
BL3	VDD	VDD
SL1	VSS	VDD
SL2	VDD	VSS

도면11a


BL1
BL2
BL3
SL1
SL2
Cell1
Cell2
WL1(VDD)
S6
S4
S1
S2
S3
S4
S5
S6
S7
VSS
SA
132
Cell1 Data Write
(Iw)
WD
133
VSS
VDD

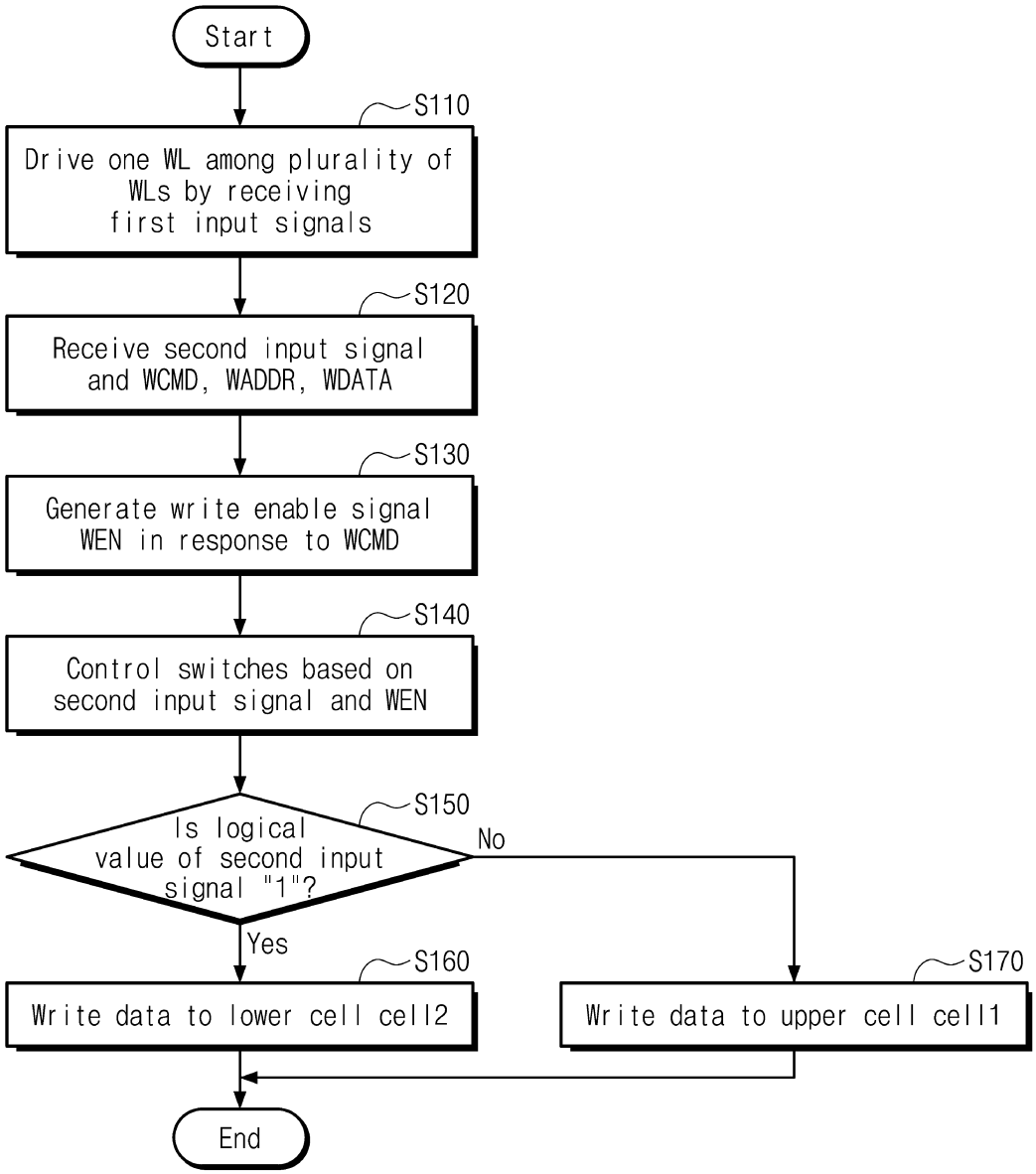
도면11b


BL1
BL2
BL3
SL1
SL2
Cell1
Cell2
WL1(VDD)
S6
S4
S1
S2
S3
S4
S5
S6
S7
VSS
SA
Cell2 Data Write
(I_W)
WD
133
VSS
VDD

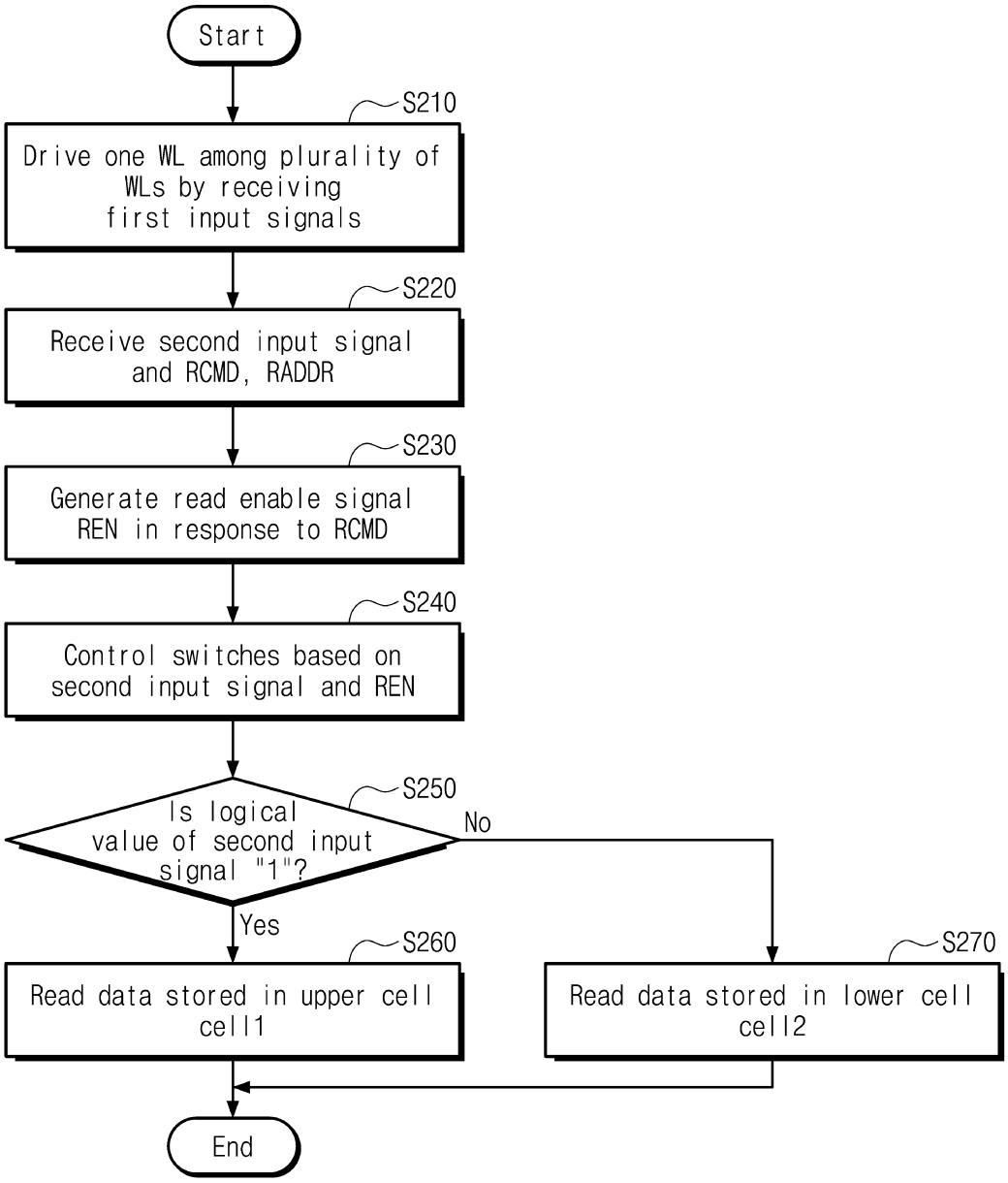
도면11c

Write Operation		
Data '1'		
	Cell1	Cell2
BL1	-	-
BL2	-	-
BL3	VSS	VSS
SL1	VDD	VSS
SL2	VSS	VDD

도면12


Start
S110
Drive one WL among plurality of WLs by receiving first input signals
S120
Receive second input signal and WCMD, WADDR, WDATA
S130
Generate write enable signal WEN in response to WCMD
S140
Control switches based on second input signal and WEN
S150
Is logical value of second input signal "1"?
No
Yes
S160
Write data to lower cell cell2
S170
Write data to upper cell cell1
End

도면13


Start
S210
Drive one WL among plurality of WLs by receiving first input signals
S220
Receive second input signal and RCMD, RADDR
S230
Generate read enable signal REN in response to RCMD
S240
Control switches based on second input signal and REN
S250
Is logical value of second input signal "1"?
No
Yes
S260
Read data stored in upper cell cell1
S270
Read data stored in lower cell cell2
End