

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2020-501474

(P2020-501474A)

(43) 公表日 令和2年1月16日(2020.1.16)

(51) Int.Cl.	F I	テーマコード (参考)
H03G 11/00 (2006.01)	H03G 11/00	5 J 0 2 2
H03M 1/12 (2006.01)	H03M 1/12 A	5 J 0 3 0

審査請求 未請求 予備審査請求 未請求 (全 21 頁)

(21) 出願番号	特願2019-551241 (P2019-551241)	(71) 出願人	390020248
(86) (22) 出願日	平成29年12月4日 (2017.12.4)		日本テキサス・インスツルメンツ合同会社
(85) 翻訳文提出日	令和1年8月5日 (2019.8.5)		東京都新宿区西新宿六丁目24番1号
(86) 国際出願番号	PCT/US2017/064528	(71) 出願人	507107291
(87) 国際公開番号	W02018/106600		テキサス インスツルメンツ インコーポ
(87) 国際公開日	平成30年6月14日 (2018.6.14)		レイテッド
(31) 優先権主張番号	15/369,225		アメリカ合衆国 テキサス州 75265
(32) 優先日	平成28年12月5日 (2016.12.5)		-5474 ダラス メール ステーショ
(33) 優先権主張国・地域又は機関	米国 (US)		ン 3999 ピーオーボックス 655
			474
		(74) 上記1名の代理人	100098497
			弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 電圧クランプ回路

(57) 【要約】

一例が、電圧クランプ回路(10)を含む。電圧クランプ回路(10)は、コンパレータループ回路(14)を含む。コンパレータループ回路(14)は、入力ノード(12)において提供される入力電圧をクランピング電圧と比較するように構成されるコンパレータ(16)を含む。また、コンパレータループ回路(14)は、電圧レール及び入力ノード(12)を相互接続するトランジスタネットワーク(18)を含む。コンパレータ(16)は、入力電圧が、対応するクランピング電圧を超えることに応答して、入力電圧をクランピング電圧にほぼ等しくなるように設定するため、トランジスタネットワーク(18)をアクティベートするように構成され得る。

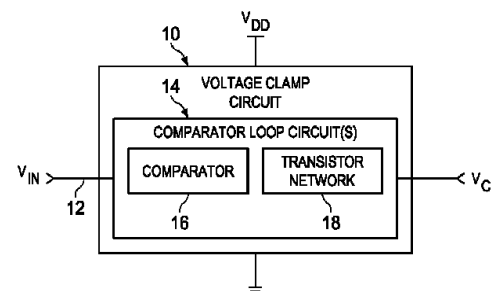


FIG. 1

【特許請求の範囲】**【請求項 1】**

電圧クランプ回路であって、
コンパレータループ回路を含み、
前記コンパレータループ回路が、
入力ノードにおいて提供される入力電圧をクランピング電圧と比較するように構成されるコンパレータと、
電圧レール及び前記入力ノードを相互接続するトランジスタネットワークと、
を含み、
前記コンパレータが、前記入力電圧が対応するクランピング電圧を超えることに応答して、前記入力電圧を前記クランピング電圧にほぼ等しくなるように設定するために前記トランジスタネットワークをアクティベートするように構成される、
電圧クランプ回路。

10

【請求項 2】

請求項 1 に記載の電圧クランプ回路であって、少なくとも一つの前記コンパレータの各々が、トランジスタの自己バイアス共通・ゲート配置として構成される、電圧クランプ回路。

【請求項 3】

請求項 1 に記載の電圧クランプ回路であって、
前記コンパレータが、
前記コンパレータの前記出力に対応する共通結合制御端子を含むトランジスタの第 1 の対であって、トランジスタの前記第 1 の対の一方が、前記入力ノードに結合される端子を含み、トランジスタの前記第 1 の対の他方が、前記クランピング電圧に結合される端子を含む、トランジスタの前記第 1 の対、及び
静的電流源により制御される電流ミラーとして配されるトランジスタの第 2 の対であって、前記第 2 の対のトランジスタの各々が、前記電圧レールに結合される第 1 の端子と、トランジスタの前記第 1 の対の各々の第 2 のそれぞれの端子に結合される第 2 の端子とを含む、前記第 2 の対のトランジスタ、
を含む、
電圧クランプ回路。

20

30

【請求項 4】

請求項 1 に記載の電圧クランプ回路であって、
前記トランジスタネットワークが、
前記コンパレータの前記出力によりアクティベートされる第 1 のトランジスタ、
前記入力ノード及び前記電圧レールを相互接続し、前記第 1 のトランジスタにより制御される第 2 のトランジスタ、
を含む、
電圧クランプ回路。

【請求項 5】

請求項 4 に記載の電圧クランプ回路であって、前記トランジスタネットワークが、前記電圧レール及び前記第 1 のトランジスタに結合される第 3 のトランジスタを含み、前記第 3 のトランジスタが、前記第 2 のトランジスタを制御するため前記第 1 のトランジスタと協働するように第 1 のバイアス電圧を介して制御される、電圧クランプ回路。

40

【請求項 6】

請求項 1 に記載の電圧クランプ回路であって、前記クランピング電圧がプログラム可能であり、前記コンパレータループ回路が、前記入力電圧を前記クランピング電圧にほぼ等しくなるよう設定するため、前記入力電圧が前記クランピング電圧を超えることに応答して、前記入力ノードを前記電圧レールに結合するように構成される、電圧クランプ回路。

【請求項 7】

請求項 1 に記載の電圧クランプ回路であって、更に、前記電圧レールと前記コンパレー

50

タループ回路との間に結合される電圧生成器を含み、前記電圧生成器が、前記クランピング電圧を生成するように構成され、

前記コンパレータループ回路が、前記コンパレータが、前記入力電圧を前記クランピング電圧にほぼ等しくなるよう設定するため、前記入力電圧が前記クランピング電圧を超えることを検出することに基づいて、前記入力ノードを前記電圧生成器の前記クランピング電圧に結合するように構成される、

電圧クランプ回路。

【請求項 8】

請求項 1 に記載の電圧クランプ回路であって、前記クランピング電圧が、低クランピング電圧及び高クランピング電圧を含み、

10

前記コンパレータループ回路が、

第 1 のコンパレータループ回路、及び

第 2 のコンパレータループ回路、

を含み、

前記第 1 のコンパレータループ回路が、

前記入力電圧を前記低クランピング電圧と比較し、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して前記第 1 のコンパレータの出力をアサートするように構成される第 1 のコンパレータと、

前記入力ノード及び前記高電圧レールを相互接続し、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して、前記入力電圧を前記低クランピング電圧にほぼ等しくなるよう設定するため、前記第 1 のコンパレータが前記第 1 のトランジスタネットワークをアクティベートするように構成される第 1 のトランジスタネットワークと、

20

を含み、

前記第 2 のコンパレータループ回路が、

前記入力電圧を前記高クランピング電圧と比較し、前記入力電圧が前記高クランピング電圧より大きく増大することに応答して前記第 2 のコンパレータの出力をアサートするように構成される第 2 のコンパレータと、

前記入力ノード及び前記低電圧レールを相互接続し、前記入力電圧が前記低クランピング電圧より大きく増大することに応答して、前記入力電圧が前記高クランピング電圧にほぼ等しくなるように設定するため、前記第 1 のコンパレータが前記第 1 のトランジスタネットワークをアクティベートするように構成される第 2 のトランジスタネットワークと、

30

を含む、

電圧クランプ回路。

【請求項 9】

請求項 1 の前記電圧クランプ回路を含むアナログデジタルコンバータ (ADC) システムであって、前記 ADC システムが更に、

アナログ電圧入力と前記入力ノードとの間に接続される入力抵抗器であって、前記入力電圧が、前記アナログ電圧入力において提供されるアナログ電圧に基づいて前記入力ノードにおいて生成される、前記入力抵抗器、及び

40

前記入力ノードに結合され、前記入力電圧に基づいてデジタル信号を生成するように構成される ADC、

を含む、電圧クランプ回路。

【請求項 10】

電圧クランプ回路であって、

入力電圧を低クランピング電圧と比較するように、及び、前記入力電圧を前記低クランピング電圧にほぼ等しくなるように設定するために、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して第 1 のトランジスタネットワークをアクティベートするために出力をアサートするように構成される第 1 のコンパレータを含む第 1 のコンパレータループ回路、及び

50

前記入力電圧を高クランピング電圧と比較するように、及び、前記入力電圧を前記高クランピング電圧にほぼ等しくなるように設定するために、前記入力電圧が前記低クランピング電圧より大きく増大することに応答してをアクティベートするために第2のトランジスタネットワーク出力をアサートするように構成される第2のコンパレータを含む第2のコンパレータループ回路、

を含む、電圧クランプ回路。

【請求項11】

請求項10に記載の電圧クランプ回路であって、前記第1のコンパレータ及び前記第2のコンパレータの各々が、トランジスタの自己バイアス共通・ゲート配置として構成される、電圧クランプ回路。

10

【請求項12】

請求項10に記載の電圧クランプ回路であって、

前記第1のトランジスタネットワークが第1のトランジスタ配置を含み、前記第1のトランジスタ配置が、前記第1のコンパレータによりアクティベートされ、前記入力ノード及び高電圧レールを相互接続する第2のトランジスタを制御するように構成され、

前記第2のトランジスタネットワークが第3のトランジスタを含み、前記第3のトランジスタが、前記第2のコンパレータによりアクティベートされ、前記入力ノード及び低電圧レールを相互接続する第4のトランジスタを制御するように構成される、

電圧クランプ回路。

【請求項13】

20

請求項12に記載の電圧クランプ回路であって、

前記第2のトランジスタが更に、前記高電圧レールに結合されて第1のバイアス電圧を介して制御される、第5のトランジスタにより制御され、

前記第4のトランジスタが更に、前記低電圧レールに結合されて第2のバイアス電圧を介して制御される、第6のトランジスタにより制御される、

電圧クランプ回路。

【請求項14】

請求項10に記載の電圧クランプ回路であって、

前記高及び低クランピング電圧の各々がプログラム可能であり、

前記第1のコンパレータループ回路が、前記入力電圧を前記低クランピング電圧にほぼ等しくなるように設定するため、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して前記入力ノードを高電圧レールに結合するように構成され、

30

前記第2のコンパレータループ回路が、前記入力電圧を前記高クランピング電圧にほぼ等しくなるよう設定するため、前記入力電圧が前記低クランピング電圧より大きく増大することに応答して前記入力ノードを低電圧レールに結合するように構成される、

電圧クランプ回路。

【請求項15】

請求項10に記載の電圧クランプ回路であって、更に、

低電圧レールに結合され、前記低クランピング電圧を生成するように構成される第1の電圧生成器、及び

40

高電圧レールに結合され、前記高クランピング電圧を生成するように構成される第2の電圧生成器、

を含み、

前記第1のコンパレータループ回路が、前記入力電圧を前記低クランピング電圧にほぼ等しくなるよう設定するため、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して前記入力ノードを前記第1の電圧生成器に結合するように構成され、

前記第2のコンパレータループ回路が、前記入力電圧を前記高クランピング電圧にほぼ等しくなるよう設定するため、前記入力電圧が前記低クランピング電圧より大きく増大することに応答して前記入力ノードを前記第2の電圧生成器に結合するように構成される、

電圧クランプ回路。

50

【請求項 16】

請求項 11 に記載の前記電圧クランプ回路を含むアナログデジタルコンバータ (ADC) システムであって、前記 ADC システムが更に、

アナログ電圧入力及び前記入力ノードを相互接続する入力抵抗器であって、前記入力電圧が、前記アナログ電圧入力において提供されるアナログ電圧に基づいて生成される、前記入力抵抗器、及び

前記入力ノードに結合され、前記入力電圧に基づいてデジタル信号を生成するように構成される ADC、

を含む、ADC システム。

【請求項 17】

10

アナログデジタルコンバータ (ADC) 回路システムであって、

アナログ電圧入力と ADC 入力ノードとの間に接続される入力抵抗器、

前記 ADC 入力ノードに結合され、コンパレータループ回路を含む電圧クランプ回路であって、前記コンパレータループ回路が、

入力ノードにおいて提供される入力電圧をクランピング電圧と比較するように構成されるコンパレータと、

電圧レール及び前記入力ノードを相互接続するトランジスタネットワークであって、前記コンパレータが、前記入力電圧が対応するクランピング電圧を超えることに応答して、前記入力電圧を前記クランピング電圧にほぼ等しくなるように設定するために前記トランジスタネットワークをアクティベートするように構成される、前記トランジスタネットワークと、

20

を含む、前記コンパレータループ回路、及び

前記 ADC 入力ノードに結合され、前記入力電圧に基づいてデジタル信号を生成するように構成される ADC、

を含む、ADC 回路システム。

【請求項 18】

請求項 17 に記載の ADC 回路システムであって、前記トランジスタネットワークが第 1 のトランジスタを含み、前記第 1 のトランジスタが、前記コンパレータによりアクティベートされ、前記入力ノード及び前記電圧レールを相互接続する第 2 のトランジスタを制御するように構成される、ADC 回路システム。

30

【請求項 19】

請求項 17 に記載の ADC 回路システムであって、

前記電圧レールに結合され、前記クランピング電圧を生成するように構成される電圧生成器を更に含み、

前記コンパレータループ回路が、前記入力電圧を前記クランピング電圧にほぼ等しくなるよう設定するため、前記入力電圧が前記クランピング電圧を超えることに応答して前記入力ノードを前記電圧生成器に結合するように構成される、

ADC 回路システム。

【請求項 20】

40

請求項 17 に記載の ADC 回路システムであって、

前記クランピング電圧が、低クランピング電圧及び高クランピング電圧を含み、

前記コンパレータループ回路が、第 1 のコンパレータループ回路、及び第 2 のコンパレータループ回路を含み、

前記第 1 のコンパレータループ回路が、

前記入力電圧を前記低クランピング電圧と比較し、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して前記第 1 のコンパレータの出力をアサートするように構成される、第 1 のコンパレータと、

前記入力ノード及び前記高電圧レールを相互接続し、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して、前記入力電圧を前記低クランピング電圧にほぼ等しくなるよう設定するため前記第 1 のコンパレータが前記第 1 のトランジスタネッ

50

トワークをアクティベートするように構成される、第 1 のトランジスタネットワークと、
を含み、

前記第 2 のコンパレータループ回路が、

前記入力電圧を前記高クランピング電圧と比較し、前記入力電圧が前記高クランピング電圧より大きく増大することに応答して前記第 2 のコンパレータの出力をアサートするように構成される、第 2 のコンパレータと、

前記入力ノード及び前記低電圧レールを相互接続し、前記入力電圧が前記高クランピング電圧より大きく増大することに応答して、前記入力電圧が前記高クランピング電圧にほぼ等しくなるように設定するため前記第 1 のコンパレータが前記第 1 のトランジスタネットワークをアクティベートするように構成される、第 2 のトランジスタネットワークと

10

、
を含む、

A D C 回路システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して電子回路に関し、更に特定して言えば、電圧クランプ回路に関連する。

【背景技術】

【0002】

20

アナログ及びデジタル回路は、しばしば、種々のスイッチング応用例において典型的に用いられる薄い酸化物ゲート材料を用いる電子デバイスにおいて共に実装される。このような応用例の一つは、アナログ入力信号に応答してデジタル信号を生成し得るアナログデジタルコンバータ (A D C) におけるものである。一層小さなサイズで電子デバイスを製造するために薄い酸化物ゲート材料が実装され得るが、このような薄い酸化物デバイスは大きな電圧スイングにより応力を受け得、これは、薄い酸化物デバイスを実装する電子デバイスの信頼性及び寿命の問題につながり得る。その結果、このような薄い酸化物デバイスに提供され得る電圧の振幅をクランプするためにクランプ回路が用いられ得る。その結果、このようなデバイスに提供される電圧の振幅は安全なレベルに制限され得、そのため、デバイスに対する損傷が緩和される。

30

【発明の概要】

【0003】

一つの例が、電圧クランプ回路を含む。電圧クランプ回路はコンパレータループ回路を含む。コンパレータループ回路は、入力ノードにおいて提供される入力電圧をクランピング電圧と比較するように構成されるコンパレータを含む。また、コンパレータループ回路は、電圧レール及び入力ノードを相互接続するトランジスタネットワークを含む。コンパレータは、入力電圧が、対応するクランピング電圧を超えることに応答して、入力電圧がクランピング電圧にほぼ等しくなるように設定するためにトランジスタネットワークをアクティベートするように構成され得る。

【0004】

40

別の例が、電圧クランプ回路を含む。この回路は、入力電圧を低クランピング電圧と比較し、入力電圧が低クランピング電圧にほぼ等しくなるように設定するため少なくとも一つの第 1 のトランジスタをアクティベートするために、入力電圧が低クランピング電圧より小さく低減することに応答して出力をアサートするように構成される、第 1 のコンパレータを含む第 1 のコンパレータループ回路を含む。また、この回路は、入力電圧を高クランピング電圧と比較し、入力電圧を高クランピング電圧にほぼ等しくなるように設定するため少なくとも一つの第 2 のトランジスタをアクティベートするために、入力電圧が高クランピング電圧より大きく増大することに応答して出力をアサートするように構成される、第 2 のコンパレータを含む第 2 のコンパレータループ回路を含む。

【0005】

50

別の例が、アナログデジタルコンバータ（ADC）システムを含む。このシステムは、アナログ電圧入力とADC入力ノードとを相互接続する入力抵抗器、及びADC入力ノードに結合される電圧クランプ回路を含む。電圧クランプ回路は、入力ノードにおいて提供される入力電圧をクランピング電圧と比較するように構成されるコンパレータを含むコンパレータループ回路を含む。また、コンパレータループ回路は、電圧レール及び入力ノードを相互接続するトランジスタネットワークを含む。コンパレータは、入力電圧が、対応するクランピング電圧を超えることに応答して、入力電圧がクランピング電圧にほぼ等しくなるように設定するためにトランジスタネットワークをアクティベートするように構成され得る。このシステムは、ADC入力ノードに結合され、入力電圧に基づいてデジタル信号を生成するように構成されるADCを更に含む。

10

【図面の簡単な説明】

【0006】

【図1】電圧クランプ回路の一例を図示する。

【0007】

【図2】電圧クランプ回路の別の例を図示する。

【0008】

【図3】電圧クランプ回路の更に別の例を図示する。

【0009】

【図4】電圧クランプ回路の更に別の例を図示する。

【0010】

【図5】アナログデジタルコンバータシステムの一部を図示する。

20

【発明を実施するための形態】

【0011】

この記載において、電圧クランプ回路は、入力電圧を受信し、少なくとも一つのクランピング電圧に対して入力電圧の振幅クランピングを提供するように構成される。電圧クランプ回路は、少なくとも一つのコンパレータループ回路を含む。少なくとも一つのコンパレータループ回路は、入力ノードにおいて提供される入力電圧をそれぞれの少なくとも一つのクランピング電圧と比較するように構成される、一つ又は複数のそれぞれのコンパレータを含む。また、コンパレータループ回路は、入力電圧がそれぞれの少なくとも一つのクランピング電圧の振幅を超えること（例えば、振幅が高クランピング電圧より大きく増大すること又は振幅が低クランピング電圧より小さく減少すること）に応答して、入力電圧が、一つまたは複数のクランピング電圧の一つにほぼ等しくなるように設定するために、トランジスタネットワークをアクティベートするように構成される。一例として、少なくとも一つのコンパレータループ回路は、入力電圧を高クランピング電圧と比較し、入力電圧が高クランピング電圧より大きく増大することに応答して、入力電圧を高クランピング電圧にほぼ等しくなるよう設定するように構成される、第1のコンパレータループ回路を含み得、及び、入力電圧を低クランピング電圧と比較し、入力電圧が低クランピング電圧より小さく低減することに応答して、入力電圧が低クランピング電圧にほぼ等しくなるように設定するように構成される、第2のコンパレータループ回路を含み得る。

30

【0012】

40

一例として、一つまたは複数のコンパレータは、トランジスタのセルフバイアス共通ゲート配置として構成され得る。例えば、一つまたは複数のコンパレータは、それぞれの少なくとも一つのコンパレータの出力に対応する共通結合制御端子（例えば、電界効果トランジスタ（FET）のゲート端子）を含む、トランジスタの第1の対を含み得る。出力は、入力電圧の振幅に基づくそれぞれのコンパレータのアクティベーションに応答して、入力ノードを高電圧レール又は低電圧レールのそれぞれに結合するように構成されるコンパレータループ回路に関連付けられるトランジスタネットワークに結合され得る。トランジスタの第1の対は更に、それぞれ、入力ノード、及びそれぞれの少なくとも一つのクランピング電圧の一つに結合される第1の端子を含み得る。一つまたは複数のコンパレータは更に、静的電流源により制御される電流ミラーとして配され、電圧レールに結合されるそ

50

れぞれの第 1 の端子と、トランジスタの第 1 の対の第 2 のそれぞれの端子に結合される第 2 の端子とを更に含む、トランジスタの第 2 の対を含み得る。そのため、トランジスタのこれらの対は、トランジスタの配置を介する電流フローが、コンパレータループ回路に関連付けられるトランジスタのアクティベーション及びディアクティベーションを制御し得るように、入力電圧及びそれぞれのクランピング電圧のそれぞれの振幅に基づいて電流を導通し得る。従って、コンパレータループ回路に関連付けられるトランジスタネットワークは、ほぼ、一つまたは複数のクランピング電圧のそれぞれの振幅で、入力電圧をクランプするため、入力ノードへ及び入力ノードから電流を提供し得る。

【 0 0 1 3 】

図 1 は、電圧クランプ回路 10 の一例を図示する。電圧クランプ回路 10 は、少なくとも一つのクランピング電圧 V_C の一つにほぼ等しい振幅で入力ノード 12 において提供される入力電圧 V_{IN} をクランプするように構成され得る。一例として、(例えば、ピンに提供される電圧、可変抵抗器、又は種々のその他の方式を介して)一つまたは複数のクランピング電圧 V_C は、プログラム可能であり得、そのため、応用例毎に変わり得る。例えば、一つまたは複数のクランピング電圧 V_C は、電圧クランプ回路 10 が、入力電圧 V_{IN} の振幅を高クランピング電圧 V_{CH} と低クランピング電圧 V_{CL} との間となるように制限するように構成され得るように、高クランピング電圧 V_{CH} 及び低クランピング電圧 V_{CL} を含み得る。一例として、入力電圧 V_{IN} の振幅を制限することから利点を受け得るアナログデジタルコンバータ (ADC) など、入力ノード 12 に付加的な回路要素が結合され得る。

10

20

【 0 0 1 4 】

電圧クランプ回路 10 は、高電圧レール V_{DD} と図 1 の例で接地として示した低電圧レールとの間に示される。電圧クランプ回路 10 は、コンパレータ 16 を介して入力電圧 V_{IN} の振幅をそれぞれの一つまたは複数のクランピング電圧 V_C と比較するように構成される少なくとも一つのコンパレータループ回路 14 を含む。入力電圧 V_{IN} が、それぞれの一つまたは複数のクランピング電圧 V_C の一つを超える振幅を有することに応答して、一つまたは複数のコンパレータループ回路 14 のそれぞれは、入力電圧 V_{IN} をそれぞれのクランピング電圧 V_C にほぼ等しく設定するため、トランジスタネットワーク 18 をアクティベートするためにそれぞれのコンパレータ 16 を介して出力をアクティベートし得る。

30

【 0 0 1 5 】

一例として、トランジスタネットワーク 18 は、レール電圧 (例えば、高電圧レール V_{DD} 又は接地) 又はそれぞれのクランピング電圧 V_C などに対応して、入力ノード 12 を電圧源に結合するように構成され得る。その結果、トランジスタネットワーク 18 は、入力電圧が低クランピング電圧より小さく低減することなどに応答して、電圧 (例えば、レール電圧又はそれぞれのクランピング電圧 V_C) から入力ノード 12 へ電流を提供し得る。同様に、トランジスタネットワーク 18 は、入力電圧 V_{IN} がクランピング電圧 V_C より大きく増大することなどに応答して、入力ノード 12 から電圧源へ電流を提供し得る。従って、入力電圧 V_{IN} の振幅は、ほぼ、クランピング電圧 V_C 間のそれぞれのクランピング電圧の振幅までクランプされ得る。

40

【 0 0 1 6 】

図 2 は、電圧クランプ回路 50 の別の例を図示する。電圧クランプ回路 50 は、高クランピング電圧 V_{CH} 及び低クランピング電圧 V_{CL} の一方にほぼ等しい振幅で入力ノード 52 において提供される入力電圧 V_{IN} をクランプするように構成され得る。一例として、クランピング電圧 V_{CH} 及び V_{CL} は各々プログラム可能であり得、そのため、応用例毎に変わり得る。従って、電圧クランプ回路 50 は、入力電圧 V_{IN} の振幅を高クランピング電圧 V_{CH} と低クランピング電圧 V_{CL} との間となるように制限するように構成され得る。一例として、入力電圧 V_{IN} の振幅を制限することから利点を受け得る ADC など、付加的な回路要素が入力ノード 52 に結合され得る。

50

【 0 0 1 7 】

電圧クランプ回路 50 は、高電圧レール V_{DD} と、図 2 の例で接地として示した低電圧レールとの間に示される。電圧クランプ回路 50 は、第 1 のコンパレータループ回路 54 及び第 2 のコンパレータループ回路 56 を含む。第 1 のコンパレータループ回路 54 はコンパレータ 58 を含み、コンパレータ 58 は、反転入力において入力電圧 V_{IN} を及び非反転入力において低クランピング電圧 V_{CL} を受け取り、出力信号 $CL1$ を提供する。また、第 1 のコンパレータループ回路 54 は、第 1 の N チャネル電界効果トランジスタ (FET) N_1 (例えば、N チャネル金属酸化物半導体電界効果トランジスタ (MOSFET)) を含み、第 1 の N チャネル FET N_1 は、コンパレータ 58 の出力に結合されるゲートを有し、制御ノード 60 に結合されるドレインを有し、入力ノード 52 に結合されるソースを有する。第 1 のコンパレータループ回路 54 はまた、第 1 の P - FET (例えば、MOSFET) P_1 を含み、第 1 の P - FET P_1 は、静的バイアス電圧 V_{B1} が提供されるゲート、制御ノード 60 に結合されるドレイン、及び高電圧レール V_{DD} に結合されるソースを有する。また、第 1 のコンパレータループ回路 54 は第 2 の P - FET P_2 を含み、第 2 の P - FET P_2 は、制御ノード 60 に結合されるゲートを有し、入力ノード 52 に結合されるドレインを有し、高電圧レール V_{DD} に結合されるソースを有する。N - FET N_1 、P - FET P_1 、及び P - FET P_2 は、第 1 のコンパレータループ回路 54 のトランジスタネットワーク 18 に対応し得る。一例として、第 2 の P - FET P_2 は、N - FET N_1 及び P - FET P_1 の各々のゲートサイズ (例えば、ゲート幅及び / 又はゲート幅対長さ比) より実質的に大きいゲートサイズ (例えば、ゲート幅及び / 又はゲート幅対長さ比) を有し得る。

【0018】

コンパレータ 58 は、入力電圧 V_{IN} の振幅を低クランピング電圧 V_{CL} と比較するように構成される。定常状態の間、及びそのため、低クランピング電圧 V_{CL} より大きい振幅を有する入力電圧 V_{IN} に基づいて、静的バイアス電圧 V_{B1} は、(例えば、線形モードにおける P - FET P_1 のオペレーションを提供するため低ゲート・ソース電圧に基づいて) P - FET P_1 を弱くアクティベートされた状態に保ち、出力信号 $CL1$ は論理低状態を有し、そのため、N - FET N_1 をイナクティブにされた状態に保つ。その結果、制御ノード 60 は、P - FET P_2 をアクティベートするために十分な電圧を有する。しかし、低クランピング電圧 V_{CL} より小さく低減する振幅を有する入力電圧 V_{IN} に応答して、コンパレータ 58 は、N - FET N_1 をアクティベートするために出力信号 $CL1$ をアサートし得る。N - FET N_1 のアクティベーションに応答して、制御ノード 60 は、制御ノード 60 の電圧をほぼ入力電圧の振幅 V_{IN} までシンクするため N - FET N_1 を介して入力ノード 52 に結合される。従って、電流を高電圧レール V_{DD} から入力ノード 52 へ提供するため、P - FET P_2 がアクティベートされる。従って、高電圧レール V_{DD} から入力ノード 52 への電流フローは、入力電圧 V_{IN} の振幅を、ほぼ低クランピング電圧 V_{CL} の振幅までクランプし得る。従って、入力ノード 52、コンパレータ 58、及び P - FET P_2 は、入力電圧が低クランピング電圧より小さいとき、コンパレータ 58 の出力信号 $CL1$ に基づいて入力電圧 V_{IN} をほぼ低クランピング電圧 V_{CL} の振幅に維持するためループ回路として動作し得る。入力電圧 V_{IN} の振幅が低クランピング電圧 V_{CL} から増大することに応答して、コンパレータ 58 は、N - FET N_1 をディアクティベートするために出力信号 $CL1$ をデアサートし、そのため、P - FET P_2 をディアクティベートする。従って、第 1 のコンパレータループ回路 54 は、低クランピング電圧 V_{CL} の振幅で入力電圧 V_{IN} をクランピングするのをやめるためディアクティベートする。

【0019】

第 2 のコンパレータループ回路 56 は、第 1 のコンパレータループ回路 54 に実質的に類似して構成される。図 2 の例において、第 2 のコンパレータループ回路 56 は、反転入力において入力電圧 V_{IN} を及び非反転入力において高クランピング電圧 V_{CH} を受け取るコンパレータ 62 を含み、これは、出力信号 $CL2$ を提供する。第 1 のコンパレータループ回路 56 はまた、第 1 の P - FET P_3 を含み、第 1 の P - FET P_3 は、コン

パレータ 6 2 の出力に結合されるゲートを有し、制御ノード 6 4 に結合されるドレインを有し、入力ノード 5 2 に結合されるソースを有する。また、第 2 のコンパレータループ回路 5 6 は第 1 の $N-FET$ N_2 を含み、第 1 の $N-FET$ N_2 は、静的バイアス電圧 V_{B2} が提供されるゲート、制御ノード 6 4 に結合されるドレイン、及び低電圧レールに結合されるソースを有する。また、第 2 のコンパレータループ回路 5 6 は第 2 の $N-FET$ N_3 を含み、第 2 の $N-FET$ N_3 は、制御ノード 6 4 に結合されるゲートを有し、入力ノード 5 2 に結合されるドレインを有し、低電圧レールに結合されるソースを有する。 $P-FET$ N_3 、 $N-FET$ N_2 、及び $N-FET$ N_3 は、第 2 のコンパレータループ回路 5 6 のトランジスタネットワーク 1 8 に対応し得る。一例として、第 2 の $N-FET$ N_3 は、 $N-FET$ N_2 及び $P-FET$ P_3 の各々のゲートサイズより実質的に大きいゲートサイズを有し得る。

10

【0020】

コンパレータ 6 2 は、入力電圧 V_{IN} の振幅を高クランピング電圧 V_{CH} と比較するように構成される。定常状態の間、及びそのため、入力電圧 V_{IN} が高クランピング電圧 V_{CH} より小さい振幅を有することに基づいて、静的バイアス電圧 V_{B2} は、 $N-FET$ N_2 を弱くアクティベートされた状態に保ち、出力信号 $CL2$ は論理低状態を有し、そのため、 $P-FET$ P_3 をイナクティブにされた状態に保つ。その結果、制御ノード 6 4 は、 $N-FET$ N_3 をアクティベートするために十分な電圧を有する。しかし、入力電圧 V_{IN} は高クランピング電圧 V_{CH} より大きく増大する振幅を有することに応答して、コンパレータ 6 2 は、 $P-FET$ P_3 をアクティベートするために出力信号 $CL2$ をアサートし得る。 $P-FET$ P_3 のアクティベーションに応答して、制御ノード 6 4 は、入力電圧 V_{IN} から制御ノード 6 4 の電圧をソースするため、 $P-FET$ P_3 を介して入力ノード 5 2 に結合される。従って、入力ノード 5 2 から低電圧レールへ電流を提供するため、 $N-FET$ N_3 がアクティベートされる。従って、入力ノード 5 2 から低電圧レールへの電流フローは、入力電圧 V_{IN} の振幅をほぼ、高クランピング電圧 V_{CH} の振幅までクランプし得る。従って、入力ノード 5 2、コンパレータ 6 2、及び $N-FET$ N_3 は、入力電圧が低クランピング電圧より大きいとき、コンパレータ 6 2 の出力信号 $CL2$ に基づいて入力電圧 V_{IN} をほぼ高クランピング電圧 V_{CH} の振幅に維持するため、ループ回路として動作し得る。入力電圧 V_{IN} の振幅が高クランピング電圧 V_{CH} から低減することに応答して、コンパレータ 6 2 は、 $N-FET$ N_3 をディアクティベートするために出力信号 $CL2$ をデアサートし、そのため、 $P-FET$ P_3 をディアクティベートする。従って、第 2 のコンパレータループ回路 5 6 は、高クランピング電圧 V_{CH} の振幅での入力電圧 V_{IN} のクランピングを中止するためディアクティベートする。

20

30

【0021】

そのため、電圧クランプ回路 5 0 は、入力電圧 V_{IN} を高クランピング電圧 V_{CH} 及び低クランピング電圧 V_{CL} の振幅間に維持するための、入力電圧 V_{IN} の高クランピング電圧 V_{CH} 及び低クランピング電圧 V_{CL} へのクランピングの有効で効率的な方式を提供し得る。上述したように、高クランピング電圧 V_{CH} 及び低クランピング電圧 V_{CL} はプログラム可能であり得、そのため、ダイオード接続を実装する従来のクランピング回路とは対照的に、入力電圧 V_{IN} のクランピング振幅の動的な方式での設定を提供し得る。また、第 1 及び第 2 のコンパレータループ回路 5 4 及び 5 6 の配置は、 $P-FET$ P_2 及び $N-FET$ N_3 のみが、大きな電流フローを扱い、電圧クランプ回路 1 0 の漏れ電流を実質的に緩和するため非クランピング状態においてほぼゼロの電流を導通することが可能であるように、寸法付けられ構成される。また、電圧クランプ回路 5 0 は、電圧クランプ回路 5 0 がイナクティブにされるとき（即ち、入力信号 I_N が、高クランピング電圧 V_{CH} と低クランピング電圧 V_{CL} との間の振幅を有する）高インピーダンスノードとして示される。従って、電圧クランプ回路 5 0 は、ディアクティベートされた状態で入力信号 I_N を歪ませない。

40

【0022】

一例として、コンパレータ 5 8 及び 6 2 は、トランジスタのセルフバイアス共通・ゲー

50

ト配置として構成され得る。図3は、電圧クランプ回路100の更に別の例を図示する。本明細書に記載するように、電圧クランプ回路100は、図2の例における電圧クランプ回路50に対応し得、そのため、入力ノード102において提供される入力電圧 V_{IN} を、高クランピング電圧 V_{CH} 及び低クランピング電圧 V_{CL} の一方にほぼ等しい振幅でクランプするように構成され得る。一例として、クランピング電圧 V_{CH} 及び V_{CL} は各々プログラム可能であり得、そのため、応用例毎に変わり得る。

【0023】

電圧クランプ回路100は、高電圧レール V_{DD} と、図3の例で接地として示した低電圧レールとの間に示される。電圧クランプ回路100は、第1のコンパレータループ回路104及び第2のコンパレータループ回路106を含む。第1のコンパレータループ回路104は、トランジスタのセルフバイアス共通・ゲート配置として構成されるコンパレータ108を含む。コンパレータ108は、図3の例で $N-FET\ N_4$ 及び $N-FET\ N_5$ として示したトランジスタの第1の対を含む。 $N-FET\ N_4$ 及び N_5 は、 $N-FET\ N_1$ のゲートに同様に結合される共通結合されるゲートを含む。従って、 $N-FET\ N_4$ 及び N_5 の共通結合されたゲートは、上に出力信号 $CL1$ が提供されるコンパレータ108の出力に対応する。 $N-FET\ N_4$ は、入力ノード102に結合されるソースを有し、 $N-FET\ N_5$ は、低クランピング電圧 V_{CL} に結合されるソースを有する。また、 $N-FET\ N_5$ はダイオード接続される。

【0024】

コンパレータ108はまたトランジスタの第2の対を含み、これは、図3の例で $P-FET\ P_4$ 及び $P-FET\ P_5$ として示される共通結合されるゲートを含み、電流ミラーとして配される。図3の例において、 $P-FET\ P_4$ 及び P_5 は、 $P-FET\ P_4$ 及び P_5 の実質的に弱いアクティベーションを提供するため、ゲートから接地へ流れる非常に小さな振幅電流 I_{B1} （例えば、約 $1\ \mu A$ ）を提供するように静的電流源110により制御されるゲートを有する。 $P-FET\ P_4$ 及び P_5 は、高電圧レール V_{DD} に結合されるソースを有し、 $N-FET\ N_4$ 及び N_5 のそれぞれのドレインに結合されるドレインを有する。 $P-FET\ P_4$ 及び P_5 の電流ミラー構成は、それぞれの $P-FET\ P_4$ 及び P_5 を介する電流フローがほぼ等しくなるように駆動されるようにする。

【0025】

コンパレータ108は、図2の例において記載されるものに類似して、入力電圧 V_{IN} の振幅を低クランピング電圧 V_{CL} と比較するように動作する。定常状態の間、及びそのため、入力電圧 V_{IN} が、低クランピング電圧 V_{CL} より大きい振幅を有することに基づいて、 $N-FET\ N_4$ は、ゲート・ソース電圧より小さな $N-FET\ N_5$ を有する。従って、 $N-FET\ N_4$ の比較的小さなゲート・ソース電圧に基づいて比較的小さな振幅を有する電流 I_1 が、高電圧レール V_{DD} から入力ノード102へ $P-FET\ P_4$ 及び $N-FET\ N_4$ を介して流れる。そのため、電流 I_1 は、 $P-FET\ P_4$ 及び P_5 の電流ミラー構成に基づいて $P-FET\ P_5$ 及び $N-FET\ N_5$ を介して流れ、電流 I_1 にほぼ等しい電流振幅を有する電流 I_2 としてミラーされる。上述したように、 $N-FET\ N_4$ 及び N_5 の電流ミラー構成は、それぞれの $N-FET\ N_4$ 及び N_5 を介する電流フローがほぼ等しくなるように駆動されるようにする。そのため、電流 I_2 の比較的小さな振幅に基づいて、 $N-FET\ N_5$ のドレイン・ゲート電圧は、電流 I_2 を電流 I_1 の比較的小さな振幅にほぼ等しく維持するため、 $N-FET\ N_5$ のゲート・ソース電圧を調節するために減少する。従って、電流 I_1 の及びそのため電流 I_2 の比較的小さな振幅の結果、 $N-FET\ N_5$ は、低減されたゲート・ソース電圧を有するように駆動される。従って、 $N-FET\ N_5$ のドレイン電圧の振幅の減少は、同様に、 $N-FET\ N_1$ 、 N_4 、及び N_5 の全てのゲート電圧の振幅の低減となる。そのため、 $N-FET\ N_4$ のゲート電圧は、電流 I_1 の振幅を更に低減し、そのため、同様に電流 I_2 を低減する。その結果、 $N-FET\ N_1$ 、 N_4 、及び N_5 のゲート電圧の振幅の継続する低減は、出力信号 $CL1$ の論理低状態に対応し、そのため、これは、 $N-FET\ N_1$ のディアクティベーションに対応する。従って、第1のコンパレータループ回路104は、定常

10

20

30

40

50

状態において動作し得、一方、入力電圧 V_{IN} は、低クランピング電圧より大きい振幅を有する。

【0026】

入力電圧 V_{IN} が低クランピング電圧 V_{CL} より小さく低減することに応答して、 $N-FET\ N_4$ は、 $N-FET\ N_5$ より大きなゲート・ソース電圧を有する。従って、 $P-FET\ P_4$ 及び $N-FET\ N_4$ を介して高電圧レール V_{DD} から入力ノード 102 へ流れる電流 I_1 は、振幅が定常状態に対して増大する。そのため、電流 I_1 は、定常状態に関連して同様に増大された電流振幅を有する電流 I_2 としてミラーされ、従って、 $P-FET\ P_4$ 及び P_5 の電流ミラー構成に基づいて $P-FET\ P_5$ 及び $N-FET\ N_5$ を介して流れる。そのため、 $N-FET\ N_5$ は、 $N-FET\ N_4$ の比較的より大きなゲート・ソース電圧にほぼ等しいゲート・ソース電圧を有するように駆動される。 $N-FET\ N_5$ のダイオード接続構成及び一定のソース電圧に基づいて、 $N-FET\ N_5$ のゲート・ソース電圧の増大は、 $N-FET\ N_5$ のドレイン電圧の振幅の増大、及びそのため $N-FET\ N_1$ 、 N_4 、及び N_5 のゲート電圧の振幅の増加となる。そのため、 $N-FET\ N_4$ のゲート電圧は、電流 I_1 の振幅を更に増大させ、そのため、同様に電流 I_2 を増大させる。その結果、 $N-FET\ N_1$ 、 N_4 、及び N_5 のゲート電圧の振幅における継続した増大は、出力信号 $CL1$ の論理高状態に対応し、そのため、これは、 $N-FET\ N_1$ をアクティベートする。従って、 $N-FET\ N_1$ 及び $P-FET\ P_2$ は、そのため、電流フローを入力ノード 102 に提供するため上述したようにアクティベートし得る。電流 I_1 及び I_2 はほぼ等しく維持するための $P-FET\ P_4$ 及び P_5 の電流ミラー構成に基づいて、コンパレータ 108 は、入力電圧 V_{IN} を、ほぼ、低クランピング電圧 V_{CL} の振幅でクランプするため、それぞれの $N-FET\ N_4$ 及び N_5 のゲート・ソース電圧をほぼ等しくなるように維持し得る。

10

20

【0027】

第2のコンパレータループ回路 106 は、トランジスタのセルフバイアス共通・ゲート配置として構成されるコンパレータ 112 を含む。コンパレータ 112 は、図3の例で $P-FET\ P_6$ 及び $P-FET\ P_7$ として示したトランジスタの第1の対を含む。 $P-FET\ P_6$ 及び P_7 は、 $P-FET\ P_3$ のゲートに同様に結合される共通結合されるゲートを含む。従って、 $P-FET\ P_6$ 及び P_7 の共通結合されたゲートは、上に出力信号 $CL2$ が提供されるコンパレータ 112 の出力に対応する。 $P-FET\ P_6$ は、入力ノード 102 に結合されるソースを有し、 $P-FET\ P_7$ は、高クランピング電圧 V_{CH} に結合されるソースを有する。また、 $P-FET\ P_7$ はダイオード接続される。

30

【0028】

コンパレータ 112 はトランジスタの第2の対も含み、トランジスタの第2の対は、共通結合されるゲートを含み、そのため電流ミラーとして配される $N-FET\ N_6$ 及び $N-FET\ N_7$ として図3の例で示される。図3の例において、 $N-FET\ N_6$ 及び N_7 は、 $N-FET\ N_6$ 及び N_7 の実質的に弱いアクティベーションを提供するため、高電圧レール V_{DD} からゲートに流れる非常に小さな振幅電流 I_{B2} (例えば、約 $1\ \mu A$) を提供するため静的電流源 114 により制御されるゲートを有する。 $N-FET\ N_6$ 及び N_7 は、低電圧レールに結合されるソースを有し、 $P-FET\ P_6$ 及び P_7 のそれぞれのドレインに結合されるドレインを有する。 $N-FET\ N_6$ 及び N_7 の電流ミラー構成は、それぞれの $N-FET\ N_6$ 及び N_7 を介する電流フローがほぼ等しくなるように駆動される。

40

【0029】

コンパレータ 112 は、入力電圧 V_{IN} の振幅を高クランピング電圧 V_{CH} と比較するため、図2の例において記載されるものに類似して動作する。定常状態の間、及びそのため、高クランピング電圧 V_{CH} より小さい振幅を有する入力電圧 V_{IN} に基づいて、 $P-FET\ P_6$ は、 $P-FET\ P_7$ より小さなゲート・ソース電圧を有する。従って、 $P-FET\ P_6$ の比較的小さなゲート・ソース電圧に基づいて、比較的小さな振幅を有する電流 I_3 が、入力ノード 102 から低電圧レールへ $N-FET\ N_6$ 及び $P-FET$

50

P_6 を介して流れる。そのため、電流 I_3 は、 $N-FET\ N_6$ 及び N_7 の電流ミラー構成に基づいて $N-FET\ N_6$ 及び $P-FET\ P_7$ を介して流れ、電流 I_3 の振幅にほぼ等しい電流を有する電流 I_4 としてミラーされる。上述したように、 $N-FET\ N_6$ 及び N_7 の電流ミラー構成は、それぞれの $P-FET\ P_6$ 及び P_7 を介する電流フローがほぼ等しくなるよう駆動されるようにされる。そのため、電流 I_4 の比較的小さな振幅に基づいて、 $P-FET\ P_7$ のドレイン・ゲート電圧は、電流 I_4 が電流 I_3 の比較的小さな振幅にほぼ等しくなるように維持するため $P-FET\ P_7$ のゲート・ソース電圧を調節するために増大される。従って、電流 I_3 の、またそのため電流 I_4 の比較的小さな振幅の結果、 $P-FET\ P_7$ は、増大されたゲート・ソース電圧を有するように駆動される。従って、 $P-FET\ P_7$ のドレイン電圧の振幅の増大は、同様に、 $P-FET$ 10
 P_3 、 P_6 、及び P_7 の全てのゲート電圧の振幅の増大となる。そのため、 $P-FET\ P_6$ のゲート電圧は、電流 I_3 の振幅を更に低減し、そのため、同様に電流 I_4 を低減する。その結果、 $P-FET\ P_3$ 、 P_6 、及び P_7 のゲート電圧の振幅における継続した増大は、出力信号 $CL2$ の論理高状態に対応し、そのため、 $P-FET\ P_3$ のディアクティベーションに対応する。従って、第2のコンパレータループ回路 106 は定常状態において動作し得、一方、入力電圧 V_{IN} は、高クランピング電圧 V_{CH} より小さい振幅を有する。

【0030】

入力電圧 V_{IN} が高クランピング電圧 V_{CH} より大きく増大することに対応して、 $P-FET\ P_6$ は、 $P-FET\ P_7$ より大きなゲート・ソース電圧を有する。従って、入力ノード 102 から低電圧レールに $N-FET\ N_6$ 及び $P-FET\ P_6$ を介して流れる電流 I_3 は、定常状態に対して振幅が増大する。そのため、電流 I_3 は、定常状態に対して同様に増大された電流振幅を有し、従って、 $N-FET\ N_6$ 及び N_7 の電流ミラー構成に基づいて $N-FET\ N_7$ 及び $P-FET\ P_7$ を介して流れる電流 I_4 としてミラーされる。 $P-FET\ P_7$ のダイオード接続構成及び一定のソース電圧 V_7 に基づいて、 $P-FET\ P_7$ のゲート・ソース電圧の減少は、 $P-FET\ P_7$ のドレイン電圧の振幅の減少、及びそのため $P-FET\ P_3$ 、 P_6 、及び P_7 のゲート電圧の振幅の低減となる。そのため、 $P-FET\ P_6$ のゲート電圧は電流 I_3 の振幅を更に増大させ、そのため、同様に電流 I_4 を増大させる。その結果、 $P-FET\ P_3$ 、 P_6 、及び P_7 のゲート電圧の振幅の継続した低減は、出力信号 $CL2$ の論理低状態に対応し、そのため、 $P-FET\ P_3$ をアクティベートする。従って、 $N-FET\ N_3$ 及び $P-FET\ P_3$ は、そのため、上述したように入力ノード 102 からの電流フローを提供するためアクティベートし得る。電流 I_3 及び I_4 がほぼ等しくなるように維持するための $N-FET\ N_6$ 及び N_7 の電流ミラー構成に基づいて、コンパレータ 112 は、入力電圧 V_{IN} を、ほぼ、高クランピング電圧 V_{CH} の振幅においてクランプするため、それぞれの $P-FET\ P_6$ 及び P_7 のゲート・ソース電圧をほぼ等しくなるように維持し得る。 30

【0031】

コンパレータ 108 及び 112 がトランジスタのセルフバイアス共通・ゲート配置として配されることに基づいて、電圧クランプ回路 100 は、従来の電圧クランプ回路に対して一層効率的な電圧クランプ回路であり得る。例えば、自己バイアスアーキテクチャは、薄い酸化物デバイスにおける入力電圧 V_{IN} の急速な電圧クランピングを促進するため、低電圧環境における電圧クランプ回路 100 のオペレーションを促進し得る。また、自己バイアスアーキテクチャは、それぞれ、 $N-FET\ N_1$ 及び $P-FET\ P_1$ を介する実質的にゼロ非線形の電流フローを提供するため、非クランピング状態の間、 $N-FET\ N_1$ 及び $P-FET\ P_1$ がディアクティベートされることも提供する。また、それぞれ、 $P-FET\ P_4$ 及び P_5 及び $N-FET\ N_6$ 及び N_7 に対する静的バイアス電流 I_{B1} 及び I_{B2} の利用は、入力電圧 V_{IN} に対するクランピングの実質的に最小オーバーシュートを有する実質的に一層速いクランピングを提供する。従って、電圧クランプ回路 100 は、ダイオードベースのクランピングを実装するものなどの従来のクランピング回路に対して著しい利点を提供し得る。 40

10

20

30

40

50

【 0 0 3 2 】

図 4 は、電圧クランプ回路 1 5 0 の更に別の例を図示する。電圧クランプ回路 1 5 0 は、入力ノード 1 5 2 において提供される入力電圧 V_{IN} を、高クランピング電圧 V_{CH} 及び低クランピング電圧 V_{CL} の一方にほぼ等しい振幅でクランプするように構成され得る。電圧クランプ回路 1 5 0 は、それぞれ、図 2 及び図 3 の例における電圧クランプ回路 5 0 及び 1 0 0 に類似して構成され得る。

【 0 0 3 3 】

電圧クランプ回路 1 5 0 は、高電圧レール V_{DD} (例えば、約 1.8 ボルト) と、図 4 の例で接地として示した低電圧レールとの間に示される。電圧クランプ回路 1 5 0 は第 1 の電圧生成器 1 5 4 を含み、第 1 の電圧生成器 1 5 4 は、低電圧レールに結合され、高電圧レール V_{DD} などに基づいて、低クランピング電圧 V_{CL} (例えば、約 0.55 ボルト) を生成するように構成される。電圧クランプ回路 1 5 0 はまた第 2 の電圧生成器 1 5 6 を含み、第 2 の電圧生成器 1 5 6 は、高電圧レール V_{DD} に結合され、高電圧レール V_{DD} などに基づいて、高クランピング電圧 V_{CH} (例えば、約 1.55 ボルト) を生成するように構成される。従って、例えば、電圧クランプ回路 1 5 0 は、デュアル電源を含む種々のサブミクロン CMOS 技術の任意のものにおいて実装され得る。

【 0 0 3 4 】

電圧クランプ回路 1 5 0 は、第 1 のコンパレータループ回路 1 5 8 及び第 2 のコンパレータループ回路 1 6 0 を含む。第 1 のコンパレータループ回路 1 5 8 は、反転入力において入力電圧 V_{IN} を及び非反転入力において低クランピング電圧 V_{CL} を受け取るコンパレータ 1 6 2 を含み、出力信号 CL_1 を提供する。第 1 のコンパレータループ回路 1 5 8 はまた、第 1 の N - FET (例えば、MOSFET) N_1 を含み、第 1 の N - FET N_1 は、コンパレータ 1 6 2 の出力に結合されるゲートを有し、制御ノード 1 6 4 に結合されるドレインを有し、入力ノード 1 5 2 に結合されるソースを有する。第 1 のコンパレータループ回路 1 5 8 はまた、第 1 の P - FET (例えば、MOSFET) P_1 を含み、第 1 の P - FET P_1 は、静的バイアス電圧 V_{B_1} が提供されるゲート、制御ノード 1 6 4 に結合されるドレイン、及び第 2 の電圧生成器 1 5 6、及び従って、高クランピング電圧 V_{CH} に結合されるソースを有する。また、第 1 のコンパレータループ回路 1 5 8 は第 2 の P - FET P_2 を含み、第 2 の P - FET P_2 は、制御ノード 1 6 4 に結合されるゲートを有し、入力ノード 1 5 2 に結合されるドレインを有し、並びに、第 2 の電圧生成器 1 5 6、及び従って、高クランピング電圧 V_{CH} に結合されるソースを有する。一例として、第 2 の P - FET P_2 は、N - FET N_1 及び P - FET P_1 の各々のゲートサイズより実質的に大きいゲートサイズを有し得る。

【 0 0 3 5 】

コンパレータ 1 6 2 は、入力電圧 V_{IN} の振幅を低クランピング電圧 V_{CL} と比較するように構成される。定常状態の間、及びそのため、入力電圧 V_{IN} が低クランピング電圧 V_{CL} より大きい振幅を有することに基づいて、静的バイアス電圧 V_{B_1} は、P - FET P_1 を弱くアクティベートされた状態に保ち、出力信号 CL_1 は論理低状態を有し、そのため、N - FET N_1 をディアクティベートされた状態に保つ。その結果、制御ノード 1 6 4 は、P - FET P_2 をアクティベートするために十分な電圧を有する。しかし、入力電圧 V_{IN} が低クランピング電圧 V_{CL} より小さく低減する振幅を有することに応答して、コンパレータ 1 6 2 は、N - FET N_1 をアクティベートするために出力信号 CL_1 をアサートし得る。N - FET N_1 のアクティベーションに応答して、制御ノード 1 6 4 の電圧を、ほぼ、入力電圧の振幅 V_{IN} までシンクするため、制御ノード 1 6 4 は N - FET N_1 を介して入力ノード 1 5 2 に結合される。従って、電流を高クランピング電圧 V_{CH} から入力ノード 1 5 2 へ提供するため、P - FET P_2 がアクティベートされる。従って、高クランピング電圧 V_{CH} から入力ノード 1 5 2 への電流フローは、入力電圧 V_{IN} の振幅を、ほぼ、低クランピング電圧 V_{CL} の振幅までクランプし得る。従って、入力ノード 1 5 2、コンパレータ 1 6 2、及び P - FET P_2 は、コンパレータ 1 6 2 の出力信号 CL_1 に基づいて、入力電圧 V_{IN} をほぼ低クランピング電圧 V_{CL}

10

20

30

40

50

の振幅に維持するため、ループ回路として動作し得る。

【0036】

第2のコンパレータループ回路160は、第1のコンパレータループ回路158に実質的に類似して構成される。図4の例において、第2のコンパレータループ回路160は、反転入力において入力電圧 V_{IN} を及び非反転入力において高クランピング電圧 V_{CH} を受け取るコンパレータ166を含み、出力信号 $CL2$ を提供する。第1のコンパレータループ回路160は第1のP-FET P_3 も含み、第1のP-FET P_3 は、コンパレータ166の出力に結合されるゲートを有し、制御ノード168に結合されるドレインを有し、及び入力ノード152に結合されるソースを有する。第2のコンパレータループ回路160はまた第1のN-FET N_2 を含み、第1のN-FET N_2 は、静的バイアス電圧 V_{B2} が提供されるゲート、制御ノード168に結合されるドレイン、並びに、第1の電圧生成器154、及び従って低クランピング電圧 V_{CL} に結合されるソースを有する。また、第2のコンパレータループ回路160は第2のN-FET N_3 を含み、第2のN-FET N_3 は、制御ノード168に結合されるゲートを有し、入力ノード152に結合されるドレインを有し、並びに、第1の電圧生成器154、及び従って低クランピング電圧 V_{CL} に結合されるソースを有する。一例として、第2のN-FET N_3 は、N-FET N_2 及びP-FET P_3 の各々のゲートサイズより実質的に大きいゲートサイズを有し得る。

10

【0037】

コンパレータ166は、入力電圧 V_{IN} の振幅を高クランピング電圧 V_{CH} と比較するように構成される。定常状態の間、及びそのため、入力電圧 V_{IN} が高クランピング電圧 V_{CH} より小さい振幅を有することに基づいて、静的バイアス電圧 V_{B2} は、N-FET N_2 を弱くアクティベートされた状態に保ち、出力信号 $CL2$ は論理低状態を有し、そのため、P-FET P_3 をディアクティベートされた状態に保つ。その結果、制御ノード168は、N-FET N_3 をアクティベートするために十分な電圧を有する。しかし、入力電圧 V_{IN} が高クランピング電圧 V_{CH} より大きく増大する振幅を有することに対応して、コンパレータ166は、P-FET P_3 をアクティベートするために出力信号 $CL2$ をアサートし得る。P-FET P_3 のアクティベーションに対応して、制御ノード168は、入力電圧 V_{IN} から制御ノード168の電圧をソースするため、P-FET P_3 を介して入力ノード152に結合される。従って、入力ノード152から低クランピング電圧 V_{CL} へ電流を提供するため、N-FET N_3 がアクティベートされる。従って、入力ノード152から低クランピング電圧 V_{CL} への電流フローは、入力電圧 V_{IN} の振幅を、ほぼ、高クランピング電圧 V_{CH} の振幅までクランプし得る。従って、入力ノード152、コンパレータ166、及びN-FET N_3 は、コンパレータ166の出力信号 $CL2$ に基づいて、入力電圧 V_{IN} をほぼ高クランピング電圧 V_{CH} の振幅に維持するためループ回路として動作し得る。

20

30

【0038】

図5は、ADCシステム200の一例を図示する。ADCシステム200は、アナログ電圧 V_A をデジタル信号DIGに変換するため、種々の応用例の任意のものにおいて実装され得る。ADCシステム200は、上にアナログ電圧 V_A が提供される第1のノード202と、図1～4のそれぞれの例における入力ノード12、52、102、及び152に対応し得る入力ノード204とを分離する抵抗器 R_{IN} を含む。そのため、入力ノード204は、図1～4のそれぞれの例における電圧 V_{IN} に対応し得る電圧 V_{IN} を有する。従って、入力電圧 V_{IN} は、ADC206を介してデジタル信号DIGに変換され得る。

40

【0039】

ADCシステム200は更に、プログラマブルであるか又はそれぞれの電圧生成器（例えば、図4の例における電圧生成器154及び156）を介して生成されるなどの、高クランピング電圧 V_{CH} と低クランピング電圧 V_{CL} との間まで、入力電圧 V_{IN} をクランプするように構成される電圧クランプ回路208を含み得る。そのため、アナログ電圧 V_A が V_{MAX} の最大振幅及び V_{MIN} の最小振幅を有するように提供され得る一方で、電

50

圧クランプ回路 208 は、入力電圧を高クランピング電圧 V_{CH} にほぼ等しい最大振幅を有するように及び高クランピング電圧 V_{CL} にほぼ等しい最小振幅を有するようにクランプするように構成され得る。従って、電圧クランプ回路 208 は、アナログ電圧 V_A の最大電圧 V_{MAX} と最小電圧 V_{MIN} との間の電圧スイングに起因するなどの損傷から ADC 206 を実質的に保護し得る。

【0040】

本発明の特許請求の範囲内で、説明した例示の実施例に改変が成され得、他の実施例が可能である。

【図 1】

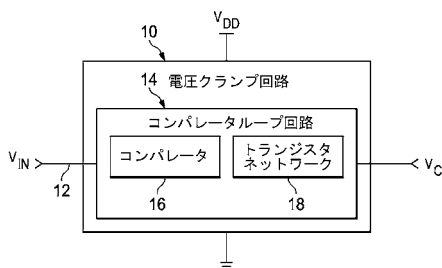


FIG. 1

【図 2】

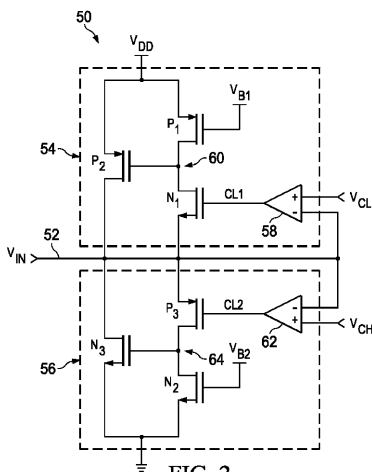


FIG. 2

【図 3】

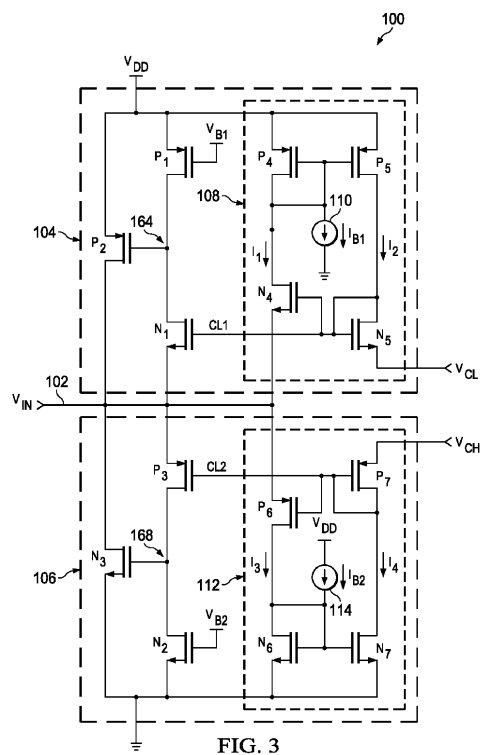
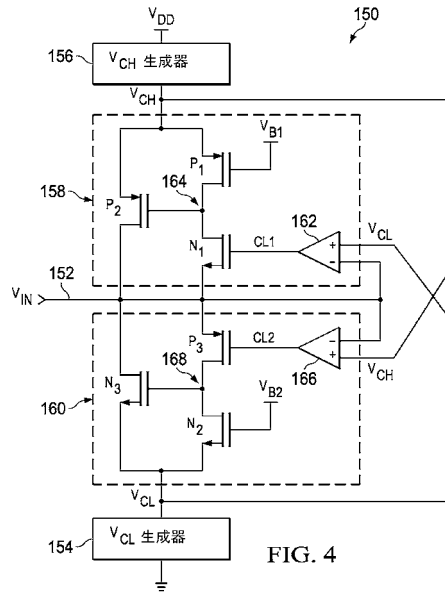
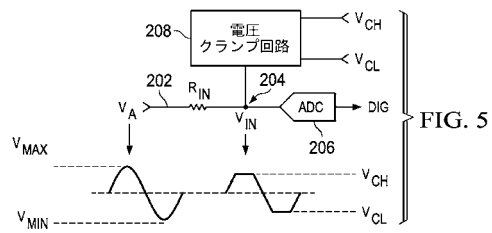


FIG. 3

【 図 4 】



【 図 5 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT	International application No. PCT/US 2017/064528
Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)	
This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:	
1. <input type="checkbox"/> Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:	
2. <input checked="" type="checkbox"/> Claims Nos.: 16 because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically: Claim 16 is not correct and clear. It does not contain all the features characterizing an analog-to-digital converter.	
3. <input type="checkbox"/> Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).	
Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)	
This International Searching Authority found multiple inventions in this international application, as follows:	
1. <input type="checkbox"/> As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.	
2. <input type="checkbox"/> As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.	
3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:	
4. <input type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:	
Remark on Protest	<input type="checkbox"/> The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee. <input type="checkbox"/> The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation. <input type="checkbox"/> No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 2017/064528		
A. CLASSIFICATION OF SUBJECT MATTER <p style="text-align: center;"><i>G05F 1/618 (2006.01)</i> <i>H03M 1/12 (2006.01)</i></p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols)				
G05F 1/613, 1/618, H02M 1/12, 1/48, H03K 5/24				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
PatSearch (RUPTO internal), USPTO, PAJ, Esp@cenet, DWPI, EAPATIS, PATENTSCOPE, Information Retrieval System of FIPS				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X	Додик С.Д. Источники электропитания на полупроводниковых приборах, проектирование и расчет. Советское радио, Москва, 1969, pages 98, 99, fig.111.1, 111.2 (в), non-official translation, (Dodik S.D. Power sources on semiconductor devices, design and calculation. Soviet radio, Moscow)	1		
Y		2, 4-6, 9, 17-18		
A		3, 7-8, 10-15, 19-20		
Y	SU 1027814 A (SOKOLOV V.N) 07.07.1983, fig.1, col 3, lines 28-40	9, 17, 18		
Y	US 5070259 A (LINEAR TECHNOLOGY CORPORATION) 03.12.1991, abstract, fig. 4, col. 3, lines 1-20	2		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.				
<table border="0" style="width: 100%;"> <tr> <td style="width: 50%;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 02 April 2018 (02.04.2018)		Date of mailing of the international search report 19 April 2018 (19.04.2018)		
Name and mailing address of the ISA/RU: Federal Institute of Industrial Property, Berezhkovskaya nab., 30-1, Moscow, G-59, GSP-3, Russia, 125993 Facsimile No: (8-495) 531-63-18, (8-499) 243-33-37		Authorized officer I. Golovinova Telephone No. (499) 240-25-91		

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US 2017/064528

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	RU 162000 U1 (FEDERALNOE GOSUDARSTVENNOE BUDZHETNOE OBRAZOVATELNOE UCHREZHDENIE VYSSHEGO OBRAZOVANIYA "STAVROPOLSKY GOSUDARSTVENNY AGRARNY UNIVERSITET") 20.05.2016, fig.1	4-5, 18
Y	US 4751405 A (GOULD INC.)14.06.1988, col. 1, lines 31-35, 50-53	6

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 ティエンリン シェ

アメリカ合衆国 75002 テキサス州 アレン , カーソン ドライブ 1016

Fターム(参考) 5J022 AA01 CA05

5J030 CB00 CC00 CC06