

[12] 发明专利说明书

[21] ZL 专利号 96114575.7

[45] 授权公告日 2002 年 10 月 2 日

[11] 授权公告号 CN 1091977C

[22] 申请日 1996.11.15 [21] 申请号 96114575.7
[30] 优先权
[32] 1995.11.28 [33] US [31] 563415
[73] 专利权人 国际商业机器公司
地址 美国纽约州
[72] 发明人 R·E·布希 K·M·齐克
R·M·霍尔
审查员 段成云

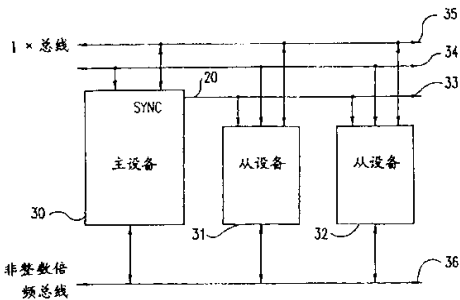
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 吴增勇 张志醒

权利要求书 3 页 说明书 14 页 附图页数 6 页

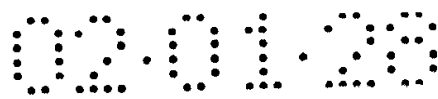
[54] 发明名称 用于非整数倍频系统的时钟同步方法电路

[57] 摘要

用来使倍频的系统时钟信号同步的电路包括用来产生系统时钟信号的设备、接收系统时钟信号和产生同步信号的第一设备以及至少一个接受系统时钟信号和同步信号的第二设备。每个第二设备包括用来将系统时钟信号倍频以产生倍频的系统时钟信号的设备,以及用来使倍频的系统时钟信号与由其它第二设备根据同步信号产生的每个其他倍频的系统时钟信号同步的设备。



I S S N 1 0 0 8 - 4 2 7 4



权 利 要 求 书

1. 一种使倍频系统时钟信号同步用的电路,其特征在于它包括:
系统时钟信号产生装置;

5 以工作的方式连接到所述产生装置上的第一设备,用来接收所述系统时钟信号,并产生同步信号,和

至少一个以工作的方式连接到所述产生装置和第一个设备上的第二设备,用来接收系统时钟信号和所述同步信号,每个所述至少一个第二设备包括倍频时钟发生器电路;

10 其中所述倍频时钟发生电路包括:

第一和第二逻辑电路,

耦合到所述第一和第二逻辑电路上的相位/频率探测器电路,和

15 用来接收所述相位/频率探测器电路输出的振荡器电路,所述振荡器电路包括用来输出所述倍频系统时钟信号的装置,所述倍频系统时钟信号包括所述系统时钟信号的非整数倍频。

2. 如权利要求 1 中的电路,其特征还在于还包括:

以工作的方式连接到所述倍频时钟发生器电路上的时钟树分布电路, 用来输出反馈时钟信号。

3. 如权利要求 2 中的电路,其特征还在于还包括:

20 以工作的方式连接到所述倍频时钟发生器电路上的分频电路,

这里所述分频电路包括用来对所述反馈时钟信号进行分频的装置和用来将分频后的反馈时钟信号输出到所述倍频时钟发生器电路上。

4. 如权利要求 3 中的电路,其特征还在于所述第一逻辑电路包括:
用来比较所述系统时钟信号和所述同步信号的装置,以及当所述系统
25 时钟信号有一预定的状态而所述系统时钟信号有一所述预定状态时用来输出第一脉冲的装置,和

所述第二逻辑电路包括: 用来比较所述分频的反馈时钟信号和所述倍频系统时钟信号的装置,以及当所述分频的反馈时钟信号有一预

定的状态而所述倍频的系统时钟信号有一所述预定状态时用来输出第二脉冲的装置。

5 5. 如权利要求 4 中的电路, 其特征在于所述相位/频率探测器电路包括用来比较所述第一脉冲和所述第二脉冲的装置和用来控制所述振荡器电路、以便所述第一脉冲和所述第二脉冲大体上同时产生、并且使所述倍频的系统时钟信号与其他所述至少一个第二设备的其它所述倍频的系统时钟信号同步的装置。

6. 如权利要求 5 中的电路, 其特征在于所述第一和第二逻辑电路每个都包括与门电路。

10 7. 如权利要求 6 中的电路, 其特征在于所述倍频时钟发生器电路还包括以工作的方式连接到所述振荡器电路和所述相位/频率探测器电路上的低通滤波器。

15 8. 如权利要求 7 中的电路, 其特征在于所述分频器电路还包括大量的锁存器电路, 所述分频器电路对所述反馈时钟信号执行多次分频操作。

9. 一种使倍频系统时钟信号同步用的电路, 其特征在于它包括:
系统时钟信号产生装置;

以工作的方式连接到所述产生装置上的第一设备, 用来接收所述系统时钟信号, 并产生同步信号, 和

20 至少一个以工作的方式连接到所述产生装置和第一个设备上的第二设备, 用来接收系统时钟信号和所述同步信号, 每个所述至少一个第二设备包括倍频时钟发生器电路;

其中所述第一设备还包括第二倍频的时钟发生器电路, 后者包括:

25 第三和第四逻辑电路,

耦合到所述第三和第四逻辑电路上的第二相位/频率探测器电路和

用来接收所述第二相位/频率探测器电路的第二振荡器电路。



10. 在产生系统时钟信号的系统中使时钟信号同步的方法，所述系统包括第一设备和至少一个以工作的方式连接到第一设备的第二设备，所述至少一个第二设备中的每个第二设备包括用来产生与所述系统时钟信号相应的第一倍频的系统时钟信号及与所述系统时钟信号之外的信号相应的第二倍频的系统时钟信号的装置，其特征在于该方法包括以下步骤：

对每个所述第二设备：

输出所述系统时钟信号和同步信号，

倍频所述系统时钟信号以产生包含所述第一倍频的系统时钟信号和所述第二倍频的系统时钟信号中的一个的设备倍频的系统时钟信号，

将所述设备倍频的系统时钟信号输出到时钟树分布电路，和

确定所述设备倍频的系统时钟信号是否与所述系统时钟信号一致，以及

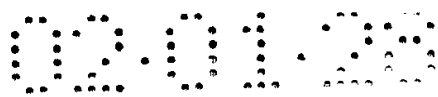
对每个所述产生所述第二倍频的系统时钟信号的第二设备，根据所述确定步骤，调整所述设备倍频的系统时钟信号，以便使倍频的系统时钟信号与其它所述至少一个第二设备的其它设备倍频的系统时钟信号同步。

11. 如权利要求 10 中的方法，其特征在于所述确定步骤包括以下步骤：

输入来自所述时钟树分布电路的反馈时钟信号，

分频所述反馈时钟信号来产生分频的反馈时钟信号，和

比较所述设备倍频的系统时钟信号和所述分频的反馈时钟信号，以及比较所述系统时钟信号和所述同步信号。



说明书

用于非整数倍频系统的时钟同步方法和电路

5 本发明一般涉及数字电子系统，更具体地讲，涉及高频时钟脉冲与这样的数字电子系统部分的同步。

10 复杂的数字电路的性能和正确运行决定性地依赖于通过其中的大量信号通路传播的信号定时。例如，即使是接收大量输入信号的简单的逻辑门，如果输入信号的到达时间发生偏移，那么只有在输入信号正确的逻辑状态重叠，如果有的话，的期间才会产生正确的输出。因此，数字电路的运行是按称为“周期”的时间间隔周期性地重新对时。

15 周期通常决定于系统时钟，它产生不同相的时钟信号以留出信号传播及稳定的时间，使得当不同的数字电路允许对各信号作出反应时，所有的信号都处于预定的逻辑状态。然而，由于周期必须容纳系统内所有传播延迟和其它信号畸变及稳定时间，时钟周期通常必须容纳这里最大延迟。因此，延迟时间最大元件的周期将其延迟时间强加给整个系统，因此限制整个系统的运行速度。

20 考虑到所需系统速度，通过设计系统主振荡器以同步分布允许的最低频率运行，将噪音和信号传播延迟减至最低。因而，局部的高速时钟必须接收来自系统根据系统同步所需的精确度、以最低频率或最大时间间隔同步装置的同步信号。为了保持系统同步的精确度，同步信号的最低频率必须随着局部的高速时钟速率的增加而增加。

25 最近，时钟倍频电路已加到微处理器中，以产生一个外部“系统”时钟速度数倍的内部时钟信号。尽管系统总线和系统时钟以较低速度运行，但这样一个内部时钟信号也允许微处理器以非常高的内部速度运行。如果微处理器必须与一个或多个设备(即外围设备、输入/输出总线、存储装置等)以其内部时钟速度通讯，那么第二个设备为了以

该速度通讯，必须产生或接收较高速度的时钟信号。

然而，当两个或更多的装置以小数(非整数)(即 $1.5x$ 、 $2.5x$ 、 $3.5x$ 等) 倍频后的时钟速度运行时，存在一个问题，由于它们不能很好地通讯，除非非整数倍频后的时钟信号与其它设备同步。因而，除非设备正确地锁相，否则它们不能有效地通讯。

为了将要通讯的设备的内部时钟信号同步，必须克服称为“亚稳定性”的问题。换句话说，只有在逻辑信号稳定后，才能进行有效地通讯。亚稳定性对正常的通讯是极为关键的，因为同步的定时对电路关系和通讯是决定性的。换句话说，通讯设备中的输出驱动器可以用有限的时间从零变到一，而且锁存器电路或寄存器必须知道数据电平何时稳定，以便捕捉到正确的数据。因此，异相时钟问题影响不同电路等候逻辑信号同步时产生的延迟。此段时间的延迟是不需要的，长期以来一直想消除/减少它，这正是本发明要回答的问题。

异相时钟问题的一个解决方法涉及将非整数倍频时钟信号发送到“从”设备的“主”设备。这确保所有的从设备与主设备同相。然而，当一个设备作为主设备并产生一要发送到从设备的较高速度的时钟时，由于信号分布和带宽问题，产生的时钟信号的发送和接收产生延迟。这些延迟影响诸如接口信号的建立和保持时间等性能参数。

当每个从设备都产生自己的内部时钟时，即可消除由主/从关系产生的延迟。然而，当每个设备产生自己的非整数倍频的时钟信号时，不能保证时钟信号与其它逻辑信号同步。

下面具体描述异相时钟问题。如果内部时钟速度是“系统”时钟的整数(即 $1x$ 、 $2x$ 、 $3x$ 等) 倍，每个设备将产生一个与其它内部时钟信号同步的相同的内部时钟信号。然而，如果内部时钟速度是“系统”时钟小数(即 $1.5x$ 、 $2.5x$ 、 $3.5x$ 等) 倍，一个设备的内部时钟可能与其它设备的内部时钟完全异相(180°)。

图中还描述了异相时钟问题。现在参阅图 1，图中显示了系统时钟信号 10 (“CLK”) 的实例波形。

波形起始于“低”（即“0”）信号电平，并在 t_0 时升至“高”（即“1”）信号电平。在 t_0 和 t_1 之间的中点，系统时钟信号回到低信号电平。在 t_1 时，系统时钟信号重复此循环，回到高信号电平。此循环继续重复每个时间单位。

5 图 1 显示出设备 A 内部时钟信号的波形，它称为信号 CLK A (11)。图 1 显示了设备 B 内部时钟的波形，它称为信号 CLK B (12)。图 1 还显示了设备 C 内部时钟的波形，它称为信号 CLK C (13)。每个内部设备 A、B 和 C 根据系统时钟产生自己的内部时钟信号。在此例中，每个内部时钟信号都是系统时钟信号的非整数（例如 $1.5x$ ）倍。

10 时钟信号 A 和时钟信号 C 事实上是同步的。

设备 B 的内部时钟信号 12 也按系统时钟信号的 $1.5x$ 运行，但不象 CLK A 和 CLK C，无论何时 CLK A 和 CLK C 从低状态变到高状态，CLK B 总是进行相反的动作。因此，内部 CLK B 与内部 CLK A 和内部 CLK C 是完全异相的，或 180° 异相。

15 正如上面所解释的，由于 CLK B 与 CLK A 和 CLK C 异相，这些设备之间的通讯即使不是不可能，也是效率不高的。本发明通过使各个设备产生的非整数倍频的时钟信号同步，解决了异相时钟问题。

因此本发明的一个目的是为上述传统设备的异相时钟问题提供一个解决方案。

20 另一个目的是通过引入使大量设备的内部时钟信号同步的同步信号，使为系统时钟小数倍的内部时钟同相，来解决上述问题。

本发明又一目的是提供用来将以小数来倍频系统时钟信号的不同设备的内部时钟信号同步的系统和方法。本发明引入同步信号来维持所有非整数倍频的各个时钟信号同相，并维持一恒定的频率。

25 具体地说，在本发明的第一个方面中，提供一种包括用来倍频系统时钟信号的电路的装置。该电路包括用来传送系统时钟信号的系统时钟总线、相连到系统时钟总线上的用来产生同步信号的主设备和大量连接到系统时钟总线及来自主设备的同步时钟信号的从设备。大量

从设备中的每设备都包括一个设备时钟，设备时钟连接到时钟树分布电路和反馈分频电路上。

利用主设备产生的并传播到其它从设备的同步信号，当同步时钟信号一变为有效时，便可利用该同步信号。这使锁相环设备可以立即开始锁定在正确的内部时钟相上。

这个同步设计也使完整的时钟倍频系统(例如带有一个以上“从”设备的主设备)可以加入到现有的总线中而无需作任何改变(即同步总线周期、额外信号等)。这些特性在“反向兼容”不允许任何变化的情况下是需要的，对于为同步而设置特殊总线周期是不现实的“即插即用”的应用也是有用的。

因此，按照本发明，引入同步信号，使大量设备的内部时钟信号同步，使为系统时钟小数倍的内部时钟同相。本发明的结构和方法使不同设备非整数倍频的内部时钟信号同步，更具体地讲，应用同步信号和锁相环来维持所有非整数倍频的各个时钟信号同相以及在一恒定频率上。

本发明提供一种在产生系统时钟信号的系统中使时钟信号同步的方法，所述系统包括第一设备和至少一个以工作的方式连接到第一设备的第二设备，所述至少一个第二设备中的每个第二设备包括用来产生与所述系统时钟信号相应的第一倍频的系统时钟信号及与所述系统时钟信号之外的信号相应的第二倍频的系统时钟信号的装置，其特征在于该方法包括以下步骤：

对每个所述第二设备：

输出所述系统时钟信号和同步信号，

倍频所述系统时钟信号以产生包含所述第一倍频的系统时钟信号和所述第二倍频的系统时钟信号中的一个的设备倍频的系统时钟信号，

将所述设备倍频的系统时钟信号输出到时钟树分布电路，和

确定所述设备倍频的系统时钟信号是否与所述系统时钟信号一

致，以及

对每个所述产生所述第二倍频的系统时钟信号的第二设备，根据所述确定步骤，调整所述设备倍频的系统时钟信号，以便使倍频的系统时钟信号与其它所述至少一个第二设备的其它设备倍频的系统时钟信号同步。

本发明另一方面提供一种使倍频系统时钟信号同步用的电路，其特征在于它包括：

系统时钟信号产生装置;

以工作的方式连接到所述产生装置上的第一设备，用来接收所述
10 系统时钟信号，并产生同步信号，和

至少一个以工作的方式连接到所述产生装置和第一个设备上的第二设备，用来接收系统时钟信号和所述同步信号，每个所述至少一个第二设备包括倍频时钟发生器电路；

其中所述倍频时钟发生电路包括：

15 第一和第二逻辑电路,

耦合到所述第一和第二逻辑电路上的相位/频率探测器电路, 和用来接收所述相位/频率探测器电路输出的振荡器电路, 所述振荡器电路包括用来输出所述倍频系统时钟信号的装置, 所述倍频系统时钟信号包括所述系统时钟信号的非整数倍频。

20 本发明另一方面提供一种使倍频系统时钟信号同步用的电路，其特征
在于它包括：

系统时钟信号产生装置;

以工作的方式连接到所述产生装置上的第一设备，用来接收所述系统时钟信号，并产生同步信号，和

25 至少一个以工作的方式连接到所述产生装置和第一个设备上的第二设备，用来接收系统时钟信号和所述同步信号，每个所述至少一个第二设备包括倍频时钟发生器电路；

其中所述第一设备还包括第二倍频的时钟发生器电路，后者包

括：

第三和第四逻辑电路，

耦合到所述第三和第四逻辑电路上的第二相位/频率探测器电路
和

5 用来接收所述第二相位/频率探测器电路的第二振荡器电路。

从以下参阅附图对本发明的最佳实施例的详细描述中将会更好地理解本发明上述及其它目的、方面和优点，其中：

图 1 描述在一实例系统中系统时钟信号和较快的内部时钟信号的实例波形。

10 图 2 描述按照本发明的系统时钟信号、1.5x 倍频的内部时钟信号和同步信号的实例波形。

图 3 是按照本发明的包括主时钟同步信号发生器、从设备、系统时钟总线和非整数倍频的总线的系统框图。

图 4 是用来与按照本发明的系统一起使用的锁相环电路的框图。

15 图 5 是按照本发明的包括 PLL 和反馈分频器的时钟结构的框图。

图 6 是按照本发明的包括系统时钟信号、同步信号、两个内部信号和分频的时钟信号的 PLL 相位/频率检测器显示的实例波形的时序图。

20 图 7 是显示按照本发明的未倍频总线和与微处理器及 2 级超高速缓冲存储器通讯的非整数倍频总线的框图。

图 8 与图 7 相似，显示一个单独的除 2 电路。

本发明的目的是提供一种利用由主设备产生的、通过同步信号总线传播的同步信号的系统。各个从设备用该同步信号来产生与其它非整数倍频的时钟信号同相和同步的非整数倍频的时钟信号。

25 正如图 3 和下面更详细讨论的，本发明优于传统系统，因为本发明消除延迟并且不干扰通讯线路或通讯总线。具体地讲，正如背景一节所讨论的，一些先有技术系统直接发布一个高速时钟信号，这需要将该额外的时钟信号提供给所有以非整数倍频的时钟速度通讯的设

备。其它先有的方法引入特殊的总线周期操作，作为建立在以非整数倍频的时钟速度通讯的设备中内部产生的倍频的时钟信号同步的手段。

行。该特定实施例涉及这样一种情况，即非整数倍频的总线 36 以 CLK 信号 10 的半整数(即 $1.5x$ 、 $2.5x$ 、 $3.5x$ 等)倍的信号频率运行，但本发明包括其它的小数倍数。因此，每个从设备都可以与 $1x$ 总线和以不同频率运行的非整数倍频的总线进行通讯。

5 为了允许设备 31、32 与 $1x$ 总线 35 通讯，从 CLK 总线 34 将 CLK 信号 10 输入到该设备上。由于 CLK 信号 10 和 $1x$ 总线 35 以同样的频率运行并且同相，因此无需同步。

10 为了允许设备 31 和设备 32 与非整数倍频的总线 36 通讯，CLK 信号 10 必须用一预定数倍频。在实例实施例中，CLK 信号 10 按半整数(即 $1.5x$ 、 $2.5x$ 、 $3.5x$ 等)倍频。如前所讨论的，内部非整数倍频的设备时钟信号可能与总线或其它设备异相。

为了确保所有内部的非整数倍频的设备相互同相运行，SYNC 信号 20 用来与 CLK 信号 10 配合，建立内部非整数倍频的时钟对于 CLK10 的相关关系。该功能下面还将进一步详细解释。

15 图 2 描述同步信号 20 (“SYNC”)。对应用半正数时钟倍频设计的系统而言(例如 $1.5x$)，SYNC 信号是 CLK10 的除 2 形式。对其它小数时钟倍频设计而言，SYNC 信号可能是输入时钟除以某个其它数的形式，正如一般熟悉本行的人在本专利申请书的范围内将知道的。

这里描述的实例是对 $1.5x$ 时钟倍频的系统而言的。

20 在实例系统中，SYNC 信号 20 在 t_0 时为“高”(即“1”)电平，而 CLK 信号 10 从“低”电平升向“高”电平。当 CLK 信号 10 在 t_{0a} 时刚从高电平走向低电平后，SYNC 信号 20 便从高信号回到低信号(即“0”)。

25 SYNC 信号 20 保持低电平一直到刚过 t_{1a} 。在 t_{1a} 时，CLK 信号 10 从高信号变到低信号。CLK 信号 10 刚变到低信号之后，SYNC 时钟信号 20 便从低信号变到高信号。

同步信号 20 在系统时钟信号下降后发生转变，因此每隔一个系统时钟信号高电平，所述 SYNC 信号便出现一个高信号。由此可见，SYNC

信号每隔一个 CLK 正脉冲起一次使能作用。

假定 SYNC 信号 20 允许在 CLK 信号 10 信号和非整数倍频的内部设备时钟信号 21 (“内部 CLK”) 之间建立特定的协议(例如关系)。

5 在本实施例中建立的协议如下。当 SYNC 20 在 CLK 信号 10 的上升沿上(即当 CLK 10 正从低信号走向高信号时)为高信号时, 内部 CLK21 亦必须上升。如果内部 CLK21 在该时刻下降, 那么它是异相, 必须移相 180° 予以纠正, 使之同相。反之, 当在 CLK 信号 10 处于上升沿时(即当 CLK 10 正从低信号走向高信号时) SYNC 20 为低信号时, 内部 CLK21 必须在下降。如果内部 CLK 21 在此刻上升, 那么它是异相, 必须移相 180° 予以纠正, 使之同相。

10 因此, SYNC 信号 20 用来建立任意一种协议, 来确定每个不同的内部设备的所有内部 CLK21 信号是否同步(例如, 相互同相)。这样使每个内部设备同步, 就使设备之间能够高效地通讯, 而且也提高整个系统的运行速度。

15 锁相环(PLLs)通常用来使时钟信号同步。锁相环基本上是一种用来控制本机振荡器频率的设备, 以便使该频率随着另一信号频率的变化而变化。

20 锁相环依其结构的不同, 允许“锁定”到接近振荡器信号的信号或其谐波或其次谐波上。因此, PLLs 有点自调谐作用, 呈现特别好的抗扰性, 并用来恢复同步信号。

PLL 基本上包括可变频率振荡器(例如, 典型的 VCO)和相位探测器。相位探测器既接收振荡器的输入信号, 又接收它的输出信号。

根据 PLL 振荡器是否以输入信号的倍数(如谐波)或次倍数(如次谐波)运行, 不论是反馈信号还是输入信号都可以分频。

25 相位探测器比较输入信号和反馈信号的相位, 并产生其振幅与探测到的它们之间的相位误差相应的信号, 来控制可变频率振荡器的振荡频率。相位探测器的输出最好用低通滤波器滤波, 以消除错误信号, 从而使 VCO 稳定地运行。

图 4 显示用于本发明的倍频时钟发生器 40 的框图。先有技术的 PLL 已修改为包括用于本发明时钟同步的相应单元。如图 4 所示，倍频时钟发生器电路 40 包括相位/频率探测器 41 和用来输出内部倍频时钟信号 55 的振荡器 42。该倍频时钟信号 55 用来在倍频总线 36 上通讯。

相位/频率探测器 41 是众所周知的用来比较的硬件单元、在此该情况下用于比较两个信号的上升沿(如外部参考时钟信号 10 和片内时钟信号 51)，以及用来产生提高或降低振荡器速度直到两个输入的频率和相位相同为止的控制信号。

在图 4 中，如上所述，第一与门电路 43 接收来自 CLK 总线 34 的 CLK 信号 10 和来自 SYNC 总线 33 的 SYNC 信号 20。

与门电路 43 按操作或上述建立的协议运行。在该协议中，与门电路 43 探测处于高电平的 SYNC 信号 20(即“1”)和含有上升沿的 CLK10 信号(即从低电平(“0”)到高水平(“1”))。当这些条件都存在时，与门电路 43 输出信号 45 到相位/频率探测器 41 上。图 6 图示该操作并在下面进行详细讨论。

第二与门电路 44 执行相似的功能并接收内部时钟反馈“FBKCLK”信号 51，如下所述，该信号是时钟树分布电路 56 的典型输出。与门电路 44 还接收分频时钟信号 52“DIVCLK”，同样如下所示，它是除以预定数的内部倍频时钟信号 54。信号 54 按所建立的倍频因数进行分频。

与门电路 44 遵循与上面建立的相似的协议，探测高水平(即“1”)的 DIVCLK 信号 52 和有上升沿(即从低(“0”)走到高(“1”)信号电平)的 FBKCLK 51。当这些条件都存在时，与门电路 44 输出信号 46 到相位/频率探测器 41 上。图 6 图示该操作并在下面进行详细讨论。

正确的输出电压信号 47 的极性由首先上升的输入信号来决定，而正确的输出电压信号 47 的大小由两个上升沿之间相差的时间来决定。

相位/频率探测器比较信号 45 和 46 的上升沿, 以确定是否需要提高或降低振荡器 42 的频率。如果信号 45 的上升沿发生在信号 46 上升沿之前, 那么相位/频率探测器将产生使振荡器频率提高的控制信号 47。

5 同样的，如果信号 45 的上升沿发生在信号 46 上升沿之后，那么相位/频率探测器将产生使振荡器降低频率的控制信号 47。

信号 45 和信号 CLK 10 之间的定时关系与信号 CLK 10 和 FBKCLK 51 之间的定时关系相同，因为两者都是延迟一个与门延时。通过比较从 SYNC 信号 20 为高的周期到 CLK 信号 10 为高的周期之间的时间，相位 / 频率探测器选用 CLK 信号的上升沿。关于 1.5x 时钟倍频，SYNC 信号包络每两个上升的 CLK 信号。

同样的，通过比较从 DIVCLK 信号 52 到高的周期到 FBKCLK 信号 51 到高的周期之间的时间，相位/频率探测器选用 FBKCLK 信号的上升沿。关于 1.5x 时钟倍频，DIVCLK 信号包络每三个上升的 FBKCLK 信号。

15 回到图 5，如上所示，倍频时钟发生电路 40 含有来自图 3 的 CLK 总线 34 和 SYNC 总线 33 的输入。图 5 详细地描述了一个反馈分频器 53 和输出内部倍频时钟信号。

20 倍频时钟发生电路 40 的输出信号 55 通过时钟树分布电路 56 跨芯片分布。时钟树分布电路 56 最好包括大量驱动器电路，其输出端数和级数设计成适于特定应用中提供的任何设备的需要。典型的反馈点 54 选来给倍频时钟发生器电路 40 所有的“反馈”信号用来进行相位调准(也用来进行频率控制)。

反馈分频器电路 53 是时钟倍频设计的一部分,最好包括作为计数器的锁存器电路以允许大量可编程除数。

25 图 6 描述了针对图 4 所示的电路所讨论的协议, 以及更具体地描述了与门电路 43 和与门电路 44 与上述信号有关的功能。图 6 所示的波形是图 4 和图 5 所示电路完成 1.5x 系统时钟倍频时的波形。

由于 SYNC 信号 20 定义为 CLK 信号 10 的除 2 形式, 图 4 中作为信

号 45 示出的与门电路 43 的输出信号是一种每隔一个 CLK 信号 10 上升沿出现一次的脉冲，它延迟一个与门的延迟时间。它的出现是由于与门电路 43 是按照参阅图 4 所讨论的协议运行的。

具体地讲,协议要求在 SYNC 20 在 CLK 10 的上升沿上(即当 CLK 10 从低信号走到高信号时)处于高电平时,内部 CLK 21 也将上升。与门 43 检测 SYNC 信号 20 为高(“1”)而 CLK 10 又有上升沿(即从低(“0”)信号走到高(“1”)信号)的条件。当这些条件同时存在时,与门电路 43 输出信号 45 到相位/频率探测器 41。图 6 图示了该信号的波形 45。

因此,图6中以波形46的形式图示了与门电路44的操作。DIVCLK信号52是用除数3除内部倍频时钟信号55的反馈分频器电路53的输出。信号46是图4所示的与门44的输出,在每隔两个PLL产生的内部倍频时钟信号55的上升沿处之后出现一个与门延迟。相位/频率探测器比较这两个上升沿来控制PLL振荡器,结果,每隔两个CLK 10周期产生三个内部时钟信号或1.5x时钟倍频。如果设计反馈分频电路53执行除5操作,其结果将是2.5x时钟倍频。

倍频因数是同步信号频率和分频的反馈信号频率的函数。具体地讲，倍频因数是一个分数，对系统时钟信号而言，其分子是反馈分频器的除数而分母是同步信号的除数。

如果 SYNC 信号连续置高，那么信号 45 将准确地跟踪 CLK 输入，这样，代表输入 CLK 的除 1 形式。类似地，如果 DIVCLK 信号保持高电平，那么信号 46 将准确地跟踪 FBKCLK 信号，这样，代表输入 FBKCLK 的除 1 形式。使 SYNC 信号保持高电平，就可以实现内部时钟 (1x、2x、3x 等) 倍频。

在上例中，分子是 3 (如反馈环中的除数)，分母是 2 (如系统时钟信号除此数产生同步信号)。因此，3 除 2 得出系统时钟信号的 1.5x 倍频。

图 7 描述了本发明的最佳系统实施例。微处理器 70 和 2 级超高速

缓冲存储器 73 都连接到带有时钟总线 34 上 CLK 信号 10 的普通的 1x 总线 35。在该实施例中，该总线以 66MHZ 运行，并可连接到使用该总线所用的标准化 Intel 协议的其它设备上(未示出)。

5 为了改进性能,以普通总线 35 通讯的设备有把外部时钟信号 10 倍频到一较高的内部 1.5x 速度 100MHZ 的内部时钟线路。这就允许内部电路以高得多的速度运行。PLL 电路用于这一目的是理想的。图 4 描述了与与门配合使用以实现图 7 中用作元件 71 和 74 的倍频时钟发生器 40 的 PLL 元件。来自发生器 71 和 74 的倍频时钟输出由时钟线 77 和 78 分别跨接到微处理器及 2 级超高速缓冲存储器。时钟线还将倍频
10 时钟信号送到它们各自的 I/O 块 75 和 76 上,使之能以较高速度、100MHZ、1.5x 非整数倍频的总线 36 进行较高速度的通讯。

为了让微处理器 70 与 2 级超高速缓冲存储器以 1.5x 倍频的时钟速度在总线 36 上通讯,两个设备的内部时钟需要相互同步以进行有效的通讯。在该实施例中,微处理器选作“主”设备,包括除 2 线路 71 来产生同步信号 20,在内部发送到微处理器自身的倍频时钟发生器 71 上、同时在外通过 SYNC 线 30 发送到超高速缓冲存储器设备的倍频时钟发生器 74。两个倍频时钟发生器电路 71 和 74 以同样的方式使用外部时钟信号 10 和 SYNC 信号 20,使得所得的内部产生的倍频时钟的频率和相位都相同。微处理器和 2 级超高速缓冲存储器都用它们相互同相的内部高速时钟运行,因此,他们之间在总线 36 上以较快的非整数倍频的时钟速度进行可靠的通讯。

图 8 描述了与图 7 相似的另一实施例，包括除 2 电路 82，作为设备 80 和 83 以外的电路。因此，在图 8 所示的实施例中，没有“主”设备。具体地讲，图 8 描述了将非倍频时钟信号提供给设备 80 及 83 的 1x 外部时钟总线。设备 80 和 83 中的每一个都包括倍频时钟发生器电路 81 和 84，如上所述的，它们以 SYNC 信号 33 和时钟信号 34 为依据，将时钟信号倍频和同步。把倍频时钟信号 87 和 88 输送到能在较高速度总线 36 上通讯的 I/O 块 85 和 86。

总之，本发明中利用“主”设备产生同步信号，传送给其它“从”设备，CLK 信号一变为有效，同步信号即可利用。这锁相环设备能够立即开始锁定在正确的内部时钟相上。该同步设计还使一个完整的倍频时钟系统(如带有一个以上“从”设备的“主”设备)能够加到现有的总线上而无需作任何改变(即同步总线周期、外加信号等)。这些特性在“反向兼容”不允许作任何变化的情况下是需要的，对“即插即用”的应用也是有用的，而该种应用中为同步而采用特殊的总线周期是不实际的。

虽然上述实施例是用附图的特定结构来描述的，但在本申请的范围内本专业的技术人员都知道，本发明可以应用于任何一类需要以倍增的速度相互通讯因而要以小数倍对内部时钟进行倍频的时钟设备。

因此，尽管当本发明是以一个最佳实施例来描述的，但本专业的技术人员都会认识到，在后附的权利要求书的精神和范围内，本发明可以作各种修改。

说明书附图

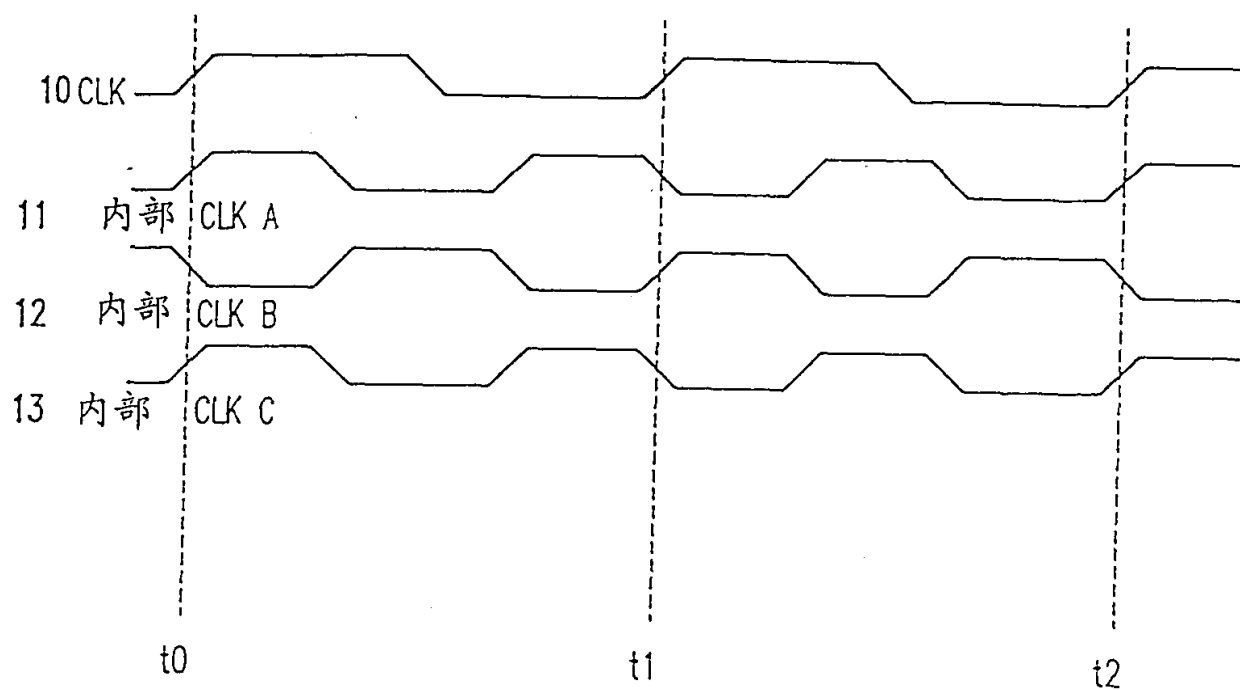


图 1

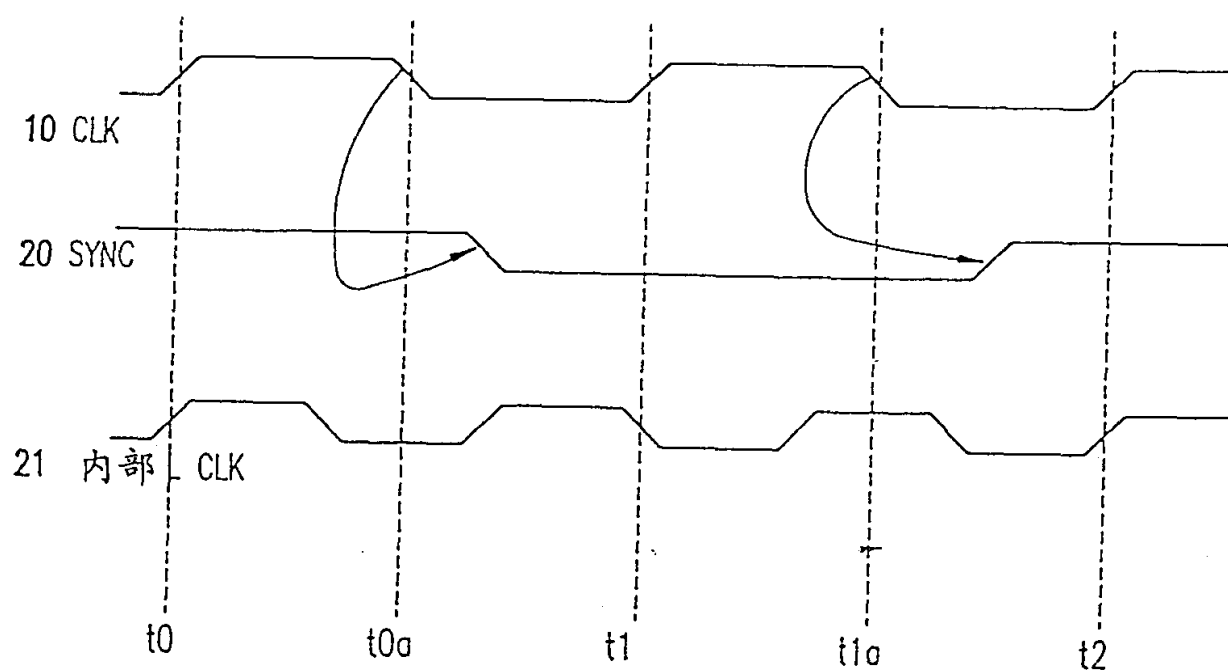


图 2

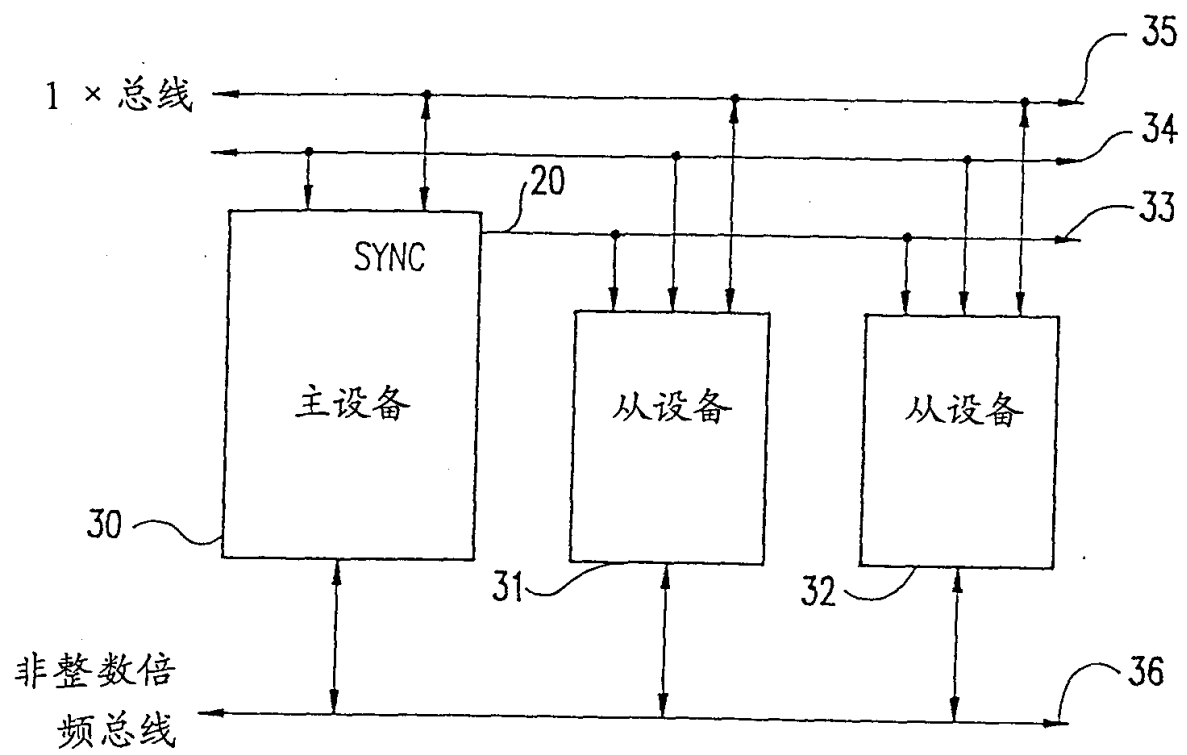


图 3

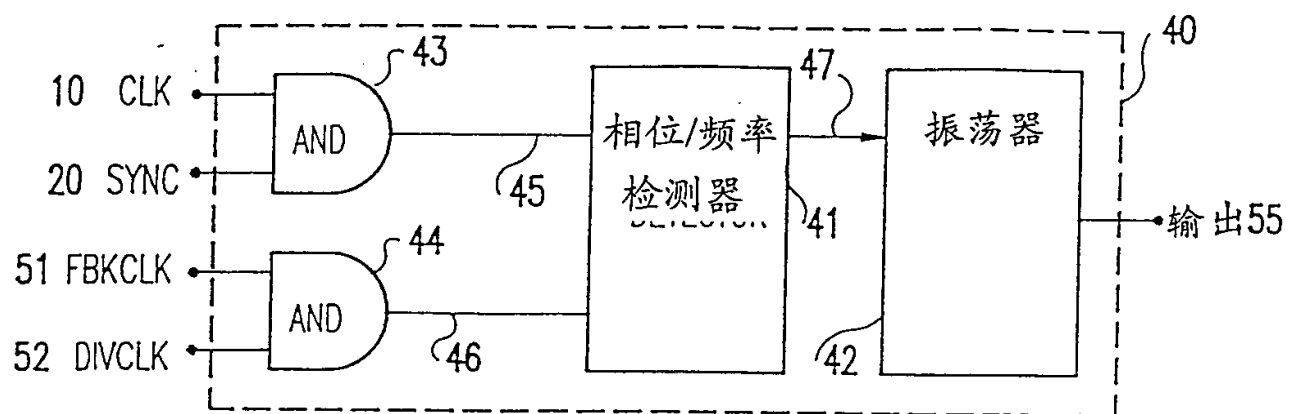


图 4

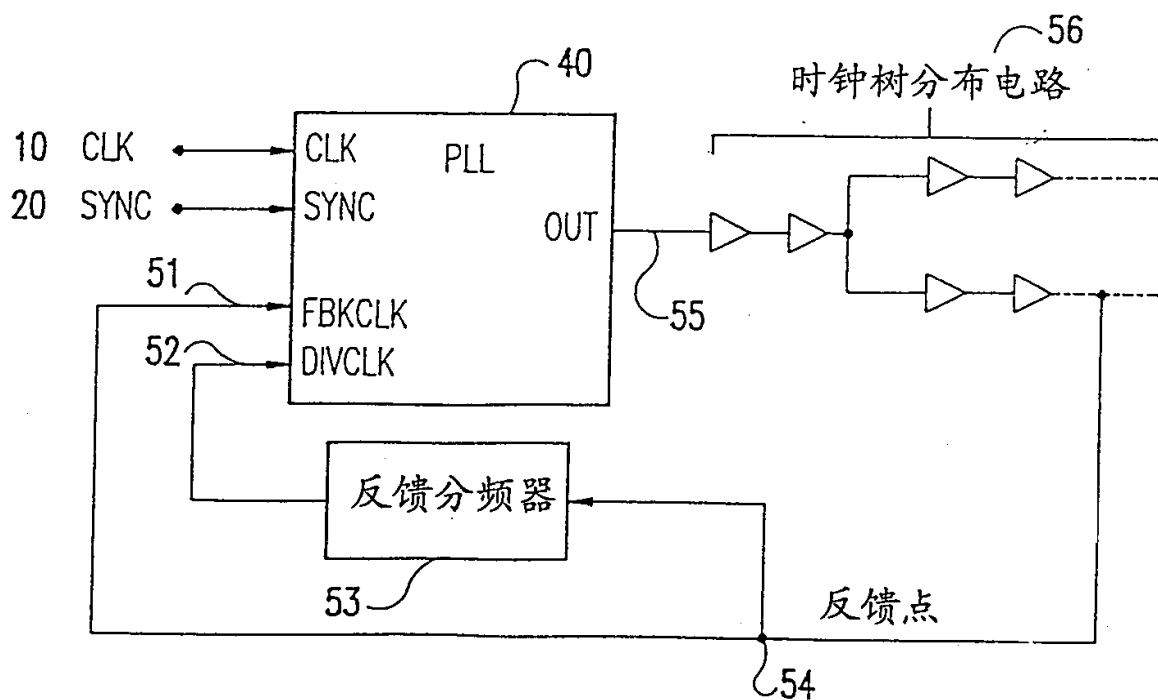


图 5

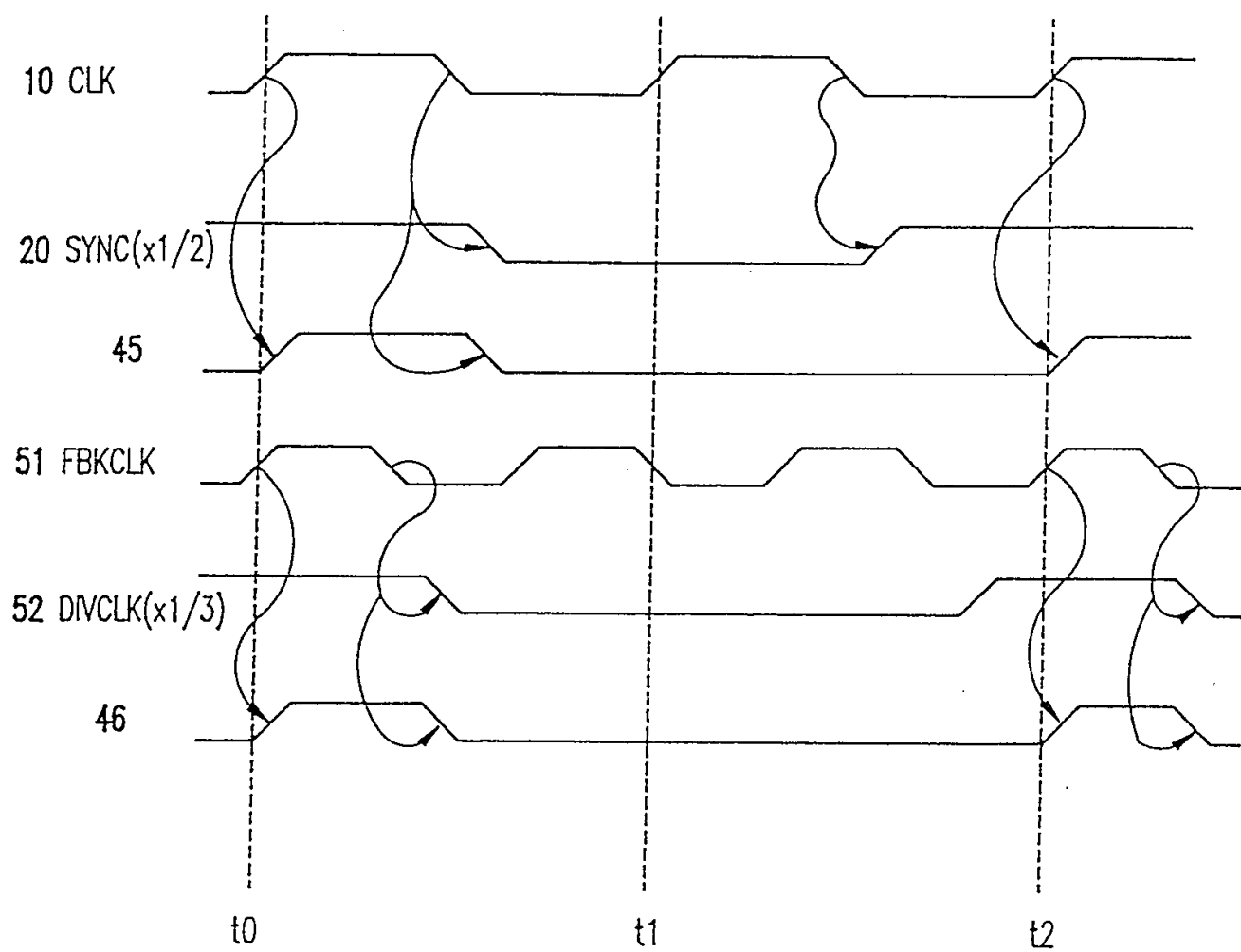


图 6

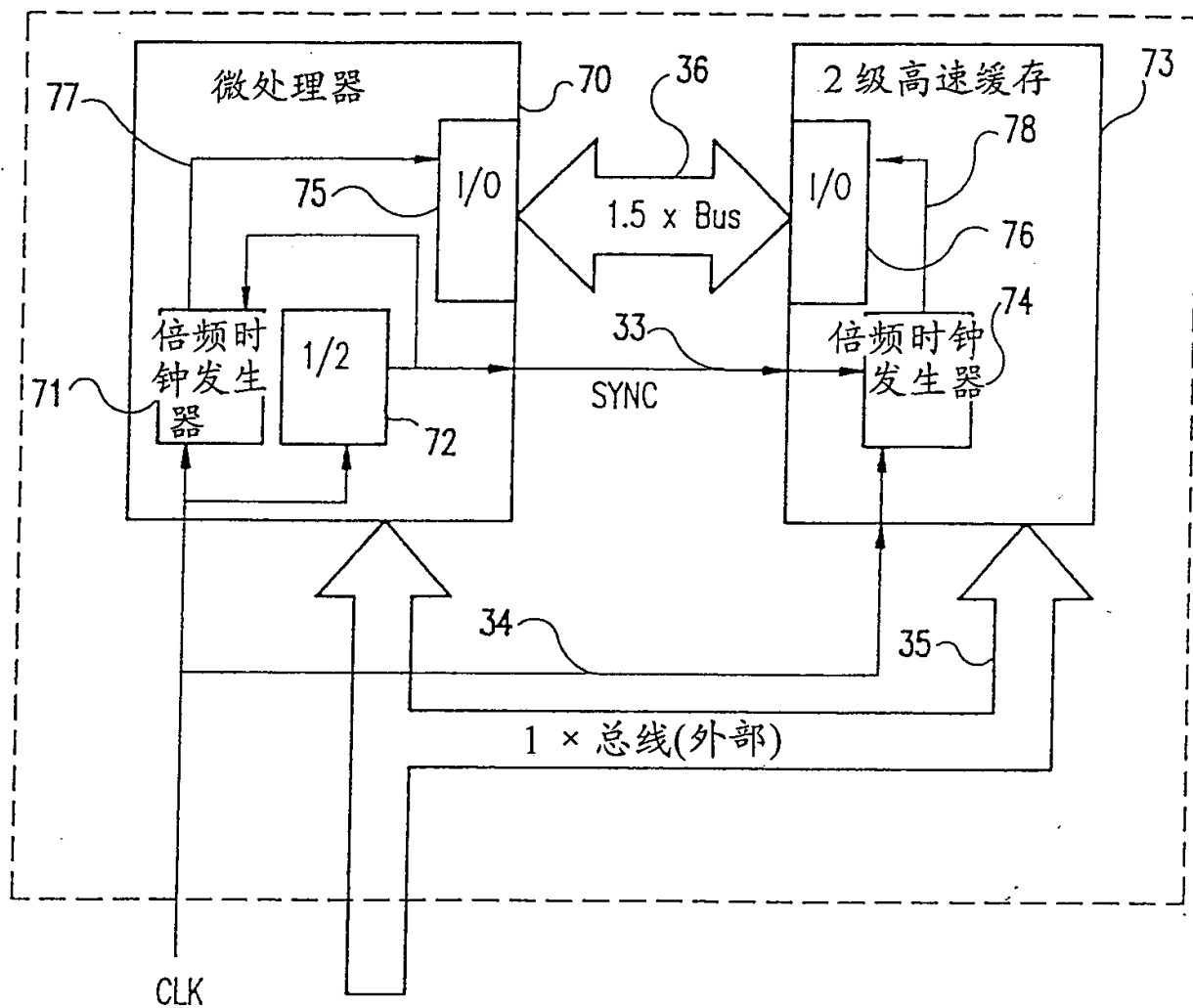


图 7

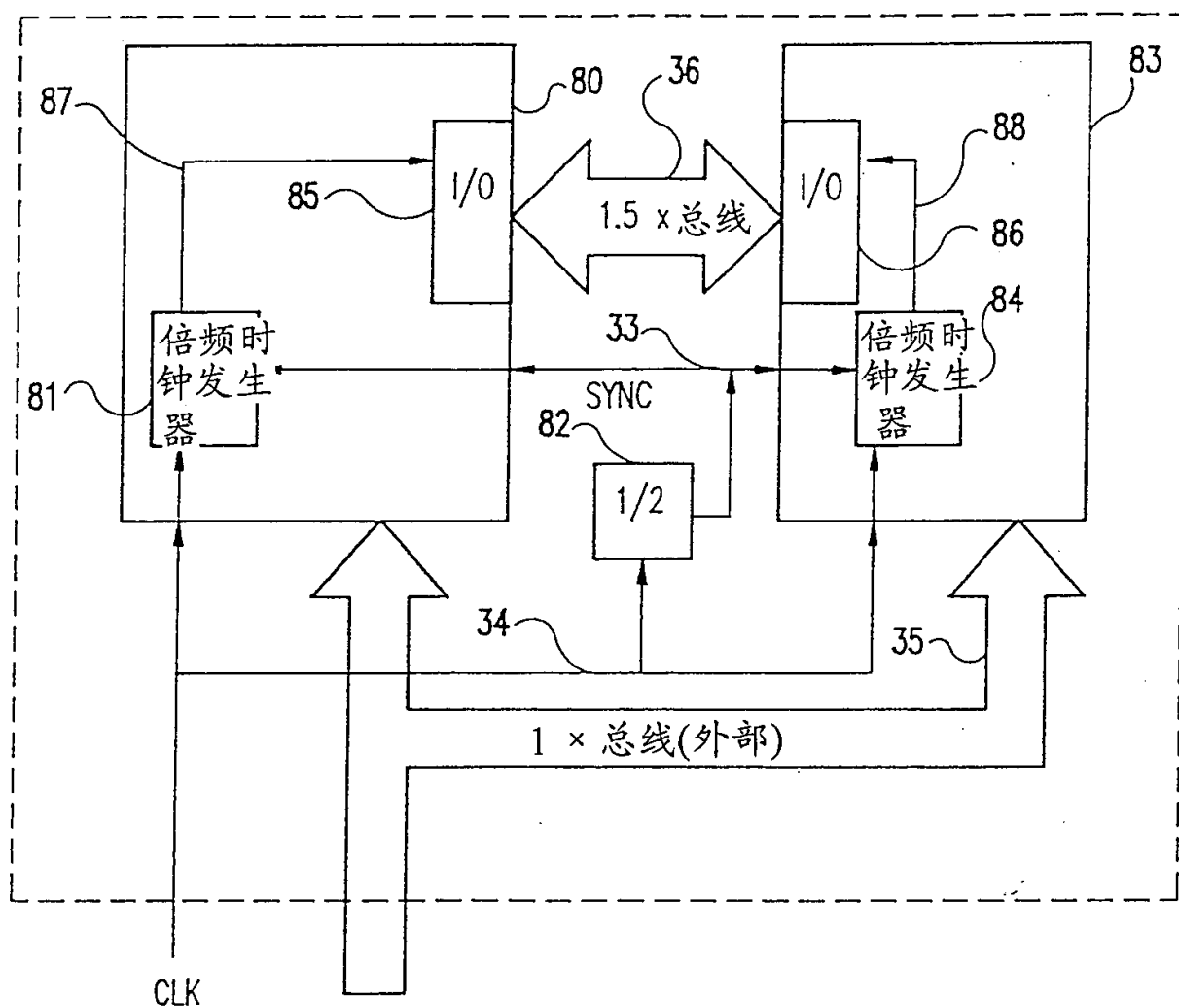


图 8