

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 5 日(05.10.2017)



(10) 国際公開番号

WO 2017/169447 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/861 (2006.01)
H01L 29/41 (2006.01) H01L 29/868 (2006.01)
H01L 29/739 (2006.01) H01L 29/872 (2006.01)
- (21) 国際出願番号: PCT/JP2017/007575
- (22) 国際出願日: 2017 年 2 月 27 日(27.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2016/060860 2016 年 3 月 31 日(31.03.2016) JP
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者: 北田 瑞枝(KITADA, Mizue); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP). 浅田 毅(ASADA, Takeshi); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP). 山口 武司(YAMAGUCHI, Takeshi); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工

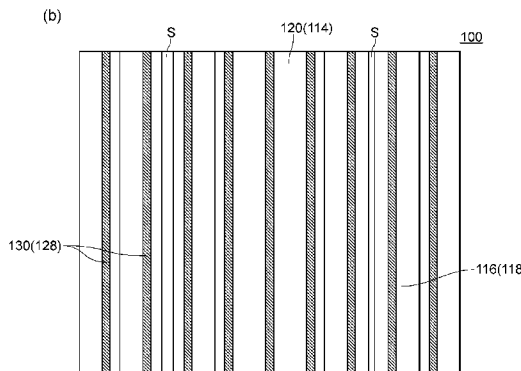
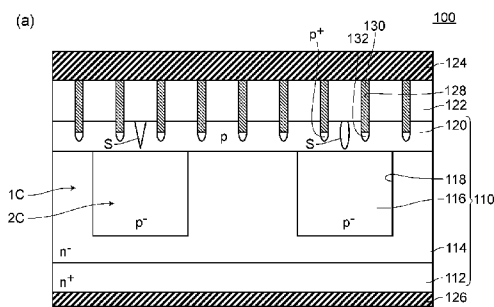
場内 Saitama (JP). 鈴木 教章(SUZUKI, Noriaki); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP). 新井 大輔 (ARAI, Daisuke); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP).

- (74) 代理人: 松尾 誠剛 (MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合 9 8 6 2 番地 6 0 めぶき特許事務所 Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法



(57) Abstract: This semiconductor device 100 comprises: a semiconductor base 110 having a second semiconductor layer 114 laminated upon a first semiconductor layer 112, having a trench 118 formed in the surface of the second semiconductor layer 114, and having a third semiconductor layer 116 comprising an epitaxial layer, formed inside the trench 118; a first electrode 126; an interlayer insulating film 122 having a prescribed opening 128; and a second electrode 124. Metal is filled inside the opening 128 and the opening 128 is positioned at a position away from the center of the third semiconductor layer 116. The second electrode 124 is connected to the third semiconductor layer 116 via the metal. The surface of the center section of the third semiconductor layer 116 is covered by the interlayer insulating film 122. As a result, a semiconductor device is provided that: comprises the semiconductor base 110 having the third semiconductor layer 116 that comprises the epitaxial layer and is formed inside the trench 118; and is unlikely to have reduction in voltage resistance resulting from breakdown in a reach-through mode.

(57) 要約: 本発明の半導体装置 100 は、第 1 半導体層 112 の上に第 2 半導体層 114 が積層され、第 2 半導体層 114 の表面にはトレンチ 118 が形成され、トレンチ 118 内にはエピタキシャル層からなる第 3 半導体層 116 が形成されている半導体基体 110 と、第 1 電極 126 と、所定の開口 128 を有する層間絶縁膜 122 と、第 2 電極 124 とを備え、開口 128 の内部には金属が充填され、開口 128 は、第 3 半導体層 116 の中央部を避けた位置に位置し、第 2 電極 124 は、第 3 半導体層 116 と金属を介して接続され、第 3 半導体層 116 の中央部の表面は、層間絶縁膜 122 で覆われている。本発明の半導体装置によれば、トレンチ 1

18 内にエピタキシャル層からなる第 3 半導体層 116 が形成されている半導体基体 110 を備える半導体装置でありながら、リーチスルーモードのブレークダウンにより耐圧が低下し難い半導体装置を提供する。

WO 2017/169447 A1



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置及び半導体装置の製造方法に関する。

背景技術

[0002] 従来、 n 型の半導体層の表面に所定の深さのトレンチが形成され、当該トレンチ内にエピタキシャル層からなる p 型の半導体層が形成されている半導体基体を備えるMOSFETが知られている（例えば、特許文献1参照。）

。

[0003] 従来のMOSFET700は、図21に示すように、 n^+ 型の第1半導体層712の上に n -型の第2半導体層714が積層され、第2半導体層714の表面には所定の方向に沿って配列された所定の深さの複数のトレンチ718が形成され、当該トレンチ718内にはエピタキシャル層からなる p -型の第3半導体層716が形成された半導体基体であって（半導体基体710'、図22参照。）、第2半導体層714の表面の一部及び第3半導体層716の表面の全部に p 型のベース層720が形成され、ベース層720の表面の一部に n 型の第1導電型高濃度拡散領域740（ソース領域740）が形成されている半導体基体710と、第1半導体層712の表面上に位置する第1電極726（ドレイン電極）と、第2半導体層714及び第3半導体層716の表面上に位置し、平面的に見て第3半導体層716が形成されている領域内に形成された所定の開口728を有する層間絶縁膜722と、層間絶縁膜722上に位置する第2電極724（ソース電極）と、ソース領域740と第2半導体層714とに挟まれたベース層720を少なくとも覆うようにゲート絶縁膜742を介して形成されたゲート電極744とを備えるプレーナゲート型のMOSFETである。

[0004] 従来のMOSFET700においては、隣接するトレンチ718に挟まれた部分の第2半導体層714のうちベース層720よりも深い領域の部分を

第1コラム1Cとし、第3半導体層716のうちベース層720よりも深い部分を第2コラム2Cとしたときに、第1コラム1Cと第2コラム2Cとでスーパージャンクション構造が構成されている。

[0005] 従来のMOSFET700において、開口728の内部には、第2電極724を構成する金属がそのまま充填されており、第2電極724は、第3半導体層716（具体的には、ソース領域740及びベース層720）と直接接続されている。

[0006] このような従来のMOSFET700において、第3半導体層716は、第2半導体層714にトレンチ718を形成し、当該トレンチ718をp型のエピタキシャル層で埋め戻すことにより形成されたものである。

[0007] 従来のMOSFET700によれば、平面的に見て第1コラム1Cと第2コラム2Cとでスーパージャンクション構造が構成されているため、高耐圧及び低オン電圧という特徴を有するMOSFETとなる。

先行技術文献

特許文献

[0008] 特許文献1：特開2006-140277号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、n型の半導体層（第2半導体層714）にトレンチ718を形成し、当該トレンチ718をp型のエピタキシャル層で埋め戻す場合、トレンチ718の内側全体を完全に埋め戻すことが理想であるが、実際には第3半導体層716内に空洞S（スリット状の空洞、クレバス状の空洞又はボイド状の空洞等）が平面的に見て第3半導体層716の中央部に残存する場合がある（図21参照。）。このため、第3半導体層716と第2電極724とのコンタクトを取る際、上記空洞Sの内部に第2電極724の金属が入り込み、上記空洞Sの内部の金属が電極電位になる場合がある。この場合において、上記第2電極724に負の電位を与えた場合には、第2半導体層

714と第3半導体層716との間のpn接合面から第2電極724側に伸びる空乏層が上記空洞Sの内部の金属に接触して、リーチスルーモードのブレークダウンが発生し、耐圧を維持できなくなるという問題がある（図23中、一点鎖線Aで囲まれた領域参照。）。

[0010] なお、このような問題は、MOSFETだけに発生する問題ではなく、ダイオードやIGBT等にも発生する問題である。また、このような問題は、n型の半導体層のトレンチをp型のエピタキシャル層で埋め戻す場合だけに発生する問題ではなく、p型の半導体層のトレンチをn型のエピタキシャル層で埋め戻す場合にも発生する問題である。さらにまた、このような問題は、スーパージャンクション構造を有する半導体装置だけに発生する問題ではなく、スーパージャンクション構造を有しない半導体装置にも発生する問題である。

[0011] そこで、本発明は、上記した問題を解決するためになされたものであり、トレンチ内にエピタキシャル層からなる第3導体層が形成されている半導体基体を備える半導体装置でありながら、リーチスルーモードのブレークダウンが発生し難く耐圧が低下し難い半導体装置を提供することを目的とする。また、そのような半導体装置を製造するための半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0012] [1] 本発明の半導体装置は、第1導電型又は第2導電型の第1半導体層の上に第1導電型の第2半導体層が積層され、前記第2半導体層の表面には所定の深さのトレンチが形成され、当該トレンチ内には単結晶のエピタキシャル層からなる第2導電型の第3半導体層が形成されている半導体基体と、前記第1半導体層の表面上に位置する第1電極と、前記第2半導体層及び前記第3半導体層の表面上に位置し、平面的に見て少なくとも前記第3半導体層が形成されている領域内に形成された所定の開口を有する層間絶縁膜と、前記層間絶縁膜上に位置する第2電極とを備え、前記開口の内部には金属が充填されている半導体装置であって、前記開口は、平面的に見て前記第3半導

体層の中央部を避けた位置に位置し、前記第 2 電極は、前記開口の内部に充填された前記金属を介して少なくとも前記第 3 半導体層と接続されており、前記第 3 半導体層の中央部の表面は、前記層間絶縁膜で覆われていることを特徴とする。

[0013] なお、本明細書においては、第 2 半導体層や第 3 半導体層の表面に第 1 導電型不純物や第 2 導電型不純物を導入して他の層や他の領域（例えば、ベース層や第 1 導電型高濃度領域等）が形成されていたとしても、当該他の層や他の領域が形成された部分も第 2 半導体層又は第 3 半導体層であるものとする（図 2 2 参照。）。ただし、第 2 半導体層又は第 3 半導体層の表面に（第 2 半導体層の表面に形成した、第 3 半導体層を形成するためのトレンチとは別の）新たなトレンチを形成して第 2 半導体層及び第 3 半導体層とは別の構造（例えば、トレンチゲート構造等）が形成されているような場合は、当該構造は第 2 半導体層又は第 3 半導体層であるものとはしない。

また、「第 2 半導体層の表面には・・・所定の深さの複数のトレンチ」における「所定の深さ」には、第 2 半導体層と第 3 半導体層との境界面に達する深さを含むものとする。

また、「層間絶縁膜」とは、電極（第 2 電極）と半導体基体、又は、電極と他の電極（ゲート電極）との間に形成され、電極（第 2 電極）と半導体基体との間、又は、電極と他の電極（ゲート電極）との間を絶縁する比較的厚い絶縁膜をいう。

また、「平面的に見て第 3 半導体層の中央部」とは、平面的に見て、向かい合うトレンチの側壁の中間点付近の領域のことをいい、「平面的に見て第 3 半導体層の中央」は、平面的に見て、向かい合うトレンチの側壁の中間点のことをいう。

さらにまた、「開口」とは、層間絶縁膜が形成されていない領域のことをいい、例えば、層間絶縁膜が島状に形成されている場合であっても層間絶縁膜が形成されていない領域を開口という。

[0014] [2] 本発明の半導体装置においては、平面的に見て前記第 3 半導体層の中

央から前記開口の側壁のうち前記第3半導体層の中央に最も近い側壁までの長さが0.1 μm 以上であることが好ましい。

[0015] [3] 本発明の半導体装置においては、前記開口の内部に第2電極を構成する金属とは異なる金属が充填されてなる金属プラグをさらに備え、前記第2電極は、前記金属プラグを介して少なくとも前記第3半導体層と接続されていることが好ましい。

[0016] [4] 本発明の半導体装置においては、前記開口の内部には、前記第2電極を構成する金属がそのまま充填されており、前記第2電極は、少なくとも前記第3半導体層と直接接続されていることが好ましい。

[0017] [5] 本発明の半導体装置においては、前記半導体基体における前記第2半導体層及び前記第3半導体層の表面の少なくとも一部には第2導電型の第4半導体層が形成されており、

隣接する前記トレンチに挟まれた部分の前記第2半導体層のうち前記第4半導体層よりも深い部分を第1コラムとし、前記第3半導体層のうち前記第4半導体層よりも深い部分を第2コラムとしたときに、前記第1コラムと前記第2コラムとでスーパージャンクション構造が構成されていることが好ましい。

[0018] [6] 本発明の半導体装置においては、前記半導体装置は、前記第4半導体層が前記第2半導体層及び前記第3半導体層の表面の全部に形成され、前記第2電極が前記第4半導体層と接続されているPINダイオードであることが好ましい。

[0019] [7] 本発明の半導体装置においては、前記半導体基体において、前記第1半導体層は、第1導電型の半導体層であり、前記第4半導体層は、前記第2半導体層及び前記第3半導体層の表面の全部に形成されたベース層であり、前記第4半導体層の表面には、第1導電型高濃度拡散領域が形成されており、前記半導体装置は、平面的に見て前記トレンチが形成されていない領域に位置し、前記第4半導体層の最深部よりも深い深さ位置まで、かつ、前記第1導電型高濃度拡散領域の一部が内周面に露出するように形成されたゲート

トレンチと、

前記ゲートトレンチの内周面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記ゲートトレンチの内部に埋め込まれてなるゲート電極とをさらに備えるトレンチゲート型のMOSFETであり、前記第2電極は、前記第4半導体層及び前記第1導電型高濃度拡散領域と接続されていることが好ましい。

[0020] [8] 本発明の半導体装置においては、前記半導体基体において、前記第1半導体層は、第1導電型の半導体層であり、前記第4半導体層は、前記第2半導体層の表面の一部及び前記第3半導体層の表面の全部に形成されたベース層であり、前記第4半導体層の表面の一部には、第1導電型高濃度拡散領域が形成されており、前記半導体装置は、前記第1導電型高濃度拡散領域と前記第2半導体層とに挟まれた前記第4半導体層を少なくとも覆うようにゲート絶縁膜を介して形成されたゲート電極をさらに備えるプレーナゲート型のMOSFETであり、前記第2電極は、前記第4半導体層及び前記第1導電型高濃度拡散領域と接続されていることが好ましい。

[0021] [9] 本発明の半導体装置においては、前記半導体基体において、前記第1半導体層は、第2導電型の半導体層であり、前記第4半導体層は、前記第2半導体層及び前記第3半導体層の表面の全部に形成されたベース層であり、前記第4半導体層の表面には、第1導電型高濃度拡散領域が形成されており、前記半導体装置は、平面的に見て前記トレンチが形成されていない領域に位置し、前記第4半導体層の最深部よりも深い深さ位置まで、かつ、前記第1導電型高濃度拡散領域の一部が内周面に露出するように形成されたゲートトレンチと、前記ゲートトレンチの内周面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記ゲートトレンチの内部に埋め込まれてなるゲート電極とをさらに備えるトレンチゲート型のIGBTであり、前記第2電極は、前記第4半導体層及び前記第1導電型高濃度拡散領域と接続されていることが好ましい。

[0022] [10] 本発明の半導体装置においては、前記半導体基体において、前記第

1 半導体層は、第2導電型の半導体層であり、前記第4半導体層は、前記第2半導体層の表面の一部及び前記第3半導体層の表面の全部に形成されたベース層であり、前記第4半導体層の表面の一部には、第1導電型高濃度拡散領域が形成されており、前記半導体装置は、前記第1導電型高濃度拡散領域と前記第2半導体層とに挟まれた前記第4半導体層を少なくとも覆うようにゲート絶縁膜を介して形成されたゲート電極をさらに備えるプレーナゲート型のIGBTであり、前記第2電極は、前記第4半導体層及び前記第1導電型高濃度拡散領域と接続されていることが好ましい。

[0023] [11] 本発明の半導体装置においては、前記開口直下には、前記第4半導体層よりも不純物濃度が高い第2導電型高濃度拡散領域が前記開口の底面と接触するように形成されていることが好ましい。

[0024] [12] 本発明の半導体装置においては、隣接する前記トレンチに挟まれた部分の前記第2半導体層を第1コラムとし、前記第3半導体層を第2コラムとしたときに、前記第1コラムと前記第2コラムとでスーパージャンクション構造が構成されていることが好ましい。

[0025] [13] 本発明の半導体装置において、前記半導体装置は、前記金属がバリア金属であり、前記第2電極が前記第3半導体層に加えて前記第2半導体層とも接続されているショットキーバリアダイオードであることが好ましい。

[0026] [14] 本発明の半導体装置において、前記第2半導体層は、単結晶のエピタキシャル層からなることが好ましい。

[0027] [15] 本発明の第1の半導体装置の製造方法は、[1]～[14]のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、第1導電型又は第2導電型の第1半導体層の上に第1導電型の第2半導体層が積層され、前記第2半導体層の表面には所定の深さのトレンチが形成されており、当該トレンチ内には単結晶のエピタキシャル層からなる第2導電型の第3半導体層が形成されている半導体基体を準備する半導体基体準備工程と、前記第2半導体層及び前記第3半導体層の表面上に層間絶縁膜を形成する層間絶縁膜形成工程と、前記層間絶縁膜における平面的に見て少なくとも

前記第3半導体層が形成されている領域内に所定の開口を形成する開口形成工程と、前記開口の内部に前記第2電極を構成する金属とは異なる金属を充填することによって金属プラグを形成する金属プラグ形成工程と、前記第1半導体層の表面上に第1電極を形成するとともに、前記層間絶縁膜上に前記金属プラグを介して少なくとも前記第3半導体層と接続される第2電極を形成する電極形成工程とをこの順序で含み、前記開口形成工程においては、平面的に見て前記第3半導体層の中央部を避けた位置に前記開口を形成し、前記開口形成工程、前記金属プラグ形成工程及び前記電極形成工程において、前記第3半導体層の中央部の表面は、前記層間絶縁膜で覆われていることを特徴とする。

[0028] [16] 本発明の第2の半導体装置の製造方法は、[1]～[14]のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、第1導電型又は第2導電型の第1半導体層の上に第1導電型の第2半導体層が積層され、前記第2半導体層の表面には所定の深さのトレンチが形成されており、当該トレンチ内には単結晶のエピタキシャル層からなる第2導電型の第3半導体層が形成されている半導体基体を準備する半導体基体準備工程と、前記第2半導体層及び前記第3半導体層の表面上に層間絶縁膜を形成する層間絶縁膜形成工程と、前記層間絶縁膜における平面的に見て少なくとも前記第3半導体層が形成されている領域内に所定の開口を形成する開口形成工程と、前記第1半導体層の表面上に第1電極を形成する工程、及び、前記層間絶縁膜上に、前記開口の内部に第2電極を構成する金属がそのまま充填され少なくとも前記第3半導体層と直接接続される前記第2電極を形成する工程を含む電極形成工程とをこの順序で含み、前記開口形成工程においては、平面的に見て前記第3半導体層の中央部を避けた位置に前記開口を形成し、前記開口形成工程及び前記電極形成工程において、前記第3半導体層の中央部の表面は、前記層間絶縁膜で覆われていることを特徴とする。

発明の効果

[0029] 本発明の半導体装置によれば、開口は、平面的に見て第3半導体層の中央

部を避けた位置に位置し、かつ、第3半導体層の中央部の表面は、層間絶縁膜で覆われていることから、第3半導体層を形成する際に、第3半導体層内にスリット状、クレバス状又はボイド状の空洞が平面的に見て第3半導体層の中央に残存した場合であっても、第3半導体層と第2電極とのコンタクトを取る際、上記空洞の内部に第2電極の金属が入り込むことがなくなり、上記空洞の内部の金属が電極電位になることがなくなる。従って、第2電極に負の電位を与えた場合であっても、第2半導体層と第3半導体層との間のp-n接合面から第2電極側に伸びる空乏層が上記空洞に接触するだけのことであるから、リーチスルーモードのブレイクダウンが発生し難く耐圧が低下し難い半導体装置となる。

[0030] なお、上記空洞内部のシリコン表面は、半導体前工程における酸化工程で酸化されたり、アニール工程で水素によってダングリングボンドが終端されたりして安定化しているため、たとえ、空乏層が上記空洞に達したとしても、上記空乏層が単に上記空洞に接触するだけであり、これによってリーク電流が急増したり、ブレイクダウンが発生したりすることはない。

[0031] また、本発明の半導体装置によれば、平面的に見て少なくとも第3半導体層が形成されている領域内に形成された所定の開口を有する層間絶縁膜を備えるため、アバランシェ降伏時又はボディダイオードの逆回復時において、第3半導体層で発生するホールを引き抜きやすくなり、その結果、 $I_{\text{負荷}}$ アバランシェ破壊耐量を大きくすることができる。

[0032] 本発明の第1の半導体装置の製造方法及び第2の半導体装置の製造方法によれば、層間絶縁膜における、平面的に見て第3半導体層の中央部を避けた位置に所定の開口を形成する開口形成工程を含み、かつ、電極形成工程において、第3半導体層の中央部の表面は、層間絶縁膜で覆われているため、第3半導体層を形成する際に第3半導体層内にスリット状、クレバス状又はボイド状の空洞が平面的に見て第3半導体層の中央に残存した場合であっても、電極形成工程において、第3半導体層と第2電極とのコンタクトを取る際、上記空洞の内部に第2電極の金属が入り込むことがなくなり、上記空洞の

内部の金属が電極電位になることがなくなる。従って、製造された半導体装置において、第2電極に負の電位を与えた場合であっても、第2半導体層と第3半導体層との間のpn接合面から第2電極側に伸びる空乏層が上記空洞に接触するだけのことであるから、リーチスルーモードのブレークダウンが発生し難く耐圧が低下しにくい半導体装置を製造することができる。

[0033] また、本発明の半導体装置の製造方法によれば、層間絶縁膜における平面的に見て少なくとも第3半導体層が形成されている領域内に所定の開口を形成する開口形成工程を含むため、製造された半導体装置は、アバランシェ降伏時又はボディダイオードの逆回復時において、第3半導体層で発生するホールを引き抜きやすくなり、その結果、L負荷アバランシェ破壊耐量が大きい半導体装置を製造することができる。

図面の簡単な説明

[0034] [図1]実施形態1に係る半導体装置100を示す図である。図1(a)は半導体装置100の要部拡大断面図であり、図1(b)は半導体装置100の要部拡大平面図である。

[図2]実施形態1に係る半導体装置の製造方法を説明するために示す要部拡大断面図である。図2(a)～図2(d)は各工程図である。

[図3]実施形態1に係る半導体装置の製造方法を説明するために示す要部拡大断面図である。図3(a)～図3(d)は各工程図である。

[図4]実施形態1に係る半導体装置の製造方法を説明するために示す要部拡大断面図である。図4(a)～図4(c)は各工程図である。

[図5]実施形態1に係る半導体装置の製造方法を説明するために示す要部拡大断面図である。図5(a)～図5(c)は各工程図である。

[図6]実施形態1に係る半導体装置100の効果を説明するために示す図である。図6(a)は逆バイアス時における半導体装置100の様子を示す要部拡大断面図であり、図6(b)は逆バイアス時における比較例に係る半導体装置900の様子を示す要部拡大断面図である。比較例に係る半導体装置900は、基本的には実施形態1に係る半導体装置100と同様の構成を有す

るが、開口 928（及び金属プラグ 930）が、平面的に見て第 3 半導体層 916 の中央部に形成されている半導体装置である。なお、図 6 においては、説明を簡単にするために p 型高濃度拡散領域 132、932 の図示を省略している。

[図7]実施形態 2 に係る半導体装置 102 を示す要部拡大断面図である。

[図8]実施形態 3 に係る半導体装置 104 を示す要部拡大断面図である。

[図9]実施形態 4 に係る半導体装置 200 を示す図である。図 9（a）は半導体装置 200 の要部拡大断面図であり、図 9（b）は半導体装置 200 の要部拡大平面図である。

[図10]実施形態 5 に係る半導体装置 202 を示す要部拡大断面図である。

[図11]実施形態 6 に係る半導体装置 204 を示す要部拡大断面図である。

[図12]実施形態 7 に係る半導体装置 300 を示す要部拡大断面図である。

[図13]変形例 1 に係る半導体装置 106 を示す要部拡大断面図である。

[図14]変形例 2 に係る半導体装置 200A を示す要部拡大平面図である。変形例 2 に係る半導体装置 200A（MOSFET）においては、第 3 半導体層 216（トレンチ 218）が平面的に見て四角形状（立体的に見て柱状）であり、ゲート電極 238（ゲートトレンチ 234）が平面的に見て格子形状であり、金属プラグ 230（開口 228）が平面的に見て円形状（立体的に見て柱状）である。

[図15]変形例 3 に係る半導体装置 200B を示す要部拡大平面図である。変形例 3 に係る半導体装置 200B（MOSFET）においては、第 3 半導体層 216（トレンチ 218）が平面的に見て四角形状（立体的に見て柱状）であり、ゲート電極 238（ゲートトレンチ 234）が平面的に見て格子形状であり、金属プラグ 230（開口 228）が平面的に見て枠状である。

[図16]変形例 4 に係る半導体装置 200C を示す要部拡大平面図である。変形例 4 に係る半導体装置 200C（MOSFET）においては、第 3 半導体層 216（トレンチ 218）が平面的に見て円形状（立体的に見て柱状）であり、金属プラグ 230（開口 228）が平面的に見てリング形状であり、

ゲート電極 238（ゲートトレンチ 234）が平面的に見て格子形状である。

[図17]変形例 5 に係る半導体装置 200D を示す要部拡大平面図である。変形例 5 に係る半導体装置 200D（MOSFET）においては、第 3 半導体層 216（トレンチ 218）が平面的に見て格子形状であり、ゲート電極 238（ゲートトレンチ 234）は平面的に見て四角形状であり（立体的に見て柱状）、金属プラグ 230（開口 228）が平面的に見て円形状（立体的に見て柱状）である。

[図18]変形例 6 に係る半導体装置 200E を示す要部拡大平面図である。変形例 6 に係る半導体装置 200E（MOSFET）においては、第 3 半導体層 216（トレンチ 218）が平面的に見て四角形状（立体的に見て柱状）であり、ゲート電極 238（ゲートトレンチ 234）が平面的に見て格子形状であり、金属プラグ 230（開口 228）が平面的に見て格子形状である。

[図19]変形例 7 に係る半導体装置 200F を示す要部拡大平面図である。変形例 7 に係る半導体装置 200F（MOSFET）においては、第 3 半導体層 216（トレンチ 218）が平面的に見て格子形状であり、ゲート電極 238（ゲートトレンチ 234）は平面的に見て四角形状であり（立体的に見て柱状）、金属プラグ 230（開口 228）が平面的に見て格子形状である。

[図20]変形例 8 に係る半導体装置 302 を示す要部拡大断面図である。

[図21]従来の MOSFET 700 を示す要部拡大断面図である。

[図22]本明細書における半導体基体を示す図である。

[図23]従来の MOSFET 700 の問題点を説明するために示す要部拡大断面図である。

発明を実施するための形態

[0035] 以下、本発明の半導体装置及び半導体装置の製造方法について、図に示す実施の形態に基づいて説明する。なお、各図面は模式図であり、必ずしも実

際の寸法を厳密に反映したものではない。

[0036] [実施形態 1]

1. 実施形態 1 に係る半導体装置 100 の構成

実施形態 1 に係る半導体装置 100 は、図 1 に示すように、 n^+ 型の第 1 半導体層 112 の上に n^- 型の第 2 半導体層 114 が積層され、第 2 半導体層 114 の表面には所定方向に沿って配列された所定の深さの複数のトレンチ 118 が形成され、当該トレンチ 118 内（トレンチ 118 内全体）には単結晶のエピタキシャル層からなる p^- 型の第 3 半導体層 116 が形成されている半導体基体（半導体基体 710' と同様の構成、図 22 参照。）と、第 1 半導体層 112 の表面上に位置する第 1 電極 126 と、第 2 半導体層 114 及び第 3 半導体層 116 の表面上に位置し、平面的に見て少なくとも第 3 半導体層 116 が形成されている領域内に形成された所定の開口 128 を有する層間絶縁膜 122 と、層間絶縁膜 122 上に位置する第 2 電極 124（例えば、アルミニウム）と、開口 128 の内部に第 2 電極 124 を構成する金属とは異なる金属（例えば、タングステン）が充填されてなる金属プラグ 130 とを備える PIN ダイオードである。なお、第 2 半導体層 114 は、単結晶のエピタキシャル層からなる。

[0037] 半導体基体 110 における第 2 半導体層 114 及び第 3 半導体層 116 の表面の全部に p 型の第 4 半導体層 120 が形成され、開口 128 直下には、第 4 半導体層 120 よりも不純物濃度が高い p^+ 型高濃度拡散領域（第 2 導電型高濃度拡散領域）132 が開口 128 の底面と接触するように形成されている。

[0038] 実施形態 1 に係る半導体装置 100 においては、隣接するトレンチ 118 に挟まれた部分の第 2 半導体層 114 のうち第 4 半導体層 120 よりも深い部分を第 1 コラム 1C とし、第 3 半導体層 116 のうち第 4 半導体層 120 よりも深い部分を第 2 コラム 2C としたときに、第 1 コラム 1C と第 2 コラム 2C とでスーパージャンクション構造が構成されている。第 1 コラム 1C と第 2 コラム 2C とはチャージバランスが取れた状態となっている。

- [0039] 第1半導体層112の厚さは、例えば $100\mu\text{m} \sim 400\mu\text{m}$ の範囲内にあり、第1半導体層112の不純物濃度は、例えば $1 \times 10^{19} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ の範囲内にある。第2半導体層114の厚さ（トレンチが形成されていない領域の厚さ）は、例えば $5\mu\text{m} \sim 120\mu\text{m}$ の範囲内にある。第4半導体層120の最深部の深さ位置は、例えば $0.5\mu\text{m} \sim 2.0\mu\text{m}$ の範囲内にあり、第4半導体層120の不純物濃度は、例えば $5 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ の範囲内にある。p⁺型高濃度拡散領域132は、例えば $5 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ の範囲内にある。
- [0040] トレンチ118（第3半導体層116）、開口128及び金属プラグ130はいずれも、平面的に見てストライプ状に形成されている。
- [0041] トレンチ118の最底部の深さ位置は、第1半導体層112と第2半導体層114との境界面の深さ位置よりも浅い。トレンチ118の深さは、例えば $3\mu\text{m} \sim 115\mu\text{m}$ の範囲内にある。トレンチ118の幅は、例えば $3\mu\text{m} \sim 10\mu\text{m}$ の範囲内にある。隣接するトレンチ118の間隔は、トレンチ118の幅とほぼ同じか好ましくは同じである。第2半導体層114及び第3半導体層116の不純物濃度は、例えばそれぞれ $5 \times 10^{14} \text{cm}^{-3} \sim 5 \times 10^{16} \text{cm}^{-3}$ の範囲内にある。
- [0042] 層間絶縁膜122は、熱酸化膜121及びBPSG膜で構成されている。層間絶縁膜122の厚さは、例えば 1000nm である。
- [0043] 開口128は、平面的に見て第3半導体層116の中央部を避けた位置、すなわち、第3半導体層116の中央から所定距離だけ離間した位置に位置する。平面的に見て、第3半導体層116の中央から開口128の側壁のうち第3半導体層116の中央に最も近い側壁までの長さが $0.1\mu\text{m}$ 以上であり、例えば $0.3\mu\text{m}$ である。開口128は、所定のピッチで等間隔に形成されており、隣接する開口128の間隔は、例えば $0.7\mu\text{m}$ である。開口128の開口幅は、例えば、 $0.5\mu\text{m}$ である。開口128は、第4半導体層120の最深部の深さ位置よりも浅い深さ位置まで形成されている。
- [0044] 第3半導体層116の中央部の表面は、層間絶縁膜122で覆われている

。従って、第3半導体層116の中央部において、第2電極124とコンタクトされておらず、また、第3半導体層116の中央部において、トレンチも形成されていない。

[0045] 開口128の内表面には、バリアメタル（図示せず）が形成されている。金属プラグ130は、当該バリアメタルを介して金属が開口128の内部に充填されている。開口128の内部に充填する金属は、例えばタングステンである。

[0046] 第1電極（カソード電極）126は、Ti-Ni-Auなどの多層金属膜により形成され、厚さが例えば多層金属膜全体にて0.5 μmで形成されている。

[0047] 第2電極124は、第3半導体層116上に形成されている第4半導体層120と金属プラグ130を介して接続されている。第2電極（アノード電極）124は、スパッタ法により形成された厚さが例えば4 μmのアルミニウム系の金属（例えば、Al-Cu系の合金）からなる。なお、第2電極124は、第2半導体層114上に形成されている第4半導体層120とも金属プラグ130を介して接続されている。

[0048] 2. 実施形態1に係る半導体装置の製造方法

実施形態1に係る半導体装置100は、以下に示す製造工程を有する製造方法（実施形態1に係る半導体装置の製造方法）により製造することができる。

[0049] （1）半導体基体準備工程

まず、n⁺型の第1半導体層112の上に単結晶のエピタキシャル層からなるn⁻型の第2半導体層114が積層され、第2半導体層114の表面には所定方向に沿って配列された所定の深さの複数のトレンチ118が形成されており、当該トレンチ118内には単結晶のエピタキシャル層からなるp⁻型の第3半導体層116が形成されている半導体基体110を準備する。

[0050] 具体的には、まず、n⁺型の第1半導体層112の上にn⁻型の第2半導体層114が積層された半導体基体110'を準備する（図2（a）参照。）

。半導体基体 1 1 0' としては、適宜の半導体基体を用いることができるが、例えば n⁺型の第 1 半導体層 1 1 2 の上にエピタキシャル成長法によって単結晶の n⁻型の第 2 半導体層 1 1 4 を形成してなる半導体基体を用いることができる。

[0051] 次に、第 3 半導体層 1 1 6 に対応する開口を有するマスク（図示せず。）を第 2 半導体層 1 1 4 の表面上に形成し、当該マスクを用いてエッチングを行うことにより、第 2 半導体層 1 1 4 に所定の方向に沿って配列された所定の深さの複数のトレンチ 1 1 8 を形成する（図 2（b）参照。）。

[0052] 次に、エピタキシャル成長法によってトレンチ 1 1 8 内に単結晶の p⁻型の半導体層 1 1 6' を形成する（図 2（c）、図 2（d）及び図 3（a）参照）。このとき、半導体層 1 1 6' の中央部には、空洞 S（スリット状の空洞、クレバス状の空洞又はボイド状の空洞等）が、平面的に見て半導体層 1 1 6' の中央に残存する場合がある（図 3（a）の符号 S 参照）。なお、空洞の形状は、連続的につながっている場合（図 1（b）参照。）だけでなく、不連続につながっている場合や、独立した状態で一箇所のみ形成されている場合もある。また、実施形態 1 において空洞 S の深さは第 4 半導体層 1 2 0 の深さよりも浅いが、第 4 半導体層 1 2 0 の深さよりも深い場合でも本発明を適用することができる。

[0053] 次に、CMP 法によってトレンチ 1 1 8 の内部を除いて半導体層 1 1 6' を除去することにより、p⁻型の第 3 半導体層 1 1 6 を形成する（図 3（b）参照。）。このとき、平面的に見て第 3 半導体層 1 1 6 の中央部に空洞 S が残存することがある。

[0054] （2）第 4 半導体層形成工程

次に、第 2 半導体層 1 1 4 及び第 3 半導体層 1 1 6 の表面の全部に熱酸化膜（図示せず。）を形成する。次に、第 2 半導体層 1 1 4 及び第 3 半導体層 1 1 6 の表面に熱酸化膜を介して p 型不純物（例えばボロン）をイオン注入する（図 3（c）参照。）。次に、当該 p 型不純物を熱拡散させて第 2 半導体層 1 1 4 及び第 3 半導体層 1 1 6 の表面の全部に第 4 半導体層 1 2 0 を形

成する。

[0055] (3) 層間絶縁膜形成工程

次に、上記熱酸化膜上にCVD法によりBPSG膜を形成することにより、第2半導体層114及び第3半導体層116の表面上に（第2半導体層114及び第3半導体層116の全面に）熱酸化膜（図示せず。）及びBPSG膜で構成された層間絶縁膜122を形成する（図3（d）参照。）。

[0056] (4) 開口形成工程

次に、平面的に見て第2半導体層114及び第3半導体層116が形成されている領域内に開口を有するマスク（図示せず。）を層間絶縁膜122上に形成する。このとき、当該マスクにおいては、平面的に見て第3半導体層116が形成されている領域内においては、平面的に見て第3半導体層116の中央部を避けた位置に開口が設けられている。次に、当該マスクを用いてエッチングを行うことにより、層間絶縁膜における、平面的に見て第2半導体層114及び第3半導体層116が形成されている領域内に所定の開口を形成する（図4（a）参照。）。このとき、平面的に見て第3半導体層116が形成されている領域内においては、平面的に見て第3半導体層116の中央部を避けた位置に所定の開口を形成する。従って、第3半導体層116の中央部の表面は、層間絶縁膜122で覆われている。

[0057] (5) p型高濃度拡散領域形成工程

次に、開口128の底面に、第4半導体層120よりも高い不純物濃度でp型不純物（例えばボロン）をイオン注入する（図4（b）参照。）。次に、当該p型不純物を熱拡散することにより、開口直下に、第4半導体層120よりも不純物濃度が高いp型高濃度拡散領域を開口128の底面と接触するように形成する（図4（c）参照。）。

[0058] (6) 金属プラグ130形成工程

次に、開口128の内部に第2電極124を構成する金属とは異なる金属を充填することによって金属プラグ130を形成する。具体的には、まず、スパッタ法により開口128の内周面にバリアメタル（図示せず。）を成膜

し、当該バリアメタルをアニールする。次にCVD法により当該バリアメタル上にタングステンを成膜する（図5（a）参照。）。次に、CMP法によって層間絶縁膜122上のタングステンを除去することにより、開口128の内部にのみタングステンを残し金属プラグ130を形成する（図5（b）参照。）。なお、バリアメタルの組成としては、チタンナイトライド（TiN）、チタンタングステン（TiW）、モリブデンシリコン（MoSi）等を用いることができる。なお、金属プラグ130形成工程においても、第3半導体層116の中央部の表面は、層間絶縁膜122で覆われている。

[0059] （7）電極形成工程

次に、第1半導体層112の表面上にTi-Ni-Auなどの多層金属膜を成膜し、第1電極（カソード電極）126を形成するとともに、第3半導体層116及び層間絶縁膜122上にスパッタ法によりAl-Cu系金属を成膜することで第3半導体層116及び層間絶縁膜122上に金属プラグ130を介して接続される第2電極124を形成する（図5（c）参照。）。電極形成工程においても、第3半導体層116の中央部の表面は、層間絶縁膜122で覆われたままであるため、空洞Sに第2電極124の金属が入り込むことがない。

[0060] このようにして実施形態1に係る半導体装置100を製造することができる。

[0061] 3. 実施形態1に係る半導体装置100及び半導体装置の製造方法の効果

ところで、開口928（及び金属プラグ930）が、平面的に見て第3半導体層916の中央部に位置する半導体装置（比較例に係る半導体装置900、図6（b）参照。）においては、従来のMOSFET700と同様に、第3半導体層916と第2電極924とのコンタクトを取る際、上記空洞Sの内部に第2電極924の金属が入り込み、上記空洞Sの内部の金属が電極電位になる。従って、上記第2電極924に負の電位を与えた場合には、第2半導体層914と第3半導体層916との間のpn接合面から第2電極924側に伸びる空乏層が上記空洞Sの内部の金属に接触してリーチスルーモ

ードのブレークダウンが発生し易く耐圧が低下し易くなる。

[0062] これに対して、実施形態 1 に係る半導体装置 100 によれば、開口 128 は、平面的に見て第 3 半導体層 116 の中央部を避けた位置に位置し、かつ、第 3 半導体層 116 の中央部の表面が層間絶縁膜 122 で覆われていることから、第 3 半導体層 116 を形成する際に、第 3 半導体層 116 内に空洞 S が平面的に見て第 3 半導体層 116 の中央に残存した場合であっても、第 3 半導体層 116 と第 2 電極 124 とのコンタクトを取る際、上記空洞 S の内部に第 2 電極 124 の金属が入り込むことがなくなり、上記空洞 S の内部の金属が電極電位になることがなくなる。従って、第 2 電極 124 に負の電位を与えた場合であっても、第 2 半導体層 114 と第 3 半導体層 116 との間の p n 接合面から第 2 電極 124 側に伸びる空乏層が上記空洞 S に接触するだけのことであるから、リーチスルーモードのブレークダウンが発生し難く耐圧が低下し難い半導体装置となる（図 6（a）参照。）。

[0063] なお、上記空洞内部のシリコン表面は、半導体前工程における酸化工程（例えば、第 4 半導体層形成工程における熱酸化膜を形成する工程）で酸化されたり、アニール工程（例えば、第 4 半導体層形成工程及び p 型高濃度拡散領域形成工程）で水素によってダングリングボンドが終端されたりして安定化しているため、たとえ、空乏層が上記空洞に達したとしても、上記空乏層が単に上記空洞に接触するだけであり、これによってリーク電流が急増したり、ブレークダウンが発生したりすることがない。

[0064] また、実施形態 1 に係る半導体装置 100 によれば、平面的に見て第 3 半導体層 116 が形成されている領域内に形成された所定の開口を有する層間絶縁膜 122 を備えるため、アバランシェ降伏時又はボディダイオードの逆回復時において、第 3 半導体層 116 で発生するホールを引き抜きやすくなり、その結果、L 負荷アバランシェ破壊耐量を大きくすることができる。

[0065] また、実施形態 1 に係る半導体装置 100 によれば、平面的に見て第 3 半導体層 116 の中央から開口 128 の側壁のうち第 3 半導体層 116 の中央に最も近い側壁までの長さが 0.1 μm 以上であるため、開口 128（及び

金属プラグ130)が空洞Sと連通してしまうことを防ぐことができ、金属プラグ130を構成する金属が空洞Sに入り込むことを確実に防ぐことができる。その結果、リーチスルーモードのブレイクダウンがより一層発生し難くなり、耐圧がより一層低下し難い半導体装置となる。このような観点からすると、平面的に見て第3半導体層116の中央から開口128の側壁のうち第3半導体層116の中央に最も近い側壁までの長さが $0.2\mu\text{m}$ 以上であることが好ましい。

[0066] また、実施形態1に係る半導体装置100によれば、開口128の内部に第2電極124を構成する金属とは異なる金属が充填されてなる金属プラグ130を備え、第2電極124は金属プラグ130を介して第3半導体層116と接続されているため、開口128の開口幅が比較的小さくて済み、微細化された半導体装置とすることができる。その結果、電子機器の低コスト化及び小型化の要請に適う半導体装置となる。

[0067] また、実施形態1に係る半導体装置100によれば、隣接するトレンチ118に挟まれた部分の第2半導体層114のうち第4半導体層120よりも深い部分を第1コラム1Cとし、第3半導体層116のうち第4半導体層120よりも深い部分を第2コラム2Cとしたときに、第1コラム1Cと第2コラム2Cとでスーパージャンクション構造が構成されているため、高耐圧の半導体装置となる。

[0068] また、実施形態1に係る半導体装置100によれば、開口128直下には、第4半導体層120よりも不純物濃度が高いp型高濃度拡散領域132が開口128の底面と接触するように形成されているため、アバランシェ降伏時及びダイオードの逆回復時において、ホールを引き抜きやすくなる。

[0069] また、実施形態1に係る半導体装置100によれば、第2半導体層114は、単結晶のエピタキシャル層からなるため、第2半導体層114の導電率を高精度に制御でき、かつ、半導体装置の製造過程に半導体基体に酸素が取り込まれにくくなるため、結晶欠陥が生じ難く、半導体デバイスに電氣的な欠陥を生じ難くなる。

[0070] 実施形態 1 に係る半導体装置の製造方法によれば、層間絶縁膜 1 2 2 における、平面的に見て第 3 半導体層 1 1 6 の中央部を避けた位置に所定の開口 1 2 8 を形成する開口形成工程を含み、かつ、電極形成工程において、第 3 半導体層 1 1 6 の中央部の表面が、層間絶縁膜 1 2 2 で覆われているため、第 3 半導体層 1 1 6 を形成する際に第 3 半導体層 1 1 6 内にスリット状、クレバス状又はボイド状の空洞 S が平面的に見て第 3 半導体層 1 1 6 の中央に残存した場合であっても、電極形成工程において、第 3 半導体層 1 1 6 と第 2 電極 1 2 4 とのコンタクトを取る際、上記空洞 S の内部に第 2 電極 1 2 4 の金属が入り込むことがなくなり、上記空洞 S の内部の金属が電極電位になることがなくなる。従って、製造された半導体装置において、第 2 電極 1 2 4 に負の電位を与えた場合であっても、第 2 半導体層 1 1 4 と第 3 半導体層 1 1 6 との間の p n 接合面から第 2 電極 1 2 4 側に伸びる空乏層が上記空洞 S に接触するだけのことであるから、リーチスルーモードのブレイクダウンが発生し難く耐圧が低下し難い半導体装置を製造することができる。

[0071] また、実施形態 1 に係る半導体装置の製造方法によれば、層間絶縁膜 1 2 2 における平面的に見て少なくとも第 3 半導体層 1 1 6 が形成されている領域内に所定の開口を形成する開口形成工程を含むため、製造された半導体装置は、アバランシェ降伏時又はボディダイオードの逆回復時において、第 3 半導体層 1 1 6 で発生するホールを引き抜きやすくなり、その結果、L 負荷アバランシェ破壊耐量が大きい半導体装置を製造することができる。

[0072] [実施形態 2]

実施形態 2 に係る半導体装置 1 0 2 は、基本的には実施形態 1 に係る半導体装置 1 0 0 と同様の構成を有するが、第 2 電極が第 3 半導体層と直接接続されている点で実施形態 1 に係る半導体装置 1 0 0 の場合とは異なる。すなわち、実施形態 2 に係る半導体装置 1 0 2 においては、図 7 に示すように、開口 1 2 8 の内部には、第 2 電極 1 2 4 を構成する金属がそのまま充填されており、第 2 電極 1 2 4 は、第 4 半導体層 1 2 0 と直接接続されている。なお、開口 1 2 8 の内表面にバリアメタル（図示せず）が形成されていてもよ

い。

[0073] 開口 1 2 8 は、平面的に見て第 3 半導体層の中央部以外の領域全域に形成されている。

[0074] 実施形態 2 に係る半導体装置の製造方法は、基本的には実施形態 1 に係る半導体装置の製造方法と同様の構成を有するが、金属プラグ形成工程を含まない点で実施形態 1 に係る半導体装置の製造方法の場合とは異なる。すなわち、実施形態 2 に係る半導体装置の製造方法においては、金属プラグ形成工程を含まず、電極形成工程において、層間絶縁膜 1 2 2 上に、開口 1 2 8 の内部に第 2 電極 1 2 4 を構成する金属がそのまま充填され第 4 半導体層 1 2 0 と直接接続される第 2 電極 1 2 4 を形成する工程を含む。

[0075] このように、実施形態 2 に係る半導体装置 1 0 2 は、第 2 電極が第 3 半導体層と直接接続されている点で実施形態 1 に係る半導体装置 1 0 0 の場合とは異なるが、実施形態 1 に係る半導体装置 1 0 0 の場合と同様に、開口 1 2 8 は、平面的に見て第 3 半導体層 1 1 6 の中央部を避けた位置に位置し、かつ、第 3 半導体層 1 1 6 の中央部の表面が層間絶縁膜 1 2 2 で覆われていることから、第 3 半導体層 1 1 6 を形成する際に、第 3 半導体層 1 1 6 内に空洞 S が平面的に見て第 3 半導体層 1 1 6 の中央に残存した場合であっても、第 3 半導体層 1 1 6 と第 2 電極 1 2 4 とのコンタクトを取る際、上記空洞 S の内部に第 2 電極 1 2 4 の金属が入り込むことがなくなり、上記空洞 S の内部の金属が電極電位になることがなくなる。従って、第 2 電極 1 2 4 に負の電位を与えた場合であっても、第 2 半導体層 1 1 4 と第 3 半導体層 1 1 6 との間の p n 接合面から第 2 電極 1 2 4 側に伸びる空乏層が上記空洞 S に接触するだけのことから、リーチスルーモードのブレイクダウンが発生し難く耐圧が低下し難い半導体装置となる。

[0076] また、実施形態 2 に係る半導体装置 1 0 2 によれば、開口 1 2 8 の内部には、第 2 電極 1 2 4 を構成する金属がそのまま充填されており、第 2 電極 1 2 4 は、第 4 半導体層 1 2 0 と直接接続されているため、第 2 電極 1 2 4 と第 4 半導体層 1 2 0 との接触面積が大きく、第 2 電極 1 2 4 と第 4 半導体層

120との間に大電流を流すことが可能となる。

[0077] 実施形態2に係る半導体装置の製造方法によれば、金属プラグ形成工程を含まないため、比較的簡便に第2電極124と第4半導体層120とのコンタクトをとることができる。

[0078] なお、実施形態2に係る半導体装置102は、第2電極が第3半導体層と直接接続されている点以外の点においては実施形態1に係る半導体装置100と同様の構成を有するため、実施形態1に係る半導体装置100が有する効果のうち該当する効果を有する。

[0079] [実施形態3]

実施形態3に係る半導体装置104は、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、PINダイオードではなくショットキーバリアダイオードである点で実施形態1に係る半導体装置100の場合とは異なる。すなわち、実施形態3に係る半導体装置104は、図8に示すように、金属プラグ130がバリア金属であり、第2電極124が第3半導体層116に加えて第2半導体層114とも接続されているショットキーバリアダイオードである。なお、実施形態3においては、実施形態1のような p^+ 型高濃度拡散領域132が形成されていない。また、第3半導体層116の表面には、 p 型拡散領域120'が形成されている。

[0080] 実施形態3に係る半導体装置104においては、隣接するトレンチ118に挟まれた部分の第2半導体層114を第1コラム1Cとし、第3半導体層116を第2コラム2Cとしたときに、第1コラム1Cと第2コラム2Cとでスーパージャンクション構造が構成されている。

[0081] このように、実施形態3に係る半導体装置104は、PINダイオードではなくショットキーバリアダイオードである点で実施形態1に係る半導体装置100の場合とは異なるが、実施形態1に係る半導体装置100の場合と同様に、開口128は、平面的に見て第3半導体層116の中央部を避けた位置に位置し、かつ、第3半導体層116の中央部の表面が層間絶縁膜122で覆われていることから、第3半導体層116を形成する際に、第3半導

体層 1 1 6 内にスリット状、クレバス状又はボイド状の空洞 S が平面的に見て第 3 半導体層 1 1 6 の中央に残存した場合であっても、第 3 半導体層 1 1 6 と第 2 電極 1 2 4 とのコンタクトを取る際、上記空洞 S の内部に金属プラグ 1 3 0 のバリア金属が入り込むことがなくなり、上記空洞 S の内部の金属が電極電位になることがなくなる。従って、第 2 電極 1 2 4 に負の電位を与えた場合であっても、第 2 半導体層 1 1 4 と第 3 半導体層 1 1 6 との間の p n 接合面から第 2 電極 1 2 4 側に伸びる空乏層が上記空洞 S に接触するだけのことであるから、リーチスルーモードのブレイクダウンが発生し難く耐圧が低下し難い半導体装置となる。

[0082] また、実施形態 3 に係る半導体装置 1 0 4 によれば、隣接するトレンチ 1 1 8 に挟まれた部分の第 2 半導体層 1 1 4 を第 1 コラム 1 C とし、第 3 半導体層 1 1 6 を第 2 コラム 2 C としたときに、第 1 コラム 1 C と第 2 コラム 2 C とでスーパージャンクション構造が構成されているため、高耐圧の半導体装置となる。

[0083] なお、実施形態 3 に係る半導体装置 1 0 4 は、P I N ダイオードではなくショットキーバリアダイオードである点以外の点においては実施形態 1 に係る半導体装置 1 0 0 と同様の構成を有するため、実施形態 1 に係る半導体装置 1 0 0 が有する効果のうち該当する効果を有する。

[0084] [実施形態 4]

実施形態 4 に係る半導体装置 2 0 0 は、基本的には実施形態 1 に係る半導体装置 1 0 0 と同様の構成を有するが、ダイオードではなく M O S F E T である点で実施形態 1 に係る半導体装置 1 0 0 の場合とは異なる。すなわち、実施形態 4 に係る半導体装置 2 0 0 は、図 9 に示すように、半導体基体 2 1 0 において、第 1 半導体層 2 1 2 は、 n^+ 型の半導体層であり、第 4 半導体層 2 2 0 は、第 2 半導体層 2 1 4 及び第 3 半導体層 2 1 6 の表面の全部に形成されたベース層であり、第 4 半導体層 2 2 0 の表面には、第 1 導電型高濃度拡散領域 2 4 0 (ソース領域 2 4 0) が形成されており、半導体装置 2 0 0 は、平面的に見てトレンチ 2 1 8 が形成されていない領域に位置し、第 4 半

導体層 220 の最深部よりも深い深さ位置まで、かつ、ソース領域 240 の一部が内周面に露出するように形成されたゲートトレンチ 234 と、ゲートトレンチ 234 の内周面に形成されたゲート絶縁膜 236 と、ゲート絶縁膜 236 を介してゲートトレンチ 234 の内部に埋め込まれてなるゲート電極 238 とを備えるトレンチゲート型の MOSFET である。第 2 電極 224 は、第 4 半導体層 220 及びソース領域 240 と接続されている。

[0085] ゲートトレンチ 234、ゲート電極 238 及びソース領域 240 はいずれも、平面的に見てストライプ状に形成されている。

[0086] ソース領域 240 は、互いに隣接する 2 つのゲートトレンチ 234 の間において、ゲートトレンチ 234 と当該ゲートトレンチ 234 に最も近い金属プラグ 230 との間のみに形成されている。ソース領域 240 の最深部の深さ位置は、例えば $0.1\ \mu\text{m} \sim 0.4\ \mu\text{m}$ の範囲内にあり、ソース領域 240 の不純物濃度は、例えば $5 \times 10^{19}\ \text{cm}^{-3} \sim 2 \times 10^{20}\ \text{cm}^{-3}$ の範囲内にある。

[0087] ゲートトレンチ 234 の深さは、例えば $3\ \mu\text{m}$ である。ゲート絶縁膜 236 は、熱酸化法により形成された二酸化珪素膜からなり、厚さは例えば $100\ \text{nm}$ である。ゲート電極 238 は、CVD 法及びイオン注入法により形成された低抵抗ポリシリコンからなる。

[0088] 開口 228 及び金属プラグ 230 は、ソース領域 240 の底部よりも深い深さ位置に達するように形成されている。

[0089] 実施形態 4 においては、隣接するゲートトレンチ 234 の間において、金属プラグ 230 は等間隔に形成されており、平面的に見てトレンチ 218 が形成されている領域ごとに、金属プラグ 230 が偶数本ずつ（実施形態 4 においては 2 本ずつ）形成されている。このような構成とすることにより、特に意識しなくても第 3 半導体層 216 の中央部を避けた位置に開口（金属プラグ 230）を形成することができるため、設計が容易となる。

[0090] このように、実施形態 4 に係る半導体装置 200 は、ダイオードではなく MOSFET である点で実施形態 1 に係る半導体装置 100 の場合とは異なる。

るが、実施形態 1 に係る半導体装置 100 の場合と同様に、開口 228 は、平面的に見て第 3 半導体層 216 の中央部を避けた位置に位置し、かつ、第 3 半導体層 116 の中央部の表面が層間絶縁膜 122 で覆われていることから、第 3 半導体層 216 を形成する際に、第 3 半導体層 216 内にスリット状、クレバス状又はボイド状の空洞 S が平面的に見て第 3 半導体層 216 の中央に残存した場合であっても、第 3 半導体層 216 と第 2 電極 224 とのコンタクトを取る際、上記空洞 S の内部に金属プラグ 230 の金属が入り込むことがなくなり、上記空洞 S の内部の金属が電極電位になることがなくなる。従って、第 2 電極 224 に負の電位を与えた場合であっても、第 2 半導体層 214 と第 3 半導体層 216 との間の p n 接合面から第 2 電極 224 側に伸びる空乏層が上記空洞 S に接触するだけのことであるから、リーチスルーモードのブレイクダウンが発生し難く耐圧が低下し難い半導体装置となる。

[0091] なお、実施形態 4 に係る半導体装置 200 は、ダイオードではなく MOS FET である点以外の点においては実施形態 1 に係る半導体装置 100 と同様の構成を有するため、実施形態 1 に係る半導体装置 100 が有する効果のうち該当する効果を有する。

[0092] [実施形態 5]

実施形態 5 に係る半導体装置 202 は、基本的には実施形態 4 に係る半導体装置 200 と同様の構成を有するが、第 2 電極が第 3 半導体層と直接接続されている点で実施形態 4 に係る半導体装置 200 の場合とは異なる。すなわち、実施形態 5 に係る半導体装置 202 においては、図 10 に示すように、開口 228 の内部には、第 2 電極 224 を構成する金属がそのまま充填されており、第 2 電極 224 は、第 2 半導体層 214 の表面に形成された第 4 半導体層 220 及びソース領域 240 と直接接続されている。

[0093] 開口 128 は、平面的に見て第 3 半導体層 216 の中央部及びゲート電極 238 が形成されている領域以外の領域に形成されている。

[0094] このように、実施形態 5 に係る半導体装置 202 は、第 2 電極が第 3 半導

体層と直接接続されている点で実施形態4に係る半導体装置200の場合とは異なるが、実施形態4に係る半導体装置200の場合と同様に、開口228は、平面的に見て第3半導体層216の中央部を避けた位置に位置し、かつ、第3半導体層216の中央部の表面が層間絶縁膜222で覆われていることから、第3半導体層216と第2電極224とのコンタクトを取る際、第3半導体層216内に形成されることがある空洞Sに第2電極224の金属が入り込むことがなくなり、上記空洞S内の金属が電極電位になることがなくなる。従って、第2電極224に負の電位を与えた場合であっても、第2半導体層214と第3半導体層216との間のpn接合面から第2電極224側に伸びる空乏層が上記空洞Sに接触するだけであることから、従来のMOSFET700よりも、リーチスルーモードのブレイクダウンが発生しにくく耐圧が低下し難い半導体装置となる。

[0095] また、実施形態5に係る半導体装置202によれば、開口228の内部には、第2電極224を構成する金属がそのまま充填されており、第2電極224は、第4半導体層220及びソース領域240と直接接続されているため、第2電極224と第4半導体層220及びソース領域240との接触面積が大きく、第2電極224と第4半導体層220及びソース領域240との間に大電流を流すことが可能となる。

[0096] 実施形態5に係る半導体装置の製造方法によれば、金属プラグ形成工程を含まないため、比較的簡便に第2電極224を第4半導体層220及びソース領域240とコンタクトをとることができる。

[0097] なお、実施形態5に係る半導体装置202は、開口及び開口の内部に充填された金属の構成以外の点においては実施形態4に係る半導体装置200と同様の構成を有するため、実施形態4に係る半導体装置200が有する効果のうち該当する効果を有する。

[0098] [実施形態6]

実施形態6に係る半導体装置204は、基本的には実施形態5に係る半導体装置202と同様の構成を有するが、トレンチゲートMOSFETではな

くプレーナーゲートMOSFETである点が実施形態5に係る半導体装置202の場合とは異なる。すなわち、実施形態6に係る半導体装置204は、図11に示すように、半導体基体210において、第1半導体層212は、 n^+ 型の半導体層であり、第4半導体層220は、第2半導体層214の表面の一部及び第3半導体層216の表面の全部に形成されたベース層であり、第4半導体層220の表面の一部には、ソース領域240（第1導電型高濃度拡散領域）が形成されており、半導体装置204は、ソース領域240と第2半導体層214とに挟まれた第4半導体層220を少なくとも覆うようにゲート絶縁膜242を介して形成されたゲート電極244をさらに備えるプレーナーゲート型のMOSFETである。

[0099] このように、実施形態6に係る半導体装置204は、トレンチゲートMOSFETではなくプレーナーゲートMOSFETである点が実施形態5に係る半導体装置202の場合とは異なるが、実施形態5に係る半導体装置202の場合と同様に、開口228は、平面的に見て第3半導体層216の中央部を避けた位置に位置し、かつ、第3半導体層216の中央部の表面が層間絶縁膜222で覆われていることから、第3半導体層216と第2電極224とのコンタクトを取る際、第3半導体層216内に形成されることがある空洞Sに第2電極224の金属が入り込むことがなくなり、上記空洞S内の金属が電極電位になることがなくなる。従って、第2電極224に負の電位を与えた場合であっても、第2半導体層214と第3半導体層216との間のpn接合面から第2電極224側に伸びる空乏層が上記空洞Sに接触するだけであることから、従来のMOSFET700よりも、リーチスルーモードのブレイクダウンが発生しにくく耐圧が低下し難い半導体装置となる。

[0100] なお、実施形態6に係る半導体装置204は、トレンチゲートMOSFETではなくプレーナーゲートMOSFETである点以外の点においては実施形態5に係る半導体装置202と同様の構成を有するため、実施形態5に係る半導体装置202が有する効果のうち該当する効果を有する。

[0101] [実施形態7]

実施形態 7 に係る半導体装置 300 は、基本的には実施形態 4 に係る半導体装置 200 と同様の構成を有するが、MOSFET ではなく IGBT である点が実施形態 4 に係る半導体装置 200 の場合とは異なる。図 12 に示すように、第 1 半導体層 312 は、 p^+ 型の半導体層であり、実施形態 7 に係る半導体装置 300 は、トレンチゲート型の IGBT である。

[0102] このように、実施形態 7 に係る半導体装置 300 は、MOSFET ではなく IGBT である点が実施形態 4 に係る半導体装置 200 の場合とは異なるが、実施形態 4 に係る半導体装置 200 の場合と同様に、開口 328 は、平面的に見て第 3 半導体層 316 の中央部を避けた位置に位置し、かつ、第 3 半導体層 316 の中央部の表面が層間絶縁膜 322 で覆われていることから、第 3 半導体層 316 と第 2 電極 324 とのコンタクトを取る際、第 3 半導体層 316 内に形成されることがある空洞 S に金属プラグ 330 の金属が入り込むことがなくなり、上記空洞 S 内の金属が電極電位になることがなくなる。従って、第 2 電極 324 に負の電位を与えた場合であっても、第 2 半導体層 314 と第 3 半導体層 316 との間の pn 接合面から第 2 電極 324 側に伸びる空乏層が上記空洞 S に接触するだけであることから、従来の MOSFET 700 よりも、リーチスルーモードのブレイクダウンが発生しにくく耐圧が低下し難い半導体装置となる。

[0103] なお、実施形態 7 に係る半導体装置 300 は、MOSFET ではなく IGBT である点以外の点においては実施形態 4 に係る半導体装置 200 と同様の構成を有するため、実施形態 4 に係る半導体装置 200 が有する効果のうち該当する効果を有する。

[0104] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0105] (1) 上記実施形態において記載した構成要素の数、材質、形状、位置、大きさ等は例示であり、本発明の効果を損なわない範囲において変更すること

が可能である。

- [0106] (2) 上記各実施形態においてトレンチの最底部の深さ位置は、第1半導体層と第2半導体層との境界面の深さ位置よりも浅いが、本発明はこれに限定されるものではない。トレンチの最底部の深さ位置が、第1半導体層112と第2半導体層114との境界面に達する深さであってもよい（変形例1に係る半導体装置106、図13参照。）。
- [0107] (3) 上記各実施形態においては、第3半導体層（トレンチ）を平面的に見てストライプ状に形成したが、本発明はこれに限定されるものではない。第3半導体層を平面的に見て多角形状（例えば四角形状、図14、図15及び図18参照。）、円形状（図16参照。）、又は、格子形状（図17及び図19参照。）その他適宜の形状に形成してもよい。
- [0108] (4) 上記実施形態1、3、4及び7においては、開口（金属プラグ）を平面的に見てストライプ形状で形成したが、本発明はこれに限定されるものではない。開口（金属プラグ）を平面的に見て、円形状（図14及び図17参照。）、多角形状、枠形状（図15参照。）、リング形状（図16参照。）、格子形状（図18及び図19参照。）その他適宜の形状に形成してもよい。
- [0109] (5) 上記実施形態1及び2においては、ダイオードとして、PINダイオードを適用し、実施形態3においては、ダイオードとして、ショットキーバリアダイオードを適用したが、本発明はこれに限定されるものではない。ダイオードとして、MPS（Merged Pin/Schottky）ダイオードやJBS（Junction Barrier Controlled Schottky）ダイオードを適用してもよい。
- [0110] (6) 上記実施形態7においては、IGBTとして、トレンチゲート型のIGBTを適用したが、本発明はこれに限定されるものではない。IGBTとして、プレーナゲート型のIGBTを適用してもよい（図20参照。）。このとき、半導体基体310において、第1半導体層312は、 p^+ 型の半導体層であり、第4半導体層320は、第2半導体層314の表面の一部及び

第3半導体層316の表面の全部に形成されたベース層であり、第4半導体層320の表面の一部には、第1導電型高濃度拡散領域340が形成されており、半導体装置302は、第1導電型高濃度拡散領域340と第2半導体層314とに挟まれた第4半導体層320を少なくとも覆うようにゲート絶縁膜342を介して形成されたゲート電極344を備え、第2電極324は、第4半導体層320及び第1導電型高濃度拡散領域340と接続されている。

[0111] (7) 上記実施形態3においては、第2電極124を金属プラグ130を介して第3半導体層116と接続したが、本発明はこれに限定されるものではない。第2電極124を第3半導体層116と直接接続してもよい。また、上記実施形態6においては、第2電極224を第4半導体層220と直接接続したが、本発明はこれに限定されるものではない。第2電極224を、金属プラグを介して第4半導体層220と接続してもよい。さらにまた、上記実施形態7においては、第2電極324を、金属プラグ330を介して第4半導体層320と接続したが、本発明はこれに限定されるものではない。第2電極324を第4半導体層320と直接接続してもよい。

[0112] (8) 上記実施形態1～3においては、半導体装置として、ダイオードを、上記実施形態4～6においては、半導体装置として、MOSFETを、上記実施形態7においては、半導体装置として、IGBTをそれぞれ適用したが、本発明はこれに限定されるものではない。半導体装置として、サイリスタ、トライアック等適宜の半導体装置を適用してもよい。

[0113] (9) 上記実施形態2、5及び6においては、第2電極を第4半導体層と直接接続したが、本発明はこれに限定されるものではない。開口直下にp型高濃度拡散領域（第2導電型高濃度拡散領域）を形成し、第2電極を当該p型高濃度拡散領域を介して第4半導体層と接続してもよい。

[0114] (10) 上記各実施形態において、第2半導体層を、単結晶のエピタキシャル層からなるものとしたが、本発明はこれに限定されるものではない。第2半導体層を、単結晶のエピタキシャル層からなるものでないものとしてもよ

い。

符号の説明

[0115] 100, 102, 104, 106, 900…半導体装置（ダイオード）、200, 202, 204, 200A, 200B, 200C, 200D, 200E, 200F, 700…半導体装置（MOSFET）、300, 302…半導体装置（IGBT）、110, 210, 310, 710, 910…半導体基体、112, 212, 312, 712, 912…第1半導体層、114, 214, 314, 714, 914…第2半導体層、116, 216, 316, 716, 916…第3半導体層、118, 218, 318, 718, 918…トレンチ、120, 220, 320, 720, 920…ベース層、120'…p型拡散領域、122, 222, 322, 722, 922…層間絶縁膜、124, 224, 324, 724, 924…第2電極、126, 226, 326, 726, 926…第1電極、128, 228, 328, 728, 928…開口、130, 230, 330, 930…金属プラグ、132, 232, 332…p型高濃度拡散領域、234, 334…ゲートトレンチ、236, 242, 336, 342, 742…ゲート絶縁膜、238, 244, 338, 344, 744…ゲート電極、240, 340, 740…第1導電型高濃度拡散領域、C…第1コラム、2C…第2コラム、S…空洞

請求の範囲

- [請求項1] 第1導電型又は第2導電型の第1半導体層の上に第1導電型の第2半導体層が積層され、前記第2半導体層の表面には所定の深さのトレンチが形成され、当該トレンチ内には単結晶のエピタキシャル層からなる第2導電型の第3半導体層が形成されている半導体基体と、
- 前記第1半導体層の表面上に位置する第1電極と、
- 前記第2半導体層及び前記第3半導体層の表面上に位置し、平面的に見て少なくとも前記第3半導体層が形成されている領域内に形成された所定の開口を有する層間絶縁膜と、
- 前記層間絶縁膜上に位置する第2電極とを備え、
- 前記開口の内部には金属が充填されている半導体装置であって、
- 前記開口は、平面的に見て前記第3半導体層の中央部を避けた位置に位置し、
- 前記第2電極は、前記開口の内部に充填された前記金属を介して少なくとも前記第3半導体層と接続されており、
- 前記第3半導体層の中央部の表面は、前記層間絶縁膜で覆われていることを特徴とする半導体装置。
- [請求項2] 平面的に見て前記第3半導体層の中央から前記開口の側壁のうち前記第3半導体層の中央に最も近い側壁までの長さが0.1 μm 以上であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記開口の内部に前記第2電極を構成する金属とは異なる金属が充填されてなる金属プラグをさらに備え、
- 前記第2電極は、前記金属プラグを介して少なくとも前記第3半導体層と接続されていることを特徴とする請求項1又は2に記載の半導体装置。
- [請求項4] 前記開口の内部には、前記第2電極を構成する金属がそのまま充填されており、
- 前記第2電極は、少なくとも前記第3半導体層と直接接続されてい

ることを特徴とする請求項 1 又は 2 に記載の半導体装置。

[請求項5] 前記半導体基体における前記第 2 半導体層及び前記第 3 半導体層の表面の少なくとも一部には第 2 導電型の第 4 半導体層が形成されており、

隣接する前記トレンチに挟まれた部分の前記第 2 半導体層のうち前記第 4 半導体層よりも深い部分を第 1 コラムとし、前記第 3 半導体層のうち前記第 4 半導体層よりも深い部分を第 2 コラムとしたときに、前記第 1 コラムと前記第 2 コラムとでスーパージャンクション構造が構成されていることを特徴とする請求項 1 ～ 4 のいずれかに記載の半導体装置。

[請求項6] 前記半導体装置は、前記第 4 半導体層が前記第 2 半導体層及び前記第 3 半導体層の表面の全部に形成され、前記第 2 電極が前記第 4 半導体層と接続されている P I N ダイオードであることを特徴とする請求項 5 に記載の半導体装置。

[請求項7] 前記半導体基体において、

前記第 1 半導体層は、第 1 導電型の半導体層であり、

前記第 4 半導体層は、前記第 2 半導体層及び前記第 3 半導体層の表面の全部に形成されたベース層であり、

前記第 4 半導体層の表面には、第 1 導電型高濃度拡散領域が形成されており、

前記半導体装置は、

平面的に見て前記トレンチが形成されていない領域に位置し、前記第 4 半導体層の最深部よりも深い深さ位置まで、かつ、前記第 1 導電型高濃度拡散領域の一部が内周面に露出するように形成されたゲートトレンチと、

前記ゲートトレンチの内周面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記ゲートトレンチの内部に埋め込まれてなるゲート電極とをさらに備えるトレンチゲート型の MOS F E T

であり、

前記第2電極は、前記第4半導体層及び前記第1導電型高濃度拡散領域と接続されていることを特徴とする請求項5に記載の半導体装置。

[請求項8]

前記半導体基体において、

前記第1半導体層は、第1導電型の半導体層であり、

前記第4半導体層は、前記第2半導体層の表面の一部及び前記第3半導体層の表面の全部に形成されたベース層であり、

前記第4半導体層の表面の一部には、第1導電型高濃度拡散領域が形成されており、

前記半導体装置は、前記第1導電型高濃度拡散領域と前記第2半導体層とに挟まれた前記第4半導体層を少なくとも覆うようにゲート絶縁膜を介して形成されたゲート電極をさらに備えるプレーナーゲート型のMOSFETであり、

前記第2電極は、前記第4半導体層及び前記第1導電型高濃度拡散領域と接続されていることを特徴とする請求項5に記載の半導体装置。

[請求項9]

前記半導体基体において、

前記第1半導体層は、第2導電型の半導体層であり、

前記第4半導体層は、前記第2半導体層及び前記第3半導体層の表面の全部に形成されたベース層であり、

前記第4半導体層の表面には、第1導電型高濃度拡散領域が形成されており、

前記半導体装置は、

平面的に見て前記トレンチが形成されていない領域に位置し、前記第4半導体層の最深部よりも深い深さ位置まで、かつ、前記第1導電型高濃度拡散領域の一部が内周面に露出するように形成されたゲートトレンチと、

前記ゲートトレンチの内周面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記ゲートトレンチの内部に埋め込まれてなるゲート電極とをさらに備えるトレンチゲート型の IGBT であり、

前記第 2 電極は、前記第 4 半導体層及び前記第 1 導電型高濃度拡散領域と接続されていることを特徴とする請求項 5 に記載の半導体装置。

[請求項10]

前記半導体基体において、

前記第 1 半導体層は、第 2 導電型の半導体層であり、

前記第 4 半導体層は、前記第 2 半導体層の表面の一部及び前記第 3 半導体層の表面の全部に形成されたベース層であり、

前記第 4 半導体層の表面の一部には、第 1 導電型高濃度拡散領域が形成されており、

前記半導体装置は、前記第 1 導電型高濃度拡散領域と前記第 2 半導体層とに挟まれた前記第 4 半導体層を少なくとも覆うようにゲート絶縁膜を介して形成されたゲート電極をさらに備えるプレーナーゲート型の IGBT であり、

前記第 2 電極は、前記第 4 半導体層及び前記第 1 導電型高濃度拡散領域と接続されていることを特徴とする請求項 5 に記載の半導体装置。

[請求項11]

前記開口直下には、前記第 4 半導体層よりも不純物濃度が高い第 2 導電型高濃度拡散領域が前記開口の底面と接触するように形成されていることを特徴とする請求項 5 ～ 10 のいずれかに記載の半導体装置。

[請求項12]

隣接する前記トレンチに挟まれた部分の前記第 2 半導体層を第 1 コラムとし、前記第 3 半導体層を第 2 コラムとしたときに、前記第 1 コラムと前記第 2 コラムとでスーパージャンクション構造が構成されていることを特徴とする請求項 1 ～ 4 のいずれかに記載の半導体装置。

[請求項13] 前記半導体装置は、前記金属がバリア金属であり、前記第2電極が前記第3半導体層に加えて前記第2半導体層とも接続されているショットキーバリアダイオードであることを特徴とする請求項12に記載の半導体装置。

[請求項14] 前記第2半導体層は、単結晶のエピタキシャル層からなることを特徴とする請求項1～13のいずれかに記載の半導体装置。

[請求項15] 請求項1～14のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、

第1導電型又は第2導電型の第1半導体層の上に第1導電型の第2半導体層が積層され、前記第2半導体層の表面には所定の深さのトレンチが形成されており、当該トレンチ内には単結晶のエピタキシャル層からなる第2導電型の第3半導体層が形成されている半導体基体を準備する半導体基体準備工程と、

前記第2半導体層及び前記第3半導体層の表面上に層間絶縁膜を形成する層間絶縁膜形成工程と、

前記層間絶縁膜における少なくとも前記第3半導体層が形成されている領域内に所定の開口を形成する開口形成工程と、

前記開口の内部に前記第2電極を構成する金属とは異なる金属を充填することによって金属プラグを形成する金属プラグ形成工程と、

前記第1半導体層の表面上に第1電極を形成するとともに、前記層間絶縁膜上に前記金属プラグを介して少なくとも前記第3半導体層と接続される第2電極を形成する電極形成工程とをこの順序で含み、

前記開口形成工程においては、平面的に見て前記第3半導体層の中央部を避けた位置に前記開口を形成し、

前記開口形成工程、前記金属プラグ形成工程及び前記電極形成工程において、前記第3半導体層の中央部の表面は、前記層間絶縁膜で覆われていることを特徴とする半導体装置の製造方法。

[請求項16] 請求項1～14のいずれかに記載の半導体装置を製造するための半

導体装置の製造方法であって、

第1導電型又は第2導電型の第1半導体層の上に第1導電型の第2半導体層が積層され、前記第2半導体層の表面には所定の深さのトレンチが形成されており、当該トレンチ内には単結晶のエピタキシャル層からなる第2導電型の第3半導体層が形成されている半導体基体を準備する半導体基体準備工程と、

前記第2半導体層及び前記第3半導体層の表面上に層間絶縁膜を形成する層間絶縁膜形成工程と、

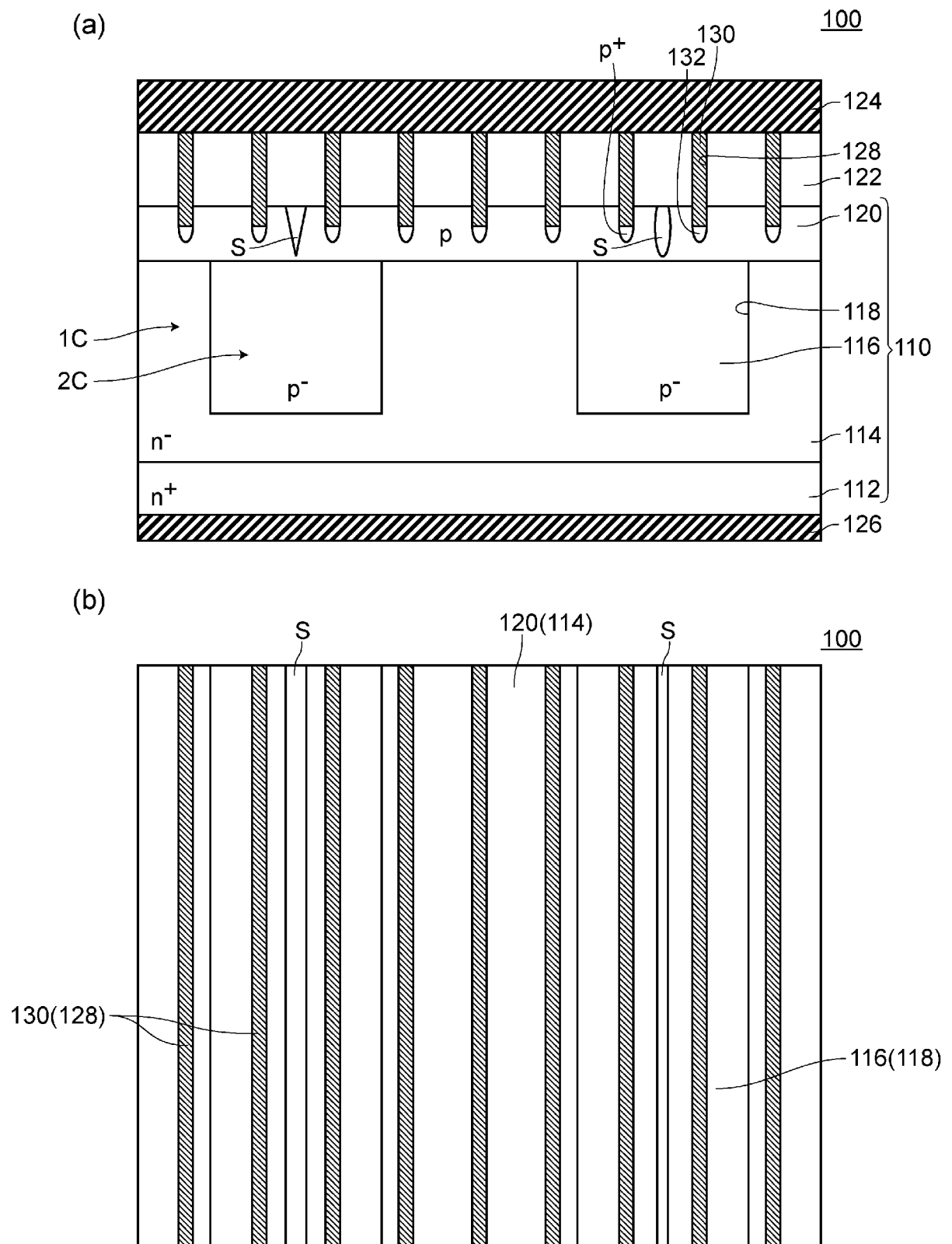
前記層間絶縁膜における少なくとも前記第3半導体層が形成されている領域内に所定の開口を形成する開口形成工程と、

前記第1半導体層の表面上に第1電極を形成する工程、及び、前記層間絶縁膜上に、前記開口の内部に第2電極を構成する金属がそのまま充填され少なくとも前記第3半導体層と直接接続される前記第2電極を形成する工程を含む電極形成工程とをこの順序で含み、

前記開口形成工程においては、平面的に見て前記第3半導体層の中央部を避けた位置に前記開口を形成し、

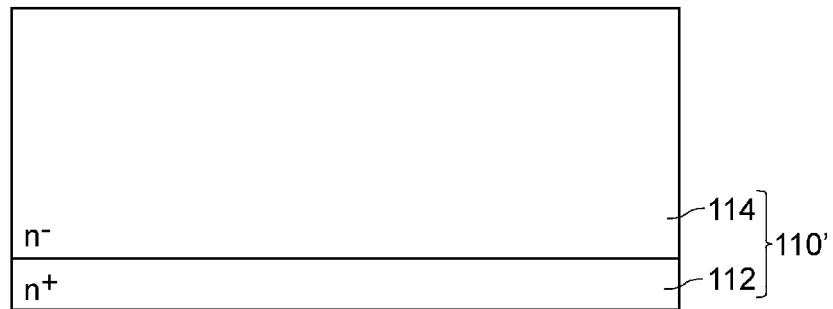
前記開口形成工程及び前記電極形成工程において、前記第3半導体層の中央部の表面は、前記層間絶縁膜で覆われていることを特徴とする半導体装置の製造方法。

[図1]

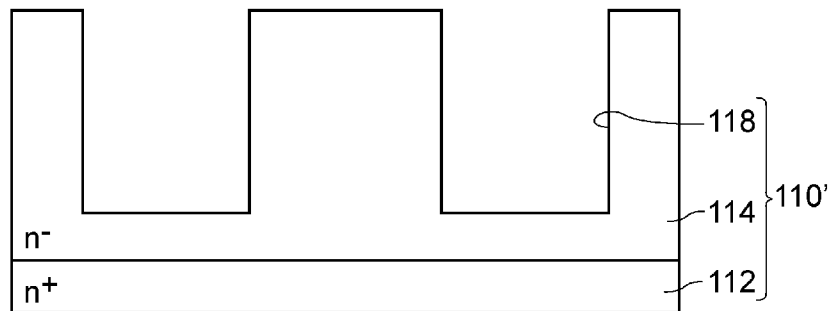


[図2]

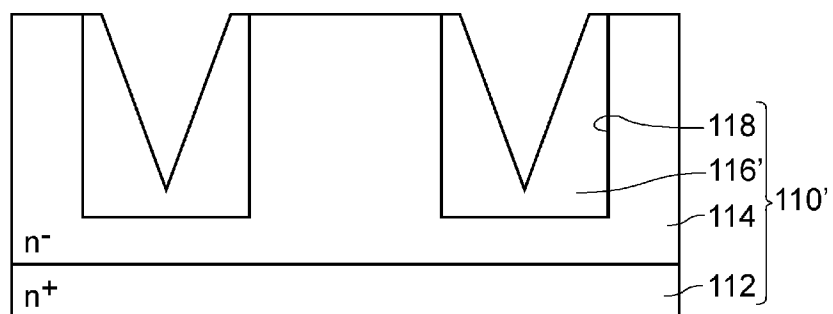
(a)



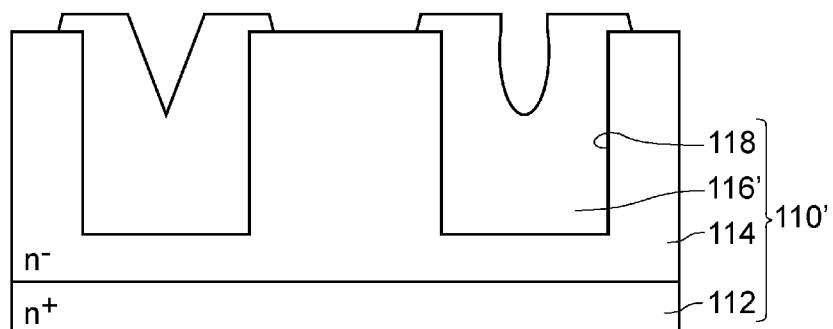
(b)



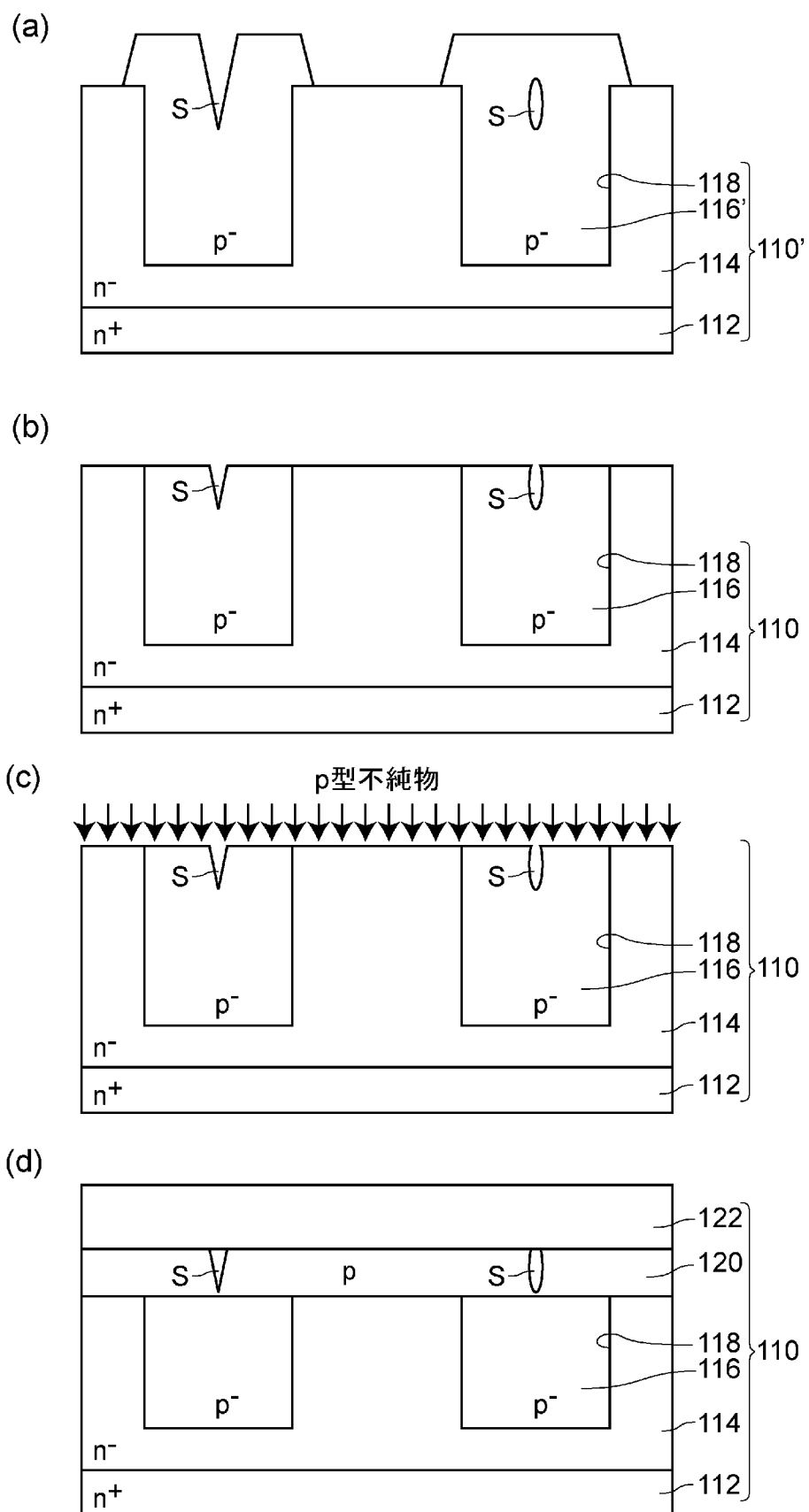
(c)



(d)

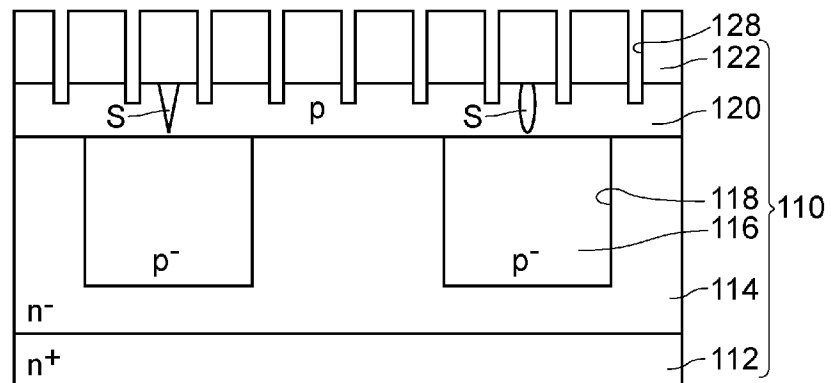


[図3]

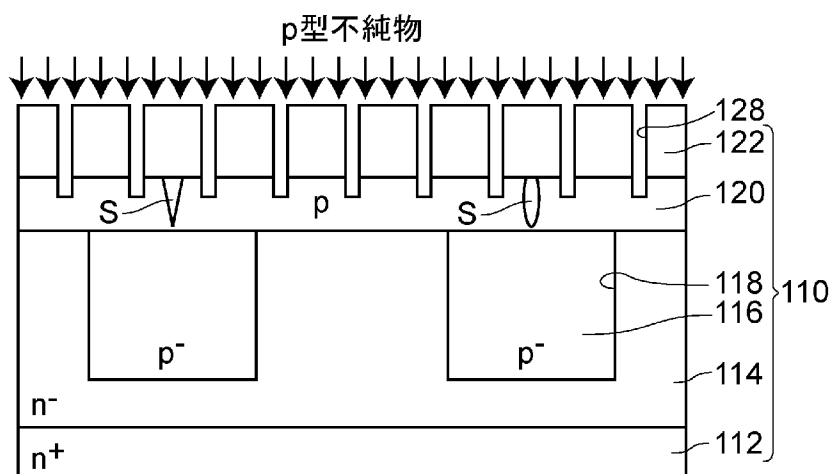


[図4]

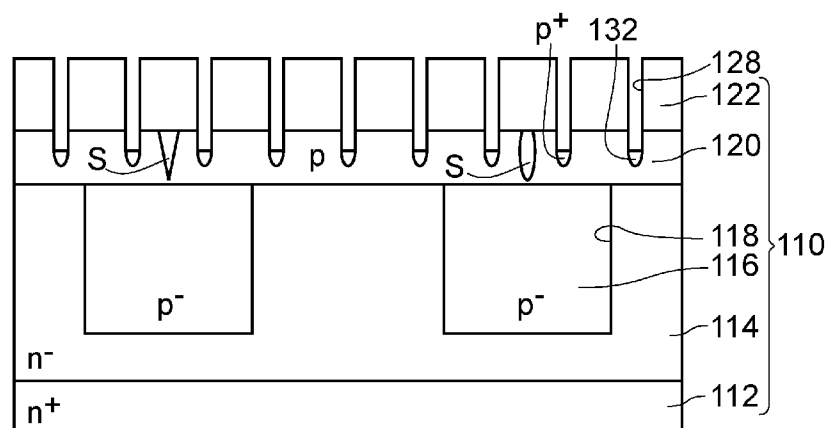
(a)



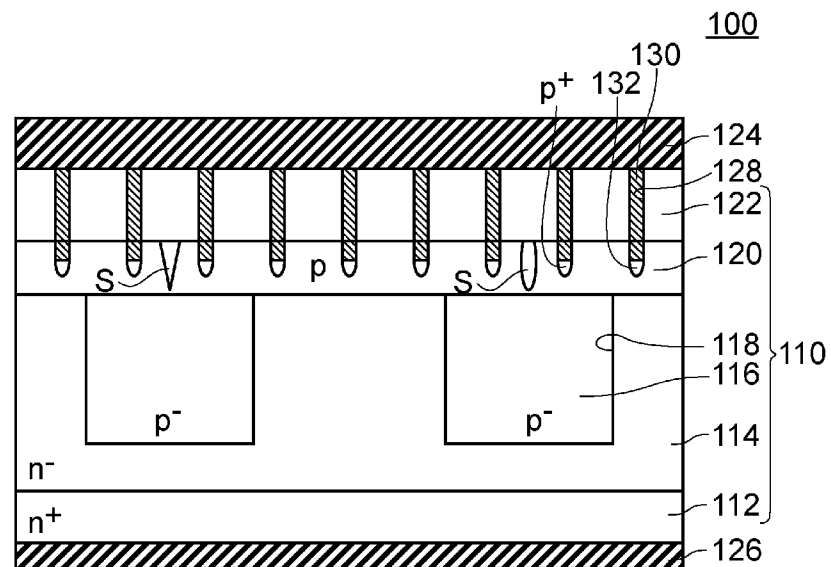
(b)



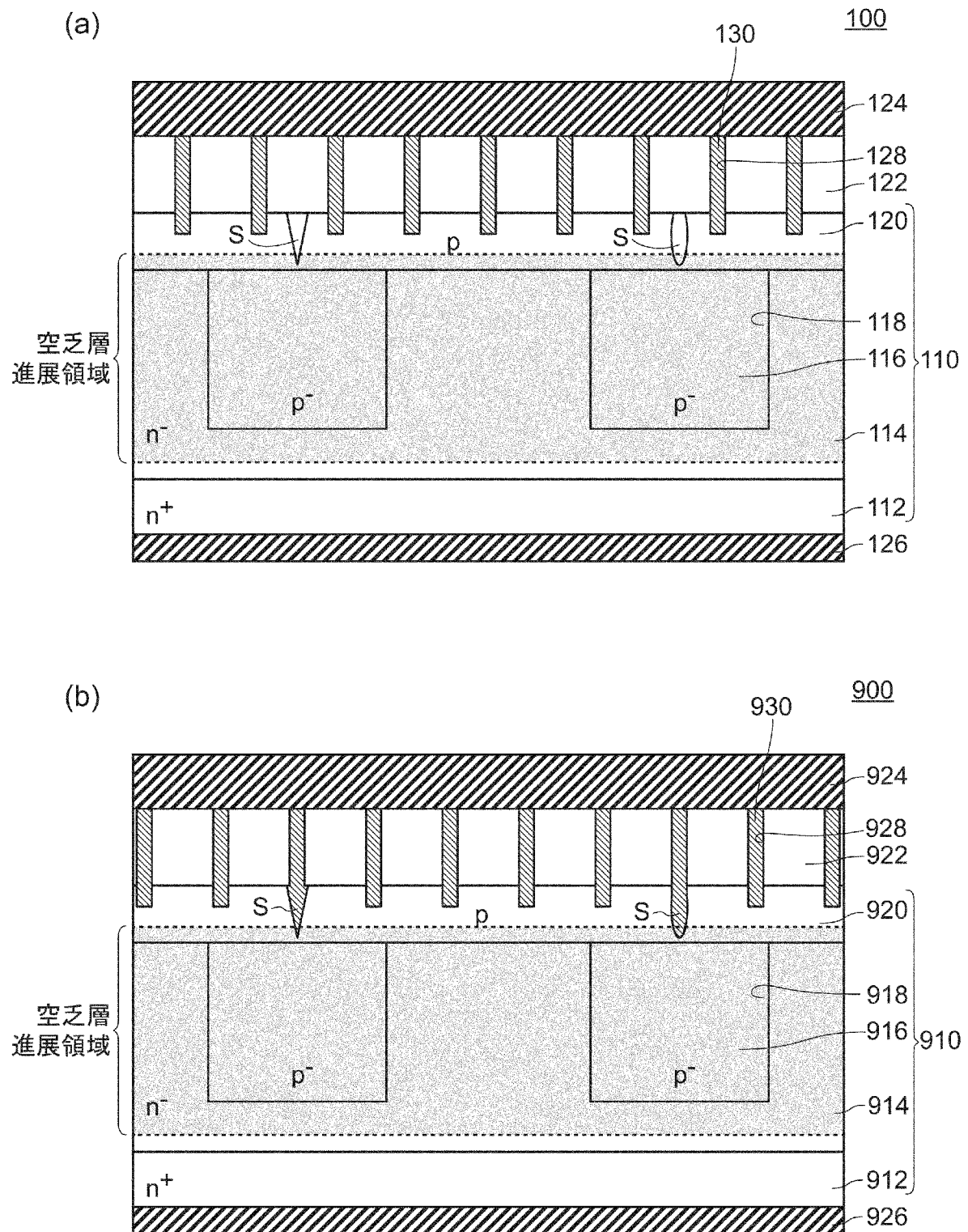
(c)



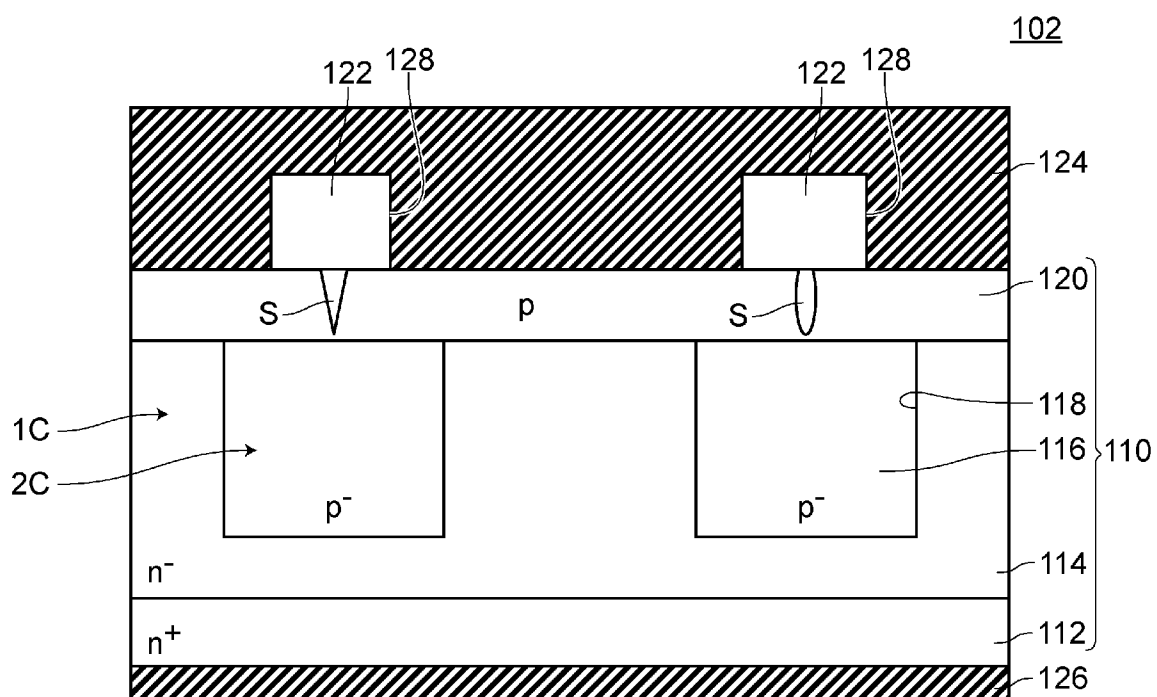
(a)



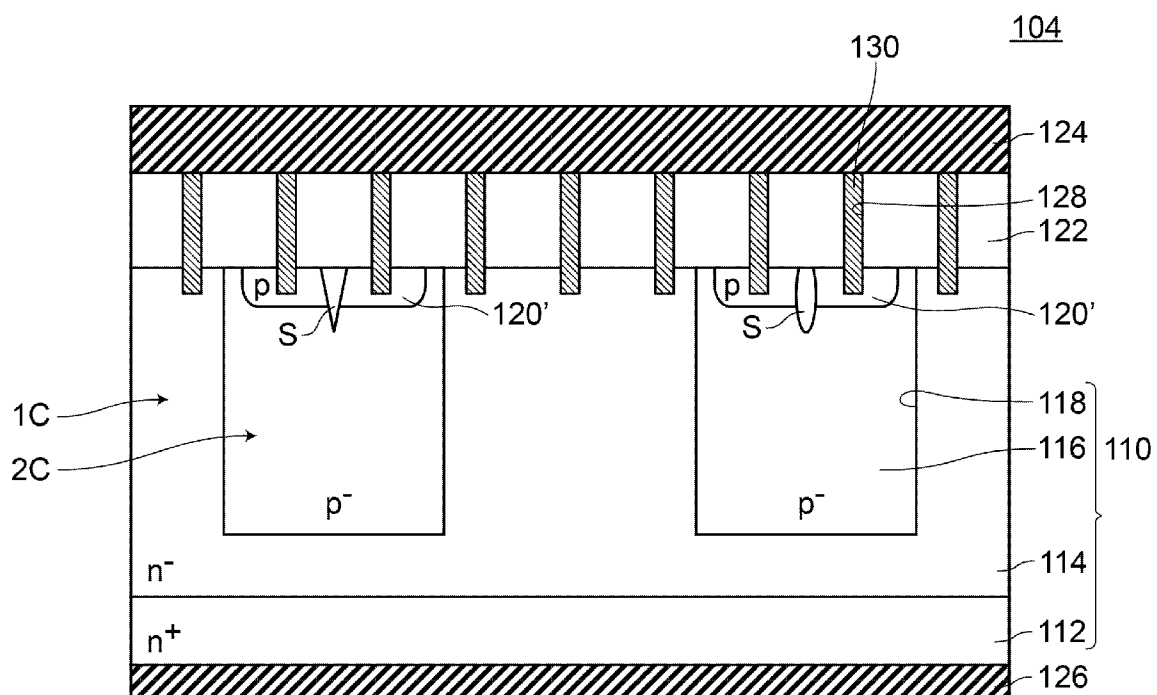
[図6]



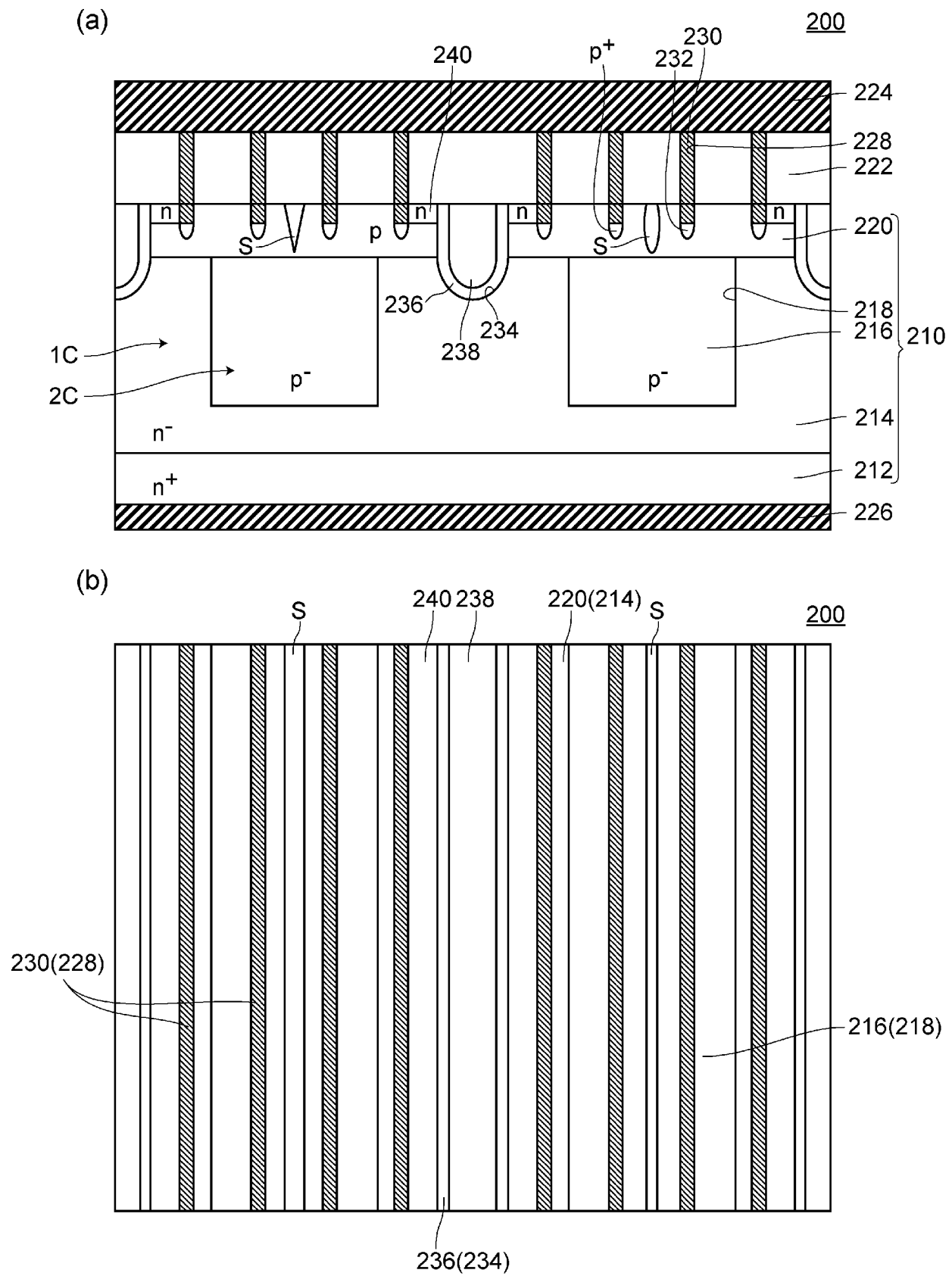
[図7]



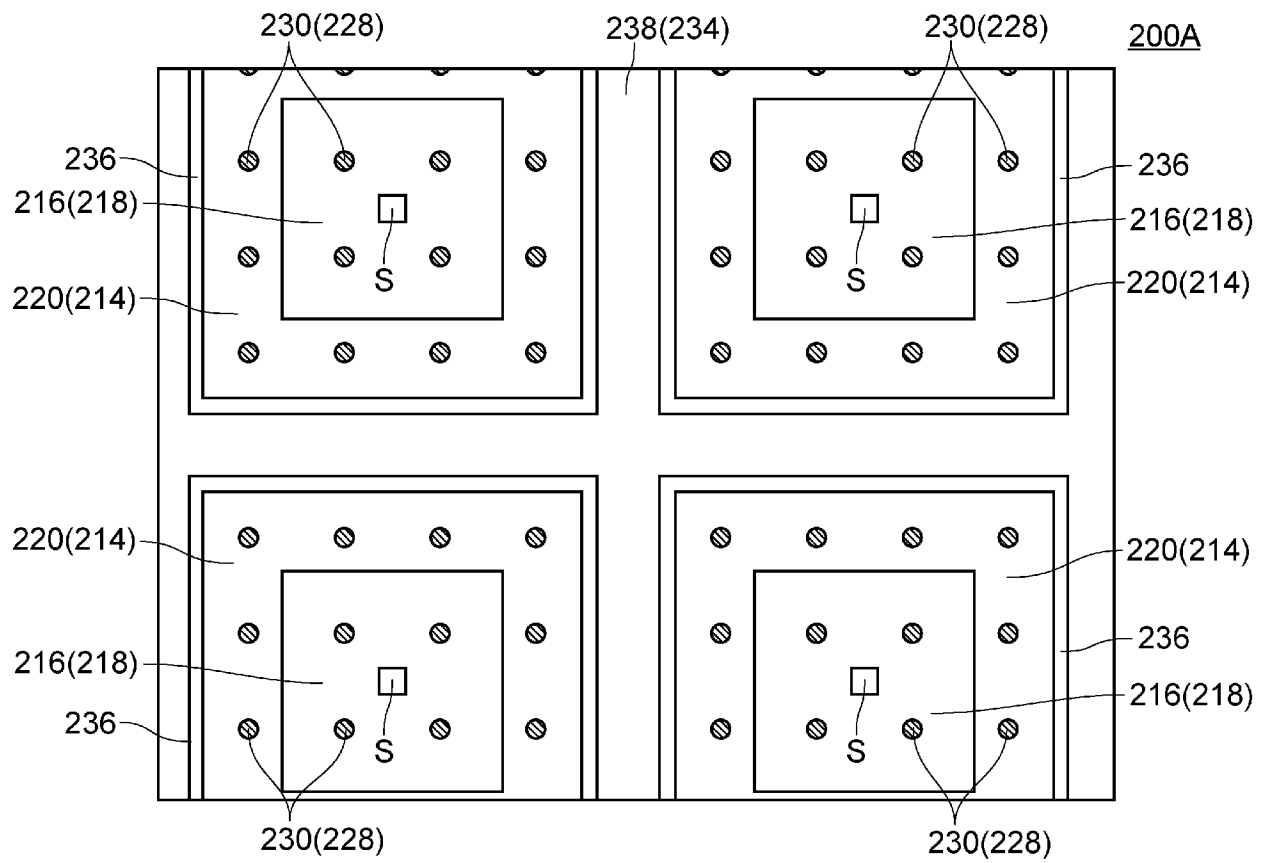
[図8]



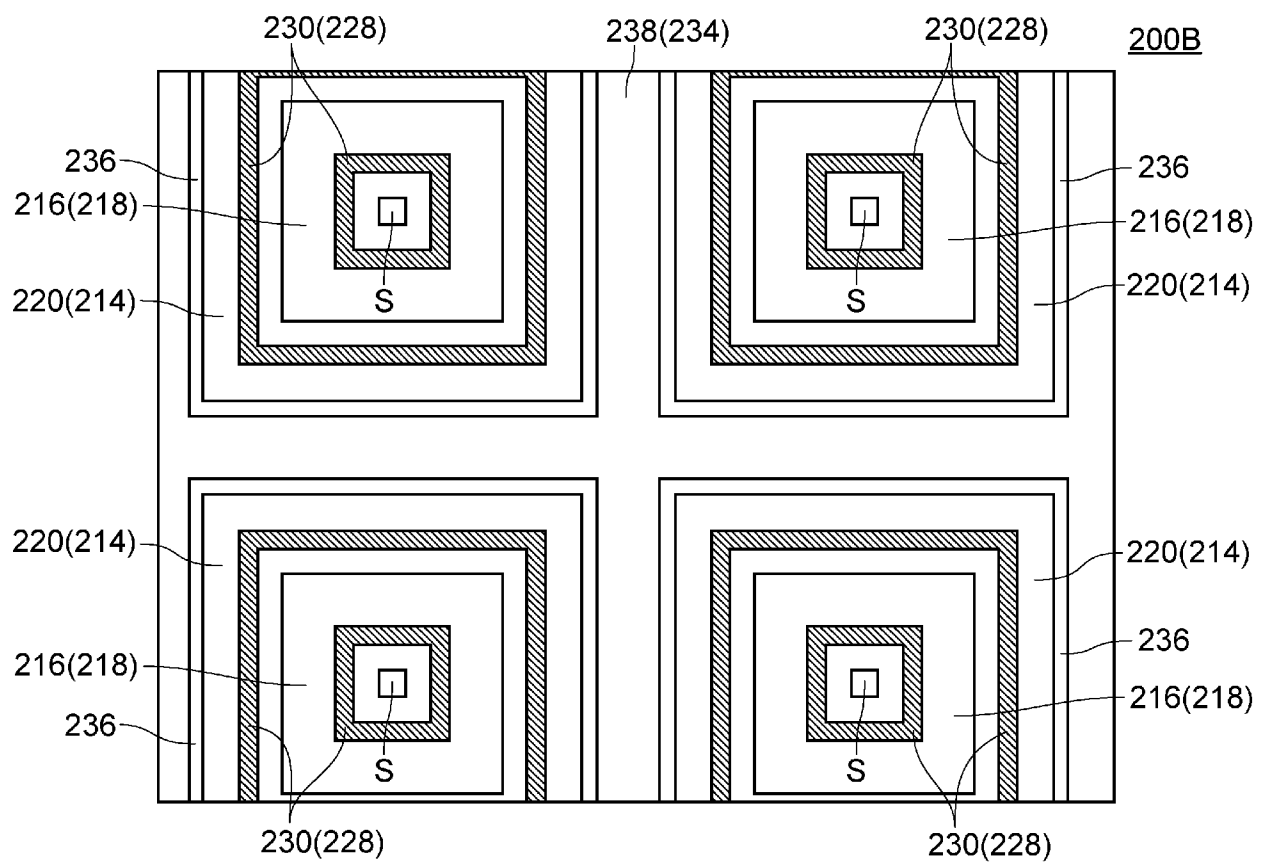
(a)



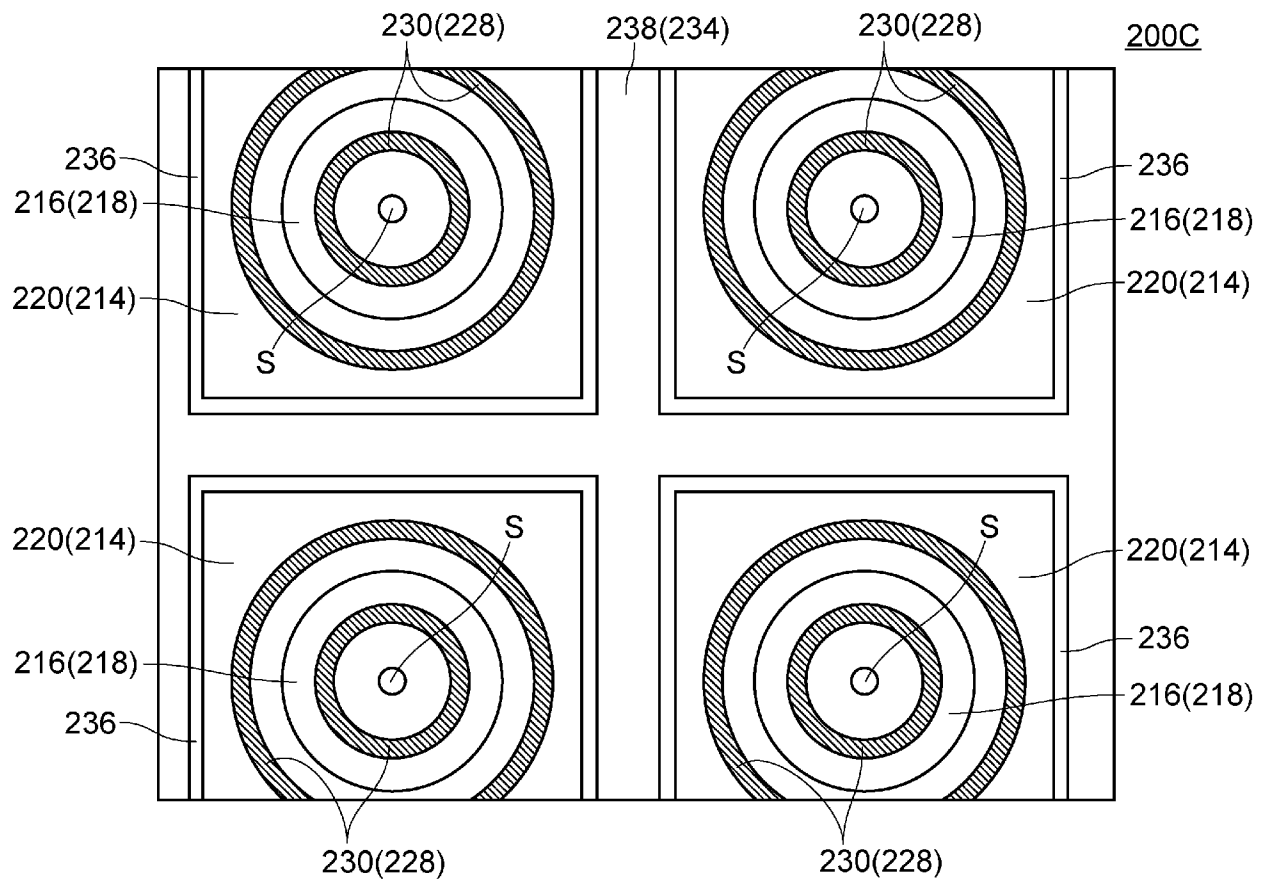
[図14]



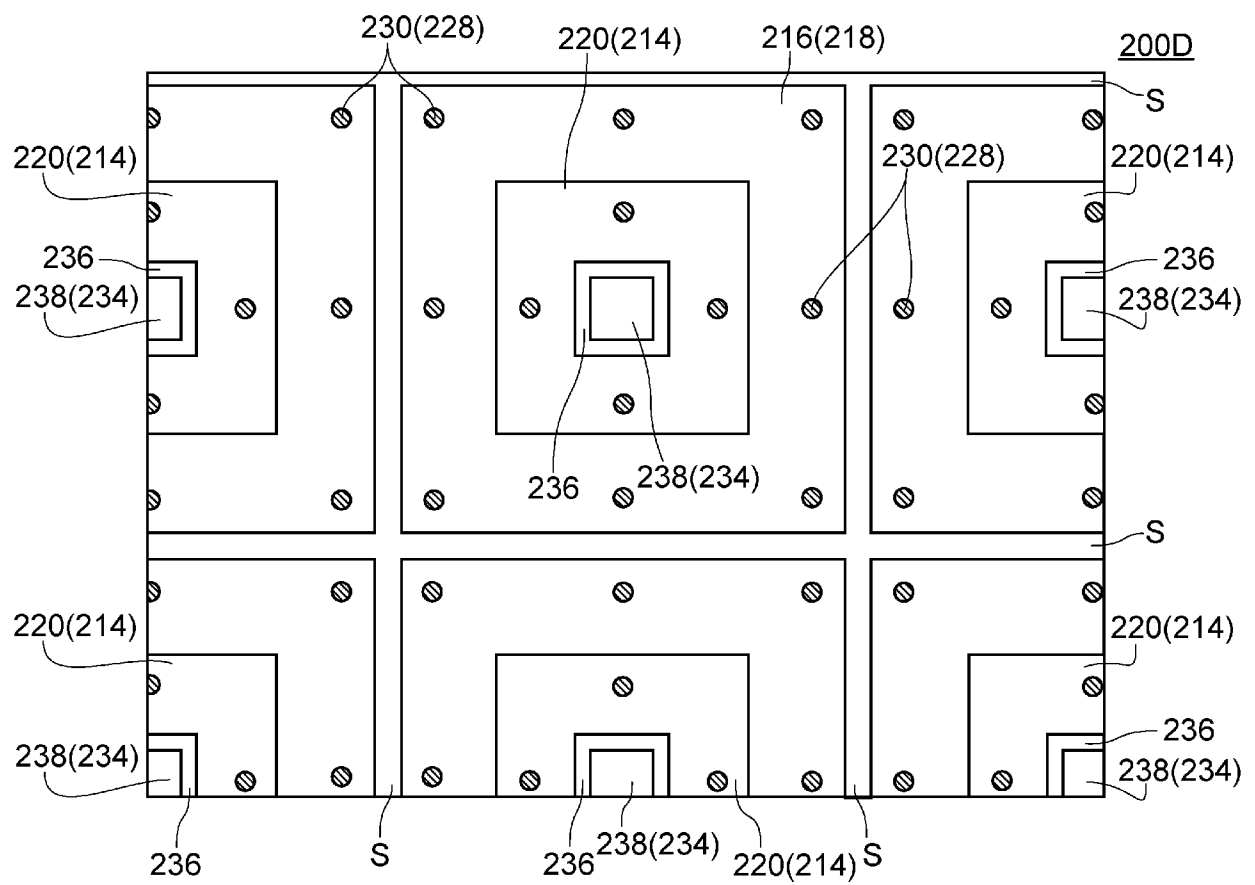
[図15]



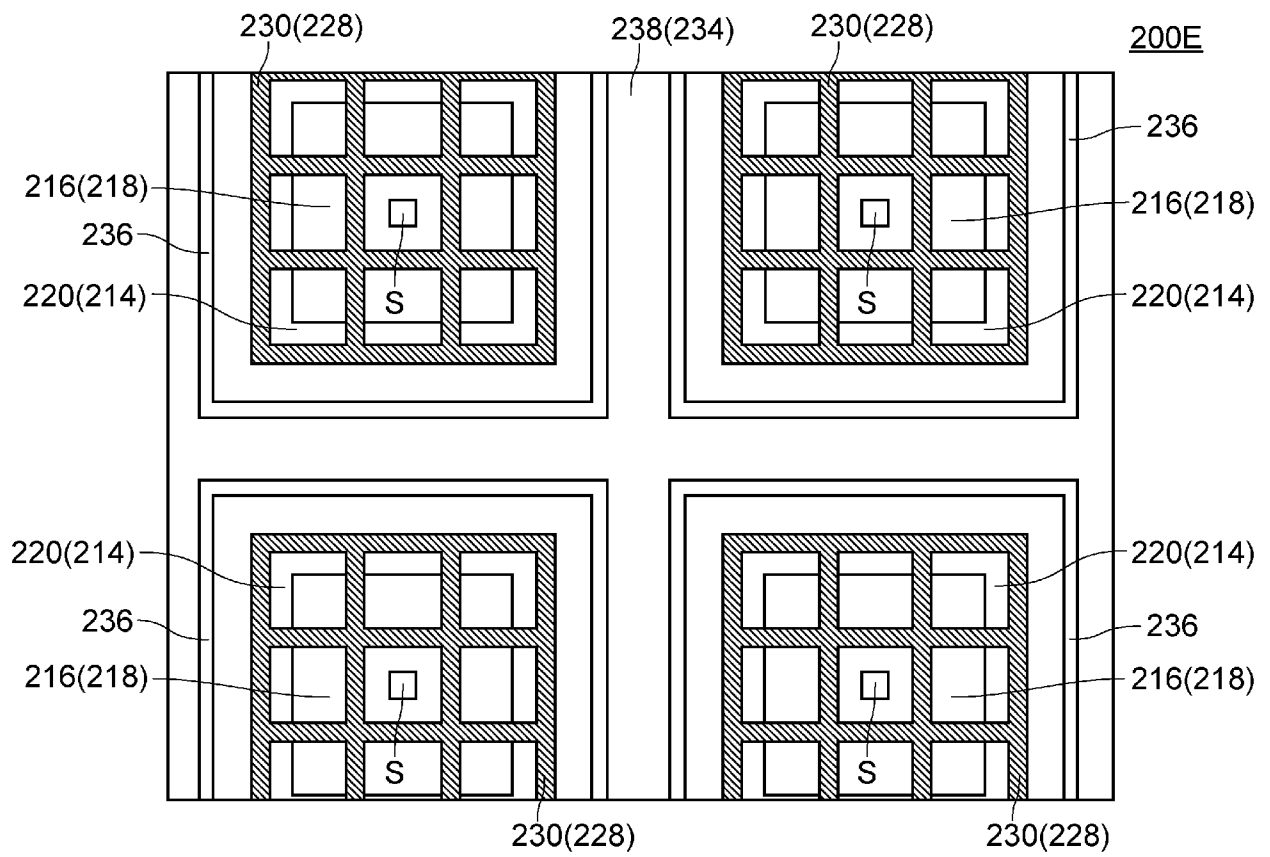
[図16]



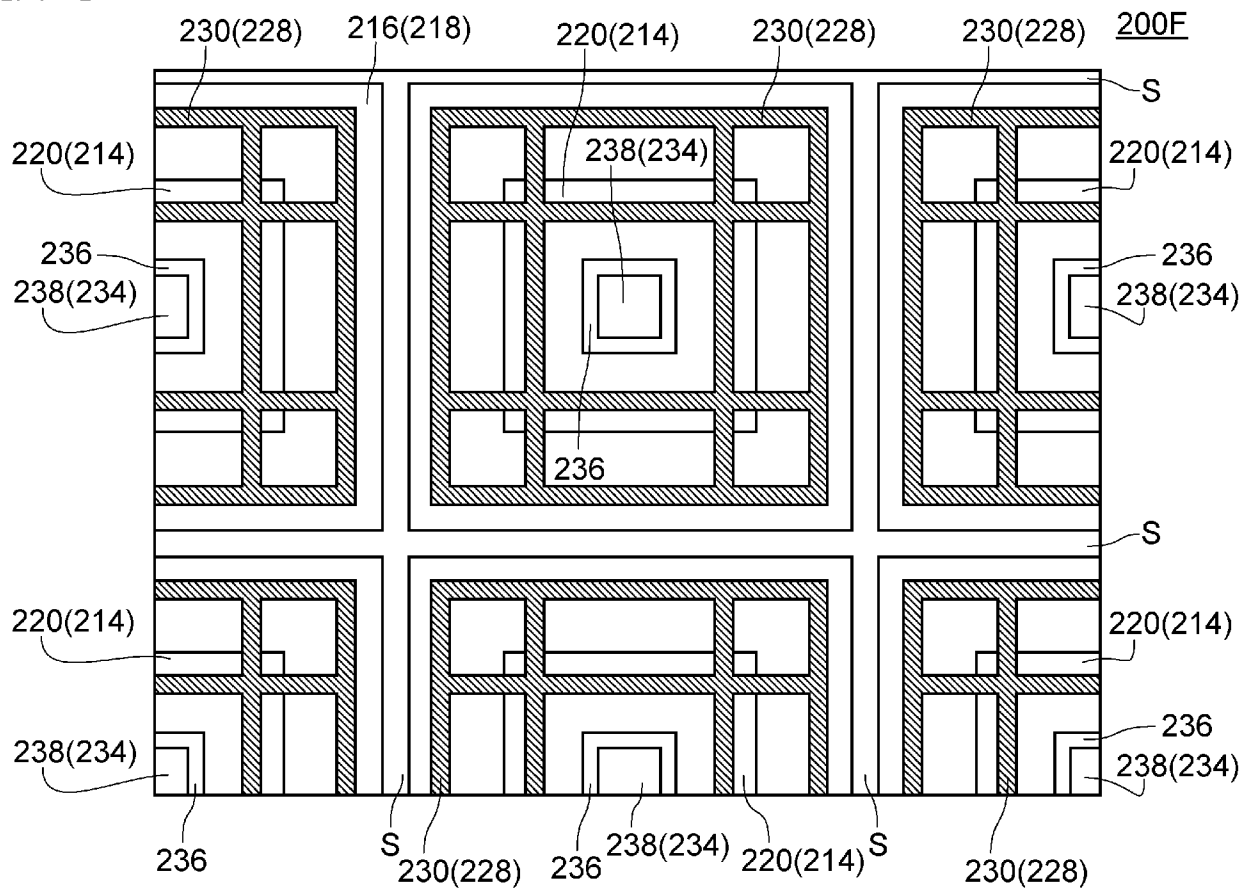
[図17]



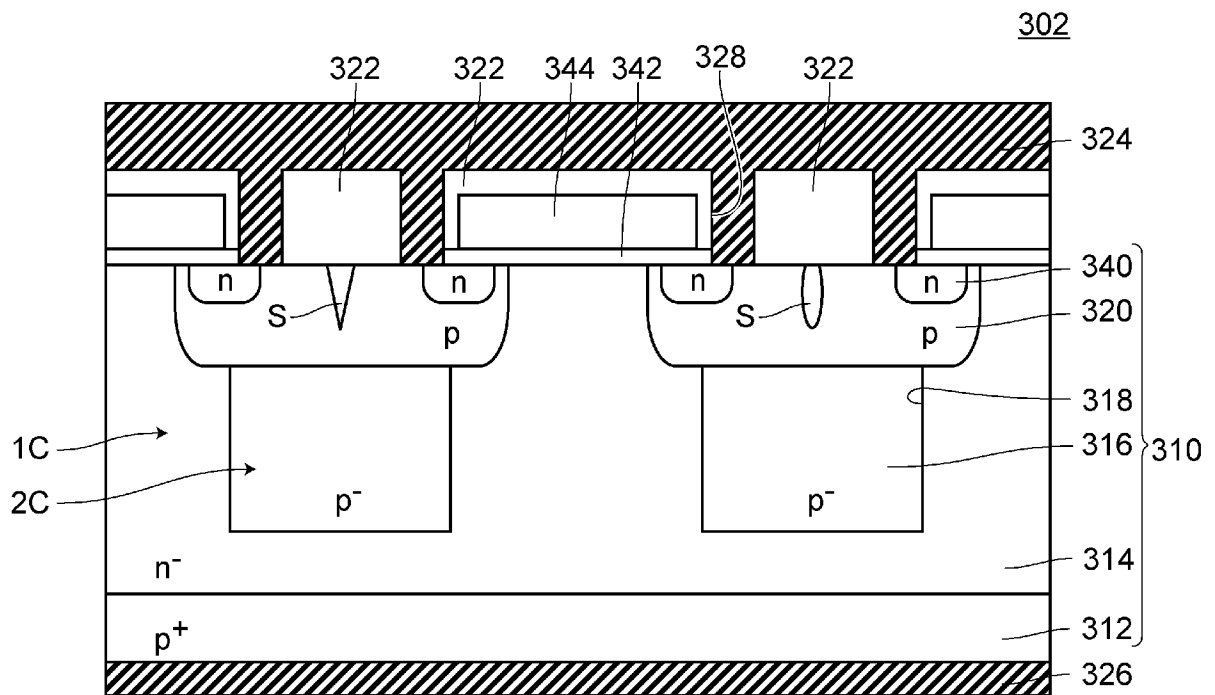
[図18]



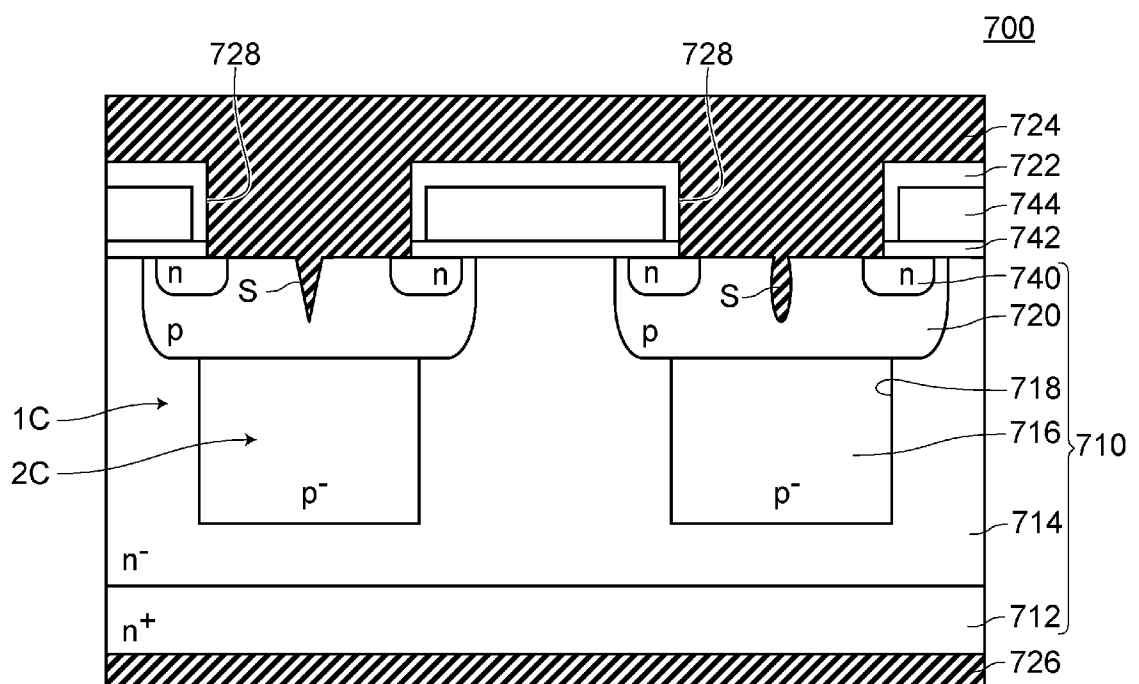
[図19]



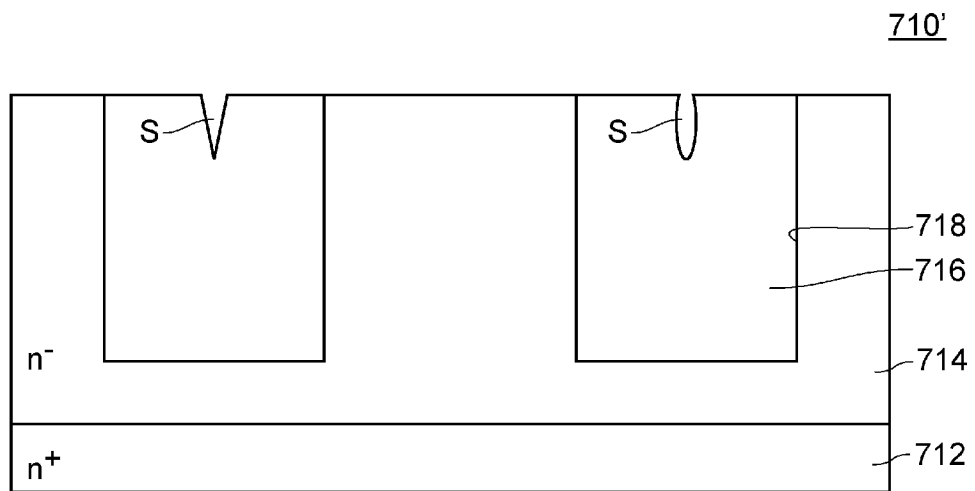
[図20]



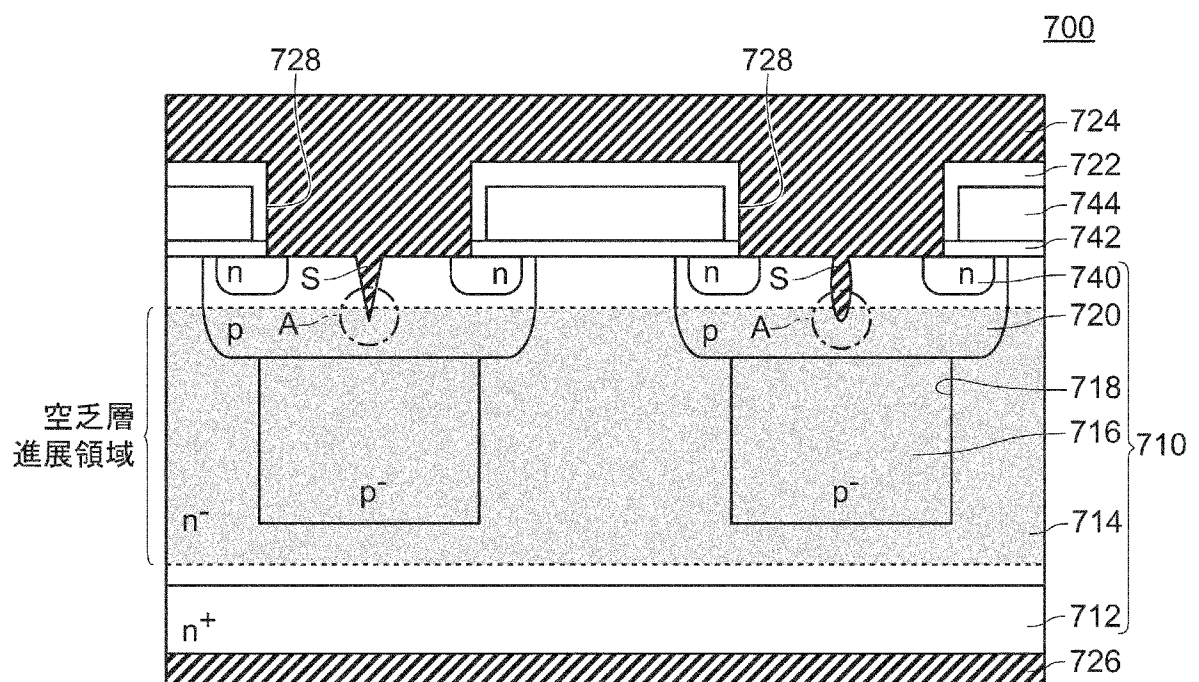
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007575

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L29/41(2006.01)i, H01L29/739(2006.01)i,
H01L29/861(2006.01)i, H01L29/868(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/41, H01L29/739, H01L29/861, H01L29/868, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/151185 A1 (Shindengen Electric Mfg. Co., Ltd.), 08 October 2015 (08.10.2015), paragraphs [0017] to [0051]; fig. 3 to 4 & US 2016/0118492 A1 paragraphs [0043] to [0083]; fig. 3 to 4 & TW 201541639 A & CN 106165101 A	1-16
A	JP 2007-173734 A (Toshiba Corp.), 05 July 2007 (05.07.2007), entire text; all drawings & US 2007/0148931 A1 & TW 200731528 A	1-16
A	JP 2010-182881 A (Toshiba Corp.), 19 August 2010 (19.08.2010), entire text; all drawings & US 2010/0197088 A1	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
16 May 2017 (16.05.17)

Date of mailing of the international search report
23 May 2017 (23.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007575

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-294853 A (NEC Electronics Corp.), 26 October 2006 (26.10.2006), entire text; all drawings & US 2006/0226475 A1 & TW 200636994 A	1-16

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i, H01L29/41(2006.01)i, H01L29/739(2006.01)i, H01L29/861(2006.01)i,
H01L29/868(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78, H01L29/41, H01L29/739, H01L29/861, H01L29/868, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2015/151185 A1（新電元工業株式会社）2015.10.08, 段落[0017]-[0051], 図3-4 & US 2016/0118492 A1, 段落[0043]-[0083], 図3-4 & TW 201541639 A & CN 106165101 A	1-16

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

16.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9733

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-173734 A (株式会社東芝) 2007. 07. 05, 全文, 全図 & US 2007/0148931 A1 & TW 200731528 A	1-16
A	JP 2010-182881 A (株式会社東芝) 2010. 08. 19, 全文, 全図 & US 2010/0197088 A1	1-16
A	JP 2006-294853 A (NECエレクトロニクス株式会社) 2006. 10. 26, 全文, 全図 & US 2006/0226475 A1 & TW 200636994 A	1-16