(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/108

(11) 공개번호 특1997-0077662
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0017473
(22) 출원일자 1996년05월22일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이규필
경기도 성남시 분당구 서현동 380 효자촌 럭키아파트 606동 501호
(74) 대리인 이영필, 권석흠, 노민식

심사청구 : 있음

(54) 반도체 메모리장치 및 그 제조방법

요약

신규한 반도체 메모리장치 및 그 제조방법이 개시되어 있다. 반도체기판의 액티브 영역에 형성된 소오스 및 드레인 영역 사이에, 그 양 측벽에 게이트 스페이서를 구비한 게이트전극이 형성된다. 제1패드층은 게이트 스페이서에 의해 절연되어 게이트전극 사이의 드레인 영역에 접속된다. 스토리지노드 콘택용 플러깅 바아는 게이트전극상에 적층된 제1 및 제2층간절연막과 게이트 스페이서에 의해 절연되며, 제1 및 제2층간절연막을 관통하여 소오스 영역에 접속된다. 비트라인은 그 상부 및 측벽에 비트라인 캡핑 절연막 및 비트라인 스페이서를 구비하고, 제2층간절연막을 관통하여 제1패드층에 접속된다. 제2패드층은 비트라인의 양 측면에 형성되며, 비트라인 스페이서에 의해 절연되어 스토리지노드 콘택용 플러깅 바아에 접속된다. 스토리지전극은 제2패드층상에 형성된다. 비트라인의 양 측면에 형성되는 제2패드층에 의해 비트라인과 스토리지전극과의 단락을 근본적으로 방지할 수 있고, 평탄화된 표면을 얻을 수 있어 강유전체를 유전막으로 사용할 수 있다.

대표도

도2

명세서

[발명의 명칭]

반도체 메모리장치 및 그 제조방법

[도면의 간단한 설명]

제2도는 본 발명의 제1실시예에 의한 반도체 메모리장치를 도시한 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

소자분리 영역에 의해 분리된 반도체기판의 액티브 영역 상에 하나의 모스 트랜지스터와 하나의 캐패시터로 구성되는 메모리 셀을 복수개 구비한 반도체 메모리장치에 있어서, 상기 반도체기판의 액티브 영역에 형성된 소오스 및 드레인 영역; 상기 소오스 영역과 드레인 영역 사이의 상기 반도체기판 상에 형성되고 양 측벽에 게이트 스페이서를 구비한 게이트전극; 상기 게이트 스페이서에 의해 절연되어 상기 게이트전극 사이의 상기 드레인 영역에 접속되는 제1패드층; 상기 게이트전극 상에 적층된 제1 및 제2층간절연막과 상기 게이트 스페이서에 의해 절연되며, 상기 제1 및 제2층간절연막을 관통하여 상기 소오스 영역에 접속되는 스토리지노드 콘택용 플러깅 바아; 그 상부 및 측벽에 비트라인 캡핑 절연막 및 비트라인 스페이서를 구비하고, 상기 제2층간절연막을 관통하여 상기 제1패드층에 접속되는 비트라인; 상기 비트라인의 양 측면에 형성되며, 상기 비트라인 스페이서에 의해 절연되어 상기 스토리지노드 콘택용 플러깅 바아에 접속되는 제2패드층; 및 상기 제2패드층상에 형성된 스토리지전극을 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 스토리지전극은 금속 및 금속화합물 중의 어느 하나로 형성된 것을 특징으로 하는

반도체 메모리장치.

청구항 3

제1항에 있어서, 상기 제2패드층과 상기 스토리지전극 사이에 형성된, 상기 제2패드층과 상기 스토리지 전극을 접속시키기 위한 콘택홀을 갖는 절연막을 더 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 4

제1항에 있어서, 상기 제1패드층 및 비트라인은 상기 메모리셀을 구동시키는 주변회로 영역에서 금속 콘택홀의 종횡비를 개선시키기 위한 패드층으로 사용되는 것을 특징으로 하는 반도체 메모리장치.

청구항 5

제1항에 있어서, 상기 비트라인은 제1패드층 없이 상기 드레인 영역에 직접 접속되도록 T자형으로 레이아웃된 것을 특징으로 하는 반도체 메모리장치.

청구항 6

제1항에 있어서, 상기 비트라인은 제1패드층 없이 상기 드레인 영역에 직접 접속될 수 있도록 상기 액티브 영역을 T자형으로 레이아웃한 것을 특징으로 하는 반도체 메모리장치.

청구항 7

제1도전형의 반도체기판 상에 소자분리 공정에 의해 액티브 영역과 소자분리 영역을 형성하는 단계; 상기 반도체기판 상에 게이트절연막, 제1도전층 및 제1캡핑 절연막을 차례로 적층하고 패터닝하여 게이트 전극을 형성하는 단계; 상기 게이트전극을 마스크로 이용한 이온주입 공정에 의해 상기 반도체기판에 소오스 및 드레인 영역을 형성하는 단계; 상기 게이트전극의 측벽에 게이트 스페이서를 형성하는 단계; 상기 게이트전극의 측벽에 게이트 스페이서를 형성하는 단계; 상기 결과물 상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막상에, 상기 드레인 영역에 접속되는 제1패드층을 형성하는 단계; 상기 결과물 상에 제2층간절연막을 형성하는 단계; 상기 제2층간절연막 및 제1층간절연막을 식각하여 상기 소오스 영역을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀에 도전물질을 매몰한 후 에치백하여 상기 소오스 영역에 접속되는 스토리지노드 콘택용 플러깅 바아를 형성하는 단계; 상기 결과물 상에 제1절연막을 형성하고, 상기 제1절연막 및 제2층간절연막을 패터닝하는 단계; 상기 결과물 상에 제2도전층 및 제2캡핑 절연막을 적층하고 패터닝하여, 상기 제1패드층에 접속되는 비트라인을 형성하는 단계; 상기 비트라인의 측벽에 비트라인 스페이서를 형성하고, 상기 비트라인 및 비트라인 스페이서를 마스크로 이용한 식각공정을 실시하여 상기 스토리지노드 콘택용 플러깅 바아를 노출시키는 단계; 상기 비트라인의 측면에, 상기 비트라인 스페이서에 의해 절연되며 상기 스토리지노드 콘택용 플러깅 바아와 접속되는 제2패드층을 형성하는 단계; 상기 결과물 상에 제2절연막을 증착하고 상기 제2패드층의 표면을 노출시키는 단계; 및 상기 결과물 상에 상기 제2패드층에 접속되는 스토리지전극을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 8

제7항에 있어서, 상기 게이트전극을 구성하는 제1도전층은 불순물이 함유된 다결정실리콘과 금속 실리사이드가 적층된 구조로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 9

제7항에 있어서, 상기 제1캡핑 절연막은 실리콘 산화막 및 실리콘질화막 중의 어느 하나로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 10

제7항에 있어서, 상기 게이트 스페이서는 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 11

제7항에 있어서, 상기 제1층간절연막은 유동성이 우수한 BPSG(Borophosphorus Silica Glass) 및 오존(O_3)-TEOS 중의 어느 하나를 리플로우(reflow) 공정 또는 리플로우와 결합된 에치-백 공정으로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 12

제7항에 있어서, 상기 제1패드층은 불순물이 포함되 다결정실리콘으로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 13

제7항에 있어서, 상기 제2층간절연막은 오존(O_3)-TEOS를 에치-백 및 기계화학적 연마(CMP)중의 어느 한 공정으로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 14

제7항에 있어서, 상기 스토리지노드 콘택용 플러깅 바아는 불순물이 함유된 다결정실리콘, 전도성이 우수한 텅스텐(W)으로 이루어진 단일층 및 장벽금속과 텅스텐이 적층된 이중층 중의 어느 하나로 형성하는

것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 15

제7항에 있어서, 상기 비트라인은 전도성이 우수한 텅스텐(W)으로 이루어진 단일층 및 장벽금속과 텅스텐이 적층된 이중층 중의 어느 하나로 이루어진 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 16

제7항에 있어서, 상기 비트라인 스페이서와 제2캡핑 절연막은 상기 제2절연막과의 식각선택비가 우수한 물질로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 17

제7항에 있어서, 상기 제2패드층은 불순물이 함유된 다결정실리콘으로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 18

제7항에 있어서, 상기 제2절연막을 증착하고 상기 제2패드층의 표면을 노출시키는 단계는, 상기 제2패드층 간의 스페이스를 충분히 매립할 수 있을 정도의 두께로 제2절연막을 증착하는 단계; 상기 제2패드층 상에 상기 제2절연막의 일부가 남도록, 상기 제2절연막을 에치-백하여 평탄화시키는 단계; 및 상기 제2절연막의 일부를 식각하여 상기 제2패드층의 표면을 노출시키는 콘택홀을 형성하는 단계로 이루어진 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 19

제7항에 있어서, 상기 제2절연막을 증착하고 상기 제2패드층의 표면을 노출시키는 단계는, 상기 제2패드층 간의 스페이스를 충분히 매립할 수 있을 정도의 두께로 제2절연막을 증착하는 단계; 및 상기 제2패드층의 표면이 노출될 때까지 상기 제2절연막을 에치-백하여 평탄화시키는 단계로 이루어진 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 20

제7항에 있어서, 상기 스토리지전극은 금속 및 금속화합물 중의 어느 하나로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면2

