

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6583081号  
(P6583081)

(45) 発行日 令和1年10月2日(2019.10.2)

(24) 登録日 令和1年9月13日(2019.9.13)

(51) Int.Cl.	F 1
HO 1 L 21/318	(2006.01)
HO 1 L 21/306	(2006.01)
C 23 C 16/42	(2006.01)
HO 1 L 21/31	(2006.01)
	HO 1 L 21/318
	HO 1 L 21/306
	C 23 C 16/42
	HO 1 L 21/31

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2016-57341 (P2016-57341)
(22) 出願日	平成28年3月22日 (2016.3.22)
(65) 公開番号	特開2017-174902 (P2017-174902A)
(43) 公開日	平成29年9月28日 (2017.9.28)
審査請求日	平成30年8月24日 (2018.8.24)

(73) 特許権者	000219967 東京エレクトロン株式会社 東京都港区赤坂五丁目3番1号
(74) 代理人	110002756 特許業務法人弥生特許事務所
(74) 代理人	100091513 弁理士 井上 俊夫
(74) 代理人	100133776 弁理士 三井田 友昭
(72) 発明者	池川 寛晃 東京都港区赤坂五丁目3番1号 赤坂B i zタワー 東京エレクトロン株式会社内
(72) 発明者	小川 淳 東京都港区赤坂五丁目3番1号 赤坂B i zタワー 東京エレクトロン株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

上面に第1の層の表面が露出していると共に前記第1の層に凹部が形成され、前記凹部の側壁が第2の層により被覆された半導体装置製造用の基板の上に処理ガスを供給して第3の層を形成し、当該第3の層により前記凹部を埋め込む前段工程と、

次に前記第3の層をエッティングし、前記第1の層の上面が露出すると共に凹部内に第3の層が残った状態でエッティングを停止するエッティング工程と、

その後、基板の上に処理ガスを供給して第3の層を形成し、当該第3の層により前記凹部を埋め込む後段工程と、を含み、

前記第1の層はシリコン酸化層であり、前記第2の層は窒化シリコン層であり、前記第3の層は窒化シリコン層であることと、

前記処理ガスを供給した時に、第1の層の表面におけるインキュベーションタイムが第2の層の表面におけるインキュベーションタイムよりも長いことと、を特徴とする半導体装置の製造方法。

## 【請求項 2】

前記エッティング工程は、凹部内における第3の層に前段工程時に形成された空隙が露出している状態でエッティングを停止することを特徴とする請求項1記載の半導体装置の製造方法。

## 【請求項 3】

前記エッティング工程は、エッティング液である、加熱したリン酸溶液を基板に接触させる

工程であることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項 4】

前記後段工程を行った後、前記エッティング工程及び前記後段工程を少なくとも1回繰り返すことを特徴とする請求項1ないし3のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置製造用の基板の表面に形成された凹部に対して成膜処理を行って凹部を埋め込む技術に関する。

【背景技術】

10

【0002】

半導体ウエハ（以下「ウエハ」という）に成膜を行う手法として、原料ガス及び反応ガスをウエハに対して順番に供給してウエハの表面に反応生成物の分子層（あるいは原子層）を堆積させて薄膜を得るALD（Atomic Layer Deposition）法が知られている。回路パターンの凹凸が形成されたウエハに対してALD法により成膜処理を行うと、凹凸形状に沿った膜（コンフォーマルな形状の膜）が成膜される。

【0003】

一方、パターンが微細化し、パターン合わせにおいても高い精度が要求されていることなどから、コンタクトホールの形成法として自己整合型コンタクトホール形成法が用いられている。そして半導体デバイスの立体化が進んでいることから、例えばコンタクトホールや溝部が微細化しつつアスペクト比がより大きくなる傾向にある。このため例えば自己整合コンタクトホールに対してALD法を用いてシリコン窒化膜により埋め込むプロセスを行うと、コンタクトホールに内にて埋め込み部分（シリコン窒化膜）にボイドやシームなどの空隙が形成されるおそれがある。

20

【0004】

特許文献1には、アルミニウム層に形成された凹部内に、CF系のガス及びCH系のガスを用いてフロロカーボン膜（CF膜）を成膜して埋め込むにあたり、埋め込みを途中で停止し、酸素ガスを用いてCF膜をエッティングし、その後CF膜の埋め込み処理を行う技術が開示されている。この技術は、本発明のように成膜部位におけるインキュベーションタイムの差を考慮したものではない。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平10-144675号公報（図21）

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明はこのような事情の下になされたものであり、その目的は、基板の表面に形成された凹部パターンを埋めるように成膜するにあたって、凹部パターンを隙間なく埋める技術を提供することにある。

40

【課題を解決するための手段】

【0007】

本発明の半導体装置の製造方法は、上面に第1の層の表面が露出していると共に前記第1の層に凹部が形成され、前記凹部の側壁が第2の層により被覆された半導体装置製造用の基板の上に処理ガスを供給して第3の層を形成し、当該第3の層により前記凹部を埋め込む前段工程と、

次に前記第3の層をエッティングし、前記第1の層の上面が露出すると共に凹部内に第3の層が残った状態でエッティングを停止するエッティング工程と、

その後、基板の上に処理ガスを供給して第3の層を形成し、当該第3の層により前記凹部を埋め込む後段工程と、を含み、

50

前記第1の層はシリコン酸化層であり、前記第2の層は窒化シリコン層であり、前記第3の層は窒化シリコン層であることと、

前記処理ガスを供給した時に、第1の層の表面におけるインキュベーションタイムが第2の層の表面におけるインキュベーションタイムよりも長いことと、を特徴とする。

【発明の効果】

【0009】

本発明は、半導体装置製造用の基板の凹部の上面におけるインキュベーションタイムが凹部の側面におけるインキュベーションタイムよりも長い関係にある当該凹部を埋め込むにあたって、途中まで埋め込みを行った後、上面が露出した状態までエッチング（いわゆるエッチバック）を行い、その後埋め込みを続行している。従って、埋め込みの続行時には、凹部の上面と側面との間のインキュベーションタイムの差により、頂部の閉塞が起これにくくなるので、空隙の発生が抑えられた埋め込み（成膜）を行うことができる。

10

【図面の簡単な説明】

【0010】

【図1】ウエハの表面付近を示す縦断面図である。

【図2】ウエハの表面付近を示す縦断面図である。

【図3】ウエハの表面付近を示す縦断面図である。

【図4】ウエハの表面付近を示す縦断面図である。

【図5】ウエハの表面付近を示す縦断面図である。

【図6】ウエハの表面付近を示す縦断面図である。

20

【図7】ウエハの表面付近を示す縦断面図である。

【図8】成膜装置を示す平面図である。

【図9】成膜装置を示す断面図である。

【図10】本発明の実施の形態に係る基板処理システムを示す平面図である。

【図11】ウエハの他の例の表面付近を示す縦断面図である。

【図12】ウエハのさらに他の例の表面付近を示す縦断面図である。

【発明を実施するための形態】

【0011】

本発明の実施の形態に係る半導体装置の製造方法に使用される半導体装置製造用の基板であるウエハWの表面構造の一例について説明する。図1は半導体装置の製造工程の途中段階におけるウエハWの表面構造を示す。この表面構造は第1の層に相当するシリコン酸化膜（SiO<sub>2</sub>膜）100がエッチングされて凹部であるホール109が形成されている。そしてホール109の内側を含むSiO<sub>2</sub>膜100の表面が窒化されて、第2の層に相当する窒化シリコン膜からなるバリア膜101が形成されている。窒化シリコン膜は、理論的には、Si<sub>3</sub>N<sub>4</sub>で表わされるが、本願明細書では、「SiN膜」と略記する。

30

【0012】

その後、ウエハWに向けて、例えばCF<sub>4</sub>ガスを供給することで、バリア膜101がドライエッチングされる。これにより図2に示すようにウエハWの表面及びホール109の底面に形成されたバリア膜101が除去されて、SiO<sub>2</sub>膜100が露出する。この時、ホール109の側面に形成されたバリア膜101は除去されずに残る。こうして形成されたコントラクトホールのアスペクト比（深さ／孔径）は、例えば1～5である。

40

【0013】

続いてウエハWを例えばALDにより成膜する成膜装置に搬入し、ウエハWの表面にSiN膜を成膜する前段工程である1回目の成膜工程を行う。成膜装置においては、例えばウエハWに向けて、シリコンを含むガス、例えばDCS（ジクロロシラン）と、NH<sub>3</sub>ガスをプラズマ化して得たプラズマ（アンモニアプラズマ）と、を交互に複数回供給する。これによりウエハWの表面にDCSが吸着し、次いでDCSとアンモニアプラズマとが反応してSiNの分子層が形成され、この分子層が順次積層されてSiN膜が成膜される。

【0014】

しかしながらホール109が細くかつ深い構造の場合、即ちホール109のアスペクト

50

比が大きい場合、ホール109を隙間なく埋め切る前にSiN膜102がホール109の上方を閉塞し、図3に示すようにホール109を埋めるSiN膜102にボイドやシームなどの隙間が形成されることがある。

【0015】

続いて1回目の成膜工程を行ったウエハWは、成膜装置から搬出され、例えば公知のウェットエッティングを行う液処理装置に搬入される。液処理装置に搬入されたウエハWは、例えば160～165に加熱されたリン酸液に浸漬される。エッティング処理の手法としては、スピンドルにウエハWを吸着させて回転させながら上方のノズルからエッティング液をウエハWに供給する手法、あるいはエッティング層に複数枚のウエハWを一括して浸漬する手法などが挙げられる。そしてエッティング停止のタイミングとしては、SiN膜102の上面がホール109の開口面よりも低くなり、かつ空隙（例えばボイド）が露出している状態になるタイミングを上げることができる。10

【0016】

このように空隙が露出しているタイミングでエッティングを止めれば、後述の第2回目以降の成膜時に空隙が埋められ、空隙がなくなるまでエッティングする場合に比べてエッティング時間及び次工程の成膜時間が短くて済み処理効率が良い。図4はエッティング処理後のウエハWの表面の状態を示し、ウエハW表面のSiO<sub>2</sub>膜100が露出していると共に、ホール109に埋め込まれたSiN膜102の表面側の部分が除去されている。

【0017】

エッティング工程を行ったウエハWは、液処理装置から搬出され、例えば1回目の成膜工程に用いた成膜装置に搬入される。そしてSiN膜を成膜する2回目の成膜工程を行う。20 2回目の成膜工程においても、1回目の成膜工程と同様にDCSと、NH<sub>3</sub>ガスをプラズマ化して得たプラズマ（アンモニアプラズマ）と、を交互に複数回供給する。

【0018】

既述のエッティング工程後のウエハWの表面においてSiO<sub>2</sub>膜100の表面が露出しているので、SiN膜が成膜される被成膜領域は、SiO<sub>2</sub>膜100の表面、バリア膜（SiN膜）101及びホール109に埋め込まれたSiN膜102の表面である。これらの表面におけるSiNの成膜に係るインキュベーションタイムは、SiO<sub>2</sub>膜100の方がバリア膜101及びSiN膜102よりも長い。インキュベーションタイムとは、成膜用の処理ガスを被処理表面に供給した時点から、薄膜の成膜が開始されるまでの時間である。30 インキュベーションタイムが発生する理由は、被処理表面と成膜種との関係において、膜の成長が起こる核が被処理表面に形成されることが必要な場合があり、処理ガスを被処理表面に供給した後、核の形成に時間を要することが挙げられる。

【0019】

SiO<sub>2</sub>膜100の表面においては、SiNの分子層が積層され始めるために必要な核が処理ガスの供給と同時に形成されるのではなく、少し遅れて形成される。一方、バリア膜101と成膜すべき膜（SiN膜103）とは、化合物という観点では同種であることから、バリア膜101の表面には処理ガスの供給とほぼ同時にSiN膜103の成膜が行われる。バリア膜101及びSiN膜102の表面は成膜が進んでいるが、SiO<sub>2</sub>膜100の表面はまだ成膜が開始されていない様子を図5に模式的に示す。なお、図5ではバリア膜101及びSiN膜102上の成膜が進んでいる状態を強調して描いている。従って処理ガスを供給した後のあるタイミングでSiN膜103の膜厚を見ると、SiO<sub>2</sub>膜100の表面よりもホール109の内周面における膜厚の方が厚い。40

【0020】

従って、図5に示した状態からさらに成膜を行った時に図6に示すようにSiO<sub>2</sub>膜100の表面側に形成されるホール109の上方の周囲から押し寄せるSiN膜103が、ホール109の上方を閉塞させる前に、ホール109の内部にSiN膜103を隙間なく埋めきることができる。

その後ウエハWは、例えばCMP（Chemical Mechanical Polishing）により研磨されて、SiO<sub>2</sub>膜100の表面のSiN膜103が除去される。これにより図7に示すよう50

にウエハWの表面にSiO<sub>2</sub>膜100が露出し、ホール109がSiN膜103(102)により埋め込まれた状態となる。

#### 【0021】

ウエハWにSiN膜102、103を成膜する成膜装置の一例を挙げておく。成膜装置10は、図8～図9に示すように、扁平な円筒状の真空容器11と、真空容器11内に設けられ、周方向に沿って例えば5枚のウエハWを載置する回転テーブル12と、を備えている。回転テーブル12には、回転機構13が設けられ、回転テーブル12は、鉛直軸周りに回転する。真空容器11における回転テーブル12のウエハWの載置部分の下方には、回転テーブルに載置されたウエハWを加熱するヒータ15が設けられている。真空容器11には、回転テーブル12の回転方向に沿って、原料ガス供給領域R1及び窒化ガス供給領域R2が設けられている。  
10

#### 【0022】

原料ガス供給領域R1における回転テーブル12の上方は、ガス給排気部3が設けられている。ガス給排気部3における、中心側の領域はガスシャワーへッド31となっている。ガスシャワーへッド31は、例えば下方に向けて原料ガスであるDCSガスを供給できるように構成されており、回転テーブル12に載置されたウエハWが原料ガス供給領域R1に位置すると、DCSガスが当該ウエハWの表面に供給されて吸着される。またガス給排気部3の下面には、その周縁に沿って、環状の分離ガス吐出口32が開口しており、さらに分離ガス吐出口32と、ガスシャワーへッド31との間には、分離ガス吐出口32に沿って環状の排気口33が設けられている。分離ガス吐出口32は、原料ガス供給領域R1の下方の周縁部に分離ガスであるアルゴン(Ar)ガスを供給するように構成されている。また排気口33は、ガスシャワーへッド31からウエハWに向けて供給されたDCSガスを排気すると共に、分離ガスを吸引して排気する。この排気口33によるDCSガスの排気と、分離ガス吐出口32から分離ガスを吐出して、排気口33に向かう流れを形成することにより、DCSガスが原料ガス供給領域R1の外へ流れないようになっている。なお図9中の34はDCSガス供給源、35は分離ガス供給源、36は排気手段である。  
20

#### 【0023】

窒化ガス供給領域R2は、例えば2本のガスノズル41からガスノズル41挿まれた窒化ガス供給領域R2にNH<sub>3</sub>ガスを供給すると共に、窒化ガス供給領域R2上方からマイクロ波を供給するように構成されている。なお図8中の40はガス供給管、42はNH<sub>3</sub>ガス供給源、44は流量調整部を示す。また図9中の21は誘電体窓、22は誘電体プレート、23は導波管、24はマイクロ波供給部を示す。そして窒化ガス供給領域R2にNH<sub>3</sub>ガスを供給した後、マイクロ波が供給されてNH<sub>3</sub>ガスがプラズマ化する。そして回転テーブル12が回転し表面にDCSが吸着したウエハWが窒化ガス供給領域R2に進入すると、ウエハW表面に吸着したDCSとアンモニアプラズマとが反応してSiNの分子層が形成される。このようにウエハWを載置した回転テーブル12を回転させることにより、ウエハWが各領域を交互に通過することにより、原料ガスの吸着、吸着した原料ガスの窒化が繰り返されてSiN層が積層されていく。  
30

#### 【0024】

続いて本発明の半導体装置の製造方法を実施する半導体装置の製造システムである基板処理システムの一例を示す。図10に示すように基板処理システムは、ウエハWにSiN膜を成膜するための真空処理システム9を備えている。真空処理システム9は、既述の成膜装置10を備え、ウエハWを収納したキャリアCが載置されるキャリア載置部91を備えており、キャリア載置部91に載置されたキャリアCから取り出されたウエハWは、常圧搬送室92、ロードロック室93及び真空搬送室94を介して成膜装置10に搬入される。なお図10中の95、及び96は夫々常圧搬送室92及び真空搬送室94に設けられた搬送アームであり、97は、ゲートバルブである。  
40

#### 【0025】

また基板処理システムは、ウエハWに成膜されたSiN膜をエッティングする液処理システム8を備えている。液処理システム8は、キャリア載置部81と、搬送アーム83を備  
50

えた受け渡し部 8 2 と、液処理部 8 4 と、を備えている。液処理部 8 4 は、例えばウエハ W を、エッティング液である加熱されたリン酸の貯留された液槽に浸漬して Si N 膜 1 0 2 をエッティングするエッティング部、ウエハ W に付着したリン酸を洗浄する洗浄部などを備えている。キャリア載置部 8 1 において、キャリア C から取り出されたウエハ W は、搬送アーム 8 3 を介して液処理部 8 4 に受け渡され、液処理後にキャリア C に戻される。

#### 【0026】

また基板処理システムは、例えば天井搬送機構 3 0 0 を備えている。天井搬送機構 3 0 0 は、天井に沿って配置されたガイドレール 3 0 1 とキャリア C を搬送する搬送部 3 0 2 とを備えている。

さらに基板処理システムは、液処理システム 8 、真空処理システム 9 及び天井搬送機構 3 0 0 を各々制御するコントローラ 2 0 2 、 2 0 3 及び 2 0 4 を備えしており、各コントローラ 2 0 2 、 2 0 3 及び 2 0 4 は、上位制御部である上位コンピュータ 2 0 0 により指示される。上位コンピュータ 2 0 0 は、例えば図 2 に示すウエハ W に対して、真空処理システム 9 にて、1 回目の Si N 膜 1 0 2 の成膜処理を行う工程、次いで液処理システム 8 にて、 Si N 膜 1 0 2 膜のエッティング処理を行う工程、その後真空処理システム 9 に戻し、2 回目の Si N 膜 1 0 3 の成膜処理を行う工程を順次実施するためのプログラムを備えている。

#### 【0027】

上述の実施形態では、 Si O<sub>2</sub> 膜 1 0 0 に形成された凹部 1 0 9 に対して、例えば ALD により Si N 膜 1 0 2 の成膜を行って埋め込みを行った後、例えばウェットエッティングにより Si N 膜 1 0 2 を、ウエハ W 表面の Si O<sub>2</sub> 膜 1 0 0 が露出するまでエッティングした後、再度 Si N 膜 1 0 3 の埋め込み処理（成膜処理）を行っている。既に詳述したように、 Si N 膜 1 0 3 の成膜に係るインキュベーションタイム（処理ガス供給時から成膜開始までの遅れ時間）は、 Si O<sub>2</sub> 膜 1 0 0 の方がバリア膜 1 0 1 よりも長い。このため、エッティング後の再度の Si N 膜 1 0 3 の埋め込み処理においては、 Si O<sub>2</sub> 膜 1 0 0 の上面側から凹部 1 0 9 の上方に Si N 膜 1 0 3 が押し寄せる前に凹部 1 0 9 内に Si N 膜 1 0 3 が埋め込まれるので、ボイドやシームなどの空隙の発生を抑えることができる。

#### 【0028】

また上述の実施の形態においては、エッティング工程と、その後の成膜工程とを1回ずつ行っているが、例えばホール 1 0 9 のアスペクト比がかなり大きいなどの事情により各工程が一回の場合には、空隙が生じるおそれがある場合には、2回目の成膜工程を行った後、エッティング工程と、その後の成膜工程と、を1回以上繰り返してもよい。

#### 【0029】

さらに半導体装置製造用の基板の他の例について説明する。図 1 1 に示すように例えば1回目の成膜処理を行う前のウエハ W として、第1の層となる Si O<sub>2</sub> 膜 1 0 0 が第2の層となるシリコン層 1 0 4 の表面に成膜され、 Si O<sub>2</sub> 膜 1 0 0 からシリコン層 1 0 4 まで貫通するようにホール 1 0 9 が形成された構成が挙げられる。このようなウエハ W においては、ホール 1 0 9 における大部分の側面は、シリコンとなっている。そのため例えば Si N によりホールを埋めるように成膜する場合には、シリコンと Si O<sub>2</sub> とのインキュベーションタイムの差を利用してホール 1 0 9 に Si N を埋め込むことができるため、本発明を適用することができる

#### 【0030】

またホール 1 0 9 の内面を除くウエハ W の表面のバリア膜 1 0 1 を除去して、ウエハ W 表面の Si O<sub>2</sub> 膜 1 0 0 を露出させるにあたっては、 CMP を用いてもよい。 CMP の場合には、ウエハ W の表面を研磨により除去するため図 1 2 に示すようにホール 1 0 9 の内側の底面のバリア膜 1 0 1 も残すことができる。そのため続いて1回目の成膜工程において Si N 膜 1 0 2 を成膜したときにホール 1 0 9 の内部の底面において、バリア膜 1 0 1 に積層されるため Si N の膜厚が速やかに厚くなる。ボイドやシームなどの空隙は、ホール 1 0 9 の側面から成長する Si N 膜同士の間に形成されるため、ホール 1 0 9 の底面から積層される Si N 膜の厚さが厚くなると、空隙がホール 1 0 9 の深い位置に形成されにく

10

20

30

40

50

くなる。そのためエッティング工程にてホール 109 を埋めた SiN 膜 102 のエッティングを少なくすることができる。

【0031】

また SiN 膜 102 をエッティングするエッティング工程は、例えば CF<sub>4</sub>、NF<sub>3</sub>、CH<sub>2</sub>F<sub>2</sub>、C<sub>4</sub>F<sub>8</sub>、C<sub>4</sub>F<sub>6</sub>、C<sub>3</sub>F<sub>8</sub> 及び CHF<sub>3</sub> などのガスを用いたドライエッティングにより行ってもよく、この場合には、図 10 の真空処理システム 9 の真空搬送室 94 にドライエッティングを行うエッティングモジュール（真空容器内にドライエッティングを行うための設備、機器を設けたモジュール）を接続してもよい。このような真空処理システム 9 によれば、成膜装置 10 とエッティングモジュール（エッティング装置）との間において、真空搬送室 94 の搬送アーム 96 がウエハ W の受け渡しを行うので成膜 エッティング 成膜を行った後、さらにエッティング 成膜を 1 回以上行う場合であっても高いスループットで実施することができる。  
10

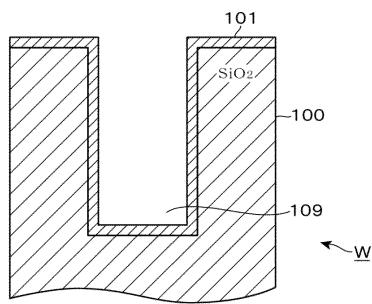
さらに成膜装置は、例えば 1 枚のウエハ W を真空容器内に載置して処理を行う枚葉式の成膜装置でも良い。あるいはウエハ W に原料ガスと、反応ガスとを供給して、ウエハ W の表面に分子層（あるいは原子層）を積層する CVD (chemical vapor deposition) 法を行う成膜装置でもよい。

【符号の説明】

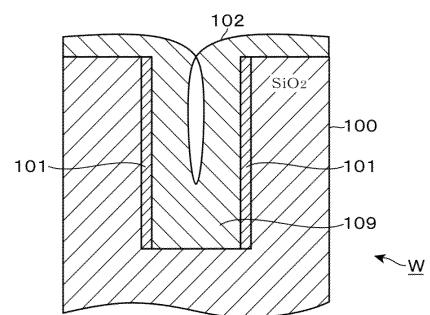
【0032】

8	液処理システム	
9	真空処理システム	20
10	成膜装置	
100	SiO <sub>2</sub> 膜	
101	バリア膜	
102	1 回目の SiN 膜	
103	2 回目の SiN 膜	
109	溝部	
200	上位コンピュータ	
202 ~ 204	コンピュータ	
300	天井搬送機構	
W	ウエハ	30

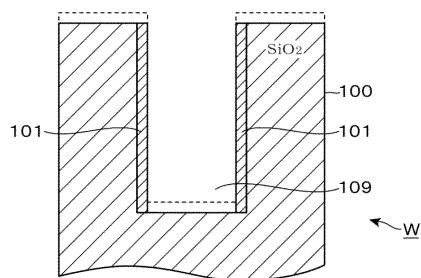
【図1】



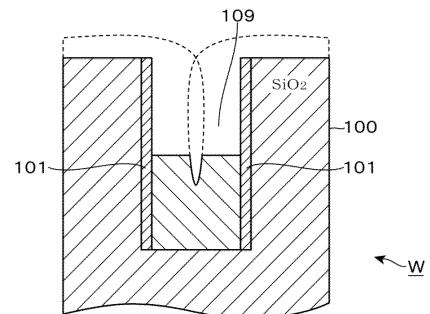
【図3】



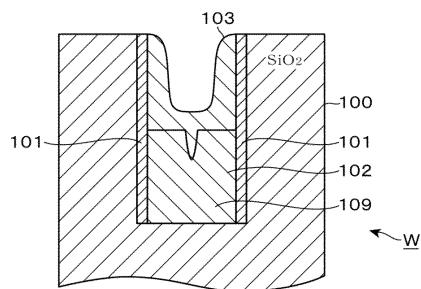
【図2】



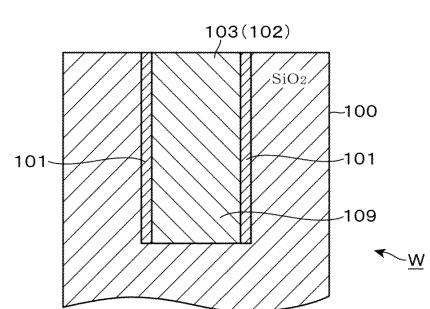
【図4】



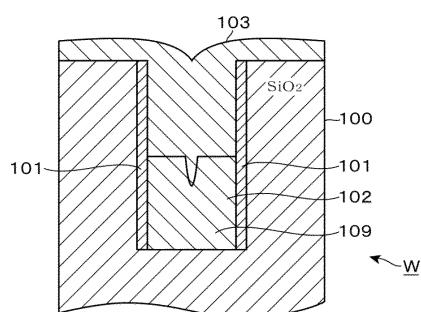
【図5】



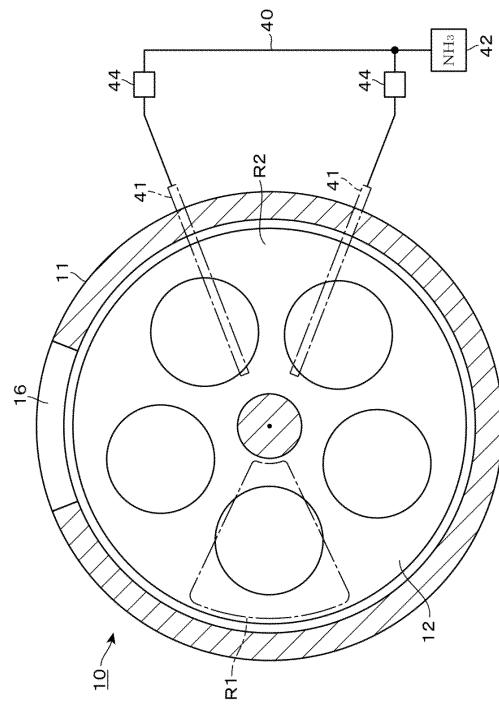
【図7】



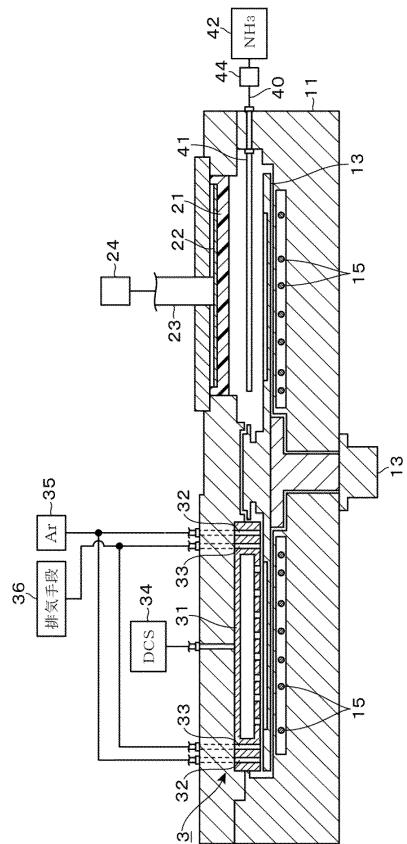
【図6】



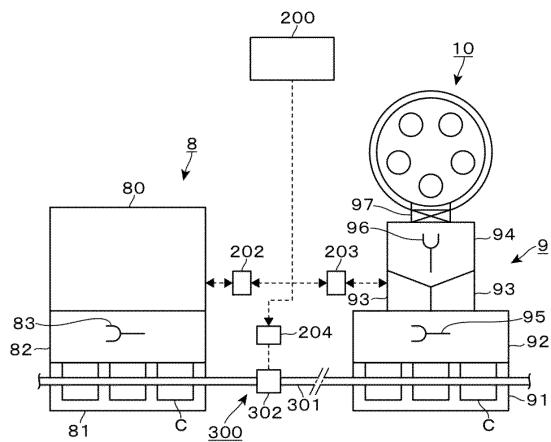
【 义 8 】



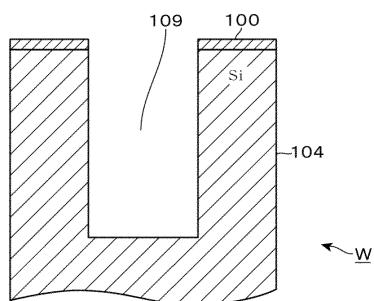
【 図 9 】



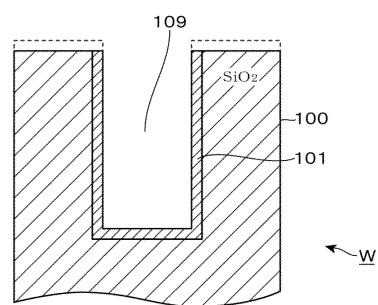
【図10】



【図11】



【图 12】



---

フロントページの続き

審査官 長谷川 直也

(56)参考文献 特開2003-243537(JP, A)  
特開2010-225697(JP, A)  
特表2005-505925(JP, A)  
米国特許第07482247(US, B1)  
特開2005-129831(JP, A)  
特開昭56-054049(JP, A)  
特開平05-218031(JP, A)  
特開平08-045927(JP, A)  
特開平07-297182(JP, A)  
特開2013-032575(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/02, 21/205, 21/28-21/288,  
21/306-21/3063, 21/308-21/3213, 21/  
365, 21/44-21/445,  
21/465-21/475, 21/768, 21/86,  
23/52-23/522, 29/40-29/49,  
29/872,  
C23C 16/00-16/56