



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0081218
(43) 공개일자 2009년07월28일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2008-0007186

(22) 출원일자 2008년01월23일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

박윤권

경기 동두천시 지행동 현진에버빌아파트 105동 1105호

황성우

서울 강남구 대치동 미도아파트 105동 1407호

(뒷면에 계속)

(74) 대리인

정홍식

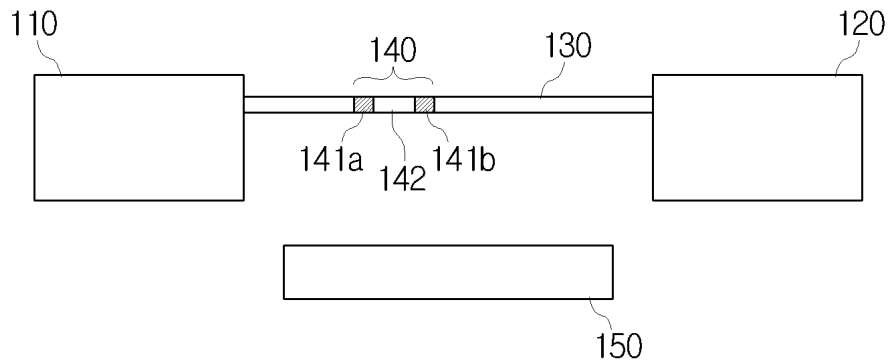
전체 청구항 수 : 총 13 항

(54) 와이어를 이용하는 공진 구조체와 공진 터널링 트랜지스터 및 공진 구조체 제조 방법

(57) 요약

공진 구조체가 개시된다. 본 공진 구조체는, 제1 단자, 상기 제1 단자와 대향 배치된 제2 단자, 상기 제1 단자 및 상기 제2 단자 사이를 연결하는 와이어부, 상기 와이어부와 일정거리 이격 배치되어, 상기 와이어부를 공진시키는 제3 단자 및, 상기 와이어부 상에 형성되며, 네거티브 저항 성분을 제공하는 포텐셜 배리어부를 포함한다. 이에 따라, 트랜스덕션 효율을 높일 수 있다.

대표도 - 도1



(72) 발명자

신제식

경기 수원시 영통구 영통동 황골마을1단지아파트
154동 201호

하병주

경기 성남시 분당구 수내동 푸른마을벽산아파트
204동 901호

이재성

서울 마포구 신공덕동 삼성1차아파트 109동 200호

송인상

서울 관악구 봉천1동 해태보라매주상타운 1616호

김용규

서울 양천구 신정3동 신트리아파트 104동 1302호

주병권

서울 성북구 안암동5가 고려대학교 전자전기공학부

김희태

충남 서산시 대산읍 운산리 214번지

특허청구의 범위

청구항 1

제1 단자;

상기 제1 단자와 대향 배치된 제2 단자;

상기 제1 단자 및 상기 제2 단자 사이를 연결하는 와이어부;

상기 와이어부와 일정거리 이격 배치되어, 상기 와이어부를 공진시키는 제3 단자; 및,

상기 와이어부 상에 형성되며, 네거티브 저항 성분을 제공하는 포텐셜 배리어부;를 포함하는 공진 구조체.

청구항 2

제1항에 있어서,

상기 포텐셜 배리어부는,

상기 와이어부 상에서 서로 이격되어 배치되는 복수 개의 포텐셜 배리어를 포함하는 것을 특징으로 하는 공진 구조체.

청구항 3

제1항에 있어서,

상기 와이어부는,

원형 또는 다각형 단면을 이루는 나노 와이어인 것을 특징으로 하는 공진 구조체.

청구항 4

제1항에 있어서,

상기 와이어부는 Si로 이루어지며,

상기 포텐셜 배리어부는 SiGe로 이루어지는 복수의 포텐셜 배리어(potential barrier) 및 상기 복수의 포텐셜 배리어 사이에 위치하는 웰(well) 영역을 포함하는 것을 특징으로 하는 공진 구조체.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 와이어부 주변에 자기장을 생성하는 자계 생성부;를 더 포함하는 것을 특징으로 하는 공진 구조체.

청구항 6

제5항에 있어서,

상기 와이어부 상의 일 영역에 형성되며, 상기 자기장에 반응하여 상기 와이어부를 변위시키는 자성체;를 더 포함하는 것을 특징으로 하는 공진 구조체.

청구항 7

드레인 부;

상기 드레인부와 대향 배치된 소스 부;

상기 드레인부 및 상기 소스부 사이를 연결하는 와이어부;

상기 와이어부와 일정 거리 이격 배치되며, 상기 와이어부를 공진시켜 상기 드레인부 및 상기 소스부 사이에서 공진 터널링을 발생시키는 게이트부; 및,

상기 공진 터널링 발생 시에 네거티브 저항 성분을 제공하여, 상기 드레인부 및 상기 소스부 사이에 흐르는 전

류의 크기를 증대시키는 포텐셜 배리어부;를 포함하는 공진 터널링 트랜지스터.

청구항 8

제7항에 있어서,

상기 와이어부는 Si로 이루어지며,

상기 포텐셜 배리어부는 SiGe로 이루어지는 복수의 포텐셜 배리어 및 상기 복수의 포텐셜 배리어 사이에 위치하는 웰 영역을 포함하는 것을 특징으로 하는 공진 터널링 트랜지스터.

청구항 9

제7항 또는 제8항에 있어서,

상기 와이어부 주변에 자기장을 생성하는 자계 생성부; 및,

상기 와이어부 상의 일 영역에 형성되며, 상기 자기장에 반응하여 상기 와이어부를 변위시키는 자성체;를 더 포함하는 것을 특징으로 하는 공진 터널링 트랜지스터.

청구항 10

순차적으로 적층된 복수 개의 반도체 층의 일 표면을 도핑하여, 복수 개의 포텐셜 배리어를 형성하는 단계;

상기 일 표면 상의 타 영역을 도핑하여, 상기 복수 개의 포텐셜 배리어가 형성된 영역을 사이에 두고 서로 대향 배치되는 복수의 단자를 형성하는 단계;

상기 복수의 단자가 형성되지 않은 영역을 패터닝하여, 상기 복수 개의 포텐셜 배리어를 포함하는 와이어부를 형성하는 단계; 및,

상기 와이어부 하층의 반도체층을 식각하여, 상기 와이어부가 공진가능한 공간을 확보하는 단계;를 포함하는 공진 구조체 제조 방법.

청구항 11

제10항에 있어서,

상기 와이어부 하층의 반도체층을 식각하는 단계는,

상기 복수의 반도체 층 중 상기 와이어부와 접하는 반도체 층을 식각하여, 상기 와이어부와 일정 거리 이격된 단자를 형성하는 단계;를 포함하는 것을 특징으로 하는 공진 구조체 제조 방법.

청구항 12

제10항 또는 제11항에 있어서,

상기 와이어부의 일 측에 자계 생성부를 배치하는 단계;를 더 포함하는 것을 특징으로 하는 공진 구조체 제조 방법.

청구항 13

제12항에 있어서,

상기 와이어부의 일 영역에 자성체를 코팅하는 단계;를 더 포함하는 것을 특징으로 하는 공진 구조체 제조 방법.

명 세 서

발명의 상세한 설명

기술 분야

<1>

본 발명은 와이어를 이용하는 공진 구조체와 공진 터널링 트랜지스터 및 공진 구조체 제조 방법에 대한 것으로, 보다 상세하게는 증대된 진동 특성을 얻을 수 있는 공진 구조체와 공진 터널링 트랜지스터 및 공진 구조체 제조

방법에 대한 것이다.

배경 기술

- <2> 전자 기술의 발달에 힘입어, 다양한 유형의 휴대형 기기가 초소형으로 개발되어 보급되고 있다. 이와 같이 초소형 기기가 개발되기 위해서는, 각종 부품들의 크기부터 소형화되어야 한다.
- <3> 이에 따라, 최근에는 초소형, 초경량 부품들을 개발하기 위하여, 수 μ m 이하의 초미세구조를 지닌 기계 또는 장비를 설계할 수 있는 멤스(MEMS : Micro Electro-Mechanical System) 기술이나, 더 나아가 수 나노미터 이하의 초미세구조를 가지는 기계 또는 장비를 설계할 수 있는 념스(NEMS : Nano ElectroMechanical System) 기술의 사용 노력이 가속화되고 있다.
- <4> 이 중 념스란, 머리카락의 10만분의 1 크기의 전기역학 시스템으로서 전기적 신호를 역학적인 움직임으로 바꾸거나 반대로 역학적 움직임을 전기적 신호로 바꿔주는 미세 구조 시스템이라고 할 수 있다.
- <5> 이와 같은 멤스 기술 또는 념스 기술로 인해 제조된 초소형 공진기는, RF 통신을 수행하는 휴대형 통신 기기에서 필터 또는 듀플렉서의 일 부품으로 사용될 수 있다.
- <6> 한편, 종래의 멤스 공진기는 기가헤르쯔(GHz) 이상의 RF 신호를 생성하기 위해서는 매우 큰 힘 상수(force constant)를 필요로 한다. 또한, 튜닝이 어렵다는 문제점도 있었다.
- <7> 한편, 종래의 념스 공진기는 진동 정도가 미세하여, 작은 크기의 전기적 신호만을 출력할 수 있다는 문제점이 있었다. 따라서, 념스 공진기 단독으로 사용하기 어려워, 증폭기와 같은 부가기기를 사용하여야 한다는 문제점이 있었다. 또한, 멤스 공진기와 마찬가지로 튜닝이 어렵다는 문제점도 있었다.

발명의 내용

해결 하고자하는 과제

- <8> 본 발명은 상술한 문제점을 해결하기 위한 것으로, 본 발명의 목적은, 보다 큰 출력 특성을 얻을 수 있는 초소형 공진 구조체와, 공진 터널링 트랜지스터, 및 그 공진 구조체 제조 방법을 제공함에 있다.
- <9> 본 발명의 또 다른 목적은, 보다 큰 출력 특성을 얻을 수 있으며, 튜닝도 용이한 초소형 공진 구조체와 공진 터널링 트랜지스터, 및 그 공진 구조체 제조 방법을 제공함에 있다.

과제 해결수단

- <10> 상술한 목적을 달성하기 위한, 본 발명의 일 실시 예에 따른 공진 구조체는, 제1 단자, 상기 제1 단자와 대향 배치된 제2 단자, 상기 제1 단자 및 상기 제2 단자 사이를 연결하는 와이어부, 상기 와이어부와 일정거리 이격 배치되어, 상기 와이어부를 공진시키는 제3 단자 및 상기 와이어부 상에 형성되며, 네거티브 저항 성분을 제공하는 포텐셜 배리어부를 포함한다.
- <11> 여기서, 상기 포텐셜 배리어부는, 상기 와이어부 상에서 서로 이격되어 배치되는 복수 개의 포텐셜 배리어를 포함한다.
- <12> 바람직하게는, 상기 와이어부는, 원형 또는 다각형 단면을 이루는 나노 와이어가 될 수 있다.
- <13> 또한, 상기 와이어부는 Si로 이루어질 수 있다. 이 경우, 상기 포텐셜 배리어부는 SiGe로 이루어지는 복수의 포텐셜 배리어 영역 및 상기 복수의 포텐셜 배리어 사이에 위치하는 Si 영역을 포함하는 형태가 될 수 있다.
- <14> 또한 바람직하게는, 본 공진 구조체는, 상기 와이어부 주변에 자기장을 생성하는 자계 생성부를 더 포함할 수 있다.
- <15> 보다 바람직하게는, 상기 와이어부 상의 일 영역에 형성되며, 상기 자기장에 반응하여 상기 와이어부를 변위시키는 자성체를 더 포함할 수도 있다.
- <16> 한편, 본 발명의 일 실시 예에 따른 공진 터널링 트랜지스터는, 드레인 부, 상기 드레인부와 대향 배치된 소스부, 상기 드레인부 및 상기 소스부 사이를 연결하는 와이어부, 상기 와이어부와 일정 거리 이격 배치되며, 상기 와이어부를 공진시켜 상기 드레인부 및 상기 소스부 사이에서 공진 터널링을 발생시키는 게이트부 및, 상기 공진 터널링 발생 시에 네거티브 저항 성분을 제공하여, 상기 드레인부 및 상기 소스부 사이에 흐르는 전류의 크

기를 증대시키는 포텐셜 배리어부를 포함한다.

- <17> 여기서, 상기 와이어부는 Si로 이루어 질 수 있다. 이 경우, 상기 포텐셜 배리어부는 SiGe로 이루어지는 복수의 포텐셜 배리어 영역 및 상기 복수의 포텐셜 배리어 사이에 위치하는 Si 영역을 포함할 수 있다.
- <18> 바람직하게는, 본 공진 터널링 트랜지스터는, 상기 와이어부 주변에 자기장을 생성하는 자계 생성부 및 상기 와이어부 상의 일 영역에 형성되며, 상기 자기장에 반응하여 상기 와이어부를 변위시키는 자성체를 더 포함할 수 있다.
- <19> 한편, 본 발명의 일 실시 예에 따른 공진 구조체 제조 방법은, 순차적으로 적층된 복수 개의 반도체 층의 일 표면을 도핑하여, 복수 개의 포텐셜 배리어를 형성하는 단계, 상기 일 표면 상의 타 영역을 도핑하여, 상기 복수 개의 포텐셜 배리어가 형성된 영역을 사이에 두고 서로 대향 배치되는 복수의 단자를 형성하는 단계, 상기 복수의 단자가 형성되지 않은 영역을 패터닝하여, 상기 복수 개의 포텐셜 배리어를 포함하는 와이어부를 형성하는 단계 및 상기 와이어부 하층의 반도체층을 식각하여, 상기 와이어부가 공진가능한 공간을 확보하는 단계를 포함한다.
- <20> 여기서, 상기 와이어부 하층의 반도체층을 식각하는 단계는, 상기 복수의 반도체 층 중 상기 와이어부와 접하는 반도체 층을 식각하여, 상기 와이어부와 일정 거리 이격된 단자를 형성하는 단계를 포함할 수 있다.
- <21> 바람직하게는, 상기 와이어부의 일 측에 자계 생성부를 배치하는 단계를 더 포함할 수도 있다.
- <22> 보다 바람직하게는, 상기 와이어부의 일 영역에 자성체를 코팅하는 단계를 더 포함할 수도 있다.

발명의 실시를 위한 구체적인 내용

- <23> 이하에서, 첨부된 도면을 참조하여 본 발명에 대하여 자세하게 설명한다.
- <24> 도 1은 본 발명의 일 실시 예에 따른 공진 구조체의 구성을 나타내는 모식도이다. 도 1에 따르면, 본 공진 구조체는 복수 개의 단자(110, 120, 150), 와이어부(130), 포텐셜 배리어부(Potential barrier part : 140)를 포함한다.
- <25> 복수 개의 단자(110, 120, 150) 중 제1 및 제2 단자(110, 120)는 서로 마주 보는 형태로 이격되어 배치된다. 제1 및 제2 단자(110, 120) 중 하나에는 바이어스 전원이 연결될 수 있고, 다른 한 단자에는 그라운드 전원이 연결될 수 있다. 설명의 편의를 위하여 이하에서는 제1 단자(110)에 바이어스 전원이 연결되는 경우를 기준으로 설명한다.
- <26> 제1 및 제2 단자(110, 120) 사이에는 와이어부(130)가 형성된다. 와이어부(130)는 제1 및 제2 단자(110, 120) 사이를 직접적으로 연결하는 와이어, 특히, 나노 미터 단위의 폭과 너비 등을 가지는 나노 와이어 형태로 구현될 수 있다. 와이어부(130)의 단면은 원형으로 구현될 수도 있으며, 기타 사각형 등의 다각형으로 구현될 수도 있다.
- <27> 한편, 와이어부(130)의 일측에는 제3 단자(150)가 배치된다. 제3 단자(150)와 와이어부(130)는 서로 일정 거리 이격된다. 이에 따라, 와이어부(130)가 진동할 수 있는 공간이 확보된다. 제3 단자(150)는 외부 제어 전원(미도시)이 인가되면, 와이어부(130)를 바이어싱시켜 공진이 수행되도록 한다.
- <28> 와이어부(130) 상에는 포텐셜 배리어부(140)가 형성된다. 포텐셜 배리어부(140)는 복수 개의 포텐셜 배리어(141a, 141b)와 그 포텐셜 배리어(141a, 141b)에 의해 둘러싸인 웰 영역(well area : 142)을 포함한다.
- <29> 포텐셜 배리어부(140)는 와이어부(130)가 공진할 때, 에너지 밴드 갭 상에서 포텐셜 웰(potential well)을 형성하는 역할을 한다. 포텐셜 웰에 의해 제1 및 제2 단자(110, 120) 사이에서는 공진 터널링이 용이하게 발생할 수 있게 된다. 즉, 포텐셜 배리어부(140)는 와이어부(130)가 공진할 때, 네거티브 저항 성분을 제공하여, 제1 및 제2 단자(110, 120) 사이를 흐르는 전류를 급격하게 증대시킨다. 이에 따라, 진동으로부터 전기적 신호를 검출하는 트랜스덕션 효율(transduction efficiency)을 개선시킬 수 있게 되므로, 종래의 뎀스 공진기가 가지는 문제점, 즉, 미세 진동으로 인하여 출력 특성이 저하되는 것을 방지할 수 있게 된다. 포텐셜 배리어부(140)의 동작에 대해서는 명세서 후단에서 구체적으로 설명한다.
- <30> 도 2는 본 발명의 또 다른 실시 예에 따른 공진 구조체의 구성을 나타내는 모식도이다. 도 2에 따른 실시 예에서는, 공진 구조체에서 제3 전극(150)의 일측에 자계 생성부(160)가 추가되고, 와이어부(140) 상에도 자성체(170)가 추가된다.

- <31> 한편, 본 공진 구조체는 공진 터널링 트랜지스터로 이용될 수 있다. 이 경우, 제1 전극(110)은 드레인 부(drain part), 제2 전극(120)은 소스 부(source part), 제3 전극(150)은 게이트부(gate part)가 될 수 있다. 도 2에서 는 공진 구조체가 공진 터널링 트랜지스터로 활용된 경우를 예로 들어 설명한다.
- <32> 게이트부(150)는 드레인부(110) 및 소스부(120)를 지지한다. 구체적으로는 게이트부(150) 상에서 서로 이격된 두 영역에 지지층(151)이 형성되고, 각 지지층(151) 상에 드레인부(110) 및 소스부(120)가 형성될 수 있다.
- <33> 또한, 게이트부(150) 상에서 드레인부(110) 및 소스부(120)를 연결하는 와이어부(130)가 형성된다. 도 2에 도시 된 바와 같이, 게이트부(150)와 와이어부(130) 사이에는 지지층(151)이 완전히 제거되어 와이어부(130)가 공중 에 부양된 형태로 제조될 수 있다. 또는, 지지층(151)이 와이어부(130)와 접촉되지 않도록 일정 부분 식각되어, 와이어부(130)가 진동할 수 있는 공간이 확보될 수 있다면, 도 2에서와 달리 완전히 제거되지 않더라도 무방하 다. 또한, 지지층(151)은 와이어부(130)와 게이트부(150) 사이의 간극을 위하여 도입된 것으로, 드레인부(110) 및 소스부(120)가 어느 정도 두께를 가진다면, 지지층(151)은 생략되어도 무방하다.
- <34> 한편, 도 2에서 와이어부(130)가 실리콘(Si)으로 이루어진 경우를 예로 든다면, 전체 와이어부(130)는 실리콘 영역, 제1 포텐셜 배리어(141a), 실리콘 영역(142), 제2 포텐셜 배리어(141b), 실리콘 영역, 자성체(170), 실리 콘 영역으로 구성된다. 제1 포텐셜 배리어(141a) 및 제2 포텐셜 배리어(141b)는 SiGe로 이루어질 수 있다.
- <35> 이 중, 제1 및 제2 포텐셜 배리어(141a, 141b) 사이의 실리콘 영역(142)은 웰 영역으로 동작한다. 이에 따라, 제1 및 제2 포텐셜 배리어(141a, 141b)와 함께 포텐셜 배리어부(140)를 이룬다. 한편, 와이어부(130)의 양단 실 리콘 영역 외측에는 드레인부(110) 및 소스부(120)와 각각 연결되기 위한 n+ 실리콘 접촉부(131a, 131b)가 형성 될 수 있다.
- <36> 와이어부(130)가 도 2와 같은 구성을 가질 때, 특정 드레인 바이어스가 드레인부(110)에 인가되면, 에너지 밴드 갭 상에서 소스 단(120)의 케미컬 포텐셜이 포텐셜 배리어부(140)내의 웰 영역(142)의 양자 에너지 레벨과 정렬 되어 포텐셜 웰(potential well)을 이루게 된다. 이에 따라, 포텐셜 웰 부분에 의해 생기는 네거티브 저항, 즉, 네거티브 차동 저항(Negative differential resistance : NDR) 특성을 가지게 된다. 이 경우, NDR 피크 부분에서 급격한 전류 증가/감소 특성을 보이게 된다.
- <37> 한편, 와이어부(130)는 공중에 떠 있는 상태로 제조되어 있는 바, 자신의 고유 진동수에 맞게 진동을 한다. 이 러한 진동에 따라 게이트부(150)와 웰 영역(142) 사이의 결합 정전 용량이 변화되게 되어, 결과적으로 NDR 피크 위치가 변화된다. 따라서, 게이트부(150)에 인가되는 게이트 전압 또는 드레인부(110)에 인가되는 바이어스 전 원의 크기를 조정하여, 바이어스 조건을 NDR 피크 주변으로 맞추어주면, 와이어부(140)의 진동을 증대시켜 매우 큰 전류 출력을 얻을 수 있다. 이에 따라, 별도의 증폭기 없이도 높은 출력 특성을 가지는 공진 구조체를 구현 할 수 있게 된다.
- <38> 한편, 도 2에 도시된 와이어부(130)가 게이트부(150)와 같은 넓은 플레이트(plate) 위에 위치하였을 때의 게이 트 정전용량과 위치 변화량은 다음 수식과 같이 표현된다.

수학식 1

$$C_G = \frac{4\pi\epsilon_0 L}{2\ln(2z/r)}$$

$$\frac{\delta z}{z} = \frac{\delta C_G}{C_G} \ln(2z/r)$$

- <39>
- <40>
- <41> 수학식 1에서 C_G 는 게이트 정전 용량, z 는 와이어부(130)의 변화 폭, L 은 와이어부(130)의 길이, r 은 와이어부 (130)와 게이트부(150) 사이의 거리를 나타낸다.
- <42> 게이트부(150)에 인가되는 게이트 전압의 변화 및 자계 생성부(160)에서 생성되는 자기장의 변화는 와이어부

(130)에 공통적으로 작용하여, 수학식 1에서와 같이 진동 변위 δz 와, 그에 따른 정전 용량 변화 δC_G 를 일으킨다. 이에 따라, 와이어부(130)의 진동이 조정될 수 있다.

<43> 도 2에 따른 실시 예에서는 자계 생성부(160) 및 자성체(170)가 더 추가된다. 자계 생성부(160)는 와이어부(130) 주변에 자기장을 생성하는 구성요소로, 전자적으로 구현될 수 있다.

<44> 자계 생성부(160)에 전기가 인가되면, 자기장을 생성한다. 생성된 자기장은 와이어부(130) 상에 형성된 자성체(170)에 대하여 인력 또는 척력을 제공한다.

<45> 와이어부(130) 상에 형성된 자성체(170)는 자기장에 반응하여, 와이어부(130)를 변위시킨다. 결과적으로, 자체 고유 진동수에 따라 진동하던 와이어부(130)는 자성체(170) 및 자계 생성부(160)의 상호 작용에 의해 진동 폭이 더 크게 변하게 되는 바, 주파수 튜닝이 이루어진다. 이와 같이, 본 발명에 따른 공진 구조체는, 와이어부(130) 주변에 자기장을 생성하여 줌으로써, 와이어부(130)의 고유 진동수를 간단하고 효율적으로 튜닝할 수 있게 된다. 따라서, 종래의 맵스 공진기나, 넬스 공진기에 비해 튜닝성이 향상될 수 있는 바, 튜너블 RF 시스템에 적용할 수 있다. 한편, 도 2의 공진 구조체는 맵스 기술 또는 넬스 기술 중 어느 것으로도 구현될 수 있다.

<46> 도 3은 본 발명의 일 실시 예에 따른 공진 구조체 또는 공진 터널링 트랜지스터의 V_{DS} -I 특성 곡선을 나타내는 그래프이다.

<47> 도 3에 따르면, 드레인부(110) 및 소스부(120) 사이의 전압 V_{DS} 의 크기 변화에 따라, 출력 전류 I의 크기가 변화된다. 그 변화 특성은 특정 V_{DS} 에서 급격히 증가되어 피크를 이루었다가 감소한 후, 다시 점진적으로 증가하는 형태이다.

<48> 또한, 게이트부(150)에 인가되는 게이트 전압 V_G 의 크기를 변화시켜, 웰 영역(142)의 포텐셜을 바꾸어주면, 양자 에너지 레벨의 변화가 발생하며, 이에 따라, NDR 피크가 발생하는 드레인 바이어스의 위치가 바뀌어진다. 이에 따라, 특정 게이트 전압, 예를 들어 V_G 로 고정되었을 때에는, V_{DS} 의 크기를 V_{DS1} 로 조정하여, 출력 전류 I가 피크치가 되도록 할 수 있다.

<49> 또한, 게이트부(150)에 인가되는 게이트 전압 V_G 의 크기가 $V_G + \Delta V_G^1$, $V_G + \Delta V_G^2$, $V_G + \Delta V_G^3$ 에 과 같이 변화함에 따라 서도, 출력 전류 파형이 변화된다. 따라서, 현재의 바이어스 전원 V_{DS} 가 V_{DS3} 으로 고정되어 있는 경우에는 게이트 전압 V_G 를 $V_G + \Delta V_G^2$ 으로 조정하여 줌으로써, 출력 전류 I가 피크치가 되도록 할 수도 있다.

<50> 한편, 공진 터널링 트랜지스터의 전류전압특성은 드레인 전압 V_{DS} 와 게이트 전하 Q_G 의 함수로 표시될 수 있다. 구체적으로는,

수학식 2

<51> $I_{DS} = I_{DS}(V_{DS}, Q_G)$

<52> 와 같이 표현된다. 여기서, Q_G 는 $C_G V_G$ 이며, C_G 는 게이트 정전 용량, V_G 는 게이트 전압을 의미한다.

<53> 한편, 출력 전류 I_{DS} 의 변화량은 다음과 같이 표시될 수 있다.

수학식 3

$$\begin{aligned} \delta I_{DS} &= \frac{\partial I_{DS}}{\partial V_{DS}} \delta V_{DS} + \frac{\partial I_{DS}}{\partial Q_G} \delta Q_G \\ &= \frac{\partial I_{DS}}{\partial V_{DS}} \delta V_{DS} + \frac{\partial I_{DS}}{\partial Q_G} (C_G \delta V_G + V_G \delta C_G) \end{aligned}$$

<55>

- <56> 수학적 식 3에서, δV_G 는 입력 RF(또는, MW)신호, δI_{DS} 는 출력 RF(또는, MW)신호, δV_{DS} 는 주파수 믹싱을 위한 또 다른 입력 RF(또는, MW)신호이다. 본원 도 2와 유사하게 반도체 와이어를 가지는 일반 공진 구조체와, 포텐셜 배리어부(140)를 구비한 본원 도 2의 공진 구조체를 비교한다면, 본원 공진 구조체에서 기계적 공진에 따른 게이트 정전 용량의 변화 δC_G 는 서로 같은 값을 가질 수 있다. 하지만, 본원 도 3의 그래프에서 알 수 있듯이, 본원 공진 구조체의 $\partial I_{DS} / \partial Q_G$ 값은 훨씬 크게 되므로, 전체 출력 신호의 크기 증가가 이루어질 수 있게 된다.
- <57> 한편, 도 4a 내지 도 4f는 본 발명의 일 실시 예에 따른 공진 구조체 제조 방법을 설명하기 위한 공정도이고, 도 5a 내지 도 5f는 도 4a 내지 도 4f의 공진 구조체 제조 방법에 대응되는 수직 단면도이다.
- <58> 먼저, 도 4a 및 도 5a에 따르면, 순차적으로 적층된 복수 개의 반도체 층을 마련한다. 각 반도체층은 위쪽에서부터 제1 층(100), 지지층(151), 제2 층(150)으로 이루어진다. 제1 층(100)은 후술하는 단계에서 제1 및 제2 단자(110, 120)와 와이어부(130)를 이루게 되고, 제2 층(150)은 후술하는 단계에서 소정 형태로 패터닝되면 제3 단자(150)를 이루게 된다.
- <59> 복수 개의 반도체 층이 마련되면, 그 중 하나의 표면에서 도핑을 수행한다. 구체적으로는, 제1 층(100)의 일 표면을 도핑하여, 복수 개의 포텐셜 배리어(141a, 141b)를 형성한다. 제1 층(100)은 실리콘으로 이루어지며, 포텐셜 배리어(141a, 141b)는 SiGe로 도핑될 수 있다. 또한, 포텐셜 배리어(141a, 141b) 사이의 실리콘 영역은 웰 영역(142)을 이룬다.
- <60> 다음으로, 도 4b 및 도 5b에 도시된 바와 같이, 리소그래피(Lithography) 공정을 수행하여, 제1 층(100) 상에 마스크층(180)을 형성한다. 마스크층(180)은 제1 층(100) 표면 상에서 제1 단자 및 제2 단자(110, 120) 영역 등을 제외한 영역에 형성된다.
- <61> 다음으로, 도 4c 및 도 5c에 도시된 바와 같이, n+물질을 이용한 도핑이 이루어진다. 이 경우, 마스크 층(180)이 형성되지 않은 제1 층(100)이 도핑되어, 서로 대향 배치되는 복수의 단자, 즉, 제1 및 제2 단자(110, 120)가 형성된다.
- <62> 그리고 나서, 도 4d 및 도 5d에 도시된 바와 같이, 리소그래피(Lithography) 공정을 수행하여, 제1 단자 및 제2 단자(110, 120) 영역을 덮는 마스크층(190)을 형성한다. 이 경우, 제1 단자(110)를 덮은 마스크층(190)과 제2 단자(120)를 덮은 마스크층(190) 사이에는 와이어부(130)에 대응되는 패턴의 마스크층(190)이 형성된다.
- <63> 그리고 나서, 도 4e 및 도 5e에 도시된 바와 같이, 마스크층(190)을 이용한 식각을 수행하여, 복수 개의 포텐셜 배리어(141a, 141b)를 포함하는 와이어부(130) 패턴을 제조한다. 이 과정에서, 제1 단자 및 제2 단자(110, 120)와, 와이어부(130) 패턴으로 덮이지 않은 지지층(151) 부분도 함께 식각되어, 제3 단자(150)가 상방향으로 노출되도록 한다.
- <64> 한편, 도 4d 및 도 5d 과정에서, 마스크 층(190)은 제1 단자(110) 및 제2 단자(120)를 완전히 덮지 않고, 와이어부(130) 방향으로 일부를 노출시킬 수 있다. 이 경우, 도 4e 및 도 5e와 같은 식각이 이루어지면, 와이어부(130) 패턴의 양단은 제1 단자 및 제2 단자(110, 120)와 같은 물질로 이루어진다. 즉, 와이어부(130) 패턴의 양단에는 n+ 실리콘 접촉부(131a, 131b)가 형성될 수 있다.
- <65> 다음으로, 도 4f 및 도 5f에 도시된 바와 같이, 와이어부(130) 하부의 지지층(151)을 식각한다. 이에 따라, 와이어부(130)가 제3 단자(150)와 어느 정도 이격되는 형태로 구현되어, 와이어부(130)가 진동할 수 있는 공간(152)이 확보될 수 있다.
- <66> 한편, 본 공진 구조체 제조 방법에 따라, 도 2에 도시된 자계 생성부(160) 및 자성체(170)도 제조될 수 있다. 즉, 도 4e 및 도 5e에 도시된 공정에서, 제3 단자(150) 부분 중 일부가 식각되어, 제3 단자(150)가 두 개로 분리될 수 있다. 이 중 하나가 자계 생성부(160)로 기능할 수 있다. 또는, 도 4f 및 도 5f에 도시된 공정까지 완료된 이후에, 별도로 제조된 자계 생성부(160)가 와이어부(130) 일측에 마련될 수도 있다.
- <67> 또한, 자성체(170)는 도 4a 및 도 5a에 도시된 공정 중에 제1 층(100)의 일 영역에 대하여 자성물질로 코팅함으로써, 생성될 수 있다. 또는, 자성체(170) 역시 도핑 방식으로 생성될 수 있다.
- <68> 한편, 도 4a 내지 도 4f, 도 5a 내지 도 5f에 도시된 공진 구조체 제조 방법에 따라 제조된 공진 구조체에서는 와이어부(130)의 두께가 제1 및 제2 단자(110, 120)와 동일한 형태로 제조되어 있음을 알 수 있다. 반면, 도 1 및 도 2에 도시된 실시 예에서는 와이어부(130)의 두께가 제1 및 제2 단자(110, 120)보다 가는 형태로 제조되어 있다. 이는 실시 예의 차이로 인하여 생기는 구조적인 차이점이다.

<69> 예를 들어, 도 4f 및 도 5f의 식각 과정에서, 지지층(151) 뿐만 아니라, 와이어부(130) 하단영역을 함께 식각한다면 도 1 및 도 2에 도시된 형태와 같이 와이어부(130)가 가는 형태로 제조될 수 있다. 또는, 복수 개의 반도체층을 마련하는 과정에서 와이어부(130)가 형성될 영역의 하부에 희생층을 적층한 후, 추후에 식각하여 와이어부(130)가 주변 단자들에 비해 작은 두께를 가지도록 구현할 수도 있다.

<70> 본 제조 방법에서 사용되는 리소그래피 공정, 식각 공정 등은 종래 알려져 있는 리소그래피 방식, 식각 방식 등을 그대로 이용할 수 있다.

<71> 도 6은 본 발명의 일 실시 예에 따른 공진 터널링 트랜지스터를 회로에 이용한 응용 예를 설명하기 위한 회로도이다.

<72> 도 6에 따르면, 드레인부(110)에는 V_{DS} 전원이 연결되고, 게이트부(150)에는 V_G 전원 및 V_{in1} 전원 등이 인덕터 및 커패시터 등과 함께 연결되며, 소스 단(120)에는 출력단 및 접지 단이 연결된다. 또한, 자체 생성부(160)의 일 단에는 DC 전원인 V_B 및 V_{in2} 전원 등이 연결될 수 있다. 이에 따라, 공진 터널링 트랜지스터를 통해 $I_{DS}+i_{DS}$ 가 출력된다. 이와 같이, 다중 RF 입력(V_{in1} , V_{in2})을 이용하여 출력 전류 i_{DS} 의 주파수를 다양하게 튜닝할 수 있게 되므로, 다양한 출력 전류 $I_{DS}+i_{DS}$ 를 얻을 수 있게 된다.

<73> 이상과 같은 공진 구조체 또는 이를 이용하여 구현된 공진 터널링 트랜지스터는 D-플립플롭(D-Flip Flop), 주파수 분배기(Frequency Divider), 멀티플렉서(Multiplexer)와 같은 초고속 디지털 IC에 응용 가능하다.

<74> 그 밖에, 기본적으로 기계 신호를 전기 신호로 바꾸어줄 필요가 있는 모든 MEMS 부품이나, NEMS 부품에 적용 가능하다. 또한, 높은 주파수로 동작하여야 하는 RF MEMS의 경우 높은 트랜스 효율이 요구되므로, 이동통신용 RF 필터, 주파수 합성기, 주파수 발생기 등과 같은 RF 시스템에 특히 적용가능하다. 뿐만 아니라, 초소형으로 구현되면서 동시에 출력 전류도 키울 수 있는 바, 향후 개발될 다양한 저전력 통신 시스템에 용이하게 사용될 수 있다. 또한, 튜닝도 용이하게 수행될 수 있게 된다.

도면의 간단한 설명

<75> 도 1은 본 발명의 일 실시 예에 따른 공진 구조체의 구성을 나타내는 모식도,

<76> 도 2는 본 발명의 일 실시 예에 따른 공진 터널링 트랜지스터의 구성을 나타내는 모식도,

<77> 도 3은 본 공진 구조체의 전류 특성을 설명하기 위한 그래프.

<78> 도 4a 내지 도 4f는 본 발명의 일 실시 예에 따른 공진 구조체 제조 방법을 설명하기 위한 공정도.

<79> 도 5a 내지 도 5f는 도 4a 내지 도 4f에 대응되는 수직 단면도, 그리고,

<80> 도 6은 본 공진 터널링 트랜지스터를 이용한 회로 구성의 일 예를 나타내는 회로도이다.

<81> * 도면 주요 부분에 대한 부호의 설명 *

<82> 110 : 드레인부 120 : 소스부

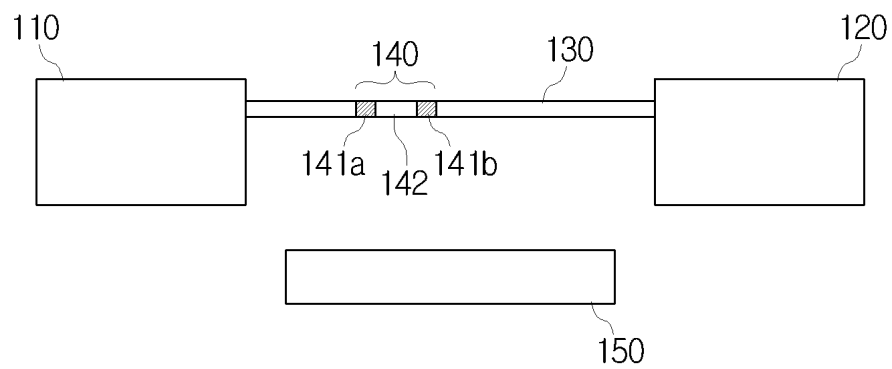
<83> 130 : 와이어부 140 : 포텐셜 배리어부

<84> 150 : 게이트부 160 : 자계 생성부

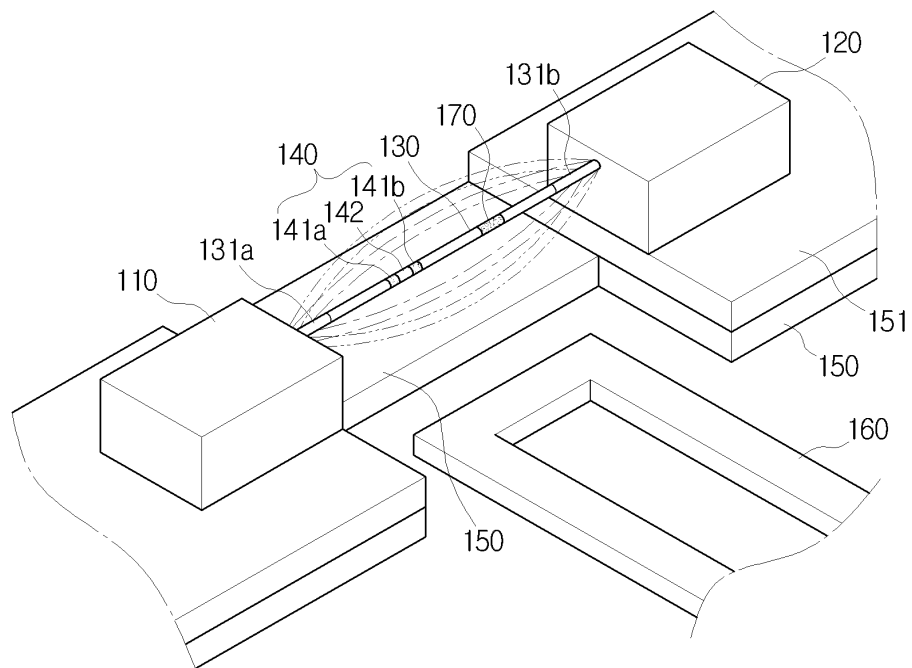
<85> 170 : 자성체

도면

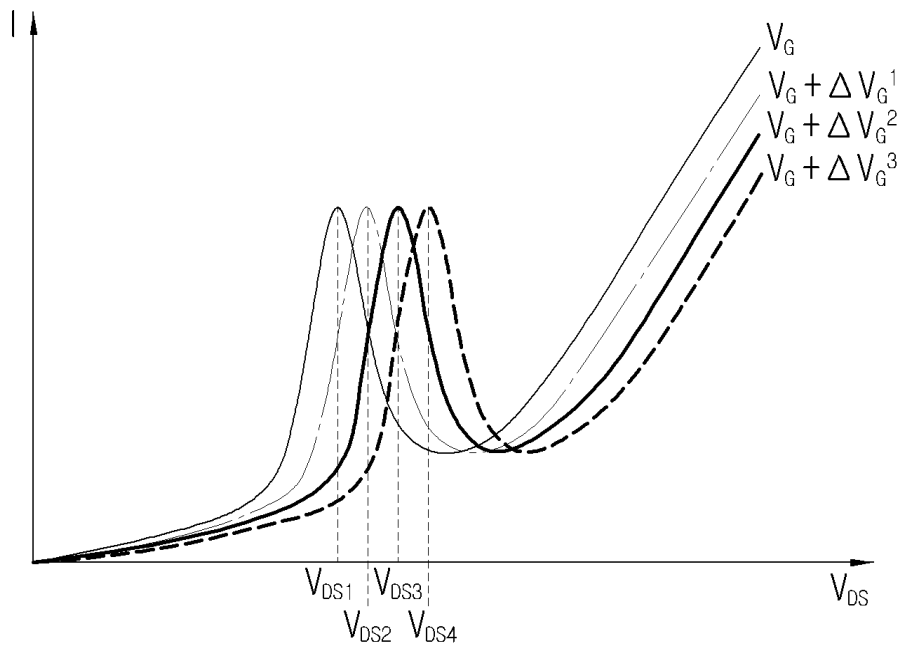
도면1



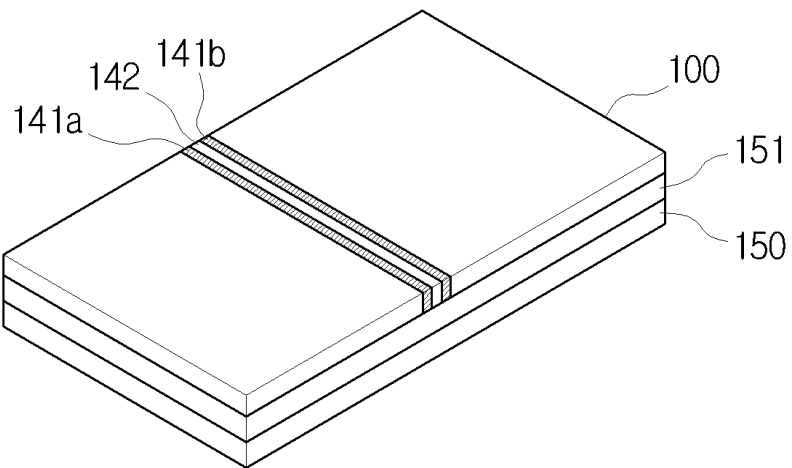
도면2



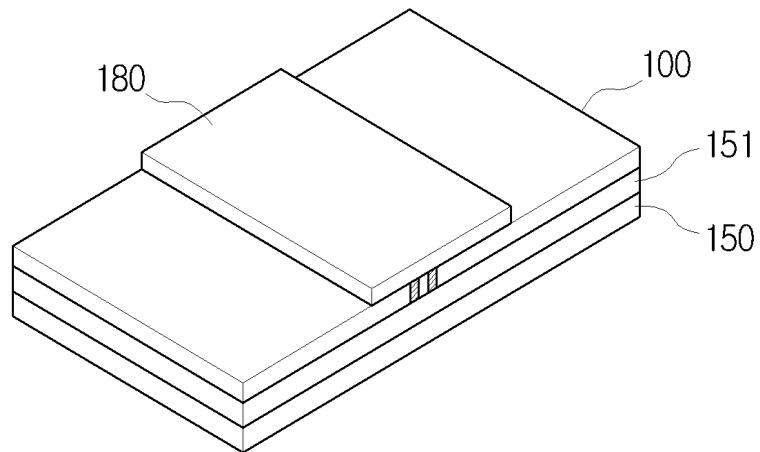
도면3



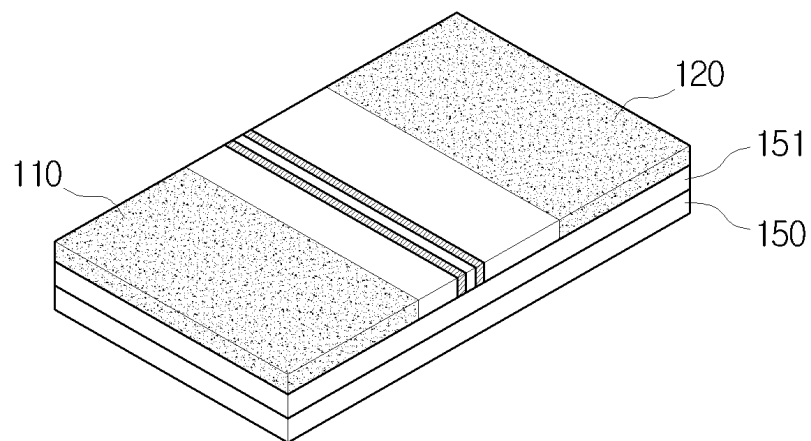
도면4a



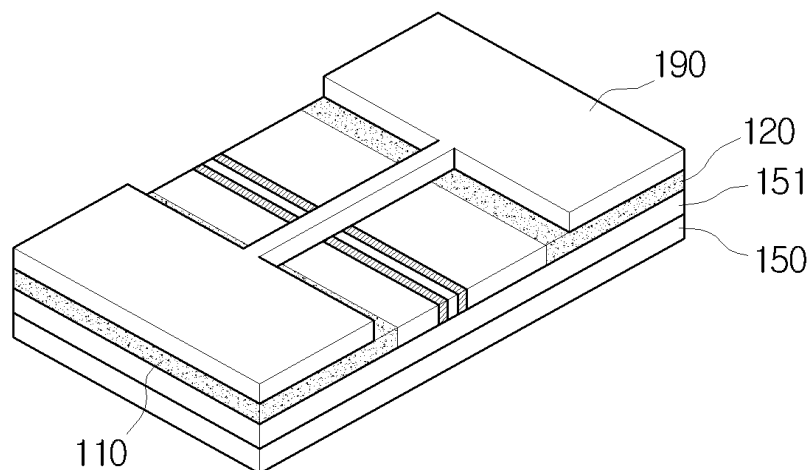
도면4b



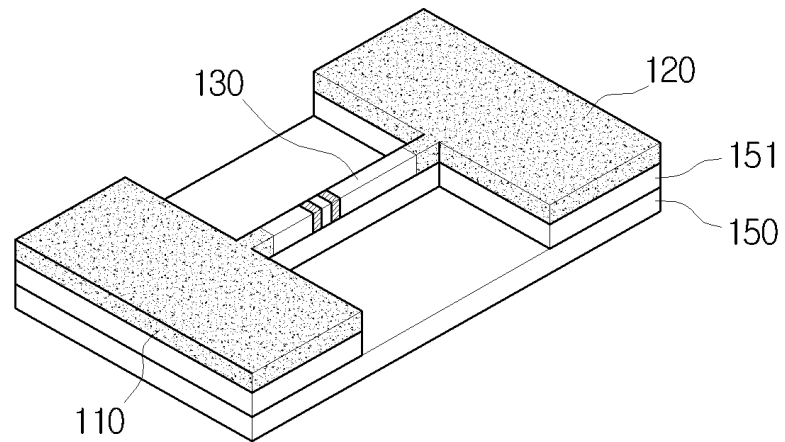
도면4c



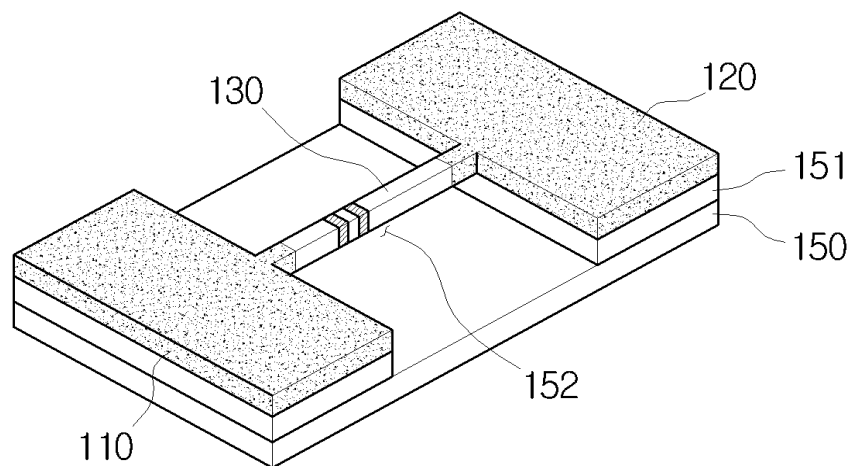
도면4d



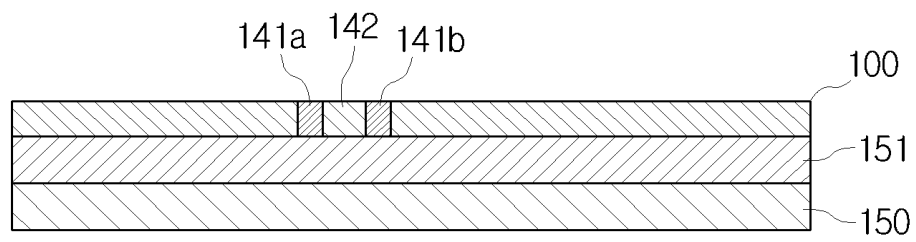
도면4e



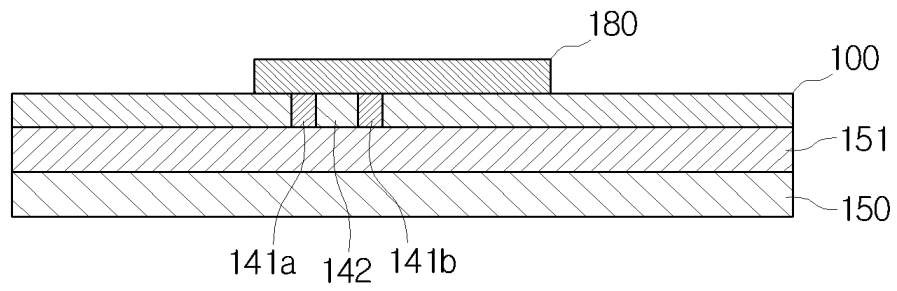
도면4f



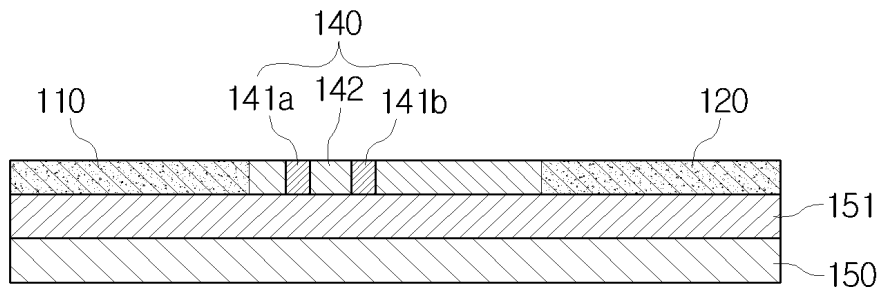
도면5a



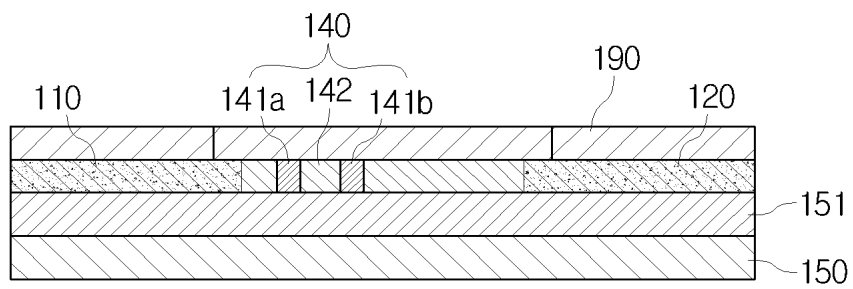
도면5b



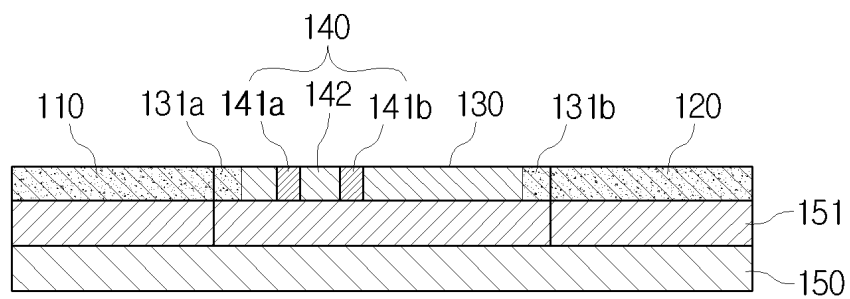
도면5c



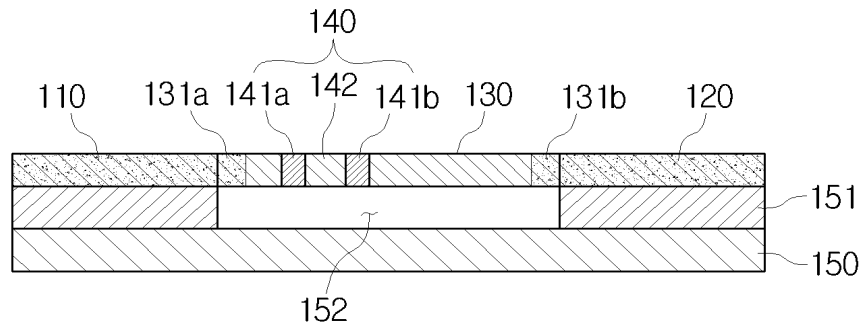
도면5d



도면5e



도면5f



도면6

