



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 232 145 A1

4(51) H 03 K 9/04

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 03 K / 266 446 5

(22) 20.08.84

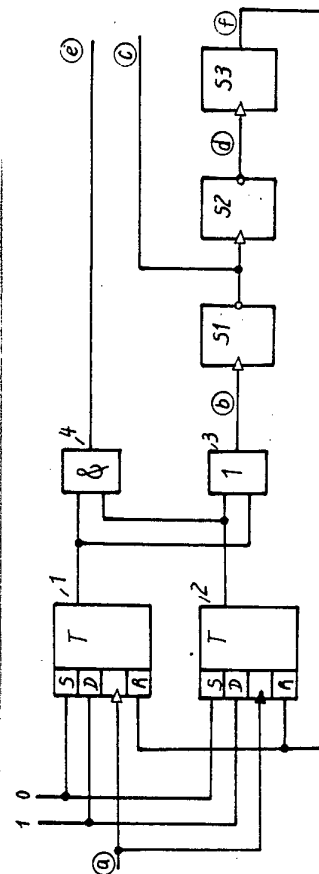
(44) 15.01.86

(71) VEB Elektroprojekt und Anlagenbau Berlin, 1140 Berlin, Rhinstraße 100, DD

(72) Kahnt, Holger, Dipl.-Ing.; Sippel, Frank, Dipl.-Ing., DD

(54) Schaltungsanordnung zur Takt- und Datenrückgewinnung aus pulskodemodulierten Signalen

(57) Die Erfindung kann zur Rückgewinnung der Takt- und Datensignale bei der Demodulation von pulskodemodulierten Signalen in Biphasenkodierung, die bei der Übertragung digitaler Daten über eine bitserielle Datenbahn benutzt werden, angewendet werden. Mit der Erfindung soll eine Schaltungsanordnung unter Verwendung einfacher und unempfindlicher Bauelemente geschaffen werden. Erfindungsgemäß werden als flankenerkennende Bauelemente Trigger eingesetzt, die über ein ODER-Glied an die Zeitstufe gelegt sind. Diese stößt eine zweite Zeitstufe an, deren Ausgang an den Rücksetzeingang der Trigger zurückgeführt ist. Die Taktsignale können an der ersten Zeitstufe, die Datensignale an einem den Triggern nachgeschalteten UND-Glied abgenommen werden. Fig. 1



Figur 1

Titel der Erfindung

Schaltungsanordnung zur Takt- und Datenrückgewinnung aus pulskodemodulierten Signalen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Rückgewinnung der Takt- und Datensignale bei der Demodulation von pulskodemodulierten Signalen im Biphasenkodex (Split-Phase-Mark- oder Split-Phase-Space-Kode). Sie ist anwendbar bei der Übertragung digitaler Daten über eine bitserielle Datenbahn.

Charakteristik der bekannten technischen Lösungen

Bei der Übertragung bitserieller Daten ist die Verwendung des sogenannten Biphasenkodes üblich. Beim Biphasenkodex werden die Bitgrenzen durch einen Phasensprung, d.h. einen 1-0- oder einen 0-1-Übergang dargestellt. Durch einen zusätzlichen Phasensprung in Bitmitte wird beim Split-Phase-Mark-Kode (auch Diphase) eine 1, beim Split-Phase-Space-Kode eine 0 gekennzeichnet.

Zur Rückgewinnung der Taktsignale aus dem empfangenen Biphasensignal sind verschiedene Verfahren bekannt.

Komplizierte Demodulationsverfahren verwenden zur Erzeugung des Bittaktes einen analogen oder digitalen Phasenregelkreis (PLL, phase locked loop). Beide Verfahren beruhen auf der Regelung eines empfängerseitigen Oszillators. Der analoge Phasenregelkreis arbeitet mit einem spannungsgesteuerten Oszillator (VCO, Voltage controlled Oscillator), der digitale Phasenregelkreis verwendet für die Phasennachregelung einen regelbaren Teiler für eine hochstabile Grundfrequenz. Der Aufwand für einen Phasenregelkreis ist jedoch hoch und nur dort gerechtfertigt, wo mit größeren Phasen- und Frequenzsprüngen im Biphasensignal (phase jitter) zu rechnen ist, z.B. bei der Aufzeichnung bzw. Wiedergabe von digitalen Daten auf Magnetbändern.

Einfache Demodulationsverfahren gewinnen die Taktsignale aus dem Biphasensignal zurück, indem die Phasenübergänge differenziert werden und von den die Bitgrenzen repräsentierenden differenzierten Signale eine Zeitstufe, z.B. ein monostabiler Multivibrator, angestoßen wird, deren Verweilzeit größer als die halbe, aber kleiner als die volle Bitzeit ist. Ein innerhalb der Bitzeit auftretender weiterer Phasenübergang kann mit Hilfe weiterer logischer Bauelemente erkannt werden, was die Rückgewinnung der NRZ-Daten (Datensignale) ermöglicht.

Aus der DE-OS 24 27 225 (G 11 B, 5/02) ist hierzu eine Schaltung bekannt. Zur Differenzierung des eingehenden Biphasensignals werden dort monostabile Multivibratoren eingesetzt, wie das Taktdiagramm Fig. 3 erkennen läßt. Monostabile Multivibratoren reagieren jedoch empfindlich auf veränderte Temperaturbedingungen und sind sehr störanfällig.

Aus der DD-PS 152 648 (G 11 B, 5/02) ist eine weitere Schaltung bekannt, bei der die differenzierten Biphasensignale eine Zählstufe anstoßen, die über

einen Dekoder auf eine bistabile Kippstufe einwirkt, deren Ausgang wiederum mit den differenzierten Biphasensignalen verkoppelt ist. Die Rückgewinnung der NRZ-Daten ist nicht beschrieben, hierzu müssen noch weitere Bauelemente eingesetzt werden, so daß der Bauelementeaufwand insgesamt hoch wird.

Ziel der Erfindung

Ziel der Erfindung ist es, eine Schaltungsanordnung zur Demodulation von Biphasensignalen anzugeben, bei der die sichere Rückgewinnung der Takt- und Datensignale bei geringem Bauelementeaufwand möglich ist.

Darlegung des Wesens der Erfindung

Die technische Aufgabe, die durch die Erfindung gelöst wird.

Aufgabe der Erfindung ist es, eine einfache und unempfindliche Schaltung ohne Verwendung eines Phasenregelkreises zu schaffen, mit der der Takt und die Daten sicher wiedergewonnen werden.

Merkmale der Erfindung

Erfindungsgemäß wird eine Schaltung vorgeschlagen, bei der zur Flankenerkennung der Biphasensignale zwei Trigger eingesetzt sind, deren Ausgänge über ein ODER-Glied an die Zeitstufe geschaltet sind. Die Zeitstufe ist auf eine Verweilzeit eingestellt, die größer als die halbe Bitzeit ist. An ihrem Ausgang liegt das wiedergewonnene Taktsignal an. Sie stößt nach ihrem Ablauf eine weitere Zeitstufe an, deren Ausgang den

Rücksetzimpuls für die beiden Trigger liefert. Die Ausgänge der Trigger sind außerdem über ein UND-Glied verknüpft, an dessen Ausgang das wiedergewonnene Datensignal anliegt.

Da das Datensignal von der nachfolgenden Schaltung mit der 0-1-Flanke des wiedergewonnenen Taktsignals, also nach Ablauf der ersten Zeitstufe, übernommen wird, darf das Rücksetzsignal für die Trigger nicht unmittelbar nach Ablauf der ersten Zeitstufe generiert werden oder das Datensignal muß zwischengespeichert werden. Im ersten Fall besteht die weitere Zeitstufe aus zwei hintereinander angeordneten Zeitstufen. Im zweiten Fall ist zum Speichern der Datensignale bis zum nächsten Bittakt ein dritter Trigger vorgesehen, dessen Setzeingang am Ausgang des UND-Gliedes, dessen Takteingang am Eingang der ersten Zeitstufe und dessen Daten- und Rücksetzeingang an 0-Potential liegen. Letztere Variante hat den Vorteil, daß die Trigger sofort nach Ablauf der ersten Zeitstufe zurückgesetzt werden und damit für den nächsten Phasenübergang wieder betriebsbereit sind. Dies ist für den Fall wichtig, wo der nächste Bittakt früher als zum erwarteten Zeitpunkt beginnt, also beim Auftreten von Phasensprüngen.

Ausführungsbeispiel

Die erfindungsgemäße Schaltungsanordnung soll anhand eines Ausführungsbeispiels näher erläutert werden. In den zugehörigen Zeichnungen zeigen

- Fig. 1 die erfindungsgemäße Schaltungsanordnung,
- Fig. 2 ein Impulsdiagramm zur Schaltung gemäß Fig.1,
- Fig. 3 eine zweite Variante der erfindungsgemäßen Schaltungsanordnung,

Fig. 4 ein Impulsdiagramm zur Schaltung gemäß Fig.3.

Das zu demodulierende Biphasensignal a entsprechend dem Impulsdiagramm Fig. 2 wird an die Takteingänge zweier Trigger 1, 2 geführt, wobei der Trigger 1 die am Dateneingang anliegende Information mit der 0-1-Flanke und der Trigger 2 die mit der 1-0-Flanke übernimmt. Im Ausgangszustand sind beide Trigger 1, 2 rückgesetzt. Die erste bitzeiteröffnende Flanke setzt den Trigger 2 und aktiviert damit über ein ODER-Glied 3, dessen zweiter Eingang am Ausgang des Triggers 1 liegt, die Zeitstufe S1, an deren Ausgang das wiedergewonnene Taktsignal c abgenommen werden kann. Nach Ablauf der Verweilzeit der Zeitstufe S1 wird die Zeitstufe S2 aktiviert, deren Ausgangssignal d die Zeitstufe S3 beeinflusst. Das Ausgangssignal f der Zeitstufe S3 ist das Rücksetzsignal für die beiden Trigger 1, 2.

Die nächste bitzeiteröffnende 0-1-Flanke setzt den Trigger 1. Eine weitere, zur bitzeiteröffnenden Flanke des Biphasensignals a entgegengesetzt verlaufende Flanke (Datenflanke) setzt den Trigger 2, dessen Ausgangssignal das wiedergewonnene Datensignal ist. Das Ausgangssignal wird über ein UND-Glied 4, dessen zweiter Eingang vom Ausgang des Triggers 1 geführt ist, zur nachfolgenden Schaltung geleitet, die das auf der Datenleitung anliegende Datensignal e mit der 0-1-Flanke des wiedergewonnenen Taktsignals c übernimmt und weiterverarbeitet.

Fig. 2 zeigt das Impulsdiagramm auf den Leitungen a-f.

Fig. 3 zeigt eine abgeänderte Variante der Schaltungsanordnung. Der Ausgang der Zeitstufe S2 wird hier direkt an die Rücksetzeingänge der Trigger 1, 2 zurückgeführt. Die Trigger 1, 2 werden somit nach Ablauf der Zeitstufe S1, d.h. mit der 0-1-Flanke des

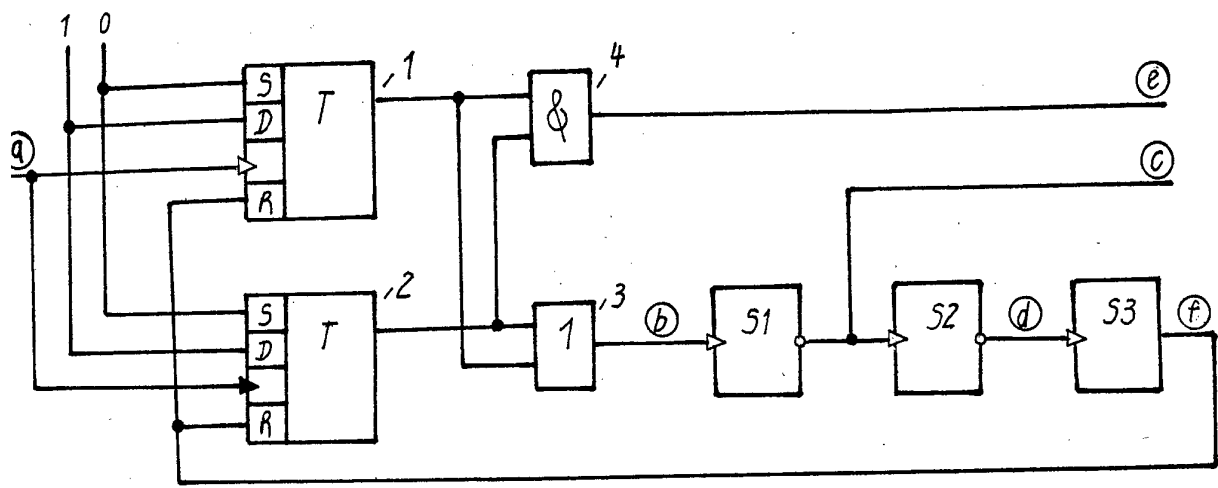
Taktsignals c, zurückgesetzt. Da von der nachfolgenden Schaltung die Daten mit der 0-1-Flanke des Taktsignals c übernommen werden und zu diesem Zeitpunkt gleichzeitig der Rücksetzimpuls für die Trigger 1, 2 ausgelöst wird, ist es erforderlich, das Datensignal e bis zum Beginn der nächsten Bitzeit zwischenspeichern. Dies geschieht mit einem Trigger 5. Der Ausgang des UND-Gliedes 4 ist an den Setzeingang des Triggers 5 geführt, das Eingangssignal b der Zeitstufe S1 an dessen Takteingang. Sein Daten- und Rücksetzeingang liegen an 0-Potential. Sind bei einem einlaufenden Datensignal beide Trigger 1, 2 gesetzt, wird auch der Trigger 5 gesetzt. Der Zustand wird bis zum 1-0-Phasenübergang des Taktsignals c, d.h. bis zur nächsten bitzeiteröffnenden Flanke des Biphasensignals a gespeichert.

Die erfindungsgemäße Schaltungsanordnung ermöglicht mit einem geringen Bauelementeaufwand eine sichere Rückgewinnung der Takt- und Datensignale.

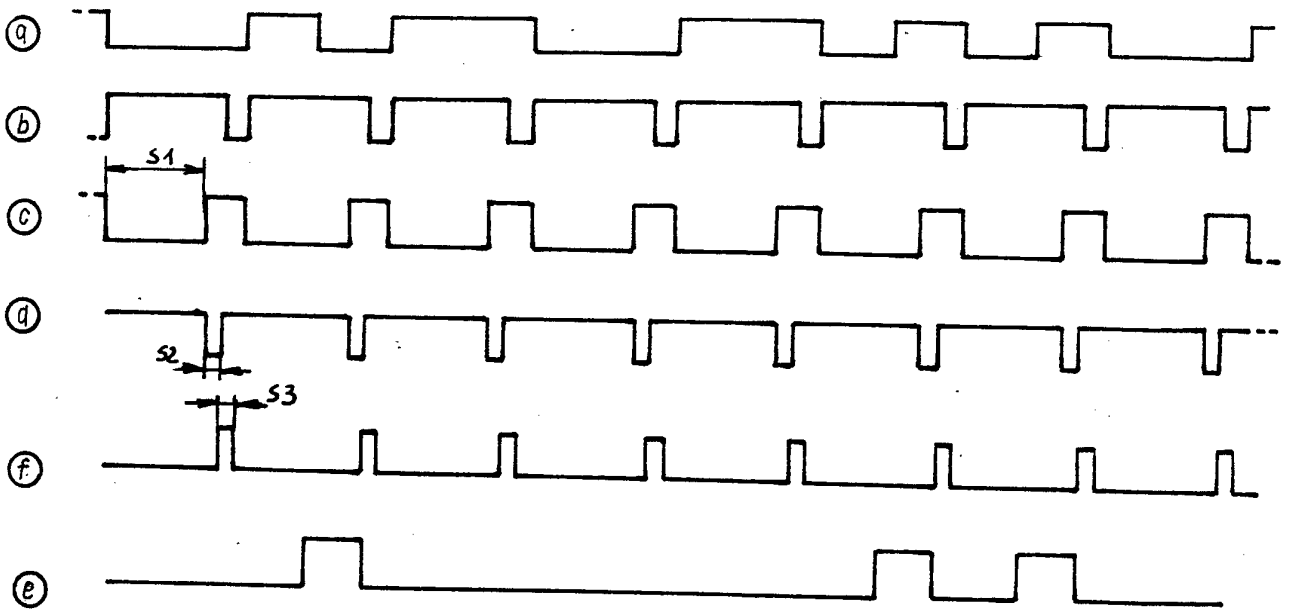
Patentansprüche

1. Schaltungsanordnung zur Takt- und Datenrückgewinnung aus pulskodemodulierten Signalen im Biphasenkodex, bei der durch die bitzeiteröffnenden Flanken des Biphasensignals eine Zeitstufe angestoßen wird, gekennzeichnet dadurch, daß zwei Trigger (1; 2), an deren Takteingänge das zu demodulierende Biphasensignal (a) gelegt ist, ausgangsseitig einmal über ein UND-Glied (4) mit dem Datenausgang verbunden sind und zum anderen über ein ODER-Glied (3) an die Zeitstufe (S1) gelegt sind, deren Ausgang an den Eingang einer Zeitstufe (S2), deren Ausgang an den Rücksetzeingang der Trigger (1; 2) zurückgeführt ist, sowie an den Taktausgang gelegt ist.
2. Schaltungsanordnung gemäß Anspruch 1, gekennzeichnet dadurch, daß der Zeitstufe (S2) eine weitere Zeitstufe (S3) nachgeschaltet ist.
3. Schaltungsanordnung gemäß Anspruch 1, gekennzeichnet dadurch, daß ein Trigger (5) vorgesehen ist, dessen Setzeingang am Ausgang des UND-Gliedes (4), dessen Takteingang am Eingang der Zeitstufe (S1) und dessen Daten- und Rücksetzeingang an 0-Potential liegen.

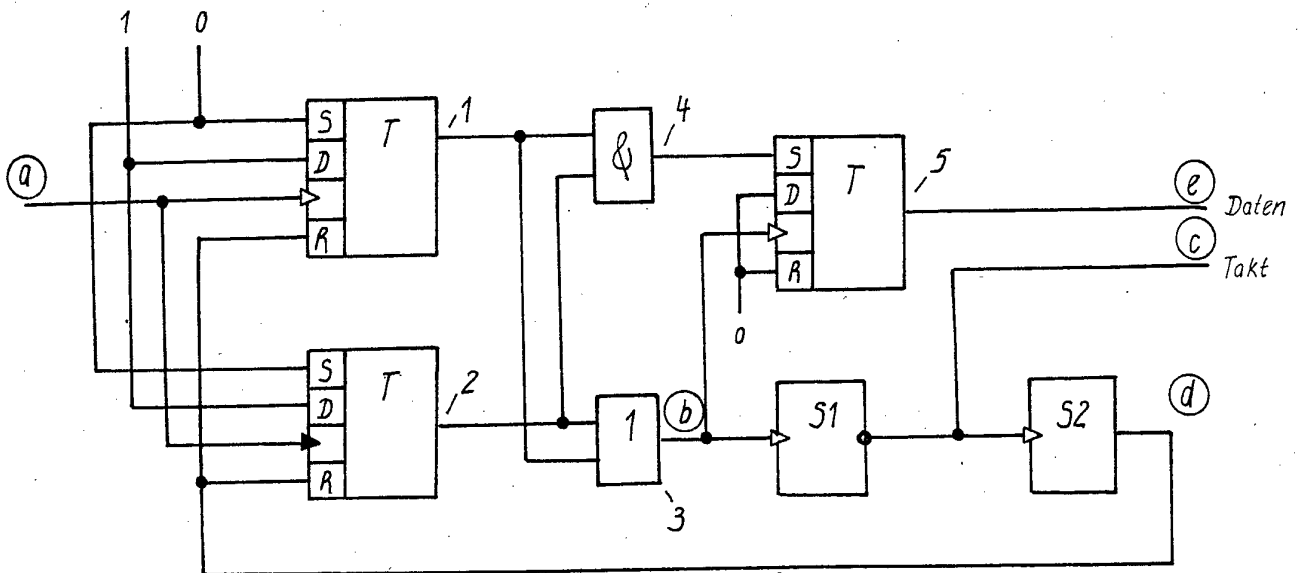
- Hierzu 4 Blatt Zeichnungen



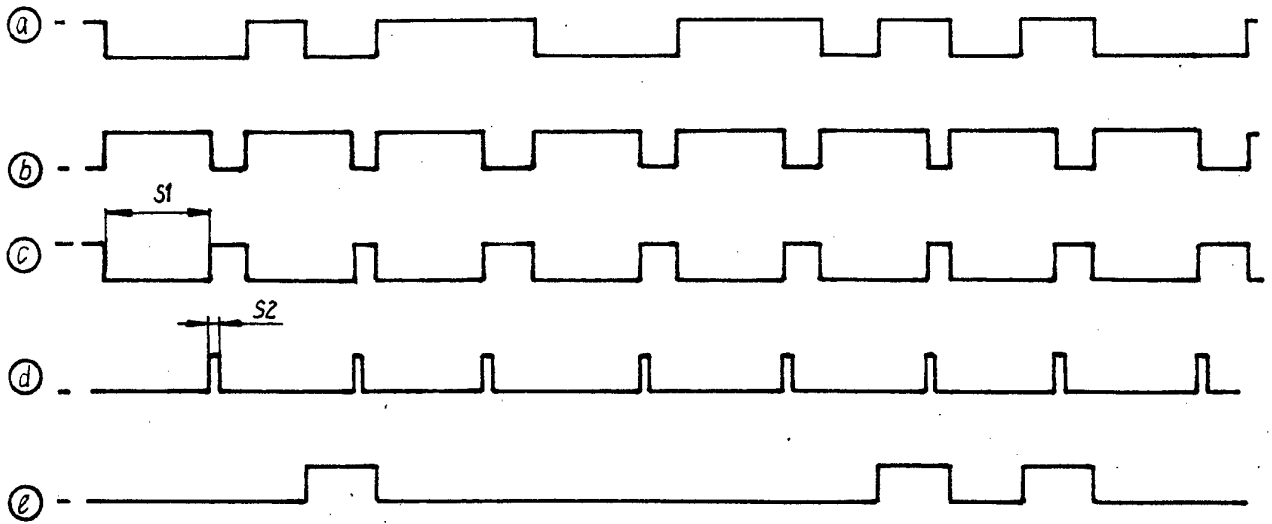
Figur 1



Figur 2



Figur 3



Figur 4