

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2021/189596 A1

(43) 国际公布日
2021 年 9 月 30 日 (30.09.2021)

(51) 国际专利分类号:
G02F 1/1339 (2006.01) **G02F 1/133** (2006.01)
G02F 1/1362 (2006.01)

(21) 国际申请号: PCT/CN2020/087980

(22) 国际申请日: 2020 年 4 月 30 日 (30.04.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010204831.6 2020年3月22日 (22.03.2020) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 廖辉华(LIAO, Huihua); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong

518132 (CN)。 肖军城(XIAO, Juncheng); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 赵斌(ZHAO, Bin); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 张鑫(ZHANG, Xin); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 赵军(ZHAO, Jun); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司(PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道高新区社区高新南一道006号TCL工业研究院大厦A802, Guangdong 518057 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) Title: DISPLAY PANEL AND ELECTRONIC DEVICE

(54) 发明名称: 一种显示面板以及电子设备

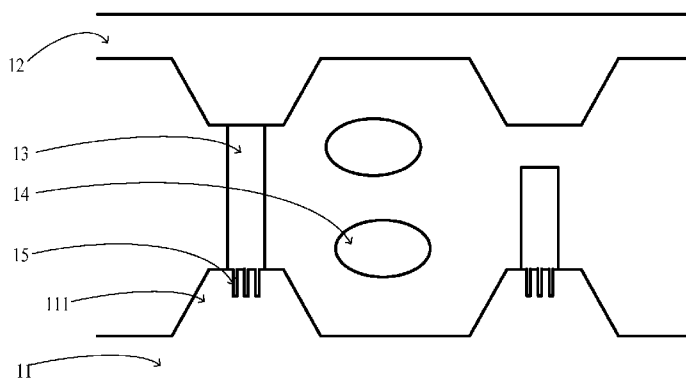


图 1

(57) Abstract: A display panel and an electronic device. The display panel increases the contact area between a support pillar (13) and a bottom layer (111) and does not require changing the size of individual sub-pixels, thereby alleviating the technical problem in which the support pillar (13) present in an existing 8K ultra-high resolution electronic device is easy to peel off. Meanwhile, by adjusting the voltage drop values of clock input transistors (T21, T22, T23) in different GOA cells (601), the voltage drop values between each GOA cell (601) and a clock driver chip are made to be approximately the same.

(57) 摘要: 一种显示面板以及电子设备, 显示面板增大了支撑柱(13)与底层(111)的接触面积, 并且不需要改变单个像素的尺寸, 缓解了现有8K超高分辨率电子设备存在的支撑柱(13)容易剥落的技术问题; 同时, 通过调整不同GOA单元(601)内时钟输入晶体管(T21、T22、T23)的压降值, 使得各GOA单元(601)与时钟驱动芯片之间的压降值近似相同。



WO 2021/189596 A1

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

一种显示面板以及电子设备

技术领域

本申请涉及显示技术领域，尤其涉及一种显示面板以及电子设备。

5 背景技术

随着显示技术的发展，显示屏、电视、手机等电子设备的分辨率越来越高，与分辨率提高对应的是像素数量的增多，像素数量的增多会带来各种各样需要攻克的技术难题。

例如，8K 分辨率电子设备的单个子像素的面积，是 4 K 分辨率电子设备的单个子像素的面积的四分之一，伴随的是面板内支撑柱（ps）与底层接触面积的减少，在 8K 分辨率电子设备中，支撑柱与底层的接触面积为 20 微米*20 微米甚至更小，这么小的接触面积将导致支撑柱容易从底层上剥落（peeling），而支撑柱剥落会导致液晶出现空白边、整面压力异常等问题。

同时，8K 超高分辨率电子设备的 loading（压降）较重，充电时间较短，采用 GOA（Gate on Array，栅极驱动电路集成在阵列基板上）驱动以及厚铜设计，导致超高分辨率电子设备对 GOA 中各 CK（时钟）信号之间的阻抗差异极为敏感。8K 电子设备的分辨率为 7680*4320，总共有 4320 行 GOA 单元，采用 12CK 信号线（即 12 个时钟信号线）的 GOA 驱动架构，CK 信号线的阻抗差异可达到千欧姆级别，阻抗差异会导致 CK 图形和相应 GOA 单元输出的扫描线波形存在差异，进而导致面板显示出现水平平衡线等问题。

因此，现有 8K 超高分辨率电子设备至少同时存在支撑柱容易剥落以及 CK 阻抗差异导致 GOA 单元输出信号差异的技术问题，需要改进。

技术问题

本申请提供一种显示面板以及电子设备，以缓解现有 8K 超高分辨率电子设备存在的支撑柱容易剥落以及 CK 阻抗差异导致 GOA 单元输出信号差异的技术问题。

技术解决方案

为解决上述问题，本申请提供的技术方案如下：

本申请提供一种显示面板，其包括：

第一基板；

第二基板，与所述第一基板相对设置；

5 支撑柱，形成在所述第一基板上；

液晶，填充在所述第一基板与所述第二基板形成的密封空间内；

其中，在与所述支撑柱的接触区域内，所述第一基板的与所述支撑柱接触的接触膜层形成有凸凹图案，所述凸凹图案用于增大所述接触膜层与所述支撑柱的接触面积，所述凸凹图案包括所述接触膜层通过凸起、凹陷、或者凸起凹
10 陷配合中的至少一个方式所形成的目标图案；

在非显示区内，所述显示面板还形成有：

列方向排布的 m 个 GOA 单元，所述 GOA 单元包括上拉模块，所述上拉模块包括连接时钟信号的时钟输入晶体管；

列方向延伸且平行设置的 n 个时钟信号线；

15 行方向延伸且平行设置的 m 个时钟信号连接线，所述时钟信号连接线与所述 GOA 单元一一对应，用于将所述 GOA 单元内上拉模块的时钟输入晶体管连接至对应的时钟信号线；

所述时钟信号线包括第 $n1$ 个时钟信号线和第 $n2$ 个时钟信号线，所述第 $n2$ 个时钟信号线形成在所述第 $n1$ 个时钟信号线远离所述 GOA 单元的一侧，
20 连接所述第 $n1$ 个时钟信号线的第 $m1$ 个 GOA 单元内上拉模块的时钟输入晶体管的压降值，大于连接所述第 $n2$ 个时钟信号线的第 $m2$ 个 GOA 单元内上拉模块的时钟输入晶体管的压降值。

在本申请的显示面板中，所述时钟输入晶体管包括阵列连接的多个子晶体管形成，所述第 $m1$ 个 GOA 单元内上拉模块的时钟输入晶体管的子晶体管的
25 数量，大于所述第 $m2$ 个 GOA 单元内上拉模块的时钟输入晶体管的子晶体管的数量。

在本申请的显示面板中，所述第 n 级 GOA 单元包括：

上拉控制模块，与第一节点连接，用于在显示时间段将所述第一节点的电位拉高；

逻辑寻址模块，包括第二节点，所述逻辑寻址模块与所述第一节点连接，用于在所述显示时间段，对所述第二节点电位进行两次拉高，在空白时间段，通过所述第二节点将所述第一节点的电位拉高；

5 上拉模块，与所述第一节点连接，用于将第 n 级级传信号、第一输出信号和第二输出信号的电位拉高；

第一下拉模块，与所述第一节点连接，用于在空白时间段将所述第一节点的电位拉低；

第二下拉模块，与所述第一节点和第三节点连接，用于在显示时间段分别将所述第一节点和所述第三节点的电位拉低；

10 第三下拉模块，与所述第三节点和所述第二下拉模块连接，用于在空白时间段将所述第三节点的电位拉低；

第一下拉维持模块，包括所述第三节点，所述第一下拉维持模块与所述第一节点和所述第一下拉模块连接，用于维持所述第一节点的低电位；

15 第二下拉维持模块，与所述第三节点和所述上拉模块连接，用于维持所述第 n 级级传信号、所述第一输出信号和所述第二输出信号的低电位。

在本申请的显示面板中，所述第一基板包括衬底基板、形成在所述衬底基板上的黑色矩阵、以及形成在所述黑色矩阵上的彩膜层；所述支撑柱形成在所述彩膜层上，且位于所述彩膜层与所述黑色矩阵重叠的区域内，所述彩膜层在与所述支撑柱的接触区域内形成有凸凹图案。

20 在本申请的显示面板中，所述黑色矩阵在所述彩膜层与所述支撑柱的接触区域内，也形成有凸凹图案。

在本申请的显示面板中，所述第一基板包括衬底基板、形成在所述衬底基板上的驱动电路层、以及形成在所述驱动电路层上的平坦化层；所述支撑柱形成在所述平坦化层上，所述平坦化层在与所述支撑柱的接触区域内形成有凸凹
25 图案。

在本申请的显示面板中，所述第一基板包括衬底基板、形成在所述衬底基板上的驱动电路层、形成在所述驱动电路层上的色阻层、以及形成在所述色阻层上的平坦化层；所述支撑柱形成在所述平坦化层上，所述平坦化层在与所述支撑柱的接触区域内形成有凸凹图案。

在本申请的显示面板中,所述色阻层在所述平坦化层与所述支撑柱的接触区域内,也形成有凸凹图案。

在本申请的显示面板中,所述目标图案的形状为网格状。

在本申请的显示面板中,所述第 m_1 个 GOA 单元内的上拉模块的时钟输入晶体管的漏极与有源层的接触面积小于所述第 m_2 个 GOA 单元内的上拉模块的时钟输入晶体管的漏极与有源层的接触面积。

本申请还提供一种电子设备,包括显示面板,显示面板包括:

列方向排布的 m 个 GOA 单元,所述 GOA 单元包括上拉模块,所述上拉模块包括连接时钟信号的时钟输入晶体管;

10 列方向延伸且平行设置的 n 个时钟信号线;

行方向延伸且平行设置的 m 个时钟信号连接线,所述时钟信号连接线与所述 GOA 单元一一对应,用于将所述 GOA 单元内上拉模块的时钟输入晶体管连接至对应的时钟信号线;

其中, n 个所述时钟信号线包括第 n_1 个时钟信号线和第 n_2 个时钟信号线,所述第 n_2 个时钟信号线形成在所述第 n_1 个时钟信号线远离所述 GOA 单元的一侧,连接所述第 n_1 个时钟信号线的第 m_1 个 GOA 单元内上拉模块的时钟输入晶体管的压降值,大于连接所述第 n_2 个时钟信号线的第 m_2 个 GOA 单元内上拉模块的时钟输入晶体管的压降值。

在本申请的电子设备中,所述第 m_1 个 GOA 单元内的上拉模块的时钟输入晶体管的尺寸,大于所述第 m_2 个 GOA 单元内的上拉模块的时钟输入晶体管的尺寸。

在本申请的电子设备中,所述时钟输入晶体管包括阵列连接的多个子晶体管,所述第 m_1 个 GOA 单元内的上拉模块的时钟输入晶体管的子晶体的数量大于所述第 m_2 个 GOA 单元内的上拉模块的时钟输入晶体管的子晶体的数量。

在本申请的电子设备中,所述第 m_1 个 GOA 单元内的上拉模块的时钟输入晶体管的源极面积大于所述第 m_2 个 GOA 单元内的上拉模块的时钟输入晶体管的源极面积;和/或,所述第 m_1 个 GOA 单元内的上拉模块的时钟输入晶体管的漏极面积大于所述第 m_2 个 GOA 单元内上拉模块的时钟输入晶体管的

漏极面积。

在本申请的电子设备中，所述第 $m1$ 个 GOA 单元内的上拉模块的时钟输入晶体管的源极与有源层的接触面积小于所述第 $m2$ 个 GOA 单元内的上拉模块的时钟输入晶体管的源极与有源层的接触面积。

5 在本申请的电子设备中，第 n 级 GOA 单元包括：

上拉控制模块，与第一节点连接，用于在显示时间段将所述第一节点的电位拉高；

10 逻辑寻址模块，包括第二节点，所述逻辑寻址模块与所述第一节点连接，用于在所述显示时间段，对所述第二节点电位进行两次拉高，在空白时间段，通过所述第二节点将所述第一节点的电位拉高；

上拉模块，与所述第一节点连接，用于将第 n 级级传信号、第一输出信号和第二输出信号的电位拉高；

第一下拉模块，与所述第一节点连接，用于在空白时间段将所述第一节点的电位拉低；

15 第二下拉模块，与所述第一节点和第三节点连接，用于在显示时间段分别将所述第一节点和所述第三节点的电位拉低；

第三下拉模块，与所述第三节点和所述第二下拉模块连接，用于在空白时间段将所述第三节点的电位拉低；

20 第一下拉维持模块，包括所述第三节点，所述第一下拉维持模块与所述第一节点和所述第一下拉模块连接，用于维持所述第一节点的低电位；

第二下拉维持模块，与所述第三节点和所述上拉模块连接，用于维持所述第 n 级级传信号、所述第一输出信号和所述第二输出信号的低电位。

25 在本申请的电子设备中，所述上拉控制模块包括第一晶体管和第二晶体管，所述第一晶体管的栅极和第一电极、以及所述第二晶体管的栅极均连接第 $n-2$ 级级传信号，所述第一晶体管的第二电极连接所述第二晶体管的第一电极和第四节点，所述第二晶体管的第二电极连接所述第一节点。

在本申请的电子设备中，所述第 $m1$ 个 GOA 单元内的上拉模块的时钟输入晶体管的源漏极层材料电阻率大于所述第 $m2$ 个 GOA 单元内上拉模块的时钟输入晶体管的源漏极层材料电阻率。

在本申请的电子设备中，所述第 $m1$ 个 GOA 单元内的上拉模块的时钟输入晶体管的源漏极层厚度小于所述第 $m2$ 个 GOA 单元内的上拉模块的时钟输入晶体管的源漏极层厚度。

5 在本申请的电子设备中，所述第 $m1$ 个 GOA 单元内的上拉模块的时钟输入晶体管的漏极与有源层的接触面积小于所述第 $m2$ 个 GOA 单元内的上拉模块的时钟输入晶体管的漏极与有源层的接触面。

有益效果

10 本申请提供一种显示面板以及电子设备，该显示面板包括第一基板，第二基板，与所述第一基板相对设置，支撑柱，形成在所述第一基板上，液晶，填充在所述第一基板与所述第二基板形成的液晶腔内，其中，在与所述支撑柱的接触区域内，所述第一基板的与所述支撑柱接触的接触膜层形成有凸凹图案，所述凸凹图案用于增大所述接触膜层与所述支撑柱的接触面积；基于该结构，增大了支撑柱与底层的接触面积，并且不需要改变单个子像素的尺寸，缓解了现有 8K 超高分辨率电子设备存在的支撑柱容易剥落的技术问题；同时，时钟
15 信号线包括第 $n1$ 个时钟信号线和第 $n2$ 个时钟信号线，所述第 $n2$ 个时钟信号线形成在所述第 $n1$ 个时钟信号线远离所述 GOA 单元的一侧，连接所述第 $n1$ 个时钟信号线的第 $m1$ 个 GOA 单元内上拉模块的时钟输入晶体管的压降值，大于连接所述第 $n2$ 个时钟信号线的第 $m2$ 个 GOA 单元内上拉模块的时钟输入晶体管的压降值，基于该电路结构，通过调整不同 GOA 单元内时钟输入晶体
20 管的压降值，使得对由于时钟信号线和时钟信号连接线长度不同导致的压降值可以得到补偿，进而使得各 GOA 单元与时钟驱动芯片之间的压降值近似相同，缓解了 8K 超高分辨率电子设备存在的 CK 阻抗差异，改善了 8K 超高分辨率电子设备存在的导致 GOA 单元输出信号差异的技术问题。

附图说明

25 图 1 为本申请实施例提供的显示面板的结构示意图。
图 2 为本申请实施例提供的目标图案的设计示意图。
图 3a 至图 3g 为本申请实施例提供的显示面板的设计示意图。
图 4 为本申请实施例提供的显示面板的另一种结构示意图。

图 5a 至图 5e 为本申请实施例提供的彩膜基板及对应掩模板的示意图。

图 6 为本申请实施例提供的显示面板的电路示意图。

图 7 为本申请实施例提供的 GOA 电路的电路示意图。

图 8a 至图 8c 为本申请实施例的时序图。

5 图 9a 至图 9o 为本申请实施例提供的显示面板的制备示意图。

本发明的实施方式

本申请提供一种显示面板以及电子设备，为使本申请的目的、技术方案及效果更加清楚、明确，以下参照附图并举实施例对本申请进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。

10 以下各实施例的说明是参考附加的图示，用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。在图中，结构相近的单元是用以相同标号表示。

15 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

20 在本申请的描述中，需要理解的是，术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。

25

在本申请的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接或可以相互通讯;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本申请中的具体含义。

在本申请中,除非另有明确的规定和限定,第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触,也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且,第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方,或仅仅表示第一特征水平高度小于第二特征。

下文的公开提供了许多不同的实施方式或例子用来实现本申请的不同结构。为了简化本申请的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本申请。此外,本申请可以在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。此外,本申请提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的应用和/或其他材料的使用。

本申请提供一种显示面板以及电子设备,以缓解现有 8K 超高分辨率电子设备存在的支撑柱容易剥落的技术问题。

在一种实施例中,凸凹图案包括所述接触膜层通过凸起、凹陷、或者凸起凹陷配合中的至少一个方式所形成的目标图案,例如下文实施例中接触膜层通过凹陷这一方式所形成的目标图案,在其他实施例中,所述接触膜层可以仅通过凸起方式或者凸起凹陷配合方式中的至少一个方式形成目标图案,凸起凹陷配合方式是指接触膜层通过凸起形成目标图案的一部分,通过凹陷形成目标图案的其他部分,这些方式的具体实现方法与下文实施例描述的接触膜层通过凹陷这一方式所形成的目标图案类似。

如图1所示,本申请提供一种显示面板包括:

第一基板11;

第二基板12,与所述第一基板11相对设置;

支撑柱13,形成在所述第一基板11上;

5 液晶14,填充在所述第一基板11与所述第二基板12形成的密封空间内;

其中,在与所述支撑柱13的接触区域内,所述第一基板11的与所述支撑柱13接触的接触膜层111(即上文中的底层)形成有凸凹图案15,所述凸凹图案15用于增大所述接触膜层111与所述支撑柱13的接触面积。

本实施例提供的显示面板包括第一基板,第二基板,与所述第一基板相对
10 设置,支撑柱,形成在所述第一基板上,液晶,填充在所述第一基板与所述第二基板形成的液晶腔内,其中,在与所述支撑柱的接触区域内,所述第一基板的与所述支撑柱接触的接触膜层形成有凸凹图案,所述凸凹图案用于增大所述接触膜层与所述支撑柱的接触面积。基于该结构,增大了支撑柱与底层的接触面积,并且不需要改变单个子像素的尺寸,缓解了现有8K超高分辨率电子设备存在的支撑柱容易剥落的技术问题。
15

在一种实施例中,如图2所示,本申请实施例提供的凸凹图案15对应目标图案的形状为网格状。在一些实施例中,网格大小为1至6微米,间隔为1至6微米,深度小于0.5微米即可,通过掩模板对接触膜层(一般为有机材料层)进行光刻即可实现本实施例,如针对凸凹图案的设置区域,通过改变此处
20 RGB/PFA掩模板的网格设计,使用透过率80%~90%的掩模板,降低透过率,部分光阻被显影液去除,达到膜厚降低0.5微米形成凸凹图案的需求。

在一种实施例中,图1所示的显示面板为COA(Color Filter on Array, RGB在阵列基板上)结构,此时如图3a所示,所述第一基板11包括衬底基板11a1以及形成在所述衬底基板上的黑色矩阵11a2,所述黑色矩阵11a2围绕阵列排布且与子像素出光区对应的开口;所述支撑柱13形成在所述黑色矩阵11a2上,即黑色矩阵11a2为上文中的接触膜层111,所述黑色矩阵11a2在与所述支撑柱13的接触区域内形成有凸凹图案15。
25

在一种实施例中,图1所示的显示面板为非COA(Color Filter on Array, RGB在阵列基板上)结构,此时如图3b所示,所述第一基板11包括衬底基板

11b1、形成在所述衬底基板上的黑色矩阵11b2以及彩膜层11b3，所述黑色矩阵11b2围绕阵列排布且与子像素出光区对应的彩膜层11b3；所述支撑柱13形成在所述黑色矩阵11b2上，即黑色矩阵11b2为上文中的接触膜层111，所述黑色矩阵11b2在与所述支撑柱13的接触区域内形成有凸凹图案15。

5 在一种实施例中，图1所示的显示面板为非COA（Color Filter on Array，RGB 在阵列基板上）结构，彩膜层覆盖黑色矩阵，此时如图3c所示，所述第一基板11包括衬底基板11c1、形成在所述衬底基板11c1上的黑色矩阵11c2、以及形成在所述黑色矩阵11c2上的彩膜层11c3；所述支撑柱13形成在所述彩膜层11c3上，且位于所述彩膜层11c3与所述黑色矩阵11c2重叠的区域内，即彩膜层11c3为上文中的接触膜层111，所述彩膜层11c3在与所述支撑柱13的接触区域内形成有凸凹图案15。

10 在一种实施例中，图1所示的显示面板为非COA（Color Filter on Array，RGB 在阵列基板上）结构，彩膜层覆盖黑色矩阵，此时如图3d所示，所述第一基板11包括衬底基板11d1、形成在所述衬底基板11d1上的黑色矩阵11d2、以及形成在所述黑色矩阵11d2上的彩膜层11d3；所述支撑柱13形成在所述彩膜层11d3上，且位于所述彩膜层11d3与所述黑色矩阵11d2重叠的区域内，即彩膜层11d3为上文中的接触膜层111，所述彩膜层11d3在与所述支撑柱13的接触区域内形成有凸凹图案15，所述黑色矩阵11d2在所述彩膜层11d3与所述支撑柱13的接触区域内，也形成有凸凹图案15。

15 在一种实施例中，图1所示的显示面板为非COA（Color Filter on Array，RGB 在阵列基板上）结构，且为POA（PS on Array，PS 在阵列基板上）结构，此时如图3e所示，所述第一基板11包括衬底基板11e1、形成在所述衬底基板11e1上的驱动电路层11e2、以及形成在所述驱动电路层11e2上的平坦化层11e3；所述支撑柱13形成在所述平坦化层11e3上，即平坦化层11e3为上文中的接触膜层111，所述平坦化层11e3在与所述支撑柱13的接触区域内形成有凸凹图案15。

20 在一种实施例中，图1所示的显示面板为COA（Color Filter on Array，RGB 在阵列基板上）结构，且为POA（PS on Array，PS 在阵列基板上）结构，此时如图3f所示，所述第一基板11包括衬底基板11f1、形成在所述衬底基板11f1

上的驱动电路层11f2、形成在所述驱动电路层11f2上的色阻层11f3、以及形成在所述色阻层11f3上的平坦化层11f4；所述支撑柱13形成在所述平坦化层11f4上，即平坦化层11f4为上文中的接触膜层111，所述平坦化层11f4在与所述支撑柱13的接触区域内形成有凸凹图案15。

5 在一种实施例中，图1所示的显示面板为COA (Color Filter on Array，RGB在阵列基板上) 结构，且为POA (PS on Array，PS在阵列基板上) 结构，此时如图3g所示，所述第一基板11包括衬底基板11g1、形成在所述衬底基板11g1上的驱动电路层11g2、形成在所述驱动电路层11g2上的色阻层11g3、以及形成在所述色阻层 (RGB层) 11g3上的平坦化层11g4；所述支撑柱13形成在所述平坦化层11g4上，即平坦化层11g4为上文中的接触膜层111，所述平坦化层11g4在与所述支撑柱13的接触区域内形成有凸凹图案15，所述色阻层11g3在所述平坦化层11g4与所述支撑柱13的接触区域内，也形成有凸凹图案15。

10

在一种实施例中，平坦化层的材料为PFA (大分子有机透明材料)，平坦化层的厚度为1.5微米左右，黑色矩阵、彩膜层以及色阻层的厚度为2至3微米，那么基于该厚度值，形成凸凹图案15之后，并不会影响膜层的原有功能。

15

在一种实施例中，支撑柱包括主支撑柱 (Main ps) 和辅支撑柱 (Sub ps)，接触膜层在接触主支撑柱和辅支撑柱的区域，可以形成参数 (包括大小、形状以及深度等) 相同的凸凹图案 15，也可以形成参数 (包括大小、形状以及深度等) 不相同的凸凹图案 15，例如接触膜层在接触主支撑柱处形成的凸凹图案 15 的深度，大于在接触辅支撑柱处形成的凸凹图案 15 的深度。

20

针对 8K 超高分辨率显示面板，除去上述 8K 电子设备存在的支撑柱容易剥落的技术问题，至少还存在以下技术问题：

8K 分辨率电子设备的单个子像素的面积，是 4 K 分辨率电子设备的单个子像素的面积的四分之一，伴随的是对应掩模板的制备难度以及成本增加。在实际产品制备过程中，针对相同分辨率不同尺寸的显示面板，由于单个子像素的面积不同，需要开发制备不同尺寸的掩模板，例如现有技术制备 65 寸 8K 分辨率的显示面板和 85 寸 8K 分辨率的显示面板时，就需要使用不同尺寸的掩模板，开发成本高，此时掩模板的尺寸是指掩模板上遮光区的尺寸，即现有

25

8K 电子设备存在需要针对不同尺寸显示面板制备不同尺寸掩模板的技术问题；

液晶显示面板各像素的子像素是设置按行设置的，在本申请中，子像素的排列方向就是行方向，与行方向垂直的方式就是列方向，行宽度值是指某个区域在行方向上的宽度值大小。

在本申请中，重复区域是指掩模板上的一个区域，掩模板是由陈列分布的重复区域组成的，像素区域是指显示面板中一个最小发光单元（即子像素）对应的区域，像素区域包括出光区以及围绕出光区的遮光区；在制备显示面板的过程中，对位掩模板与基板就是将掩模板的重复区域与基板的像素区域进行对位。

为了解决这些技术问题，在一种实施例中，如图 4 所示，本申请实施例提供的显示面板包括：

阵列基板 51，形成有驱动电路层以及像素电极等；

彩膜基板 52，与阵列基板 51 相对设置；

胶框 53，用于封装阵列基板 51 及彩膜基板 52，并与之形成密封空间，密封空间内填充有液晶；

支撑柱 54，形成在阵列基板 51 或者彩膜基板上，用于支撑阵列基板 51 及彩膜基板 52。

在一种实施例中，针对不同尺寸显示面板制备不同尺寸掩模板的技术问题，如图 5e 所示。图 5e 为现有掩模板的效果示意图，掩模板的遮光区设置在像素区域的正中间，如图 5e 所示，在 65 寸 8K 分辨率的显示面板中单个子像素的行宽度值为 52 微米，65 寸 8K 分辨率的显示面板对应的掩模板 1 的像素区域行宽度值也是 52 微米，在 85 寸 8K 分辨率的显示面板中单个子像素的行宽度值为 72 微米，85 寸 8K 分辨率的显示面板对应的掩模板 2 的像素区域行宽度值也是 72 微米，若采用相同尺寸的掩模板，即遮光区的行宽度值为 28 微米时，在行方向上，掩模板 1 的单个透光区的行宽度值为 12 微米，掩模板 2 的单个透光区的行宽度值为 22 微米，在光刻时，透光区形成狭缝，光线透过狭缝产生衍射，根据光的衍射原理，狭缝越小，光的衍射范围越大。

黑色矩阵是负性光阻，没有照射到光线的区域被蚀刻到形成开口。那么，

如图 5e 所示,掩模板 1 遮光区的实际有效遮挡范围的行宽度值为 16 微米(即单个缝隙的衍射范围为 6 微米),形成的 65 寸 8K 分辨率显示面板单个子像素的出光区的行宽度为 16 微米,掩模板 2 遮光区的实际有效遮挡范围的行宽度值为 18 微米(即单个缝隙的衍射范围为 5 微米),形成的 85 寸 8K 分辨率显示面板单个子像素的出光区的行宽度为 18 微米,这也是符合光的衍射原理的。但是这会导致 65 寸 8K 分辨率显示面板单个子像素的出光区行宽度与 85 寸 8K 分辨率显示面板单个子像素的出光区行宽度不同,后续在形成 RGB 彩膜层时,需要使用不同尺寸的掩模板。因此,现有 8K 电子设备至少存在需要针对不同尺寸显示面板制备不同尺寸掩模板的技术问题,需要改进。那么,本申请提供一种掩模板、显示面板以及电子设备,可以解决现有 8K 电子设备至少存在需要针对不同尺寸显示面板制备不同尺寸掩模板的技术问题。

为了解决这些问题,如图 5a 至图 5b 所示,彩膜基板包括:

衬底基板 521;

形成在所述衬底基板上的黑色矩阵 522,所述黑色矩阵包括用于填充彩膜层 523 的开口;

形成在所述开口内的彩膜层 523;

其中,如图 5a 以及图 5b 所示,彩膜基板包括多个阵列排布、且与子像素对应的像素区域 W,所述像素区域 W 包括所述开口对应的第一区域 W1、以及围绕所述第一区域 W1 的第二区域 W2,所述第二区域 W2 形成有所述黑色矩阵 522;所述第二区域 W2 包括行方向排列且平行的第一侧边区域 D1 和第二侧边区域 D2、以及列方向排列且平行的第三侧边区域 D3 和第四侧边区域 D4;所述第一侧边区域 D1 远离所述开口的侧边到所述开口的第一距离 L1,小于所述第二侧边区域远离所述开口的侧边到所述开口的第二距离 L2。

在一种实施例中,驱动电路形成在第三侧边区域 D3 的范围内,凸凹图案形成在第三侧边区域 D3 的范围内,例如,凸凹图案形成在第三侧边区域 D3 内。

基于该结构,相同分辨率不同尺寸的显示面板可以使用相同尺寸的掩模板,这些掩模板的区别仅仅是开口图形图案与像素区域边缘的距离不同,解决了现有 8K 电子设备至少存在需要针对不同尺寸显示面板制备不同尺寸掩模板

的技术问题，降低了产品制备成本。

在一种实施例中，在85寸以及85寸以上尺寸8K分辨率的显示面板中，在所述行方向上，所述第一距离L1的值小于18微米，所述第二距离L2的值大于18微米。

5 在一种实施例中，在85寸8K分辨率的显示面板中，在所述行方向上，所述开口的宽度值为16微米，所述第一距离L1与所述第二距离L2的和为56微米。

为了制备图5a至图5b所示的彩膜基板，本申请也提供了图5c至图5d所示的掩模板，如图5c至图5d所示，本申请提供的掩模板包括：

10 掩模板基板M11；

开口图形图案M12，形成于所述掩模板基板M11上，用于形成所述彩膜基板的黑色矩阵或者彩膜层，所述黑色矩阵包括用于填充彩膜层的开口；

其中，所述掩模板包括多个重复区域Z，所述重复区域Z包括所述开口图形图案M12对应的第一区域Z1、以及围绕所述第一区域Z1的第二区域Z2；所述第二区域Z2包括行方向排列且平行的第一侧边区域C1和第二侧边区域C2、以及列方向排列且平行的第三侧边区域C3和第四侧边区域C4；所述第一侧边区域C1远离所述开口图形图案M12的侧边到所述开口图形图案M12的第三距离h1，小于所述第二侧边区域C2远离所述开口图形图案M12的侧边到所述开口图形图案M12的第四距离h2。

20 该掩模板放弃现有掩模板开口图形图案，如遮光区等位于重复区域中心的设计，将其向侧边移动，这样就可以基于衍射效应得到目标尺寸的黑色矩阵开口或者彩膜层，同时不需要改变开口图形图案的尺寸，基于该结构相同分辨率不同尺寸的显示面板可以使用相同尺寸的掩模板，这些掩模板的区别仅仅是开口图形图案与重复区域Z边缘的距离不同，解决了现有8K电子设备至少存在需
25 要针对不同尺寸显示面板制备不同尺寸掩模板的技术问题，降低了产品制备成本。

在一种实施例中，掩模板在第三侧边区域C3内，形成有与凸凹图案的目标图案对应的遮光图形图案，遮光图形图案的光透过率为80%至90%，进而实现在黑色矩阵的对应区域内形成凹陷的目标图案作为凸凹图案。

在一种实施例中,所述第三侧边区域C3远离所述开口图形图案M12的侧边到所述开口图形图案M12的第五距离h3,等于所述第四侧边区域C4远离所述开口图形图案M12的侧边到所述开口图形图案M12的第六距离h4。

在一种实施例中,挡掩模板用于制备85寸以及85寸以上尺寸8K分辨率的显示面板时,所述第三距离h1的值小于12微米,所述第四距离h2的值大于32微米。

在一种实施例中,挡掩模板用于制备85寸以及85寸以上尺寸8K分辨率的显示面板时,所述第三距离h1的值小于10微米,所述第四距离h2的值大于34微米。

在一种实施例中,挡掩模板用于制备65寸以及65寸以上尺寸8K分辨率的显示面板时,在所述行方向上,所述开口图形图案M12的宽度值为28微米。

在一种实施例中,挡掩模板用于制备85寸8K分辨率的显示面板时,在本申请的掩模板中,所述第三距离h1与所述第四距离h2的和为44微米。

在一种实施例中,开口图形图案M12为光透光率为0的材料图案化形成,该材料包括金属铬等。

在一种实施例中,相邻重复区域Z之间形成有一条光透光率为0的直线,以保证狭缝效应,该直线的宽度小于1微米,不会影响该区域下方黑色矩阵的图案。

在一种实施例中,为了得到图 5a 以及图 5b 所示实施例中的彩膜基板,如图 9a 至图 9o 所示,本申请实施例还提供了以下彩膜基板制备方法,该方法包括:

步骤 1、提供衬底基板。

如图 9a 所示,提供透明玻璃基板等作为衬底基板 91。

步骤 2、在衬底基板上形成黑色矩阵材料层。

如图 9b 所示,在透明玻璃基板等衬底基板 91 上,形成黑色矩阵材料层 92。其中,黑色矩阵材料层的材料为负性光阻,被掩模板遮光的区域被去除。

步骤 3、对位第一掩模板和所述衬底基板。

如图 9c 所示,取用第一掩模板 Y1,该第一掩模板 Y1 的每个与像素区域 W 对应的重复区域 Z 均采用图 5c 及图 5d 所示实施例的设计。将第一掩模板

Y1 与步骤 2 得到的衬底基板进行对位。

步骤 4、图案化处理黑色矩阵材料形成黑色矩阵。

如图 9d 所示，使用曝光机等设备基于第一掩模板，对黑色矩阵材料层 92 进行光刻处理，得到黑色矩阵 93。

5 步骤 5、涂布红色色阻材料层。

如图 9e 所示，在步骤 4 得到的衬底基板上，整面涂布红色光阻层 94。其中，红色光阻层的材料为正性光阻，被掩模板遮光的区域保留。

步骤 6、对位第二掩模板和所述衬底基板。

10 如图 9f 所示，取用第二掩模板 Y2，该第二掩模板 Y2 仅在红色子像素对应的像素区域 W 对应的重复区域 Z 采用图 5c 及图 5d 所示实施例的设计。将第二掩模板 Y2 与步骤 5 得到的衬底基板进行对位。

步骤 7、图案化处理红色光阻层。

如图 9g 所示，使用曝光机等设备基于第二掩模板，对红色光阻层 94 进行光刻处理，得到红色滤光层 95。

15 步骤 8、涂布绿色色阻材料层。

如图 9h 所示，在步骤 7 得到的衬底基板上，整面涂布绿色光阻层 96。其中，绿色光阻层的材料为正性光阻，被掩模板遮光的区域保留。

步骤 9、对位第三掩模板和所述衬底基板。

20 如图 9i 所示，取用第三掩模板 Y3，该第三掩模板 Y3 仅在绿色子像素对应的像素区域 W 对应的重复区域 Z 采用图 5c 及图 5d 所示实施例的设计。将第三掩模板 Y3 与步骤 8 得到的衬底基板进行对位。

步骤 10、图案化处理绿色光阻层。

如图 9j 所示，使用曝光机等设备基于第三掩模板，对绿色光阻层 96 进行光刻处理，得到绿色滤光层 97。

25 步骤 11、涂布蓝色色阻材料层。

如图 9k 所示，在步骤 10 得到的衬底基板上，整面涂布蓝色光阻层 98。其中，蓝色光阻层的材料为正性光阻，被掩模板遮光的区域保留。

步骤 12、对位第四掩模板和所述衬底基板。

如图 9l 所示，取用第四掩模板 Y4，该第四掩模板 Y4 仅在蓝色子像素对

应的像素区域 W 对应的重复区域 Z 采用图 5c 及图 5d 所示实施例的设计。将第四掩模板 Y4 与步骤 11 得到的衬底基板进行对位。

步骤 13、图案化处理蓝色光阻层。

如图 9m 所示，使用曝光机等设备基于第四掩模板，对蓝色光阻层 98 进行光刻处理，得到蓝色滤光层 99。

步骤 14、制备支撑柱。

如图 9n 所示，在步骤 13 得到的衬底基板的黑色矩阵上制备支撑柱 910。

步骤 15、制备平坦化层以及公共电极层。

如图 9o 所示，在步骤 14 得到的衬底基板上，依次使用大分子有机颗粒制备平坦化层 911，使用 TIO 等透明导电材料在平坦化层 911 制备公共电极层 912。

在一种实施例中，针对 CK 阻抗差异技术问题，如图 6 所示，在胶框 53 所在的非显示区内，显示面板形成有：

列方向排布的 m 个 GOA 单元 601，所述 GOA 单元 601 包括上拉模块，所述上拉模块包括连接时钟信号的时钟输入晶体管；

列方向延伸且平行设置的 n 个时钟信号线 602；

行方向延伸且平行设置的 m 个时钟信号连接线 603，所述时钟信号连接线 603 与所述 GOA 单元 601 一一对应，用于将所述 GOA 单元 601 内上拉模块的时钟输入晶体管连接至对应的时钟信号线 602；

其中，n 个所述时钟信号线包括第 n1 个时钟信号线和第 n2 个时钟信号线，所述第 n2 个时钟信号线形成在所述第 n1 个时钟信号线远离所述 GOA 单元的一侧，连接所述第 n1 个时钟信号线的第 m1 个 GOA 单元内上拉模块的时钟输入晶体管的压降值，大于连接所述第 n2 个时钟信号线的第 m2 个 GOA 单元内上拉模块的时钟输入晶体管的压降值，n1 与 n2 不同，且属于 1 至 n，m1 与 m2 不同，且属于 1 至 m。

以显示面板的分辨率是 7680*4320 为例，显示面板包括 4320 个 GOA 单元 601、12 个时钟信号线 602（图 6 中的 CK1 至 CK12），每个时钟信号线 602 连接 360 个 GOA 单元 601，那么可以预见在列方向上和行方向上，连接 CK12 的 GOA 单元 601（m2）与连接 CK1 的 GOA 单元 601（m1）的压降值差异为

电阻 R1 和电阻 R2 之和与电流 I 的乘积，电阻 R1 和电阻 R2 之和可达到千欧姆级别。基于该现状，本申请放弃对时钟信号线进行压降改进，而独创性的提出对 GOA 单元内的时钟输入晶体管（即连接外界时钟信号的薄膜晶体管）的参数进行调整，以改变其对应的压降值。

- 5 本实施例提供一种显示面板，该显示面板包括列方向排布的 m 个 GOA 单元，所述 GOA 单元包括上拉模块，所述上拉模块包括连接时钟信号的时钟输入晶体管，列方向延伸且平行设置的 n 个时钟信号线，行方向延伸且平行设置的 m 个时钟信号连接线，所述时钟信号连接线与所述 GOA 单元一一对应，用于将所述 GOA 单元内上拉模块的时钟输入晶体管连接至对应的时钟信号线；
- 10 其中，所述时钟信号线包括第 n1 个时钟信号线 and 第 n2 个时钟信号线，所述第 n2 个时钟信号线形成在所述第 n1 个时钟信号线远离所述 GOA 单元的一侧，连接所述第 n1 个时钟信号线的第 m1 个 GOA 单元内上拉模块的时钟输入晶体管的压降值，大于连接所述第 n2 个时钟信号线的第 m2 个 GOA 单元内上拉模块的时钟输入晶体管的压降值。基于该电路结构，通过调整不同 GOA 单元内
- 15 时钟输入晶体管的压降值，使得对由于时钟信号线和时钟信号连接线长度不同导致的压降值可以得到补偿，进而使得各 GOA 单元与时钟驱动芯片之间的压降值近似相同，缓解了 8K 超高分辨率电子设备存在的 CK 阻抗差异，改善了 8K 超高分辨率电子设备存在的导致 GOA 单元输出信号差异的技术问题。

- 在一种实施例中，显示面板包括有源层、第一金属层、第二金属层，所述
- 20 有源层图案化形成晶体管的沟道区，第一金属层图案化形成栅极、栅极扫描线以及时钟信号线，第二金属层图案化形成时钟信号连接线、晶体管的源极、漏极等，此时，CK 信号与 GOA 单元中时钟输入晶体管的源级相连，CK 信号通过时钟信号线（第一金属层）输入，经过转接孔传输到时钟信号连接线（第二金属层）挂到时钟输入晶体管的源级。

- 25 在一种实施例中，时钟输入晶体管的参数包括晶体管的尺寸、膜层材料的电阻率、膜层厚度等多个维度，针对连接不同时钟信号线的时钟输入晶体管，可以仅调整一种参数，也可以同时调整多种参数，以使得连接所有时钟信号线的 GOA 单元到时钟驱动芯片之间的压降近似相同。

在一种实施例中，连接同一时钟信号线的、属于不同 GOA 单元的时钟输

入晶体管的压降值相同。

在一种实施例中，连接不同时钟信号线的时钟输入晶体管的尺寸参数不同，即第 m_1 个 GOA 单元内上拉模块的时钟输入晶体管的子晶体管的尺寸，大于所述第 m_2 个 GOA 单元内上拉模块的时钟输入晶体管的子晶体管的尺寸。

5 在一种实施例中，如图 6 所示，时钟输入晶体管包括阵列连接的多个子晶体管形成，所述第 m_1 个 GOA 单元内上拉模块的时钟输入晶体管的子晶体管的数量，大于所述第 m_2 个 GOA 单元内上拉模块的时钟输入晶体管的子晶体管的数量。在实际制备过程中，每个晶体管都是采用阵列的子晶体管串联方式实现的，串联的子晶体管的数量越多，晶体管的电阻值越大，本实施例基于此
10 对晶体管的子晶体管数据进行调整，在制备时，仅需改变不同 GOA 单元中时钟输入晶体管子晶体管对应的掩模板遮光区域的数量即可得到本实施例。

在一种实施例中，所述第 m_1 个 GOA 单元内上拉模块的时钟输入晶体管的源极面积，大于所述第 m_2 个 GOA 单元内上拉模块的时钟输入晶体管的源极面积。针对有源层参数、栅极参数、漏极参数（包括材料电阻率、面积、厚度）、源极部分参数（包括材料电阻率、厚度）相同的情况下，源极面积越大，
15 晶体管的电阻值越大，本实施例基于此对晶体管的压降值进行调整，在制备时，仅需改变不同 GOA 单元中时钟输入晶体管源极对应的掩模板遮光区域的面积即可得到本实施例。

在一种实施例中，所述第 m_1 个 GOA 单元内上拉模块的时钟输入晶体管的源极与有源层的接触面积，小于所述第 m_2 个 GOA 单元内上拉模块的时钟
20 输入晶体管的源极与有源层的接触面积。针对有源层参数、栅极参数、漏极参数（包括材料电阻率、面积、厚度）、源极参数（包括材料电阻率、面积、厚度）相同的情况下，源极与有源层的接触面积越小，晶体管的电阻值越大，本实施例基于此对晶体管的压降值进行调整，在制备时，仅需改变不同 GOA 单
25 元中时钟输入晶体管源极连接过孔对应的掩模板透光区域的面积即可得到本实施例。

在一种实施例中，所述第 m_1 个 GOA 单元内上拉模块的时钟输入晶体管的漏极面积，大于所述第 m_2 个 GOA 单元内上拉模块的时钟输入晶体管的漏极面积。针对有源层参数、栅极参数、源极参数（包括材料电阻率、面积、厚

度)、漏极部分参数(包括材料电阻率、厚度)相同的情况下,漏极面积越大,晶体管的电阻值越大,本实施例基于此对晶体管的压降值进行调整,在制备时,仅需改变不同 GOA 单元中时钟输入晶体管漏极对应的掩模板遮光区域的面积即可得到本实施例。

5 在一种实施例中,所述第 $m1$ 个 GOA 单元内上拉模块的时钟输入晶体管的漏极与有源层的接触面积,小于所述第 $m2$ 个 GOA 单元内上拉模块的时钟输入晶体管的漏极与有源层的接触面积。针对有源层参数、栅极参数、漏极参数(包括材料电阻率、面积、厚度)、源极参数(包括材料电阻率、面积、厚度)相同的情况下,漏极与有源层的接触面积越小,晶体管的电阻值越大,本
10 实施例基于此对晶体管的压降值进行调整,在制备时,仅需改变不同 GOA 单元中时钟输入晶体管漏极连接过孔对应的掩模板透光区域的面积即可得到本实施例。

在一种实施例中,所述第 $m1$ 个 GOA 单元内上拉模块的时钟输入晶体管的源漏极层材料电阻率,大于所述第 $m2$ 个 GOA 单元内上拉模块的时钟输入
15 晶体管的源漏极层材料电阻率。针对有源层参数、栅极参数、漏极部分参数(包括面积、厚度)、源极部分参数(包括面积、厚度)相同的情况下,源漏极层材料电阻率越大,晶体管的电阻值越大,本实施例基于此对晶体管的压降值进行调整,在制备时,仅需使用不同电阻率的材料,或者改变不同电阻率材料
20 的材料配比即可得到本实施例。在一种实施例中,本申请提供的源漏极材料包括 4 层结构,自下至上依次为金属钛 Ti、金属铝 Al、金属铜 Cu、金属钛 Ti,在保证所有晶体管的金属铝 Al 和金属铜 Cu 总膜层厚度一定的基础上,改变金属铝 Al 和金属铜 Cu 的厚度,可以实现源漏极层材料电阻率的改变,由于铜的电阻率小于铝的电阻率,在沉积金属层时,针对第 $m1$ 个 GOA 单元内上拉模块的时钟输入晶体管的源漏极层沉积较厚的铝层,针对第 $m2$ 个 GOA 单元
25 内上拉模块的时钟输入晶体管的源漏极层沉积较薄的铝层,即可实现本实施例。

在一种实施例中,所述第 $m1$ 个 GOA 单元内上拉模块的时钟输入晶体管的源漏极层厚度,小于所述第 $m2$ 个 GOA 单元内上拉模块的时钟输入晶体管的源漏极层厚度。针对有源层参数、栅极参数、漏极部分参数(包括材料电阻

率、面积)、源极部分参数(包括材料电阻率、面积)相同的情况下,源漏极层材料厚度越小,晶体管的电阻值越大,本实施例基于此对晶体管的压降值进行调整,在制备时,仅需在不同区域沉积不同厚度的源漏极材料即可得到本实施例。

5 同时,随着显示面板分辨率的增大,需要实时的对GOA单元输出的信号进行补偿,基于此,本申请实施例还提供了一种GOA电路,本申请实施例提供的GOA电路包括m个级联的GOA单元,如图7所示,其中第n个GOA单元包括上拉控制模块701、逻辑寻址模块702、上拉模块703、第一下拉模块704、第二下拉模块705、第三下拉模块706、第一下拉维持模块707和第
10 二下拉维持模块708。

上拉控制模块701与第一节点Q连接,用于在显示时间段将第一节点Q的电位拉高。

逻辑寻址模块702包括第二节点M,逻辑寻址模块与第一节点连接,用于在显示时间段,对第二节点电位进行两次拉高,在空白时间段,通过第二节点
15 将第一节点的电位拉高。

上拉模块703与第一节点Q连接,用于将第n级级传信号Cout(n)、第一输出信号WR(n)和第二输出信号RD(n)的电位拉高。

第一下拉模块704与第一节点Q连接,用于在空白时间段将第一节点Q的电位拉低。

20 第二下拉模块705与第一节点Q和第三节点QB连接,用于在显示时间段分别将第一节点Q和第三节点QB的电位拉低。

第三下拉模块706与第三节点QB和第二下拉模块705连接,用于在空白时间段将第三节点QB的电位拉低。

第一下拉维持模块707包括第三节点QB,第一下拉维持模块707与第一
25 节点Q和第一下拉模块704连接,用于维持第一节点Q的低电位。

第二下拉维持模块708与第三节点QB和上拉模块703连接,用于维持第n级级传信号Cout(n)、第一输出信号WR(n)和第二输出信号RD(n)的低电位。

显示面板在显示画面时需要经过显示时间段Promgraming和空白时间段Blank,其中显示时间段为每帧画面的实际显示时间段,空白时间段为相邻帧

画面的实际显示时间之间的时间段。

在图 7 所示的实施例中，上拉模块 703 中的第十晶体管 T23、第十一晶体管 T22 以及第十二晶体管 T21 均为上文中的时钟输入晶体管，在图 7 所示的实施例中，时钟驱动芯片需要为同一个 GOA 单元输入 3 个时钟信号 CKa、CKb 以及 CKc，那么此时，图 6 中每一个时钟信号线又被分为 3 个子时钟信号线，分别用于传输 CKa、CKb 以及 CKc，每个时钟信号连接线又被分为 3 个子时钟信号连接线，分别将时钟信号 CKa、CKb 以及 CKc 连接至对应的时钟输入晶体管。

本实施例通过在显示时间段对第二节点 M 的电位进行两次拉高，使得在空白时间段，第一节点 Q 的充电率得到保证，进而使得 GOA 电路允许的阈值电压余量提升，提高了 GOA 电路的稳定性，降低了晶体管制程的开发难度。

如图 7 所示，上拉控制模块 701 包括第一晶体管 T11 和第二晶体管 T12，第一晶体管 T11 的栅极和第一电极、以及第二晶体管 T12 的栅极均连接第 n-2 级级传信号 Cout(n-2)，第一晶体管 T11 的第二电极连接第二晶体管 T12 的第一电极，第二晶体管 T12 的第二电极连接第一节点 Q。

逻辑寻址模块 702 包括第三晶体管 T91、第四晶体管 T92、第五晶体管 T71、第六晶体管 T72、第七晶体管 T73、第八晶体管 T81、第九晶体管 T91 和第一存储电容 Cbt3，第三晶体管 T91 的栅极连接第 n-2 级级传信号 Cout(n-2)，第三晶体管 T91 的第一电极连接第一低电位信号 VGL1，第三晶体管 T91 的第二电极连接第四晶体管 T92 的第一电极，第四晶体管 T92 的栅极和第二电极均连接高电位信号 VGH，第五晶体管 T71 的栅极连接第一输入信号 LSP，第五晶体管 T71 的第一电极连接第 n-2 级级传信号 Cout(n-2)，第五晶体管 T71 的第二电极连接第六晶体管 T72 的第一电极和第七晶体管 T73 的第一电极，第六晶体管 T72 的栅极连接第一输入信号，第六晶体管 T72 的第二电极和第七晶体管 T73 的栅极均连接第二节点 M，第七晶体管 T73 的第二电极连接高电位信号 VGH，第八晶体管 T81 的栅极连接第二节点 M，第八晶体管 T81 的第一电极连接高电位信号 VGH，第八晶体管 T81 的第二电极连接第九晶体管 T91 的第一电极，第九晶体管 T91 的栅极连接复位信号 Total-Reset，第九晶体管 T91 的第二电极连接第一节点 Q，第一存储电容 Cbt3 的第一极板连接第三晶

体管 T91 的第二电极, 第二极板连接第二节点 M。

上拉模块 703 包括第十晶体管 T23、第十一晶体管 T22、第十二晶体管 T21、第十三晶体管 T6、第二存储电容 Cbt1 和第三存储电容 Cbt2, 第十晶体管 T23 的栅极、第十一晶体管 T22 的栅极以及第十二晶体管 T21 的栅极均连接第一节点 Q, 第十晶体管 T23 的第一电极连接第一时钟信号 CKa, 第十晶体管 T23 的第二电极连接第 n 级级传信号 Cout(n), 第十一晶体管 T22 的第一电极连接第二时钟信号 CKb, 第十一晶体管 T22 的第二电极连接第一输出信号 WR(n), 第十二晶体管 T21 的第一电极连接第三时钟信号 CKc, 第十二晶体管 T21 的第二电极连接第二输出信号 RD(n), 第十三晶体管 T6 的栅极连接第一节点 Q, 第十三晶体管 T6 的第一电极连接第四节点 N, 第十三晶体管 T6 的第二电极连接第一输出信号 WR(n), 第二存储电容 Cbt1 的第一极板连接第一节点 Q, 第二极板连接第一输出信号 WR(n), 第三存储电容 Cbt2 的第一极板连接第一节点 Q, 第二极板连接第二输出信号 RD(n)。

第一下拉模块 704 包括第十四晶体管 T33 和第十五晶体管 T34, 第十四晶体管 T33 的栅极和第十五晶体管 T34 的栅极均连接第二输入信号 VST, 第十四晶体管 T33 的第一电极连接第一节点 Q, 第十四晶体管 T33 的第二电极连接第十五晶体管 T34 的第一电极和第四节点 N, 第十五晶体管 T34 的第二电极连接第一低电位信号 VGL1。

第二下拉模块 705 包括第十六晶体管 T31、第十七晶体管 T32 和第十八晶体管 T55, 第十六晶体管 T31 的栅极和第十七晶体管 T32 的栅极连接第 n+2 级级传信号 Cout(n+2), 第十六晶体管 T31 的第一电极连接第一节点 Q, 第十六晶体管 T31 的第二电极连接第十七晶体管 T32 的第一电极和第四节点 N, 第十七晶体管 T32 的第二电极连接第一低电位信号 VGL1, 第十八晶体管 T55 的栅极连接第 n-2 级级传信号 Cout(n-2), 第十八晶体管 T55 的第一电极连接第二低电位信号 VGL2, 第十八晶体管 T55 的第一电极连接第三节点 QB。

第三下拉模块 706 包括第十九晶体管 T102 和第二十晶体管 T101, 第十九晶体管 T102 的栅极连接所述第二节点, 第十九晶体管 T102 的第一电极连接第二低电位信号 VGL2, 第十九晶体管 T102 的第二电极连接第二十晶体管 T101 的第一电极, 第二十晶体管 T101 的栅极连接复位信号 Total-Reset, 第二

十晶体管 T101 的第二电极连接第三节点 QB。

第一下拉维持模块 707 包括第二十一晶体管 T44、第二十二晶体管 T45、第二十三晶体管 T51、第二十四晶体管 T52、第二十五晶体管 T53 和第二十六晶体管 T54, 第二十一晶体管 T44 的栅极和第二十二晶体管 T45 的栅极连接第三节点 QB, 第二十一晶体管 T44 的第一电极连接第一节点 Q, 第二十一晶体管 T44 的第二电极连接第二十二晶体管 T45 的第一电极和第四节点 N, 第二十二晶体管 T45 的第二电极连接第一低电位信号 VGL1, 第二十三晶体管 T51 的栅极和第一电极连接高电位信号 VGH, 第二十三晶体管 T51 的第二电极连接第二十四晶体管 T52 的第一电极, 第二十四晶体管 T52 的栅极连接第一节点 Q, 第二十四晶体管 T52 的第二电极连接第二低电位信号 VGL2, 第二十五晶体管 T53 的栅极连接第二十三晶体管 T51 的第二电极, 第二十五晶体管 T53 的第一电极连接高电位信号 VGH, 第二十五晶体管 T53 的第二电极连接第二十六晶体管 T54 的第一电极和第三节点 QB, 第二十六晶体管 T54 的栅极连接第一节点 Q, 第二十六晶体管 T54 的第二电极连接第二低电位信号 VGL2。

第二下拉维持模块 708 包括第二十七晶体管 T43、第二十八晶体管 T42 和第二十九晶体管 T41, 第二十七晶体管 T43 的栅极、第二十八晶体管 T42 的栅极以及第二十九晶体管 T41 的栅极均连接第三节点 QB, 第二十七晶体管 T43 的第一电极连接第一低电位信号 VGL1, 第二十七晶体管 T43 的第二电极连接第 n 级级传信号 Cout(n), 第二十八晶体管 T42 的第一电极连接第三低电位信号 VGL3, 第二十八晶体管 T42 的第二电极连接第一输出信号 WR(n), 第二十九晶体管 T41 的第一电极连接第三低电位信号 VGL3, 第二十九晶体管 T41 的第二电极连接第二输出信号 RD(n)。

在本申请的 GOA 电路中, 包括 m 个级联的 GOA 单元, 其中第 n 级 GOA 单元输出的级传信号为第 n 级级传信号 Cout(n), $2 \leq n \leq m$, 且 n 为整数。第 n-2 级级传信号 Cout(n-2) 为第 n 级级传信号 Cout(n) 之前且与其相隔一级的级传信号, 第 n+2 级级传信号 Cout(n+2) 为第 n 级级传信号 Cout(n) 之前且与其相隔一级的级传信号。

在本申请的 GOA 电路中, 第一输入信号 LSP、第二输入信号 VST、复位信号 Total-Reset 均由外部时序器提供。

本实施例提供的 GOA 电路为实时补偿电路，要求 GOA 在每一帧对应的显示时间段输出正常的驱动时序显示画面，而在每一帧之间的空白时间段输出宽脉冲时序进行阈值电压 V_{th} 探测用。图 8a 示出了本申请实施例的 GOA 电路在显示时间段 Promgraming 和空白时间段 Blank 内各信号的时序，其中各信号在高电位和低电位时的电压设置数值如表 1 中所示。

GOA 信号	设置电压	
	低电位	高电位
Cout(n-2)	-13	+20
Cout(n+2)	-13	+20
LSP	-13	+20
VST	-13	+20
Total-Reset	-13	+20
CKa	-13	+20
CKb	-13	+20
CKc	-13	+20
VGH	+20	
VGL1	-13	
VGL2	-10	
VGL3	-6	

表 1

下面结合图 8b 和图 8c 对显示时间段和空白时间段内 GOA 电路的工作进行具体说明。

如图 8b 所示，显示时间段包括第一显示阶段 S1、第二显示阶段 S2、第三显示阶段 S3、第四显示阶段 S4 和第五显示阶段 S5。

在第一显示阶段 S1，第 n-2 级级传信号 Cout(n-2)升为高电位，第一晶体管 T11 与第二晶体管 T12 打开，第一节点 Q 被拉升为高电位，第二十四晶体管 T52、第二十六晶体管 T54、第十晶体管 T23、第十一晶体管 T22 与第十二晶体管 T21 打开，由于第一节点 Q 与第三节点 QB 之间连接构成了反相器结

构，它们之间的电位相反，因此，第三节点 QB 处于低电位，第二十七晶体管 T43、第二十八晶体管 T42、第二十九晶体管 T41、第二十一晶体管 T44 与第二十二晶体管 T45 均关闭，同时，第 $n+2$ 级级传信号 Cout($n+2$)处于低电位，第十六晶体管 T31 和第十七晶体管 T32 关闭，第二输入信号 VST 为低电位，第十四晶体管 T33 与第十五晶体管 T34 关闭。第一时序信号 CKa、第二时序信号 CKb 和第三时序信号 CKc 处于低电位，第 n 级级传信号 Cout(n)、第一输出信号 WR(n)和第二输出信号 RD(n)输出低电位。由于第 $n-2$ 级级传信号 Cout($n-2$)为高电位，第三晶体管 T91 打开，第一存储电容 Cbt3 的第一极板连接的 P 点被复位成低电位，第二极板连接的第二节点 M 同时为低电位。

在第二显示阶段 S2，第一输入信号 LSP 升为高电位，此时第 $n-2$ 级级传信号 Cout($n-2$)维持高电位，第二节点 M 被抬升至高电位，第四晶体管 T92 打开，P 点维持低电位，由于复位信号 Totaol-Rest 和第二输入信号 VST 等信号为低电位，第一节点 Q 维持高电位，第三节点 QB 维持低电位。

在第三显示阶段 S3，第一输入信号 LSP 由高电位降为低电位，第五晶体管 T71 及第六晶体管 T72 关闭，第 $n-2$ 级级传信号 Cout($n-2$)由高电位变为低电位，因此第三晶体管 T91 关闭，P 点电位由低电位切换为高电位，由于第一存储电容 Cbt3 的存在，第二节点 M 受到耦合作用，被抬升至更高电位。第一时序信号 Cka、第二时序信号 CKb 和第三时序信号 CKc 由低电位变为高电位，因此第 n 级级传信号 Cout(n)、第一输出信号 WR(n)以及第二输出信号 RD(n)的电位也被抬升至高电位，同时由于第二存储电容 Cbt1 及第三存储电容 Cbt2 的存在，第一节点 Q 被耦合至更高电位。

在第四显示阶段 S4，第一时序信号 Cka、第二时序信号 CKb 和第三时序信号 CKc 由高电位切换为低电位，第 n 级级传信号 Cout(n)、第一输出信号 WR(n)以及第二输出信号 RD(n)的电位被拉至低电位，第一节点 Q 的信号耦合降低，与第二显示阶段 S2 时的电位一致。

在第五显示阶段 S5，第 $n+2$ 级级传信号 Cout($n+2$)由低电位升至高电位，第十六晶体管 T31 及第十七晶体管 T32 打开，第一节点 Q 的电位被拉低至低电位，第二十四晶体管 T52、第二十六晶体管 T54、第十晶体管 T23、第十一晶体管 T22 与第十二晶体管 T21 关闭，第三节点 QB 的电位被抬升至高电位，

第二十七晶体管 T43、第二十八晶体管 T42、第二十九晶体管 T41、第二十一晶体管 T44 与第二十二晶体管 T45 均打开，第一节点 Q、第 n 级级传信号 Cout(n)、第一输出信号 WR(n)以及第二输出信号 RD(n)维持低电位。

如图 8c 所示，空白时间段包括第一空白阶段 B1、第二空白阶段 B2、第三空白阶段 B3 和第四空白阶段 B4。

在第一空白阶段 B1，复位信号 Total reset 升为高电位，第九晶体管 T82 打开，第一节点 Q 的电位被拉至高电位，第二十四晶体管 T52、第二十六晶体管 T54、第十晶体管 T23、第十一晶体管 T22 与第十二晶体管 T21 打开，由于第一节点 Q 与第三节点 QB 之间连接构成了反相器结构，它们之间的电位相反，因此，第三节点 QB 处于低电位，第二十七晶体管 T43、第二十八晶体管 T42、第二十九晶体管 T41、第二十一晶体管 T44 与第二十二晶体管 T45 均关闭，同时，第 n+2 级级传信号 Cout(n+2)处于低电位，第十六晶体管 T31 和第十七晶体管 T32 关闭，第二输入信号 VST 为低电位，第十四晶体管 T33 与第十五晶体管 T34 关闭。第一时序信号 CKa、第二时序信号 CKb 和第三时序信号 CKc 处于低电位，第 n 级级传信号信号 Cout(n)、第一输出信号 WR(n)和第二输出信号 RD(n)输出低电位。

在第二空白阶段 B2，复位信号 Total reset 降为低电位，第九晶体管 T82 关闭，第一时序信号 CKa 维持低电位，第二时序信号 CKb 及第三时序信号 CKc 升为高电位，第 n 级级传信号信号 Cout(n)维持低电位，第一输出信号 WR(n)和第二输出信号 RD(n)输出高电位。第一节点 Q 被耦合至更高电位。

在第三空白阶段 B3，第二输入信号 VST 由低电位升为高电位，第十四晶体管 T33 与第十五晶体管 T34 打开，第一节点 Q 的电位被拉低至低电位，第二十四晶体管 T52、第二十六晶体管 T54、第十晶体管 T23、第十一晶体管 T22 与第十二晶体管 T21 关闭，第三节点 QB 的电位被抬升至高电位，第二十七晶体管 T43、第二十八晶体管 T42、第二十九晶体管 T41、第二十一晶体管 T44 与第二十二晶体管 T45 均打开，第一节点 Q、第一输出信号 WR(n)和第二输出信号 RD(n)拉低至低电位，第 n 级级传信号 Cout(n)维持低电位。

在第四空白阶段 B4，第一输入信号 LSP 升为高电位，第五晶体管 T71 及第六晶体管 T72 打开，由于第 n-2 级级传信号 Cout(n-2)为低电位，第二节点

M被复位为低电位，第八晶体管 T81 关闭。第一节点 Q、第 n 级级传信号 Cout(n)、第一输出信号 WR(n)和第二输出信 RD(n)维持低电位。

本申请实施例提供的 GOA 电路为实时补偿型 GOA 电路，通过上述过程，为扫描线提供驱动信号，以使显示面板显示画面。

5 在上述过程中，通过在第一存储电容 Cbt3 的第一极板侧设置第三晶体管 T91 和第四晶体管 T92，在第一显示阶段 S1，第三晶体管 T91 和第四晶体管 T92 均打开，使得 P 点和第二节点 M 电位为低电位，在第二显示阶段 S2，第三晶体管 T91 和第四晶体管 T92 均打开，P 点的电位维持低电位，第二节点 M 电位进行第一次拉高，在第三显示阶段 S3，第三晶体管 T91 关闭，第四晶体
10 管 T92 打开，将 P 点电位拉高，由于耦合作用，第二节点 M 的电位进行了第二次拉高。因此，在第一空白阶段 B1，第一节点 Q 的电位相对于现有技术被拉至更高，充电率得到保证，进而使得 GOA 电路允许的阈值电压余量提升，提高了 GOA 电路的稳定性，降低了晶体管制程的开发难度。

15 本申请还提供一种电子设备，包括上述实施例提供的显示面板。

在一种实施例中，所述电子设备包括显示面板，所述显示面板包括：

列方向排布的m个GOA单元，所述GOA单元包括上拉模块，所述上拉模块包括连接时钟信号的时钟输入晶体管；

列方向延伸且平行设置的n个时钟信号线；

20 行方向延伸且平行设置的m个时钟信号连接线，所述时钟信号连接线与所述GOA单元一一对应，用于将所述GOA单元内上拉模块的时钟输入晶体管连接至对应的时钟信号线；

其中，n个所述时钟信号线包括第n1个时钟信号线和第n2个时钟信号线，所述第n2个时钟信号线形成在所述第n1个时钟信号线远离所述GOA单元的一
25 侧，连接所述第n1个时钟信号线的第m1个GOA单元内上拉模块的时钟输入晶体管的压降值，大于连接所述第n2个时钟信号线的第m2个GOA单元内上拉模块的时钟输入晶体管的压降值。

在一种实施例中，在本申请的电子设备中，所述第m1个GOA单元内的上拉模块的时钟输入晶体管的尺寸，大于所述第m2个GOA单元内的上拉模块的

时钟输入晶体管的尺寸。

在一种实施例中，在本申请的电子设备中，所述时钟输入晶体管包括阵列连接的多个子晶体管，所述第m1个GOA单元内的上拉模块的时钟输入晶体管的子晶体管的数量大于所述第m2个GOA单元内的上拉模块的时钟输入晶体管的子晶体管的数量。

在一种实施例中，在本申请的电子设备中，所述第m1个GOA单元内的上拉模块的时钟输入晶体管的源极面积大于所述第m2个GOA单元内的上拉模块的时钟输入晶体管的源极面积；和/或，所述第m1个GOA单元内的上拉模块的时钟输入晶体管的漏极面积大于所述第m2个GOA单元内上拉模块的时钟输入晶体管的漏极面积。

在一种实施例中，在本申请的电子设备中，所述第m1个GOA单元内的上拉模块的时钟输入晶体管的源极与有源层的接触面积小于所述第m2个GOA单元内的上拉模块的时钟输入晶体管的源极与有源层的接触面积。

在一种实施例中，在本申请的电子设备中，第n级GOA单元包括：

上拉控制模块，与第一节点连接，用于在显示时间段将所述第一节点的电位拉高；

逻辑寻址模块，包括第二节点，所述逻辑寻址模块与所述第一节点连接，用于在所述显示时间段，对所述第二节点电位进行两次拉高，在空白时间段，通过所述第二节点将所述第一节点的电位拉高；

上拉模块，与所述第一节点连接，用于将第n级级传信号、第一输出信号和第二输出信号的电位拉高；

第一下拉模块，与所述第一节点连接，用于在空白时间段将所述第一节点的电位拉低；

第二下拉模块，与所述第一节点和第三节点连接，用于在显示时间段分别将所述第一节点和所述第三节点的电位拉低；

第三下拉模块，与所述第三节点和所述第二下拉模块连接，用于在空白时间段将所述第三节点的电位拉低；

第一下拉维持模块，包括所述第三节点，所述第一下拉维持模块与所述第一节点和所述第一下拉模块连接，用于维持所述第一节点的低电位；

第二下拉维持模块，与所述第三节点和所述上拉模块连接，用于维持所述第n级级传信号、所述第一输出信号和所述第二输出信号的低电位。

在一种实施例中，在本申请的电子设备中，所述上拉控制模块包括第一晶体管和第二晶体管，所述第一晶体管的栅极和第一电极、以及所述第二晶体管的栅极均连接第n-2级级传信号，所述第一晶体管的第二电极连接所述第二晶体管的第二电极和第四节点，所述第二晶体管的第二电极连接所述第一节点。

在一种实施例中，在本申请的电子设备中，所述第m1个GOA单元内的上拉模块的时钟输入晶体管的源漏极层材料电阻率大于所述第m2个GOA单元内上拉模块的时钟输入晶体管的源漏极层材料电阻率。

在一种实施例中，在本申请的电子设备中，所述第m1个GOA单元内的上拉模块的时钟输入晶体管的源漏极层厚度小于所述第m2个GOA单元内的上拉模块的时钟输入晶体管的源漏极层厚度。

在一种实施例中，在本申请的电子设备中，所述第m1个GOA单元内的上拉模块的时钟输入晶体管的漏极与有源层的接触面积小于所述第m2个GOA单元内的上拉模块的时钟输入晶体管的漏极与有源层的接触面积。

根据上述实施例可知：

本申请提供一种显示面板以及电子设备，该显示面板包括第一基板，第二基板，与所述第一基板相对设置，支撑柱，形成在所述第一基板上，液晶，填充在所述第一基板与所述第二基板形成的液晶腔内，其中，在与所述支撑柱的接触区域内，所述第一基板的与所述支撑柱接触的接触膜层形成有凸凹图案，所述凸凹图案用于增大所述接触膜层与所述支撑柱的接触面积；基于该结构，增大了支撑柱与底层的接触面积，并且不需要改变单个子像素的尺寸，缓解了现有 8K 超高分辨率电子设备存在的支撑柱容易剥落的技术问题；同时，时钟信号线包括第 n1 个时钟信号线 and 第 n2 个时钟信号线，所述第 n2 个时钟信号线形成在所述第 n1 个时钟信号线远离所述 GOA 单元的一侧，连接所述第 n1 个时钟信号线的第 m1 个 GOA 单元内上拉模块的时钟输入晶体管的压降值，大于连接所述第 n2 个时钟信号线的第 m2 个 GOA 单元内上拉模块的时钟输入

晶体管的压降值, 基于该电路结构, 通过调整不同 GOA 单元内时钟输入晶体管的压降值, 使得对由于时钟信号线和时钟信号连接线长度不同导致的压降值可以得到补偿, 进而使得各 GOA 单元与时钟驱动芯片之间的压降值近似相同, 缓解了 8K 超高分辨率电子设备存在的 CK 阻抗差异, 改善了 8K 超高分辨率电子设备存在的导致 GOA 单元输出信号差异的技术问题。

在上述实施例中, 对各个实施例的描述都各有侧重, 某个实施例中沒有详述的部分, 可以参见其他实施例的相关描述。

以上对本申请实施例所提供的一种显示面板以及电子设备进行了详细介绍, 本文中应用了具体个例对本申请的原理及实施方式进行了阐述, 以上实施例的说明只是用于帮助理解本申请的技术方案及其核心思想; 本领域的普通技术人员应当理解: 其依然可以对前述各实施例所记载的技术方案进行修改, 或者对其中部分技术特征进行等同替换; 而这些修改或者替换, 并不使相应技术方案的本质脱离本申请各实施例的技术方案的范围。

权 利 要 求 书

1、一种显示面板，其包括：

第一基板；

第二基板，与所述第一基板相对设置；

5 支撑柱，形成在所述第一基板上；

液晶，填充在所述第一基板与所述第二基板形成的密封空间内；

其中，在与所述支撑柱的接触区域内，所述第一基板的与所述支撑柱接触的接触膜层形成有凸凹图案，所述凸凹图案用于增大所述接触膜层与所述支撑柱的接触面积，所述凸凹图案包括所述接触膜层通过凸起、凹陷、或者凸起凹
10 陷配合中的至少一个方式所形成的目标图案；

在非显示区内，所述显示面板还形成有：

列方向排布的 m 个 GOA 单元，所述 GOA 单元包括上拉模块，所述上拉模块包括连接时钟信号的时钟输入晶体管；

列方向延伸且平行设置的 n 个时钟信号线；

15 行方向延伸且平行设置的 m 个时钟信号连接线，所述时钟信号连接线与所述 GOA 单元一一对应，用于将所述 GOA 单元内上拉模块的时钟输入晶体管连接至对应的时钟信号线；

所述时钟信号线包括第 $n1$ 个时钟信号线和第 $n2$ 个时钟信号线，所述第 $n2$ 个时钟信号线形成在所述第 $n1$ 个时钟信号线远离所述 GOA 单元的一侧，
20 连接所述第 $n1$ 个时钟信号线的第 $m1$ 个 GOA 单元内上拉模块的时钟输入晶体管的压降值，大于连接所述第 $n2$ 个时钟信号线的第 $m2$ 个 GOA 单元内上拉模块的时钟输入晶体管的压降值。

2、如权利要求 1 所述的显示面板，其中，所述时钟输入晶体管包括阵列连接的多个子晶体管形成，所述第 $m1$ 个 GOA 单元内上拉模块的时钟输入晶体管的子晶体管的数量，大于所述第 $m2$ 个 GOA 单元内上拉模块的时钟输入晶体管的子晶体管的数量。
25

3、如权利要求 1 所述的显示面板，其中，第 n 级 GOA 单元包括：

上拉控制模块，与第一节点连接，用于在显示时间段将所述第一节点的电位拉高；

逻辑寻址模块，包括第二节点，所述逻辑寻址模块与所述第一节点连接，用于在所述显示时间段，对所述第二节点电位进行两次拉高，在空白时间段，通过所述第二节点将所述第一节点的电位拉高；

5 上拉模块，与所述第一节点连接，用于将第 n 级级传信号、第一输出信号和第二输出信号的电位拉高；

第一下拉模块，与所述第一节点连接，用于在空白时间段将所述第一节点的电位拉低；

第二下拉模块，与所述第一节点和第三节点连接，用于在显示时间段分别将所述第一节点和所述第三节点的电位拉低；

10 第三下拉模块，与所述第三节点和所述第二下拉模块连接，用于在空白时间段将所述第三节点的电位拉低；

第一下拉维持模块，包括所述第三节点，所述第一下拉维持模块与所述第一节点和所述第一下拉模块连接，用于维持所述第一节点的低电位；

15 第二下拉维持模块，与所述第三节点和所述上拉模块连接，用于维持所述第 n 级级传信号、所述第一输出信号和所述第二输出信号的低电位。

4、如权利要求 1 所述的显示面板，其中，所述第一基板包括衬底基板、形成在所述衬底基板上的黑色矩阵、以及形成在所述黑色矩阵上的彩膜层；所述支撑柱形成在所述彩膜层上，且位于所述彩膜层与所述黑色矩阵重叠的区域内，所述彩膜层在与所述支撑柱的接触区域内形成有凸凹图案。

20 5、如权利要求 4 所述的显示面板，其中，所述黑色矩阵在所述彩膜层与所述支撑柱的接触区域内，也形成有凸凹图案。

6、如权利要求 1 所述的显示面板，其中，所述第一基板包括衬底基板、形成在所述衬底基板上的驱动电路层、以及形成在所述驱动电路层上的平坦化层；所述支撑柱形成在所述平坦化层上，所述平坦化层在与所述支撑柱的接触区域内形成有凸凹图案。

25 7、如权利要求 1 所述的显示面板，其中，所述第一基板包括衬底基板、形成在所述衬底基板上的驱动电路层、形成在所述驱动电路层上的色阻层、以及形成在所述色阻层上的平坦化层；所述支撑柱形成在所述平坦化层上，所述平坦化层在与所述支撑柱的接触区域内形成有凸凹图案。

8、如权利要求 7 所述的显示面板，其中，所述色阻层在所述平坦化层与
所述支撑柱的接触区域内，也形成有凸凹图案。

9、如权利要求 1 所述的显示面板，其中，所述目标图案的形状为网格状。

10、如权利要求 2 所述的显示面板，其中，所述第 m_1 个 GOA 单元内的
5 上拉模块的时钟输入晶体管的漏极与有源层的接触面积小于所述第 m_2 个
GOA 单元内的上拉模块的时钟输入晶体管的漏极与有源层的接触面积。

11、一种电子设备，其包括显示面板，所述显示面板包括：

列方向排布的 m 个 GOA 单元，所述 GOA 单元包括上拉模块，所述上拉
模块包括连接时钟信号的时钟输入晶体管；

10 列方向延伸且平行设置的 n 个时钟信号线；

行方向延伸且平行设置的 m 个时钟信号连接线，所述时钟信号连接线与
所述 GOA 单元一一对应，用于将所述 GOA 单元内上拉模块的时钟输入晶体
管连接至对应的时钟信号线；

其中， n 个所述时钟信号线包括第 n_1 个时钟信号线和第 n_2 个时钟信号线，
15 所述第 n_2 个时钟信号线形成在所述第 n_1 个时钟信号线远离所述 GOA 单元的一
侧，连接所述第 n_1 个时钟信号线的第 m_1 个 GOA 单元内上拉模块的时钟输
入晶体管的压降值，大于连接所述第 n_2 个时钟信号线的第 m_2 个 GOA 单元内
上拉模块的时钟输入晶体管的压降值。

12、如权利要求 11 所述的电子设备，其中，所述第 m_1 个 GOA 单元内的
20 上拉模块的时钟输入晶体管的尺寸，大于所述第 m_2 个 GOA 单元内的上拉模
块的时钟输入晶体管的尺寸。

13、如权利要求 12 所述的电子设备，其中，所述时钟输入晶体管包括阵
列连接的多个子晶体管，所述第 m_1 个 GOA 单元内的上拉模块的时钟输入晶
体管的子晶体管的数量大于所述第 m_2 个 GOA 单元内的上拉模块的时钟输入
25 晶体管的子晶体管的数量。

14、如权利要求 12 所述的电子设备，其中，所述第 m_1 个 GOA 单元内的
上拉模块的时钟输入晶体管的源极面积大于所述第 m_2 个 GOA 单元内的上拉
模块的时钟输入晶体管的源极面积；和/或，所述第 m_1 个 GOA 单元内的上拉
模块的时钟输入晶体管的漏极面积大于所述第 m_2 个 GOA 单元内上拉模块的

时钟输入晶体管的漏极面积。

15、如权利要求 12 所述的电子设备，其中，所述第 m1 个 GOA 单元内的上拉模块的时钟输入晶体管的源极与有源层的接触面积小于所述第 m2 个 GOA 单元内的上拉模块的时钟输入晶体管的源极与有源层的接触面积。

5 16、如权利要求 11 所述的电子设备，其中，第 n 级 GOA 单元包括：

上拉控制模块，与第一节点连接，用于在显示时间段将所述第一节点的电位拉高；

10 逻辑寻址模块，包括第二节点，所述逻辑寻址模块与所述第一节点连接，用于在所述显示时间段，对所述第二节点电位进行两次拉高，在空白时间段，通过所述第二节点将所述第一节点的电位拉高；

上拉模块，与所述第一节点连接，用于将第 n 级级传信号、第一输出信号和第二输出信号的电位拉高；

第一下拉模块，与所述第一节点连接，用于在空白时间段将所述第一节点的电位拉低；

15 第二下拉模块，与所述第一节点和第三节点连接，用于在显示时间段分别将所述第一节点和所述第三节点的电位拉低；

第三下拉模块，与所述第三节点和所述第二下拉模块连接，用于在空白时间段将所述第三节点的电位拉低；

20 第一下拉维持模块，包括所述第三节点，所述第一下拉维持模块与所述第一节点和所述第一下拉模块连接，用于维持所述第一节点的低电位；

第二下拉维持模块，与所述第三节点和所述上拉模块连接，用于维持所述第 n 级级传信号、所述第一输出信号和所述第二输出信号的低电位。

25 17、如权利要求 16 所述的电子设备，其中，所述上拉控制模块包括第一晶体管和第二晶体管，所述第一晶体管的栅极和第一电极、以及所述第二晶体管的栅极均连接第 n-2 级级传信号，所述第一晶体管的第二电极连接所述第二晶体管的第一电极和第四节点，所述第二晶体管的第二电极连接所述第一节点。

18、如权利要求 11 所述的电子设备，其中，所述第 m1 个 GOA 单元内的上拉模块的时钟输入晶体管的源漏极层材料电阻率大于所述第 m2 个 GOA 单

元内上拉模块的时钟输入晶体管的源漏极层材料电阻率。

19、如权利要求 11 所述的电子设备，其中，所述第 m_1 个 GOA 单元内的上拉模块的时钟输入晶体管的源漏极层厚度小于所述第 m_2 个 GOA 单元内的上拉模块的时钟输入晶体管的源漏极层厚度。

5 20、如权利要求 12 所述的电子设备，其中，所述第 m_1 个 GOA 单元内的上拉模块的时钟输入晶体管的漏极与有源层的接触面积小于所述第 m_2 个 GOA 单元内的上拉模块的时钟输入晶体管的漏极与有源层的接触面积。

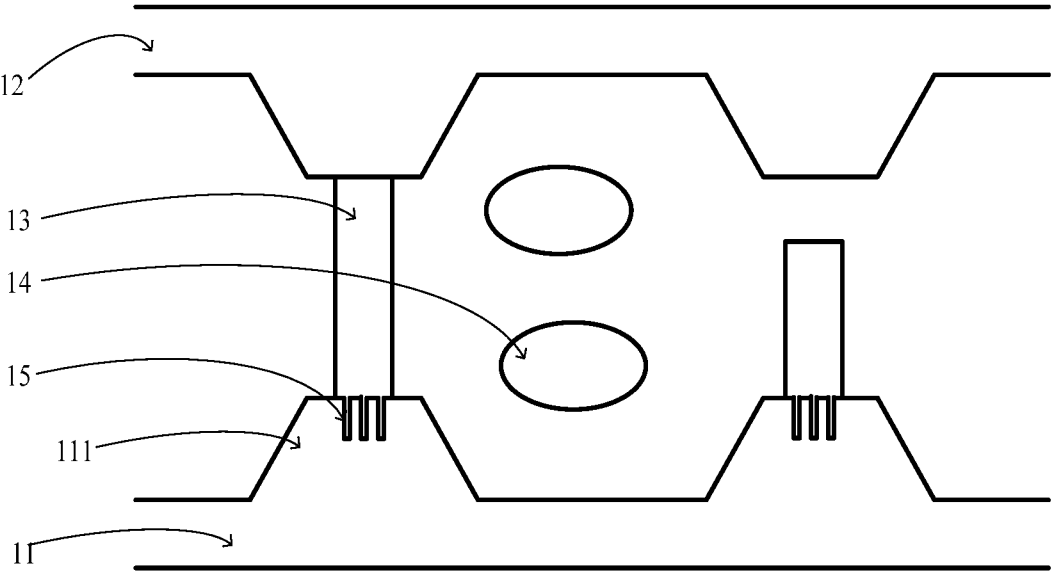


图 1

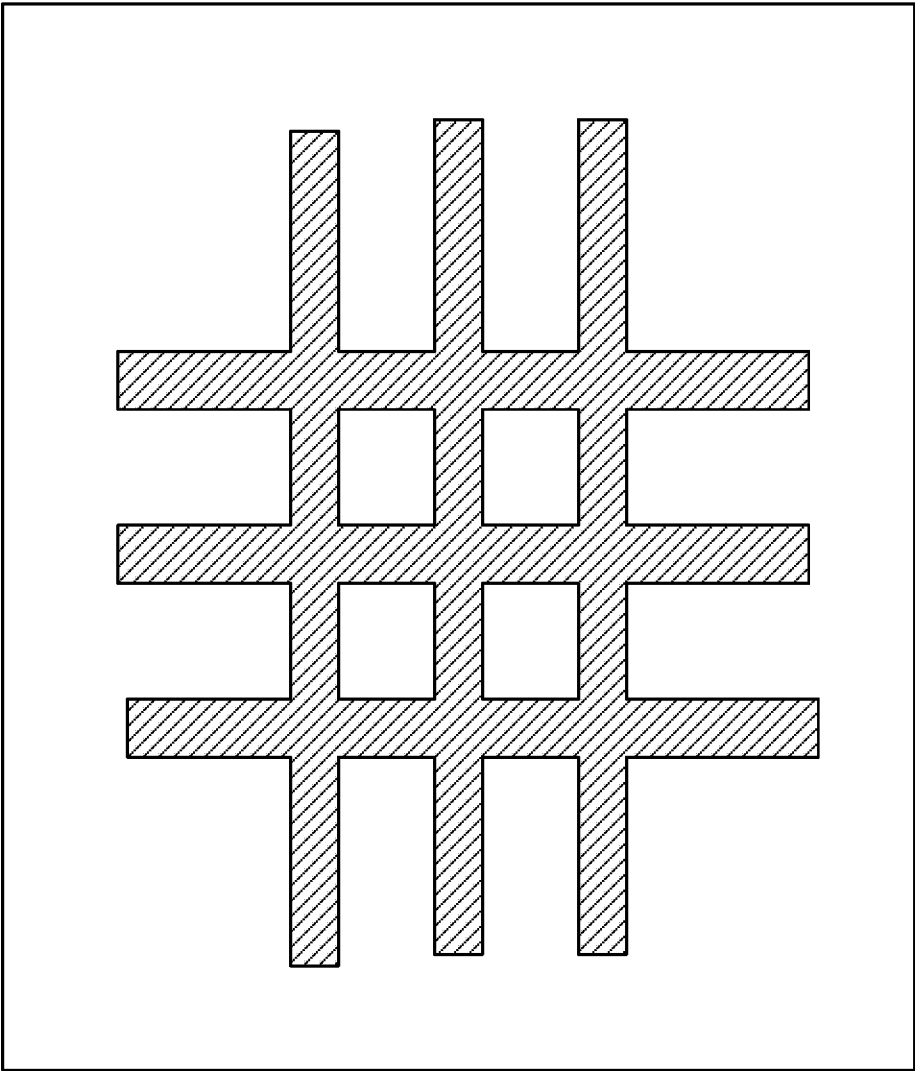


图 2

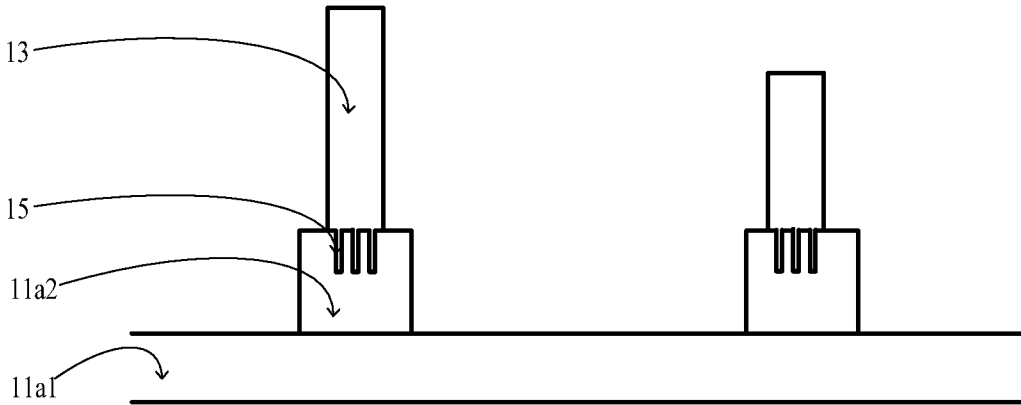


图 3a

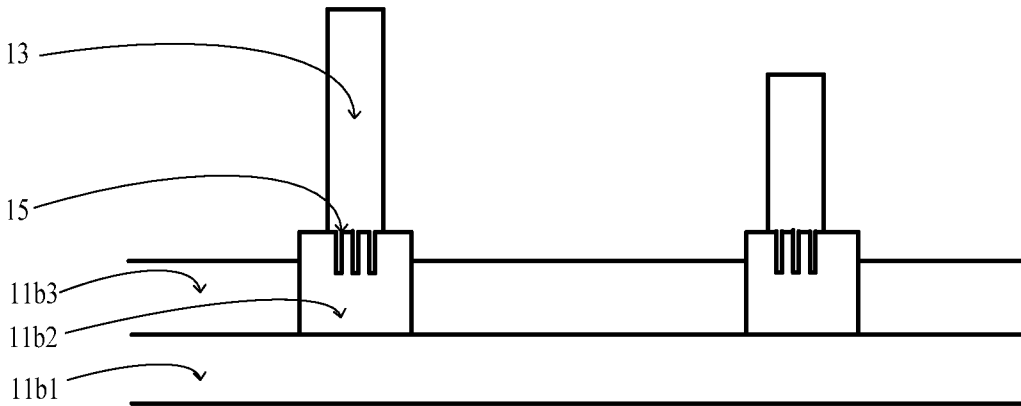


图 3b

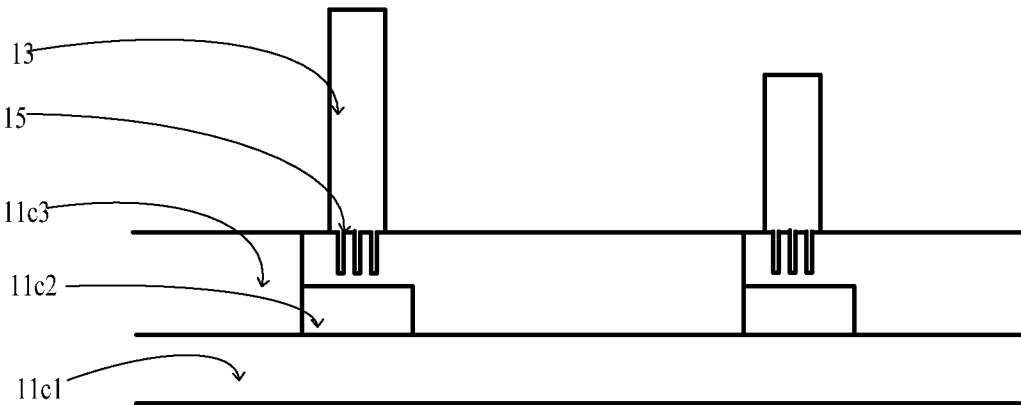


图 3c

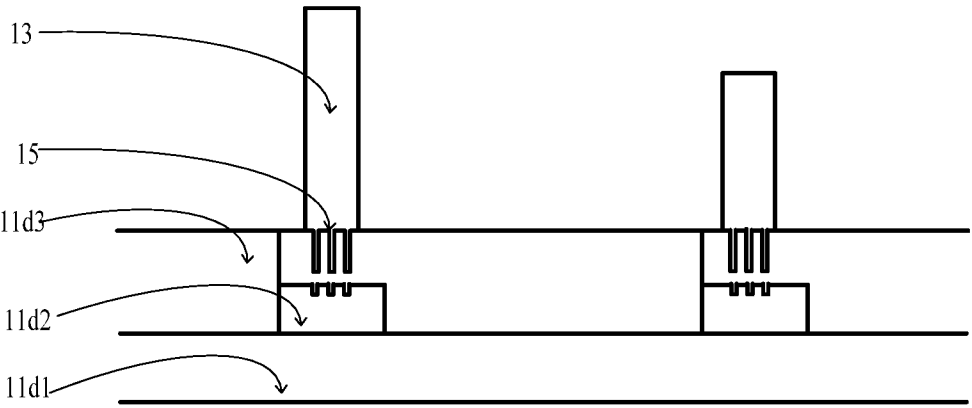


图 3d

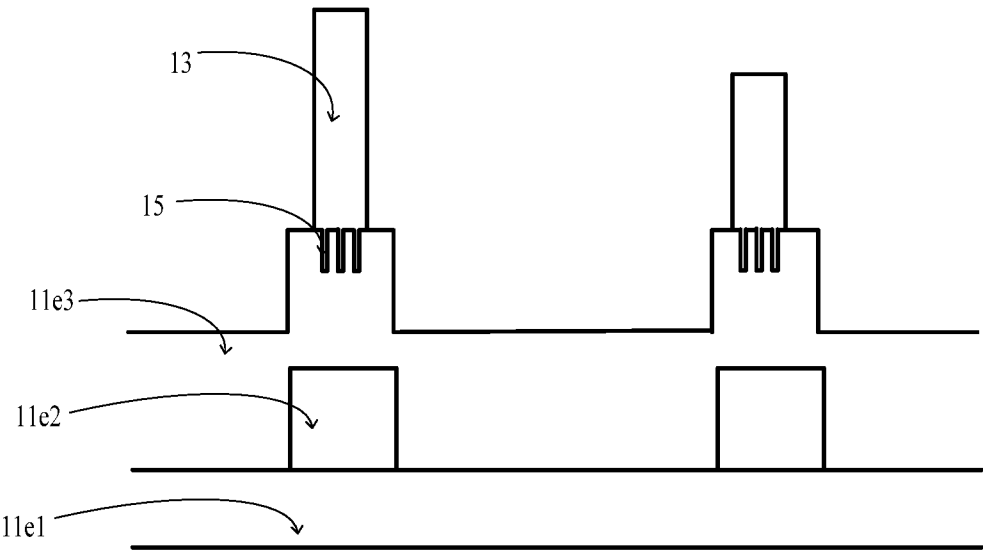


图 3e

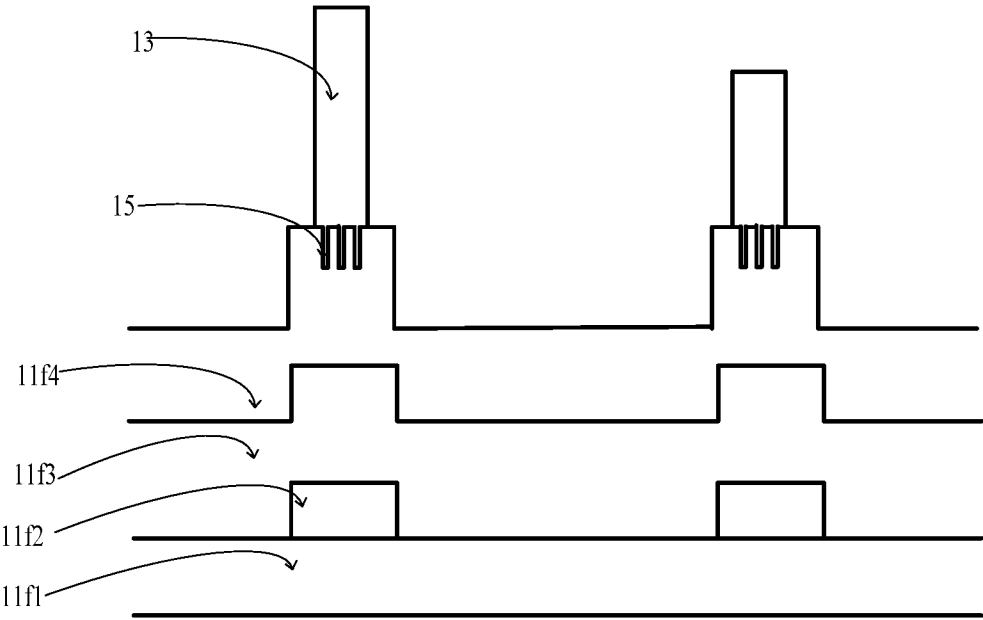


图 3f

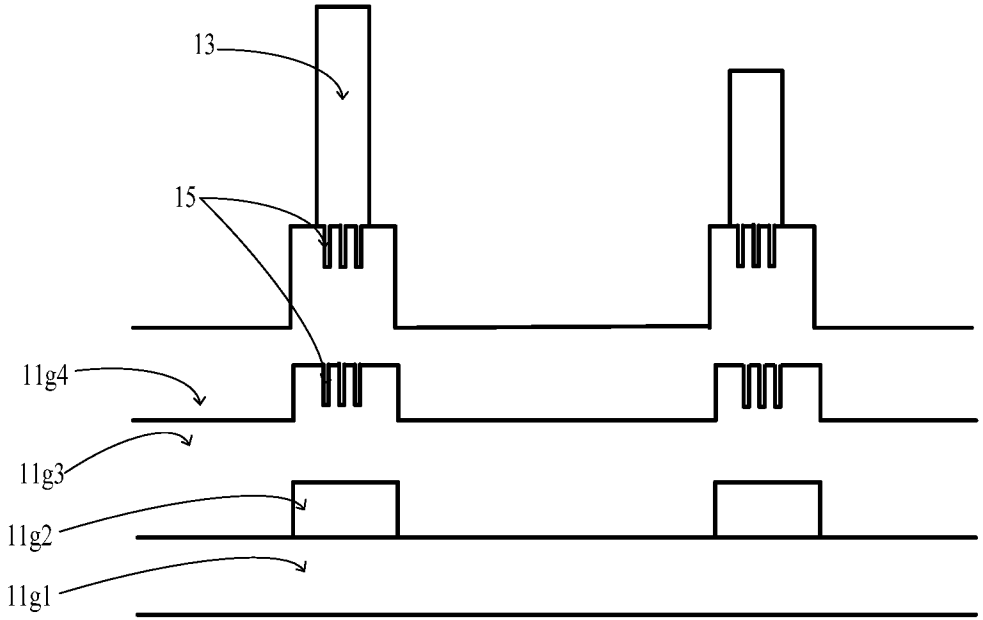


图 3g

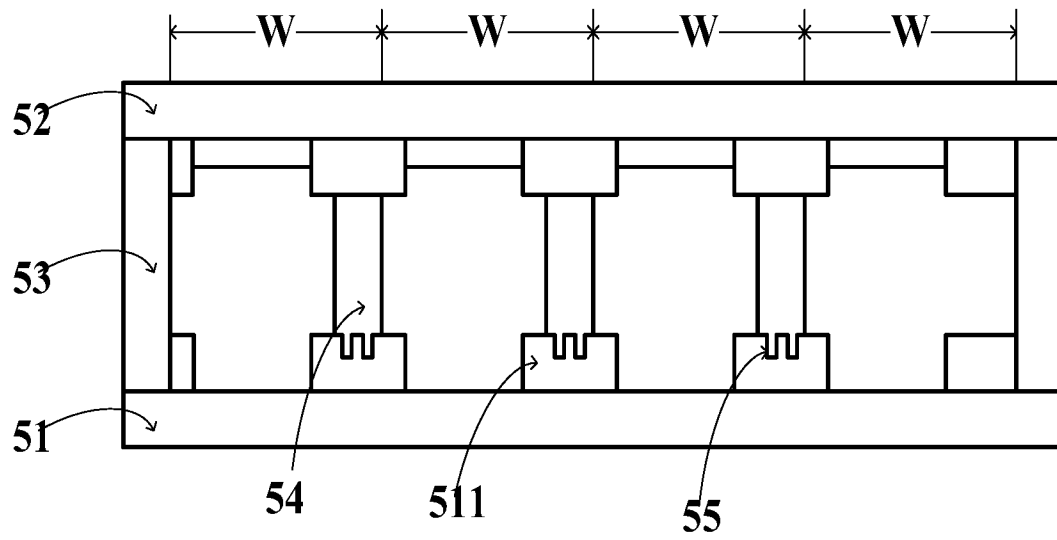


图 4

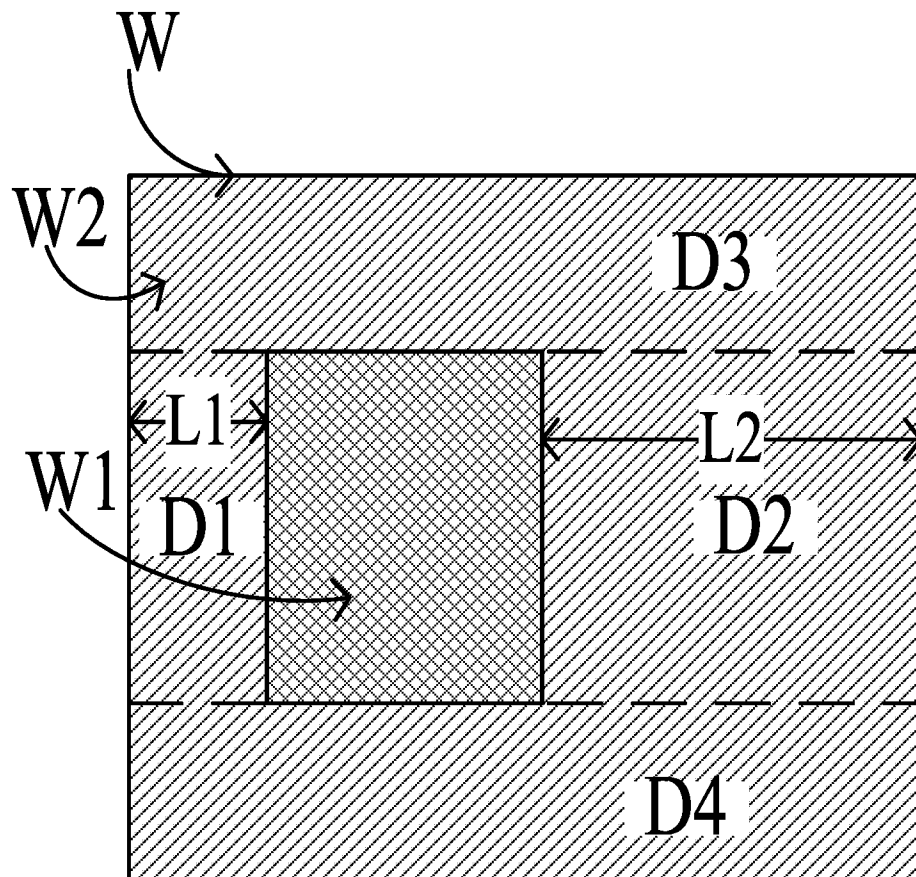


图 5a

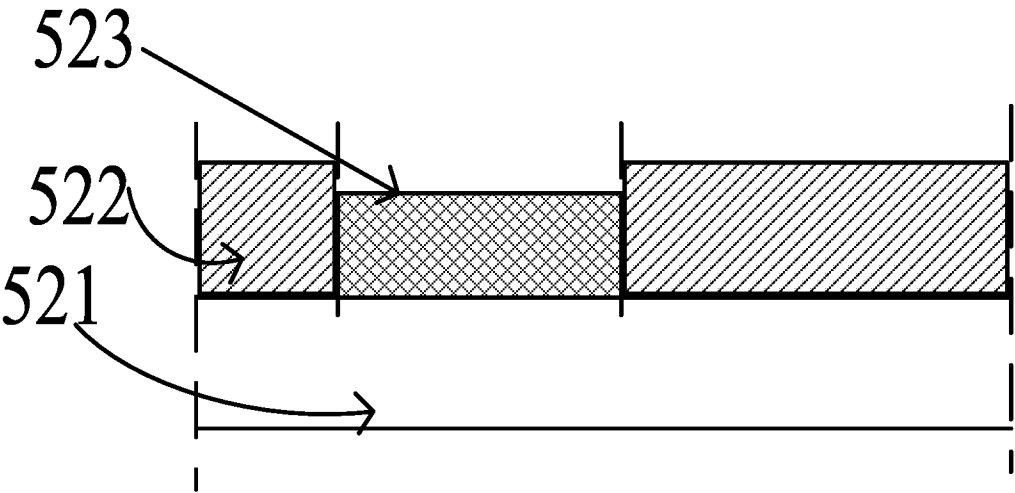


图 5b

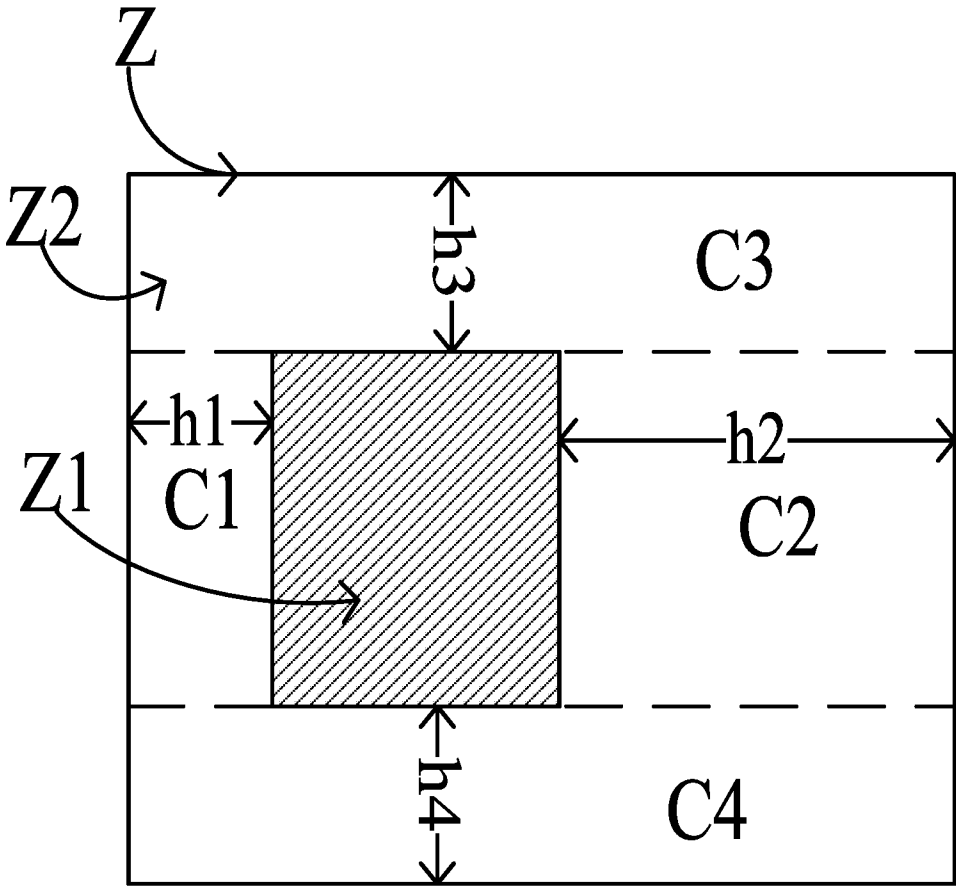


图 5c

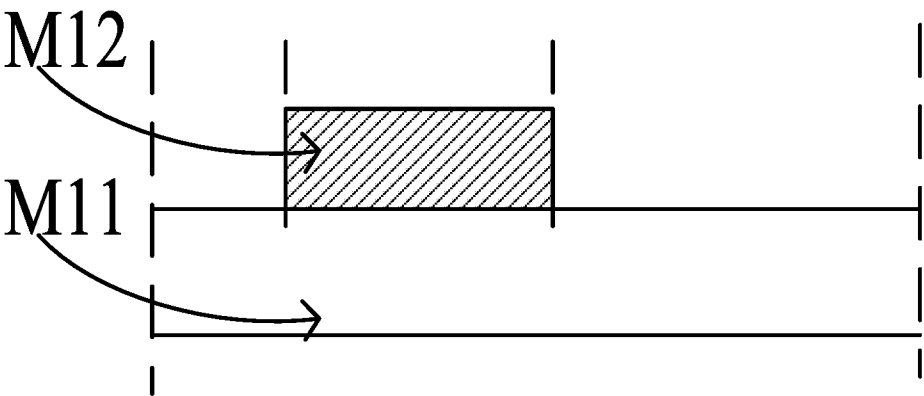


图 5d

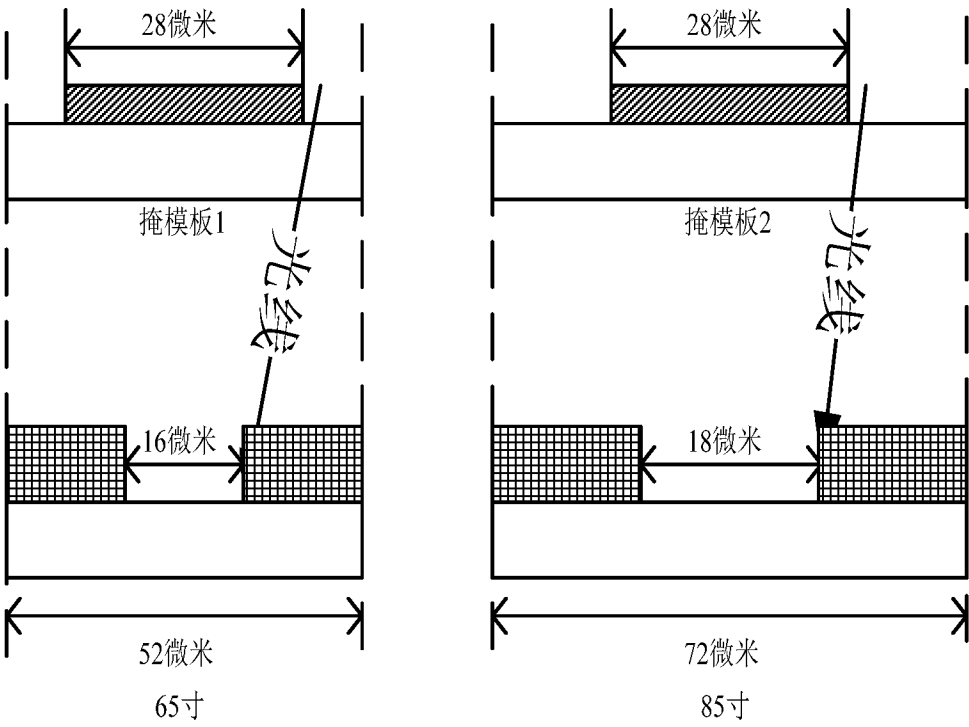


图 5e

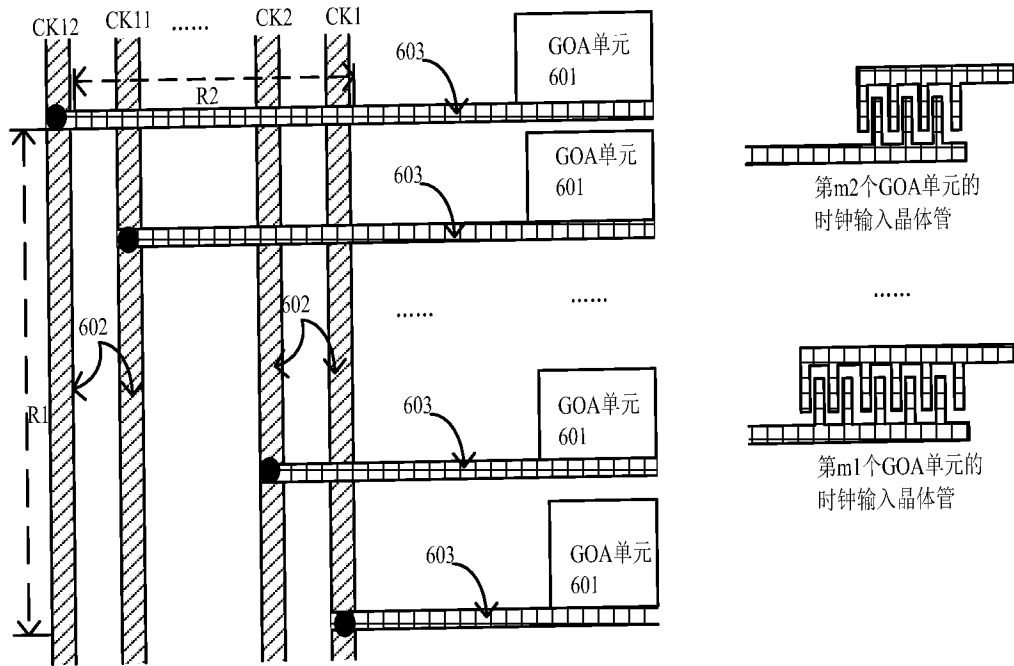


图 6

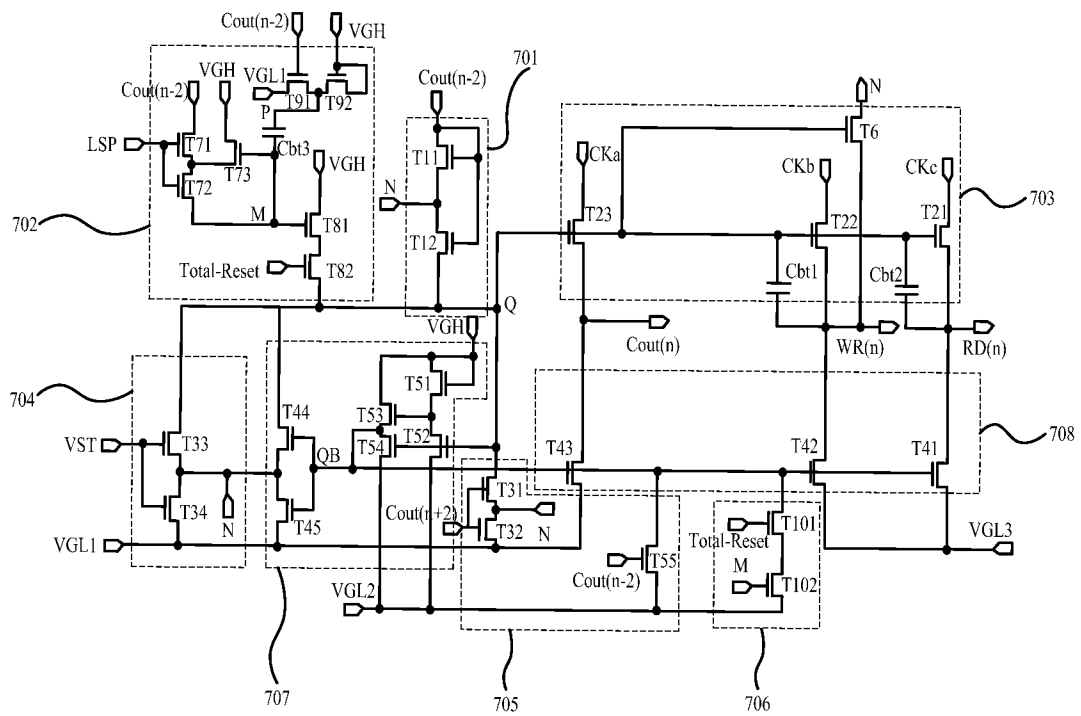


图 7

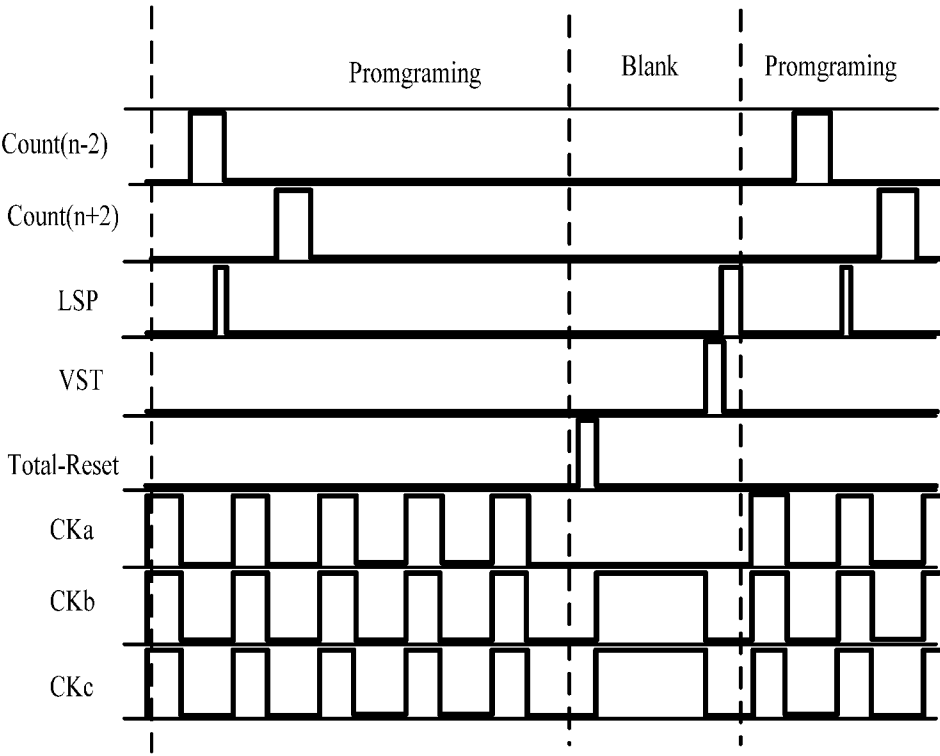


图 8a

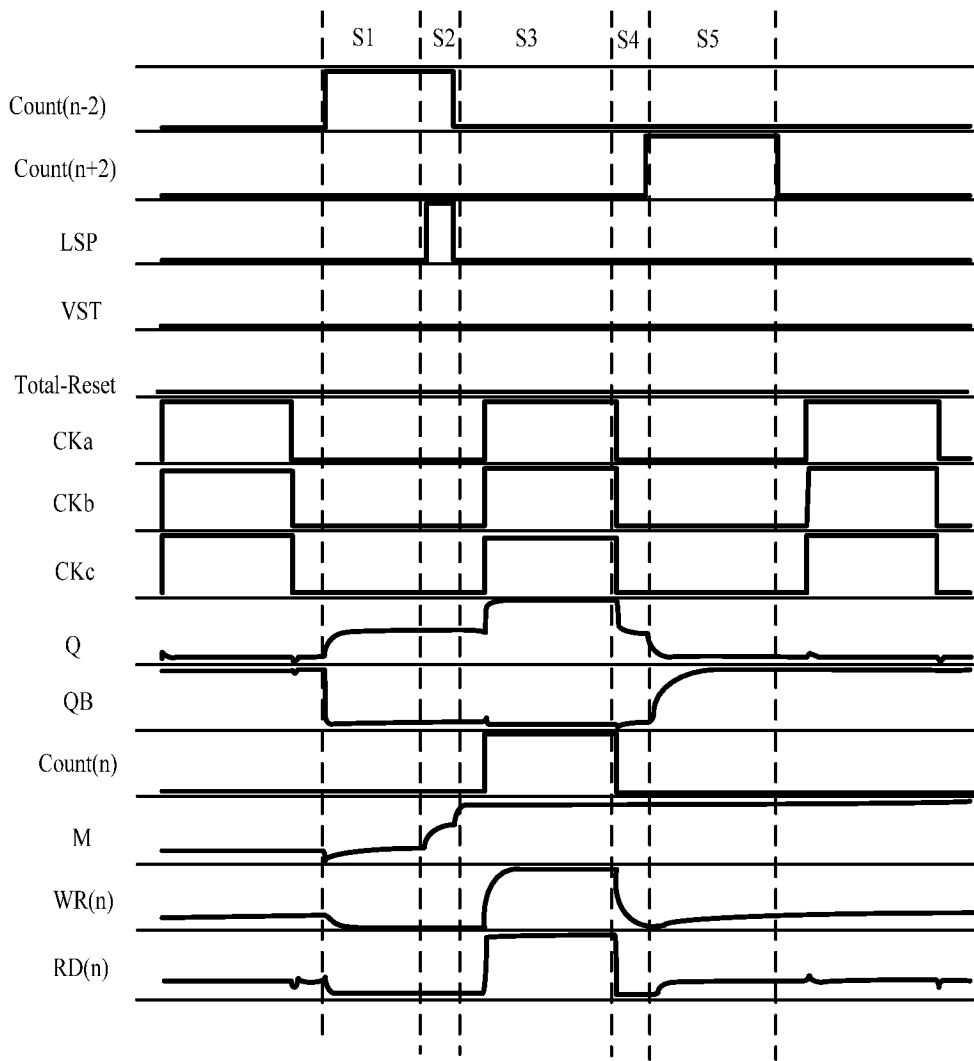


图 8b

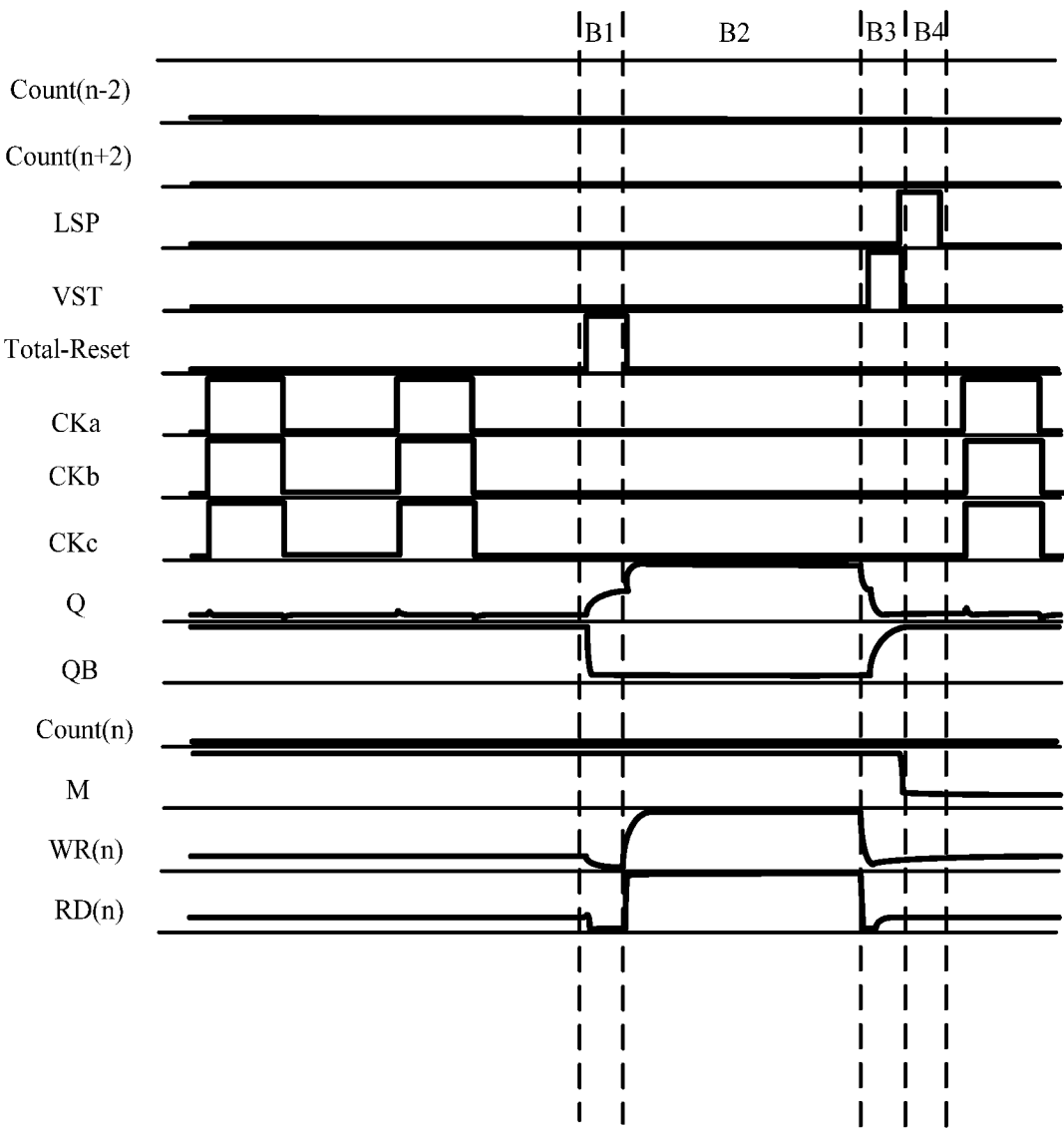


图 8c

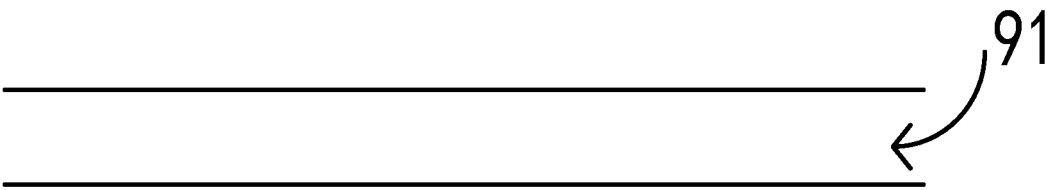


图 9a

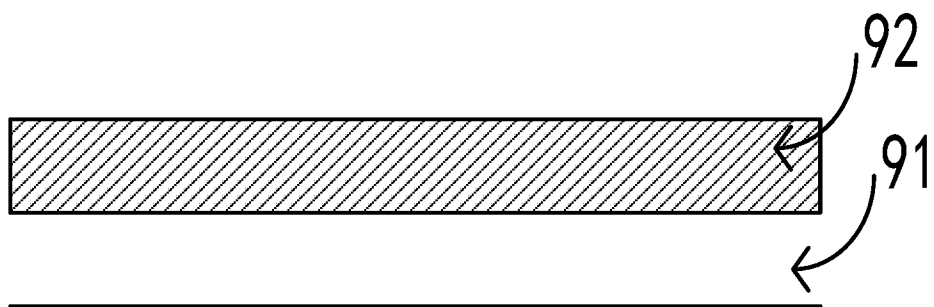


图 9b

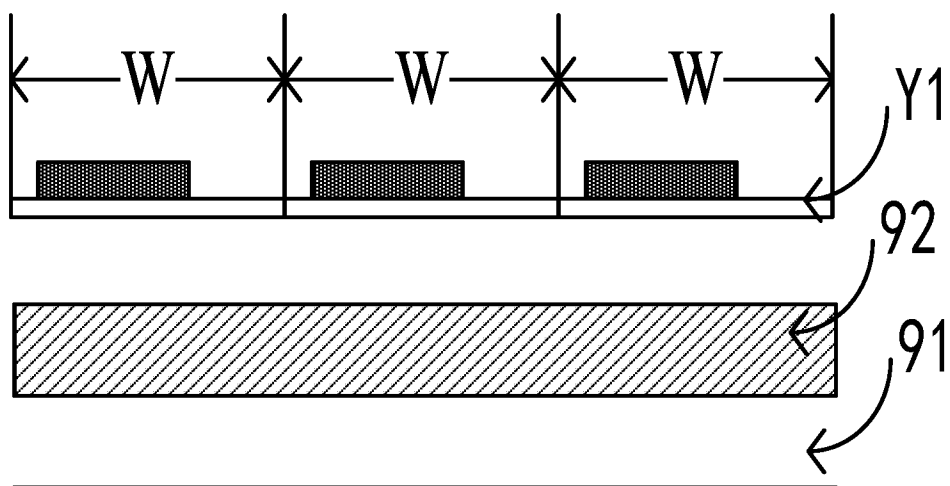


图 9c

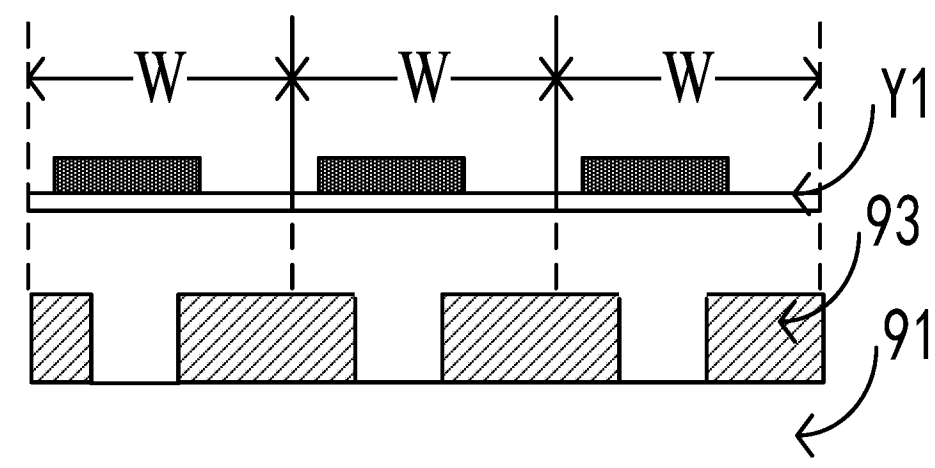


图 9d

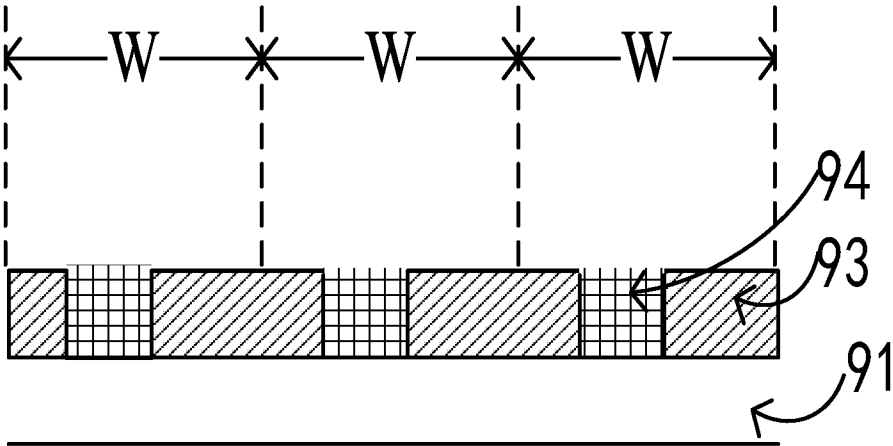


图 9e

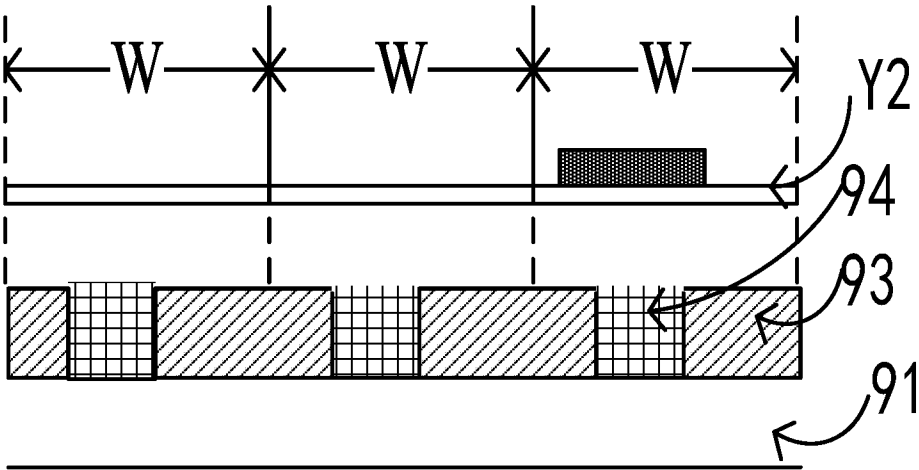


图 9f

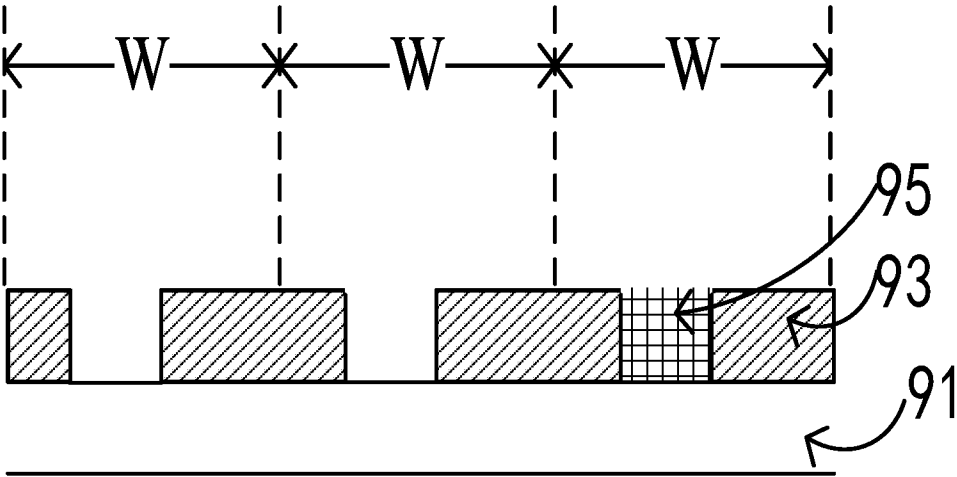


图 9g

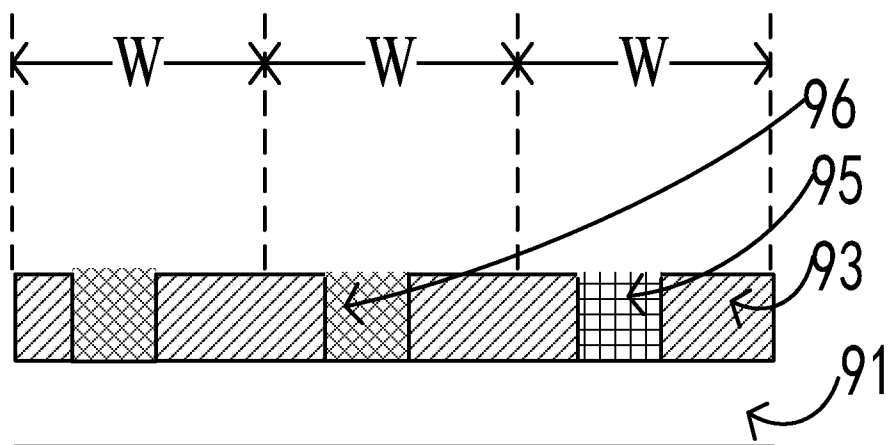


图 9h

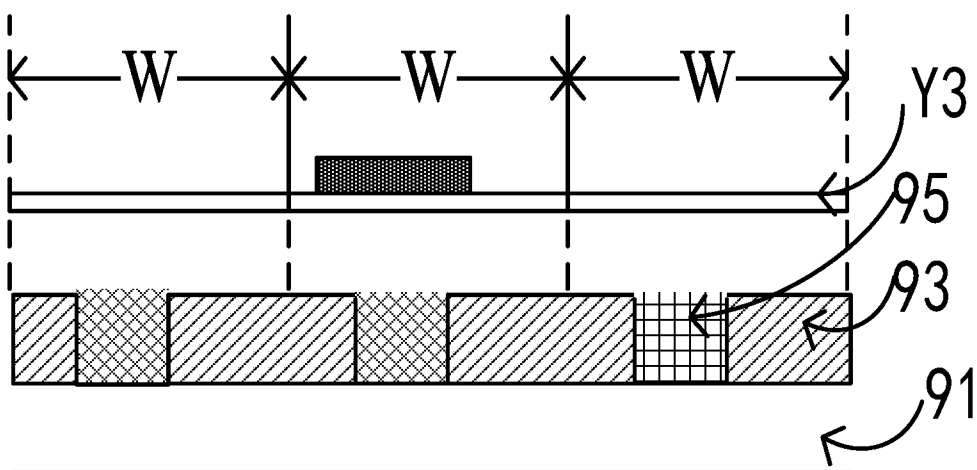


图 9i

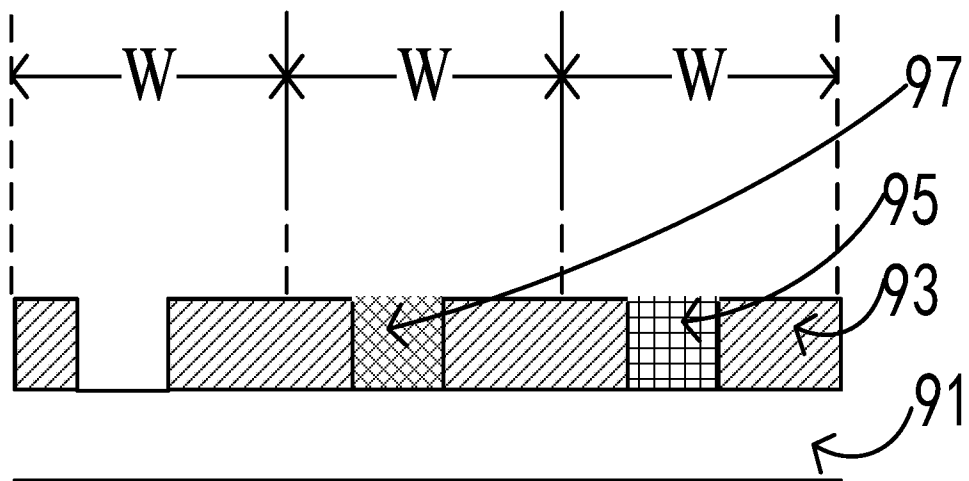


图 9j

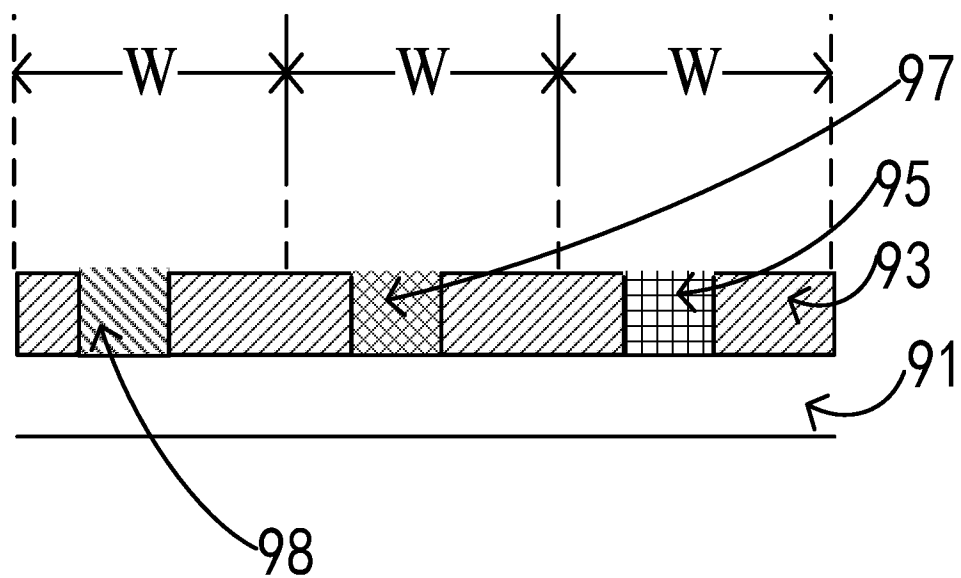


图 9k

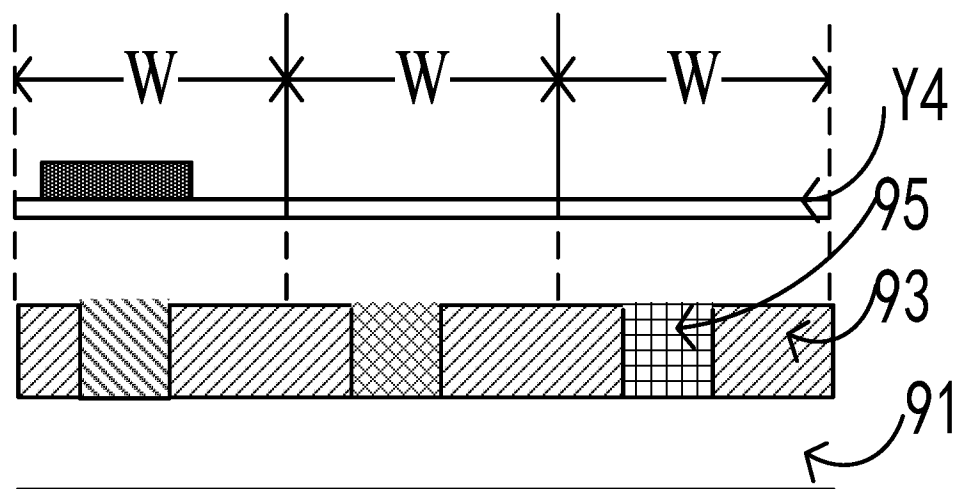


图 9l

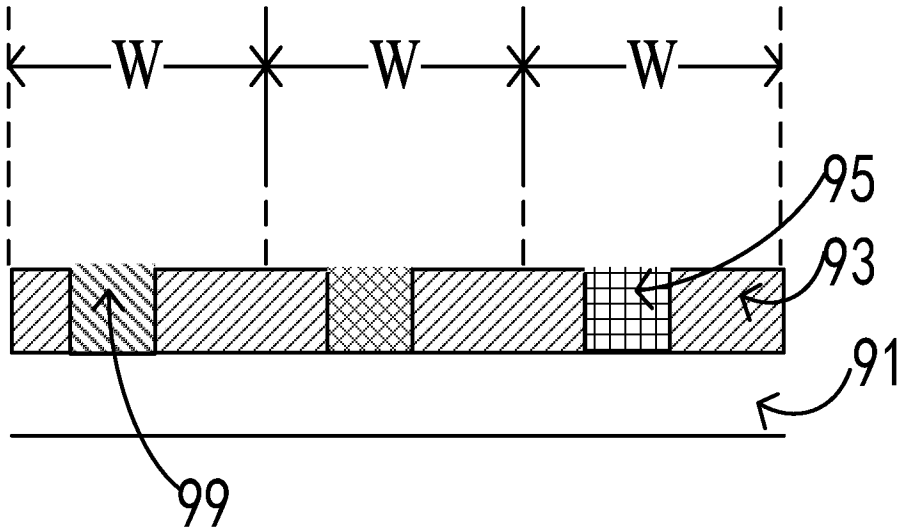


图 9m

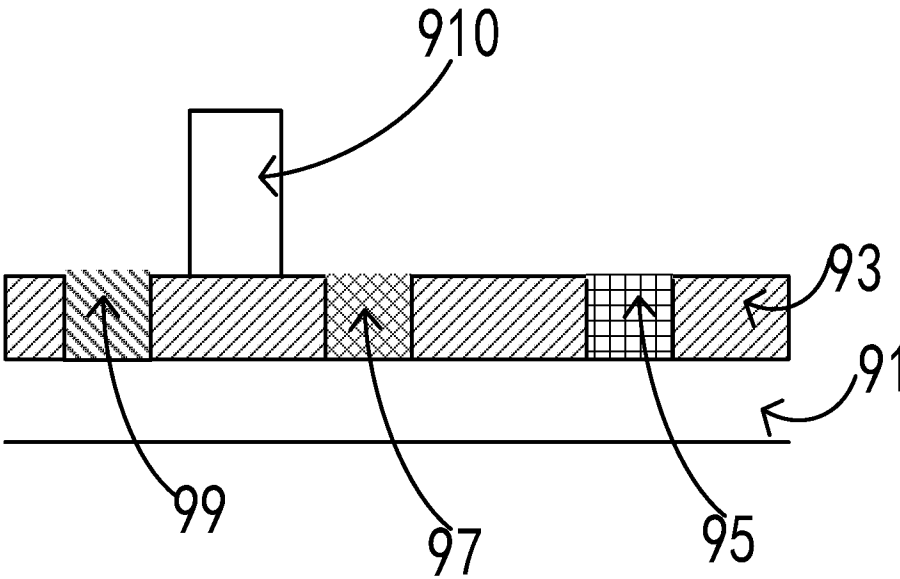


图 9n

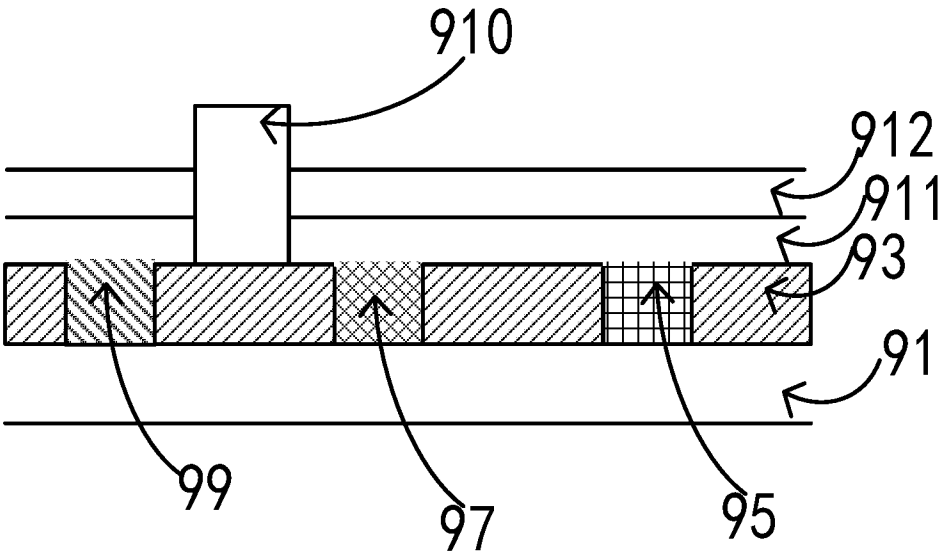


图 90

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/087980

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1339(2006.01)i; G02F 1/1362(2006.01)i; G02F 1/133(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: 液晶, 支撑柱, 间隔件, 凹凸, 接触面积, 上拉, 时钟, 压降, LCD, liquid w crystal, spacer, convex, concave, contact w area, GOA, gate w on w array, 8K, pull w up, clock, voltage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104238197 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.) 24 December 2014 (2014-12-24) description, paragraphs [0028]-[0053], and figures 1-8	1-20
A	CN 105044946 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 November 2015 (2015-11-11) description, paragraphs [0035]-[0050], and figures 1-9	1-20
A	CN 102981315 A (JAPAN DISPLAY INC.) 20 March 2013 (2013-03-20) entire document	1-20
A	CN 103901670 A (QUNKANG TECHNOLOGY (SHENZHEN) CO., LTD. et al.) 02 July 2014 (2014-07-02) entire document	1-20
A	CN 104536229 A (BOE TECHNOLOGY GROUP CO., LTD.) 22 April 2015 (2015-04-22) entire document	1-20
A	US 2010079443 A1 (AU OPTRONICS CORPORATION) 01 April 2010 (2010-04-01) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 December 2020

Date of mailing of the international search report

21 December 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/087980

Patent document cited in search report				Publication date (day/month/year)		Patent family member(s)		Publication date (day/month/year)	
CN	104238197	A	24 December 2014	CN	104238197	B		16 June 2017	
				US	2016026024	A1		28 January 2016	
				US	9625766	B2		18 April 2017	
CN	105044946	A	11 November 2015	CN	105044946	B		04 September 2018	
				WO	2017041432	A1		16 March 2017	
				US	2018182667	A1		28 June 2018	
				US	10565915	B2		18 February 2020	
CN	102981315	A	20 March 2013	JP	5837370	B2		24 December 2015	
				US	2013057820	A1		07 March 2013	
				JP	2013054263	A		21 March 2013	
CN	103901670	A	02 July 2014	CN	103901670	B		15 September 2017	
CN	104536229	A	22 April 2015	CN	104536229	B		01 February 2017	
US	2010079443	A1	01 April 2010	TW	201013625	A		01 April 2010	
				TW	I393110	B		11 April 2013	

国际检索报告

国际申请号

PCT/CN2020/087980

A. 主题的分类

G02F 1/1339(2006.01)i; G02F 1/1362(2006.01)i; G02F 1/133(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;CNKI;WPI;EPDOC: 液晶, 支撑柱, 间隔件, 凹凸, 接触面积, 上拉, 时钟, 压降, LCD, liquid w crystal, spacer, convex, concave, contact w area, GOA, gate w on w array, 8K, pull w up, clock, voltage

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104238197 A (合肥鑫晟光电科技有限公司 等) 2014年 12月 24日 (2014 - 12 - 24) 说明书第[0028]-[0053]段, 附图1-8	1-20
A	CN 105044946 A (京东方科技集团股份有限公司 等) 2015年 11月 11日 (2015 - 11 - 11) 说明书第[0035]-[0050]段, 附图1-9	1-20
A	CN 102981315 A (株式会社日本显示器东) 2013年 3月 20日 (2013 - 03 - 20) 全文	1-20
A	CN 103901670 A (群康科技 深圳 有限公司 等) 2014年 7月 2日 (2014 - 07 - 02) 全文	1-20
A	CN 104536229 A (京东方科技集团股份有限公司) 2015年 4月 22日 (2015 - 04 - 22) 全文	1-20
A	US 2010079443 A1 (AU OPTRONICS CORP.) 2010年 4月 1日 (2010 - 04 - 01) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 12月 1日

国际检索报告邮寄日期

2020年 12月 21日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

张中青

电话号码 86-(10)-53962602

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/087980

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	104238197	A	2014年 12月 24日	CN	104238197	B	2017年 6月 16日		
				US	2016026024	A1	2016年 1月 28日		
				US	9625766	B2	2017年 4月 18日		
CN	105044946	A	2015年 11月 11日	CN	105044946	B	2018年 9月 4日		
				WO	2017041432	A1	2017年 3月 16日		
				US	2018182667	A1	2018年 6月 28日		
				US	10565915	B2	2020年 2月 18日		
CN	102981315	A	2013年 3月 20日	JP	5837370	B2	2015年 12月 24日		
				US	2013057820	A1	2013年 3月 7日		
				JP	2013054263	A	2013年 3月 21日		
CN	103901670	A	2014年 7月 2日	CN	103901670	B	2017年 9月 15日		
CN	104536229	A	2015年 4月 22日	CN	104536229	B	2017年 2月 1日		
US	2010079443	A1	2010年 4月 1日	TW	201013625	A	2010年 4月 1日		
				TW	1393110	B	2013年 4月 11日		