

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2014年8月14日 (14.08.2014)



(10) 国际公布号  
WO 2014/121668 A1

- (51) 国际专利分类号:  
H01L 29/06 (2006.01) H01L 21/335 (2006.01)  
H01L 29/778 (2006.01)
  - (21) 国际申请号: PCT/CN2014/070148
  - (22) 国际申请日: 2014年1月6日 (06.01.2014)
  - (25) 申请语言: 中文
  - (26) 公布语言: 中文
  - (30) 优先权:  
201310049853.X 2013年2月7日 (07.02.2013) CN
  - (71) 申请人: 苏州晶湛半导体有限公司 (ENKRIS SEMICONDUCTOR, INC.) [CN/CN]; 中国江苏省苏州市工业园区仁爱路99号, Jiangsu 215124 (CN)。
  - (72) 发明人: 程凯 (CHENG, Kai); 中国江苏省苏州市工业园区仁爱路99号, Jiangsu 215124 (CN)。
  - (74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街22号赛特广场7层, Beijing 100004 (CN)。
  - (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
  - (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。
- 本国际公布:  
— 包括国际检索报告(条约第21条(3))。

(54) Title: NITRIDE HIGH-VOLTAGE COMPONENT AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 氮化物高压器件及其制造方法

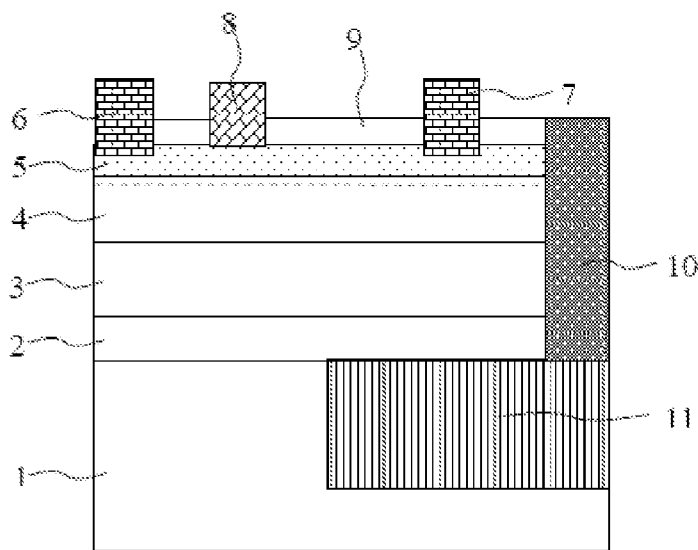


图 1-B / Fig. 1-B

(57) Abstract: A nitride high-voltage component and a manufacturing method therefor. The nitride high-voltage component comprises: a silicon substrate (1); a nitride nucleation layer (2) arranged on the silicon substrate; a nitride buffer layer (3) arranged on the nitride nucleation layer; a nitride groove layer (4) arranged on that the nitride buffer layer; a source electrode (6) and a drain electrode (7) that are in contact with the nitride groove layer, and a gate electrode (8) arranged between the source electrode and the drain electrode, where one or multiple locally spaced isolation areas (11) are arranged between the nitride nucleation layer and the silicon substrate below an area between the gate electrode and the drain electrode. By removing a part of the silicon substrate below a nitride epitaxial layer between the gate electrode and the drain electrode, the silicon substrate is isolated from the nitride epitaxial layer that can withstand a high voltage, a vertical breakdown that may be caused by the silicon substrate is prevented, thus implementing a high breakdown voltage-resistant component.

(57) 摘要:

[见续页]

WO 2014/121668 A1



---

一种氮化物高压器件及其制造方法，氮化物高压器件包括：硅衬底（1）；位于硅衬底上的氮化物成核层（2）；位于氮化物成核层上的氮化物缓冲层（3）；位于氮化物缓冲层上的氮化物沟道层（4）；与氮化物沟道层相接触的源极（6）和漏极（7）以及位于源极和漏极之间的栅极（8）；其中，栅极和漏极之间区域下方的氮化物成核层与硅衬底之间设有一个或多个局部空间隔离区域（11）。通过去除栅极和漏极之间氮化物外延层下方的部分硅衬底，将硅衬底与能够承受高电压的氮化物外延层隔离，避免硅衬底可能引起的纵向击穿，从而实现可以耐高击穿电压的器件。

## 氮化物高压器件及其制造方法

本申请要求于 2013 年 2 月 7 日提交中国专利局、申请号为 201310049853.X、发明名称为“氮化物高压器件及其制造方法”的中国专利申请者优先权，其全部内容通过引用结合在本申请中。

### 5 技术领域

本发明涉及微电子技术领域，特别是涉及一种氮化物高压器件及其制造方法。

### 背景技术

10 宽禁带化合物半导体材料由于具有禁带宽度大、电子饱和漂移速度高、击穿场强高、导热性能好等特点，在高频、高温、大功率等领域显示出极大的潜力，尤其是氮化物高压器件更以其优越的性能和巨大的发展潜力而备受全世界众多研究者的关注。

目前在硅衬底上生长氮化物外延层制作氮化物高压器件的技术正日趋  
15 成熟，因为其成本较低，极大的促进了氮化物高压器件的市场化。

由于硅材料本身具有导电性且击穿电场比较小，在外加高电压条件下，硅衬底相当于低阻区，不能有效阻止器件漏电；当外加电压足够高，达到硅的临界击穿电场时硅衬底首先击穿，继而引起外延层纵向击穿，使得硅衬底氮化物高压器件的击穿基本上都是通过硅衬底的纵向击穿，尤其是当  
20 硅衬底接地时击穿电压相比未接地时要减少一半。虽然硅衬底氮化物高压器件的击穿电压主要跟外延层的厚度有关，但硅衬底氮化物外延层厚度一般比较小，比如说  $2\mu\text{m}$  至  $7\mu\text{m}$  左右，所以硅衬底上氮化物高压器件的最高击穿电压一般不超过 2000V，远远小于蓝宝石或碳化硅衬底上的氮化物高压器件的最高击穿电压。

25 为了提高硅衬底氮化物高压器件的击穿电压可以通过增加氮化物外延层的厚度和提高硅衬底的耐压性来实现。目前的生长技术可以解决硅材料和氮化物之间巨大的晶格失配和热失配，但其生长的氮化物外延层厚度受到极大的限制，一般来说大约在  $2\mu\text{m}$  至  $4\mu\text{m}$  左右，生长更厚的外延层会

需要更多的原材料、更长的生长时间，会大大提高成本、降低产能，并且随着厚度的增加，外延层内存在包括位错在内的大量缺陷，随着工作电压的提高漏电流也会增加。

5 人们也发现剥离掉硅衬底可以消除硅衬底对击穿电压的影响，极大的提高器件的击穿电压，但是用于生长氮化物的硅衬底的厚度都是几百微米甚至超过1个毫米，背部的衬底剥离工艺相对比较繁琐，因此需要考虑通过其他方式来提高硅衬底的耐压性。

10 外加高电压一般是加载在器件的漏极上，栅漏区域是高电压的主要耐受区域，尤其是在硅衬底接地情况下，电压主要落在漏极和硅衬底电极之间区域，硅衬底也是在此区域最容易击穿。因此，针对上述技术问题，有必要提供一种氮化物高压器件及其制造方法。

## 发明内容

15 有鉴于此，如果能够去除栅漏区域氮化物外延层下方的部分硅衬底，将该区域击穿电场较高的氮化物外延层与容易击穿的硅衬底用空气进行隔离，或者进一步添加其他高临界电场材料，避免此区域硅衬底的过早击穿，就可以大幅提高器件的击穿电压。另外，对隔离区域内的硅材料进行氧化形成二氧化硅层也可以进一步提高器件击穿电压。隔离区域可以通过湿法腐蚀和/或干法刻蚀的方式来实现，为了实现结构可控的空间隔离区域，  
20 可以使用选择性腐蚀工艺和/或干法刻蚀工艺，提高硅衬底侧向的腐蚀/刻蚀速度，提高隔离效果。形成此空间隔离区域后，器件不容易发生纵向击穿，主要是通过氮化物外延层的横向击穿，因此氮化物外延层的厚度不需要生长太厚，较薄的外延层也可以实现高击穿电压，并且在外延层厚度很薄的情况下正面氮化物外延层开孔刻蚀工艺也容易控制，大大提高了生产效率  
25 及工艺可控性。

本发明的目的在于提供一种通过局部去除栅极和漏极之间氮化物外延层下方的部分硅衬底，将该区域击穿电场较高的氮化物外延层与容易击穿的硅衬底用空气等物质进行隔离，避免通过硅衬底可能引起的击穿，从而实现可以耐高击穿电压的器件。栅极和漏极之间的区域是高电压的主要承



作为本发明的进一步改进，所述耐高电压填充物包括  $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$ 、 $\text{SiN}_x$ 、 $\text{AlN}$ 、金刚石中的一种或多种的组合。

作为本发明的进一步改进，所述局部空间隔离区域为方形槽、梯形槽、弧形槽或 U 形槽。

- 5 作为本发明的进一步改进，所述局部空间隔离区域的内壁上通过氧化处理形成有耐高压的二氧化硅层。

作为本发明的进一步改进，所述局部空间隔离区域下方设有横穿整个硅衬底的绝缘高电压耐受层，所述绝缘高电压耐受层为氧化物、氮化物中的一种或多种的组合。

- 10 作为本发明的进一步改进，所述氮化物沟道层上设有氮化物势垒层，在氮化物沟道层和氮化物势垒层的界面处形成有二维电子气。

作为本发明的进一步改进，所述氮化物势垒层上还设有介质层。

作为本发明的进一步改进，所述介质层为  $\text{SiN}$ 、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{HfO}_2$ 、 $\text{HfAlO}_x$  中的一种或多种的组合。

- 15 作为本发明的进一步改进，所述氮化物势垒层上设有氮化物冒层。

作为本发明的进一步改进，所述氮化物势垒层和氮化物沟道层之间设有  $\text{AlN}$  插入层。

作为本发明的进一步改进，所述氮化物缓冲层和氮化物沟道层之间设有  $\text{AlGaN}$  背势垒层。

- 20 相应地，一种氮化物高压器件的制造方法，所述方法包括：

提供一硅衬底；

在所述硅衬底上形成氮化物成核层；

在所述氮化物成核层上形成氮化物缓冲层；

在所述氮化物缓冲层上形成氮化物沟道层；

- 25 在所述氮化物沟道层上形成源极和漏极以及位于源极和漏极之间的栅极；

在所述栅极和漏极之间区域下方的氮化物成核层与硅衬底之间形成一个或多个局部空间隔离区域。

作为本发明的进一步改进，所述局部空间隔离区域的制备方法为干法

刻蚀和/或湿法腐蚀。

作为本发明的进一步改进，所述方法还包括：

5 在漏极和栅极之间和/或漏极外侧和/或源极和栅极之间和/或源极外侧的氮化物外延层上开孔刻蚀，形成刻蚀孔，通过刻蚀孔从中间向两侧腐蚀和/或刻蚀形成局部空间隔离区域。

本发明的有益效果是：

10 通过局部去除栅极和漏极之间氮化物外延层下方的部分硅衬底形成局部空间隔离区域，将该区域击穿电场较高的氮化物外延层与容易击穿的硅衬底用空气进行隔离，避免通过硅衬底可能引起的击穿，从而实现可以耐高击穿电压的器件；

在局部空间隔离区域内填充击穿电场更高的材料来提高器件的击穿电压，对局部空间隔离区域内的硅材料进行氧化形成二氧化硅层可以进一步提高器件击穿电压；

15 在氮化物外延层上方开孔，先刻蚀掉氮化物外延层直至硅衬底层，再继续用选择性腐蚀工艺和/或干法刻蚀工艺，整个工艺容易控制，大大提高了生产效率及工艺可控性。

## 附图说明

20 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明中记载的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

25 图 1-A 和 1-B 为第一实施方式在氮化物 HEMT 器件的栅极和漏极之间区域下方的氮化物外延层与硅衬底之间形成局部空间隔离区域的工艺过程；

图 2-A 和 2-B 为本发明第二实施方式在漏端电极内侧的氮化物外延层上一个开孔刻蚀形成局部空间隔离区域的 HEMT 器件结构示意图；

图 3 为本发明第三实施方式在在漏端电极内侧的氮化物外延层上多个

开孔刻蚀形成局部空间隔离区域的 HEMT 器件结构示意图；

图 4 为本发明第四实施方式在氮化物外延层与硅衬底之间的局部空间隔离区域内引入耐高电压二氧化硅层的 HEMT 器件结构示意图；

5 图 5 为本发明第五实施方式在氮化物外延层与硅衬底之间的局部空间隔离区域下方引入绝缘高电压耐受层的 HEMT 器件结构示意图；

图 6 为本发明第六实施方式在氮化物外延层与硅衬底之间的局部空间隔离区域内引入耐高电压填充物的 HEMT 器件结构示意图；

图 7 为本发明第七实施方式中氮化物外延层与硅衬底之间的局部空间隔离区域为梯形结构的 HEMT 器件结构示意图；

10 图 8 为本发明第八实施方式中氮化物外延层与硅衬底之间的局部空间隔离区域边缘为弧形结构的 HEMT 器件结构示意图；

图 9 为本发明第九实施方式中应用本发明的氮化物 MOSFET 器件结构示意图，其中在栅极和漏极之间区域下方的氮化物成核层与硅衬底之间形成了局部空间隔离区域；

15 图 10 为本发明第十实施方式中应用本发明的氮化物 MESFET 器件结构示意图，其中在栅极和漏极之间区域下方的氮化物成核层与硅衬底之间形成了局部空间隔离区域；

图 11 为本发明第十一实施方式在势垒层上生长 GaN 冒层的氮化物 HEMT 器件结构示意图；

20 图 12 为本发明第十二实施方式在势垒层和沟道层之间引入 AlN 插入层的氮化物 HEMT 器件结构示意图；

图 13 为本发明第十三实施方式在缓冲层和沟道层之间插入 AlGaIn 背势垒层的氮化物 HEMT 器件结构示意图；

25 图 14 为本发明第十四实施方式在漏极区域刻蚀多个孔形成多个局部空间隔离区域，紧挨其下方插入绝缘高电压耐受层的氮化物 HEMT 器件结构示意图；

图 15-A 和 15-B 为本发明第十五实施方式在氮化物 HEMT 器件的源极和漏极之间区域下方的氮化物外延层与硅衬底之间形成局部空间隔离区域的工艺流程示意图；

图 16-A 和 16-B 为本发明第十六实施方式在漏端和栅极内侧的氮化物外延层上一个开孔刻蚀形成局部空间隔离区域的 HEMT 器件结构示意图。

### 具体实施方式

- 5 本发明的一种氮化物高压器件，包括：  
硅衬底；  
位于硅衬底上的氮化物成核层；  
位于氮化物成核层上的氮化物缓冲层；  
位于氮化物缓冲层上的氮化物沟道层；  
10 与氮化物沟道层相接触的源极和漏极以及位于源极和漏极之间的栅极；

其中，栅极和漏极之间区域下方的氮化物成核层与硅衬底之间设有一个或多个局部空间隔离区域。

- 相应地，一种氮化物高压器件的制造方法，包括：  
15 提供一硅衬底；  
在硅衬底上形成氮化物成核层；  
在氮化物成核层上形成氮化物缓冲层；  
在氮化物缓冲层上形成氮化物沟道层；  
在氮化物沟道层上形成源极和漏极以及位于源极和漏极之间的栅极；  
20 在栅极和漏极之间区域下方的氮化物成核层与硅衬底之间形成一个或多个局部空间隔离区域。

本发明通过去除栅极和漏极之间氮化物外延层下方的部分硅衬底，将硅衬底与能够承受高电压的氮化物外延层隔离，避免硅衬底可能引起的纵向击穿，从而实现可以耐高击穿电压的器件。

- 25 以下将结合附图所示的具体实施方式对本发明进行详细描述。但这些实施方式并不限制本发明，本领域的普通技术人员根据这些实施方式所做出的结构、方法、或功能上的变换均包含在本发明的保护范围内。

此外，在不同的实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例及/或结构之间具有

任何关联性。

图 1-A 和 1-B 为本发明第一实施方式在氮化物 HEMT 器件的栅极和漏极之间区域下方的氮化物外延层与硅衬底之间形成局部空间隔离区域的工艺流程示意图。

5 其中第一层为硅衬底 1;

在硅衬底 1 上外延生长氮化物成核层 2 和氮化物缓冲层 3, 氮化物缓冲层 3 包括 GaN 或 AlN 或其他氮化物, 起到匹配衬底材料和高质量外延氮化镓层的作用;

10 在氮化物缓冲层 3 上生长氮化物沟道层 4, 氮化物沟道层 4 可包含非掺杂 GaN 层;

在氮化物沟道层 4 上生长氮化物势垒层 5, 氮化物势垒层 5 包含 AlGaIn 或其他氮化物, 氮化物沟道层 4 和氮化物势垒层 5 一起组成半导体异质结构, 在界面处形成高浓度二维电子气, 并在 GaN 沟道层的异质结界面处产生导电沟道;

15 在氮化物势垒层 5 上沉积介质层 9 对材料表面进行钝化保护, 介质层为 SiN、SiO<sub>2</sub>、SiON、Al<sub>2</sub>O<sub>3</sub>、HfO<sub>2</sub>、HfAlO<sub>x</sub> 中的一种或多种的组合;

在源极 6 和漏极 7 之间的区域, 介质层 9 被刻蚀出凹槽, 然后沉积金属形成栅极 8。

20 本发明中栅极 8 和漏极 7 之间区域下方的氮化物成核层与硅衬底之间设有一个或多个局部空间隔离区域 11, 首先用刻蚀方法在漏极 7 外侧的氮化物外延层上开孔直至硅衬底 1, 形成刻蚀孔 10, 如图 1-A; 然后继续用干法刻蚀和/或选择性湿法腐蚀方法对栅极 8 和漏极 7 之间区域氮化物外延层下方的硅衬底 1 进行局部选择性刻蚀或腐蚀, 形成该区域氮化物外延层与硅衬底之间的局部空间隔离区域 11, 如图 1-B。本发明中的局部空间隔离区域 11 的长度和高度可根据所需耐受电压进行调节。

25 栅极 8 和漏极 7 之间区域下方的氮化物外延层与硅衬底之间形成的局部空间隔离区域 11 实现了栅极和漏极之间击穿电场较高的氮化物外延层区与容易击穿的导电硅衬底之间的局部空间隔离, 阻断通过硅衬底的导电通路和击穿路径, 使得器件的击穿不再是通过硅衬底的纵向击穿, 而只能

是在氮化物外延层上的横向击穿。因为氮化物外延层的击穿电场较高且栅漏间距一般比较大，所以器件的击穿电压大幅提高，即使衬底接地也不影响器件的击穿电压。

图 2-A 和 2-B 为本发明第二实施方式在漏端电极内侧的氮化物外延层上 5 一个开孔刻蚀形成局部空间隔离区域的 HEMT 器件结构示意图。

在漏极 7 内侧的氮化物外延层上开孔刻蚀，形成一个刻蚀孔 10，再从中间向两侧腐蚀/刻蚀形成栅极 8 和漏极 7 区域氮化物外延层与硅衬底之间的局部空间隔离区域 11，如图 2-A。与第一实施方式相比，此工艺方法可以增大腐蚀范围，缩短工艺时间，其中在漏极 7 内侧的刻蚀孔 10 不需要很 10 大，对二维电子气的影响并不大，如图 2-B 所示。

图 3 为本发明第三实施方式在在漏端电极内侧的氮化物外延层上多个开孔刻蚀形成局部空间隔离区域的 HEMT 器件结构示意图。

在漏极 7 内侧的氮化物外延层上开孔刻蚀，形成多个刻蚀孔 10，再从中间向两侧腐蚀/刻蚀形成栅极 8 和漏极 7 区域氮化物外延层与硅衬底之间的局部空间隔离区域 11，如图 3 所示。与第二实施方式相比，此实施方式 15 设有多个刻蚀孔 10，多个刻蚀孔 10 可沿直线排列，也可以以其他形式进行排列，此工艺方法可以进一步增大腐蚀范围，缩短工艺时间，同时减小对器件性能的影响。

图 4 为本发明第四实施方式在氮化物外延层与硅衬底之间的局部空间 20 隔离区域内引入耐高电压二氧化硅层的 HEMT 器件结构示意图。

通过氧化处理方式可以在氮化物外延层与硅衬底 1 之间的局部空间隔离区域内 11 的硅衬底中形成较厚且耐高电压的二氧化硅层 12，相比单纯的空间隔离，可更进一步提高隔离效果，增加器件击穿电压，氧化层厚度可以根据所需耐受电压及具体工艺进行调节。本实施方式中氧化处理方式为热氧化、等离子体氧化或其他氧化处理方式。 25

图 5 为本发明第五实施方式在氮化物外延层与硅衬底之间的局部空间隔离区域下方引入绝缘高电压耐受层的 HEMT 器件结构示意图。

局部空间隔离区域 11 下方设有横穿整个硅衬底 1 的绝缘高电压耐受层 17，此绝缘高电压耐受层 17 紧挨局部空间隔离区域 11，横穿整个硅衬底 1，

可以进一步提高器件的纵向击穿电压。绝缘高电压耐受层击穿电场比较高，可以是氧化物、氮化物中的一种或多种的组合。

图 6 为本发明第六实施方式在氮化物外延层与硅衬底之间的局部空间隔离区域内引入耐高电压填充物的 HEMT 器件结构示意图。

5 为了更进一步提高隔离效果，防止局部空间隔离区域内发生空气击穿，可以在该局部空间隔离区域内引入耐高电压填充物 13，如  $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$ 、 $\text{SiN}_x$ 、 $\text{AlN}$ 、金刚石中的一种或多种的组合等具有高临界电场的材料，尤其是既有高的临界电场又有高的导热率的材料，如  $\text{AlN}$  和金刚石等来提高绝缘隔离效果，提高器件击穿电压。

10 图 7 为本发明第七实施方式中氮化物外延层与硅衬底之间的局部空间隔离区域为梯形结构的 HEMT 器件结构示意图。

因为栅极 8 和源极 6 之间的距离较之栅极 8 和漏极 7 之间的距离小很多，如果氮化物外延层与硅衬底之间的局部空间隔离区域 11 的横向长度过长，则剩余硅衬底对氮化物外延层的支撑力将大大减小，外延层有可能会坍塌，本实施方式中将局部空间隔离区域设为梯形结构可以在满足隔离的基础上增强硅衬底对外延层的支撑。

图 8 为本发明第八实施方式中氮化物外延层与硅衬底之间的局部空间隔离区域边缘为弧形结构的 HEMT 器件结构示意图。

局部空间隔离区域设为边缘为弧形结构，工艺较易实现。

20 图 9 为第九实施方式中应用本发明的氮化物 MOSFET 器件结构示意图，其中在栅极和漏极之间区域下方的氮化物成核层与硅衬底之间形成了局部空间隔离区域。

本实施方式氮化物 MOSFET 器件中，源极 6 和漏极 7 下方的氮化物沟道层区域为 n 型重掺杂区域，一般掺硅，栅极 8 下方区域为 p 型轻掺杂，一般掺镁，栅金属下的介质层一般为  $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{AlN}$ 、 $\text{Al}_2\text{O}_3$  或其他绝缘介质层。

25 图 10 为第十实施方式中应用本发明的氮化物 MESFET 器件结构示意图，其中在栅极和漏极之间区域下方的氮化物成核层与硅衬底之间形成了局部空间隔离区域。

本实施方式氮化物 MESFET 器件中, 氮化物沟道层 4 一般为 n 型轻掺杂, 源极 6 和漏极 7 下方的氮化物沟道层 4 区域为 n 型重掺杂, 栅极 8 为肖特基结。

图 11 出了本发明第十一实施方式在势垒层上生长 GaN 冒层的氮化物 HEMT 器件结构示意图。

本实施例中在氮化物势垒层 5 上设有氮化物冒层 14, 势垒层选用 AlGaIn 材料。由于 AlGaIn 势垒层材料表面的缺陷和表面态密度较大, 会俘获很多电子, 会对沟道中的二维电子气产生影响, 降低器件特性及可靠性。通过在氮化物势垒层 5 表面生长一层氮化物冒层 14 作为保护层可以有效减小势垒层材料表面的缺陷和表面态对器件特性的影响。优选地, 在本实施方式中氮化物冒层 14 为 GaN。

图 12 出了本发明第十二实施方式在势垒层和沟道层之间引入 AlN 插入层的氮化物 HEMT 器件结构示意图。

本实施方式中在氮化物势垒层 5 和氮化物沟道层 4 之间设有 AlN 插入层 15, 势垒层选用 AlGaIn 材料。因为 AlN 的禁带宽度非常高, 可以更有效地将电子限制在异质结势阱中, 提高了二维电子气的浓度; AlN 插入层还将导电沟道与 AlGaIn 势垒层隔离开, 减小了势垒层对电子的散射效应, 从而提高电子的迁移率, 使得器件整体特性得以提高。

图 13 示出了本发明第十三实施方式在缓冲层和沟道层之间插入 AlGaIn 背势垒层的氮化物 HEMT 器件结构示意图。

在一定外加电压下, 沟道中的电子会进入氮化物缓冲层 3, 尤其是在短沟道器件中这种现象更为严重, 使得栅极对沟道电子的控制相对变弱, 出现短沟道效应; 加上缓冲层中的缺陷和杂质比较多, 会对沟道中的二维电子气产生影响, 如产生电流崩塌。本实施方式通过在氮化物缓冲层 3 和氮化物沟道层 4 之间设有 AlGaIn 背势垒层 16, 可以将沟道电子与缓冲层隔离开, 将二维电子气有效地限制在沟道层中, 改善短沟道效应及电流崩塌效应。

图 14 示出了本发明第十四实施方式在漏极区域刻蚀多个孔形成多个局部空间隔离区域, 紧挨其下方插入绝缘高电压耐受层的氮化物 HEMT 器

件结构示意图。

本实施方式中，在漏极 7 区域刻蚀多个刻蚀孔 10，在氮化物外延层与硅衬底之间形成多个局部空间隔离区域 11，紧挨其下方插入绝缘高电压耐受层 17（如二氧化硅层等），这种空间隔离区域结合高电压耐受层的结构既可以提高硅衬底的横向耐压，也可以提高硅衬底的纵向耐压，从而提高器件总的击穿电压。相比在漏极区域形成一个大的局部空间隔离区域，这种结构可以大大提高空间隔离区域的腐蚀/刻蚀工艺效率，而且每个隔离区域之间的硅衬底可以提供支撑作用，避免隔离区域过大引起器件的坍塌；也可以对这些多个空间隔离区域内的硅衬底进行氧化，或填充耐高电压材料进一步提高器件击穿电压。

图 15-A 和 15-B 为本发明第十五实施方式在氮化物 HEMT 器件的源极和漏极之间区域下方的氮化物外延层与硅衬底之间形成局部空间隔离区域的工艺流程示意图。

本实施例中源极 6 和漏极 7 之间区域下方的氮化物成核层与硅衬底之间设有一个或多个局部空间隔离区域 11，首先用刻蚀方法在源极 6 外侧的氮化物外延层上开孔直至硅衬底 1，形成刻蚀孔 10，如图 15-A；然后继续用干法刻蚀和/或选择性湿法腐蚀方法对源极 6 和漏极 7 之间区域氮化物外延层下方的硅衬底 1 进行局部选择性刻蚀或腐蚀，形成该区域氮化物外延层与硅衬底之间的局部空间隔离区域 11，如图 15-B。本发明中的局部空间隔离区域 11 的长度和高度可根据所需耐受电压进行调节。

图 16-A 和 16-B 为本发明第十六实施方式在源端电极内侧的氮化物外延层上一个开孔刻蚀形成局部空间隔离区域的 HEMT 器件结构示意图。

在源极 6 内侧的氮化物外延层上开孔刻蚀，形成一个刻蚀孔 10，再从中间向两侧腐蚀/刻蚀形成源极 6 和漏极 7 区域氮化物外延层与硅衬底之间的局部空间隔离区域 11，如图 16-A。与第十四实施方式相比，此工艺方法可以增大腐蚀范围，缩短工艺时间，其中在源极 6 与栅极 8 内侧的刻蚀孔 10 不需要很大，对二维电子气的影响并不大，如图 16-B 所示。在本实施方式中源极 6 与栅极 8 内侧还可以设有多个刻蚀孔，多个刻蚀孔可沿直线排列，也可以以其他形式进行排列，可以进一步增大腐蚀范围，缩短工艺

时间，同时减小对器件性能的影响。

在其他实施方式中，还可以通过改变硅衬底上氮化物沟道层或势垒层的结构或器件制造工艺，也可以实现硅衬底氮化物高压器件增强型器件，如用氟离子轰击栅金属下方材料区域可以形成增强型器件等。

5 由上述技术方案可以看出，本发明氮化物高压器件及其制造方法具有以下有益效果：

10 通过局部去除栅极和漏极之间氮化物外延层下方的部分硅衬底形成局部空间隔离区域，将该区域击穿电场较高的氮化物外延层与容易击穿的硅衬底用空气进行隔离，避免通过硅衬底可能引起的击穿，从而实现可以耐高击穿电压的器件；

在局部空间隔离区域内填充击穿电场更高的材料来提高器件的击穿电压，对局部空间隔离区域内的硅材料进行氧化形成二氧化硅层可以进一步提高器件击穿电压；

15 在氮化物外延层上方开孔，先刻蚀掉氮化物外延层直至硅衬底层，再继续用选择性腐蚀工艺和/或干法刻蚀工艺，整个工艺容易控制，大大提高了生产效率及工艺可控性。

20 对于本领域技术人员而言，显然本发明不限于上述示范性实施例的细节，而且在不背离本发明的精神或基本特征的情况下，能够以其他的具体形式实现本发明。因此，无论从哪一点来看，均应将实施例看作是示范性的，而且是非限制性的，本发明的范围由所附权利要求而不是上述说明限定，因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本发明内。不应将权利要求中的任何附图标记视为限制所涉及的权利要求。

25 此外，应当理解，虽然本说明书按照实施方式加以描述，但并非每个实施方式仅包含一个独立的技术方案，说明书的这种叙述方式仅仅是为清楚起见，本领域技术人员应当将说明书作为一个整体，各实施例中的技术方案也可以经适当组合，形成本领域技术人员可以理解的其他实施方式。

## 权 利 要 求

1、一种氮化物高压器件，其特征在于，所述氮化物高压器件包括：  
硅衬底；

位于所述硅衬底上的氮化物成核层；

5 位于所述氮化物成核层上的氮化物缓冲层；

位于所述氮化物缓冲层上的氮化物沟道层；

与所述氮化物沟道层相接触的源极和漏极以及位于所述源极和漏极之间的栅极；

10 其中，所述栅极和漏极之间区域下方的氮化物成核层与硅衬底之间设有一个或多个局部空间隔离区域。

2、根据权利要求1所述的氮化物高压器件，其特征在于，所述局部空间隔离区域内填充有耐高电压填充物。

3、根据权利要求2所述的氮化物高压器件，其特征在于，所述耐高电压填充物包括  $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$ 、 $\text{SiN}_x$ 、 $\text{AlN}$ 、金刚石中的一种或多种的组合。

15 4、根据权利要求1所述的氮化物高压器件，其特征在于，所述局部空间隔离区域为方形槽、梯形槽、弧形槽或U形槽。

5、根据权利要求1所述的氮化物高压器件，其特征在于，所述局部空间隔离区域的内壁上通过氧化处理形成有耐高压的二氧化硅层。

20 6、根据权利要求1所述的氮化物高压器件，其特征在于，所述局部空间隔离区域下方设有横穿整个硅衬底的绝缘高电压耐受层，所述绝缘高电压耐受层为氧化物、氮化物中的一种或多种的组合。

7、根据权利要求1所述的氮化物高压器件，其特征在于，所述氮化物沟道层上设有氮化物势垒层，在氮化物沟道层和氮化物势垒层的界面处形成有二维电子气。

25 8、根据权利要求7所述的氮化物高压器件，其特征在于，所述氮化物势垒层上还设有介质层。

9、根据权利要求8所述的氮化物高压器件，其特征在于，所述介质层为  $\text{SiN}$ 、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{HfO}_2$ 、 $\text{HfAlO}_x$  中的一种或多种的组合。

10、根据权利要求7所述的氮化物高压器件，其特征在于，所述氮化

物势垒层上设有氮化物冒层。

11、根据权利要求 7 所述的氮化物高压器件，其特征在于，所述氮化物势垒层和氮化物沟道层之间设有 AlN 插入层。

12、根据权利要求 1 所述的氮化物高压器件，其特征在于，所述氮化物缓冲层和氮化物沟道层之间设有 AlGa<sub>0.5</sub>N 背势垒层。

13、一种如权利要求 1 所述的氮化物高压器件的制造方法，其特征在于，所述方法包括：

提供一硅衬底；

在所述硅衬底上形成氮化物成核层；

10 在所述氮化物成核层上形成氮化物缓冲层；

在所述氮化物缓冲层上形成氮化物沟道层；

在所述氮化物沟道层上形成源极和漏极以及位于源极和漏极之间的栅极；

15 在所述栅极和漏极之间区域下方的氮化物成核层与硅衬底之间形成一个或多个局部空间隔离区域。

14、根据权利要求 13 所述的氮化物高压器件的制造方法，其特征在于，所述局部空间隔离区域的制备方法为干法刻蚀和/或湿法腐蚀。

15、根据权利要求 14 所述的氮化物高压器件的制造方法，其特征在于，所述方法还包括：

20 在漏极和栅极之间和/或漏极外侧和/或源极和栅极之间和/或源极外侧的氮化物外延层上开孔刻蚀，形成刻蚀孔，通过刻蚀孔从中间向两侧腐蚀和/或刻蚀形成局部空间隔离区域。

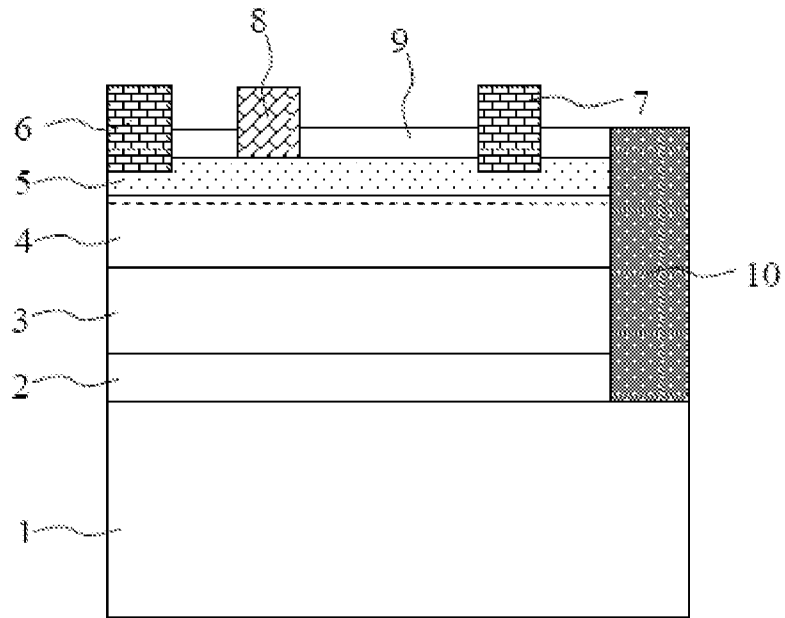


图 1-A

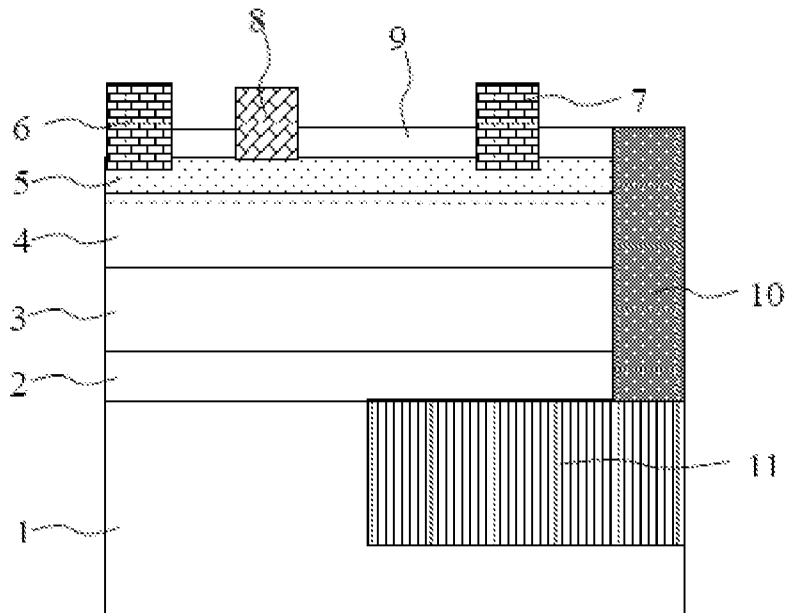


图 1-B

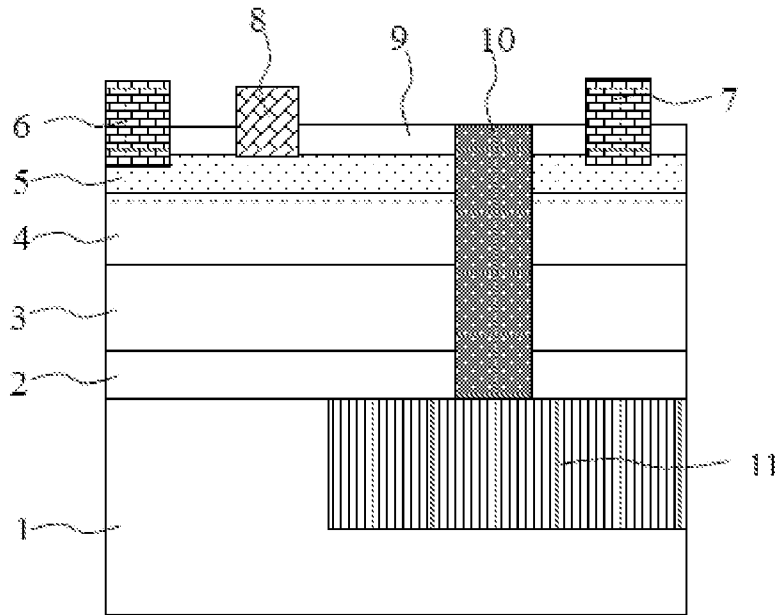


图 2-A

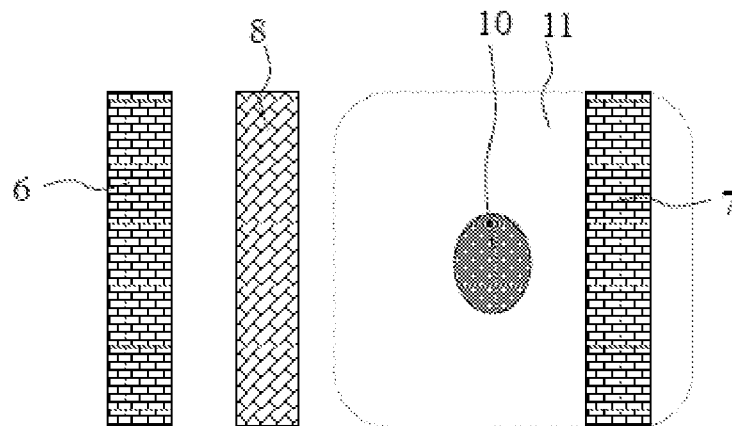


图 2-B

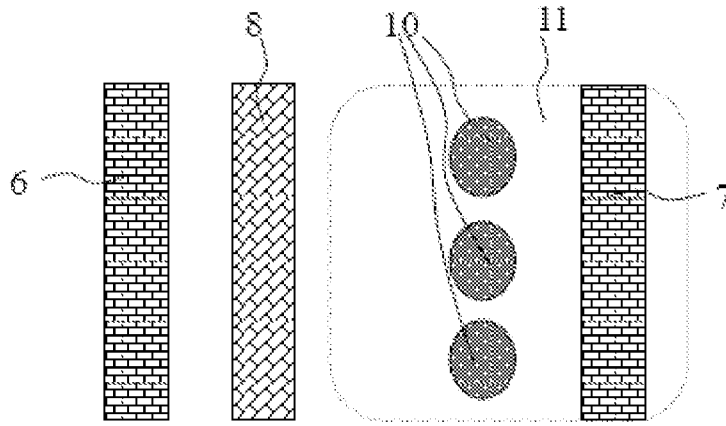


图 3

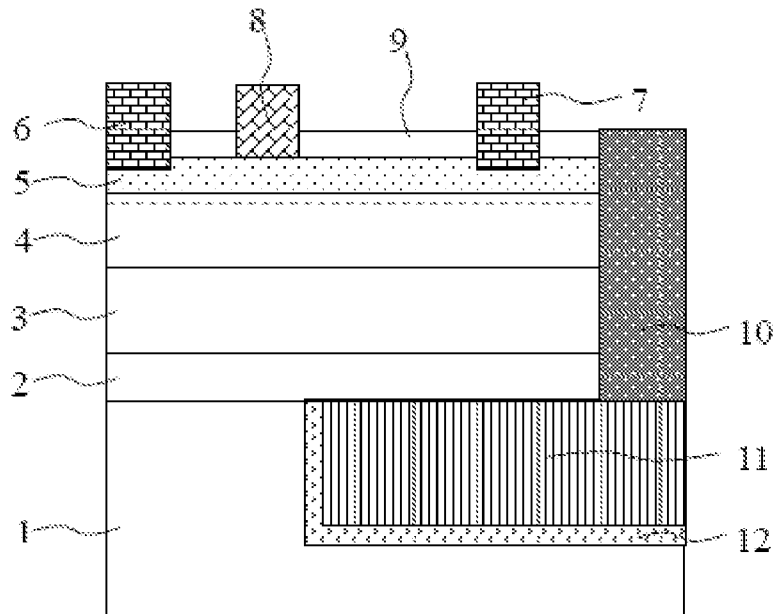


图 4

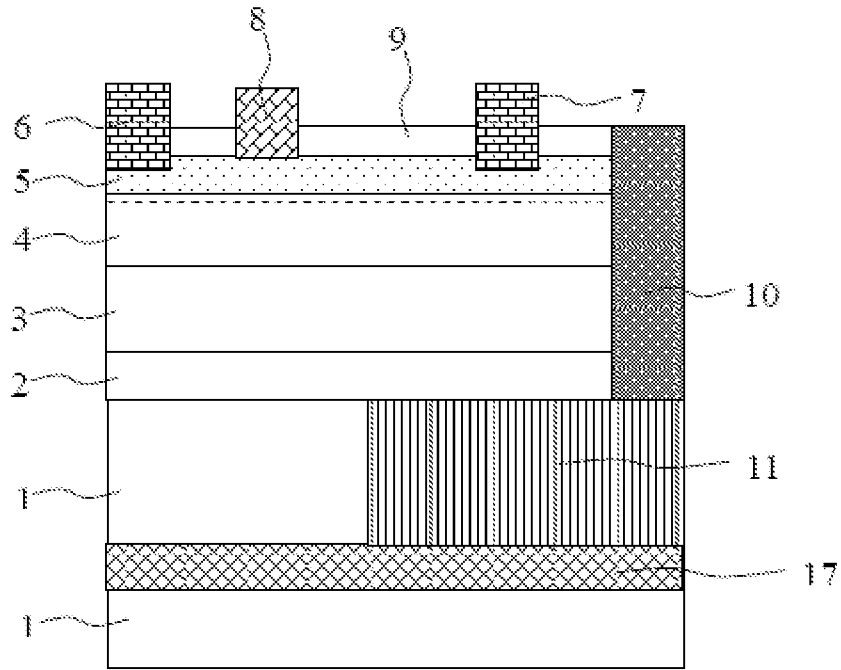


图 5

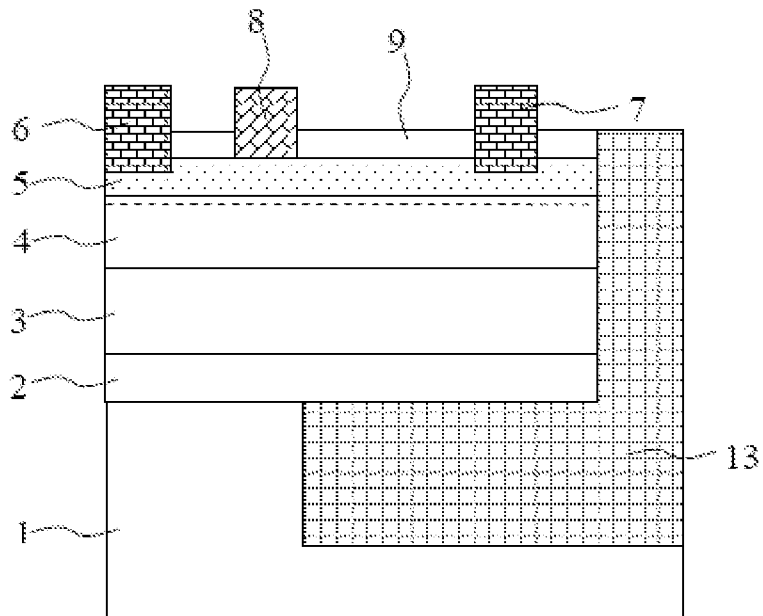


图 6

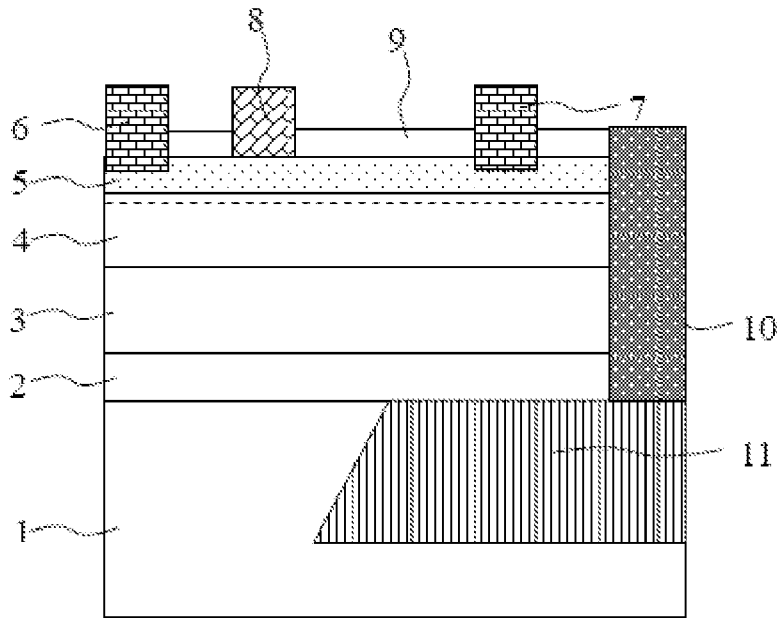


图 7

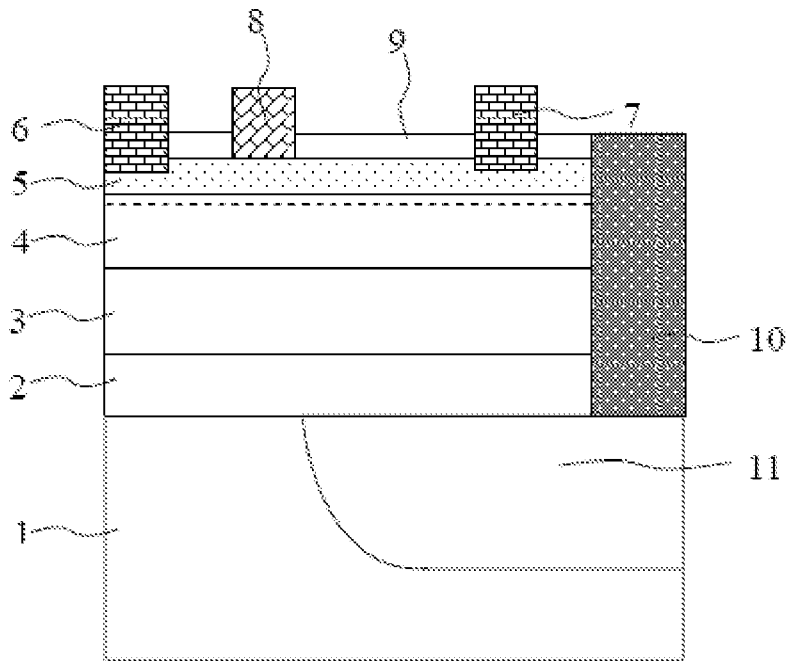


图 8

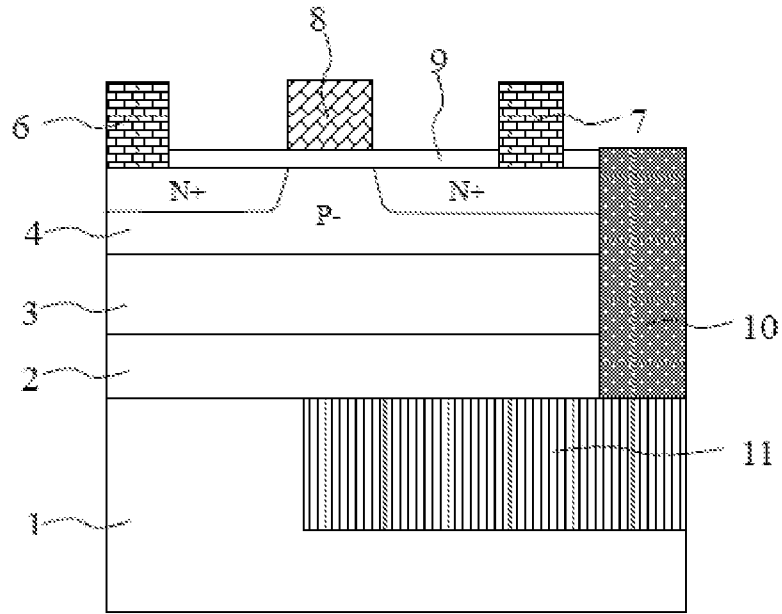


图 9

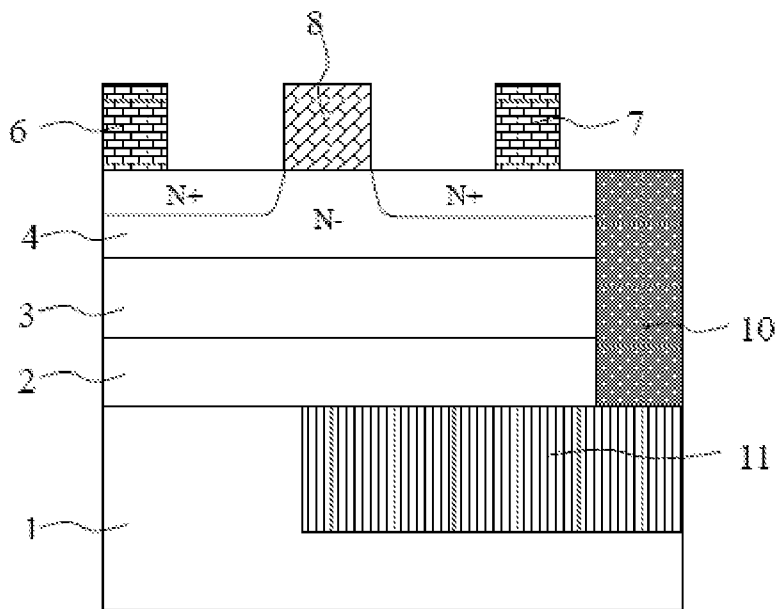


图 10

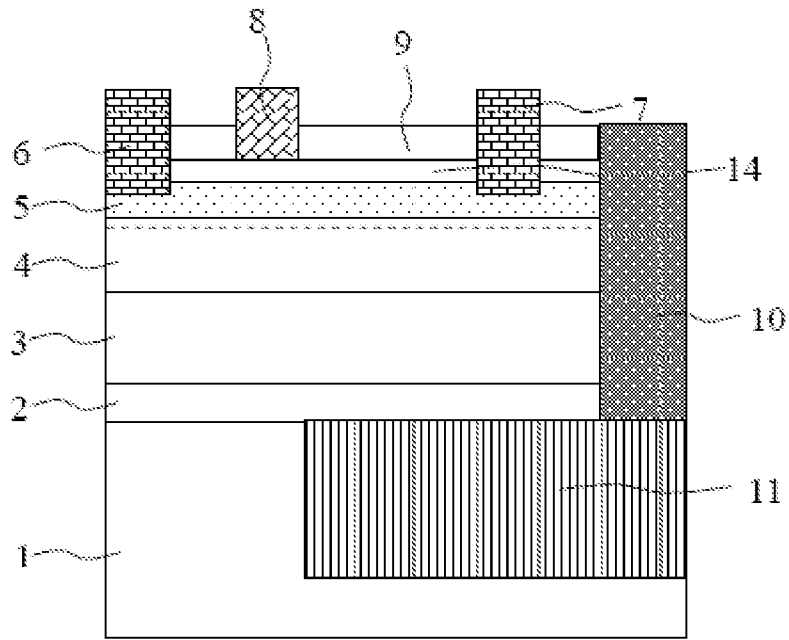


图 11

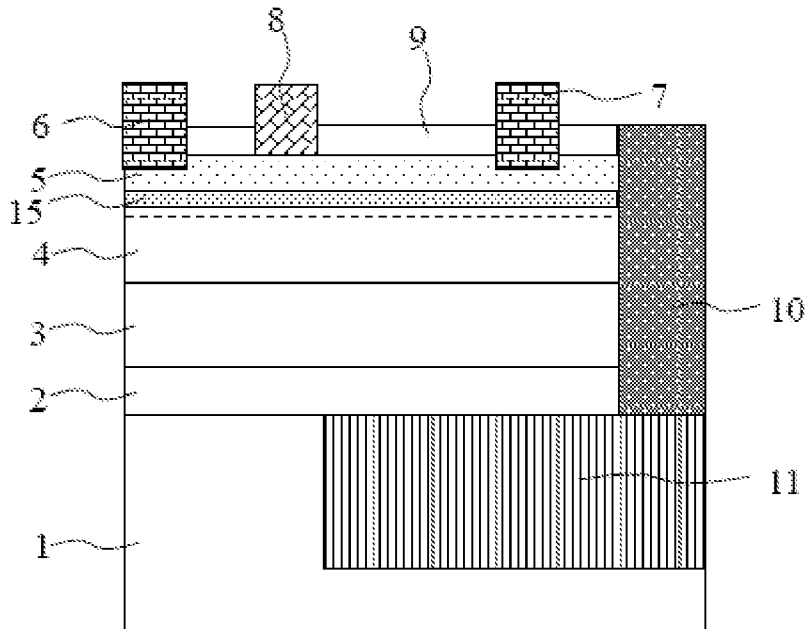
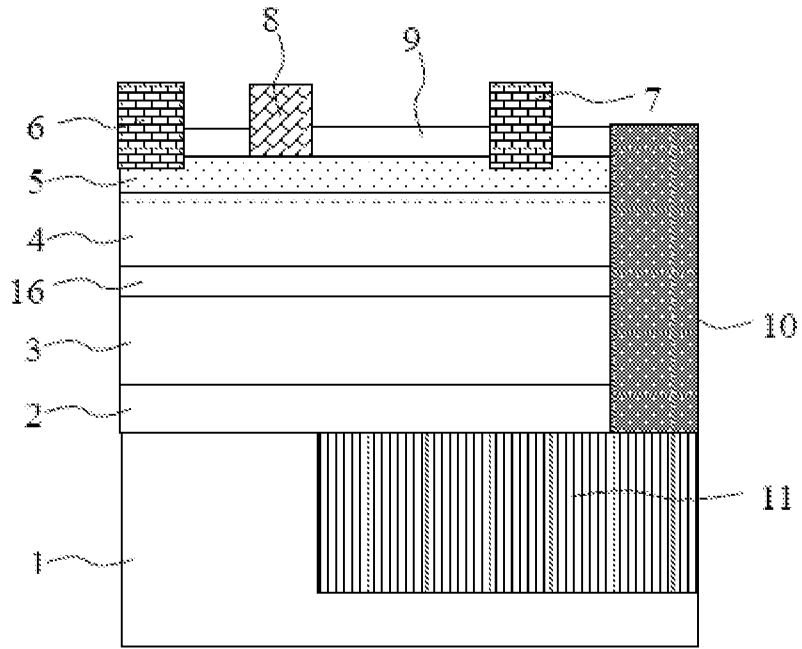
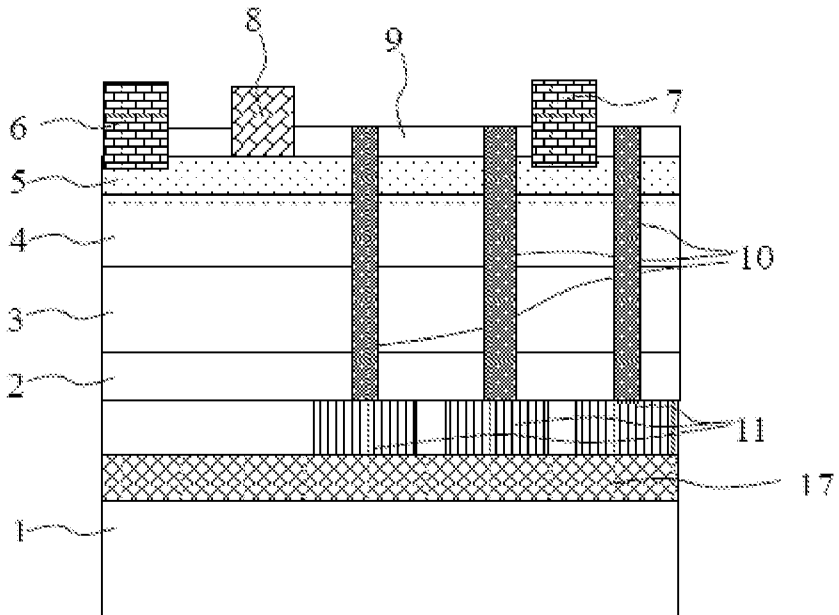


图 12



13



14

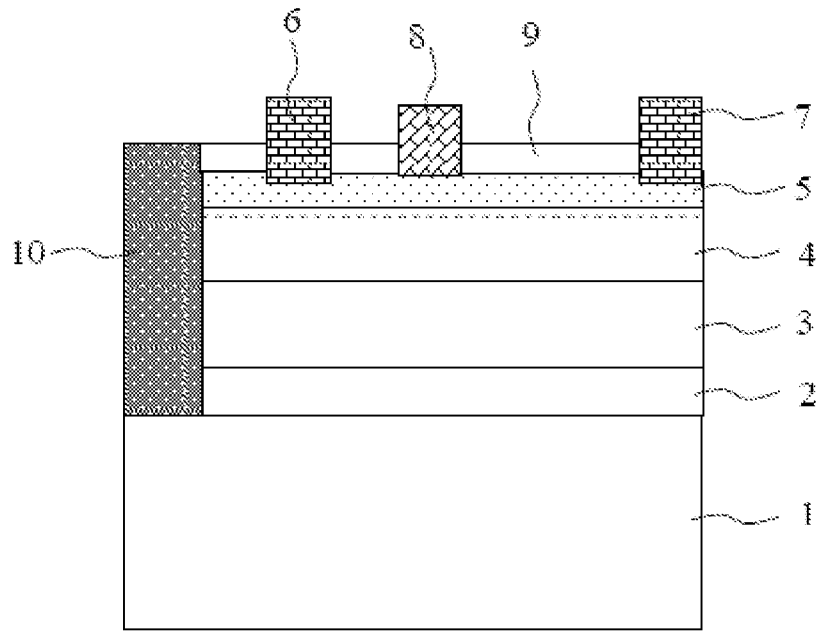


图 15-A

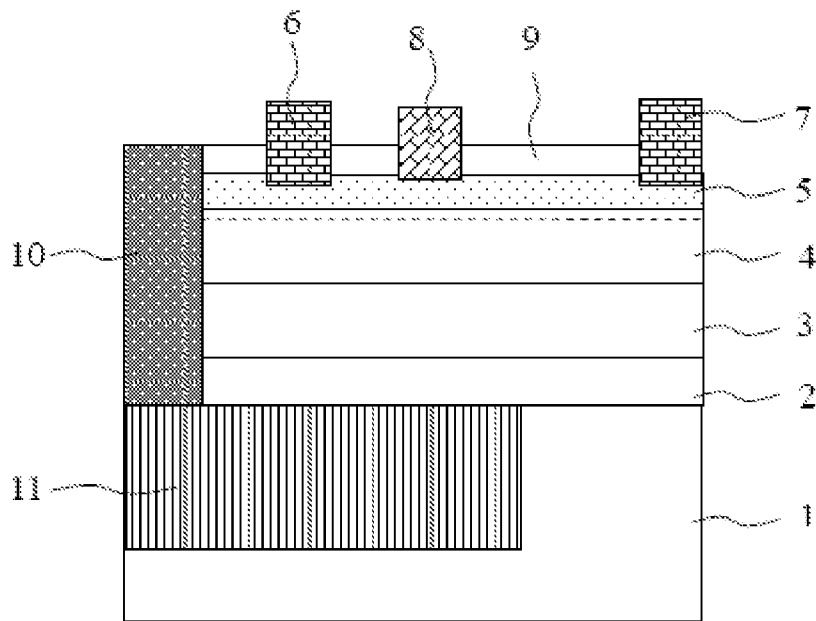


图 15-B

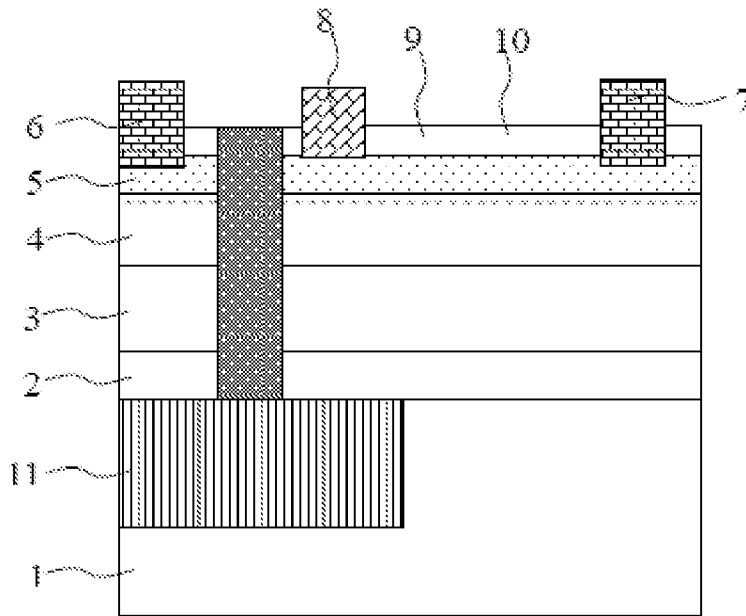


图 16-A

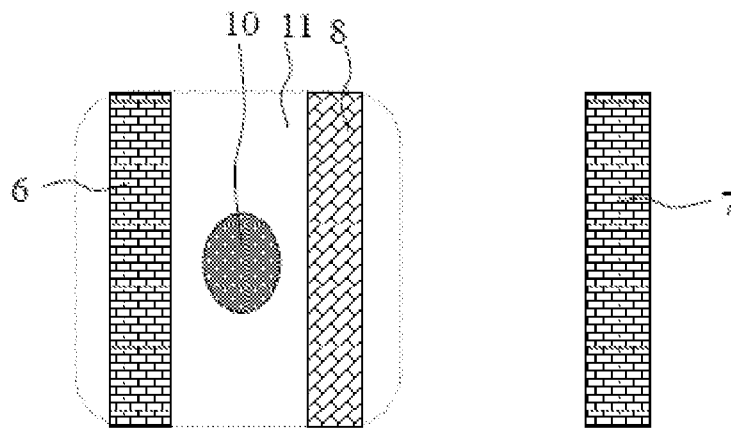


图 16-B

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2014/070148

## A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/06 (2006.01) i; H01L 29/778 (2006.01) i; H01L 21/335 (2006.01) i  
According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29; H01L 21

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPEA; DWPI; SIPOABS; CNKI: nitride high voltage device silicon nucleation buffer source drain gate isolating substrate

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103117294 A (SUZHOU JINGCHEN SEMICONDUCTOR CO., LTD) 22 May 2013 (22.05.2013) claims 1-15	1-15
A	CN 102569390 A (INST MICROELECTRONICS CHINESE ACAD SCI) 11 July 2012 (11.07.2012) the whole document	1-15
A	EP 2306500 A2 (FUJITSU LTD) 06 April 2011 (06.04.2011) the whole document	1-15
A	CN 101145516 A (NO. 55 INST CHINA ELECTRONICS SCI & TECHN) 19 March 2008 (19.03.2008) the whole document	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search

03 April 2014

Date of mailing of the international search report

16 April 2014

Name and mailing address of the ISA  
State Intellectual Property Office of the P. R. China  
No. 6, Xitucheng Road, Jimenqiao  
Haidian District, Beijing 100088, China  
Facsimile No. (86-10) 62019451

Authorized officer

WANG Lin

Telephone No. (86-10)62411812

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/CN2014/070148

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1795538 A (SOITEC SILICON ON INSULATOR TECHNOLOGIES) 28 June 2006 (28.06.2006) the whole document	1-15

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2014/070148

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102569390 A	11.07.2012	None	
EP 2306500 A2	06.04.2011	US 2011079771 A1	07.04.2011
		EP 2306500 A3	14.09.2011
		CN 102034859 A	27.04.2011
		CN 102034859 B	23.01.2013
		JP 2011082216 A	21.04.2011
		US 2013105862 A1	02.05.2013
		US 8357602 B2	22.01.2013
		EP 2306500 B1	03.04.2013
		TW 201130131 A	01.09.2011
CN 101145516 A	19.03.2008	CN 100592470 C	24.02.2010
CN 1795538 A	28.06.2006	KR 100742322 B1	24.07.2007
		TW I337375 B	11.02.2011
		EP 1629526 A1	01.03.2006
		US 7009270 B2	07.03.2006
		WO 2004109781 A1	16.12.2004
		FR 2855650 A1	03.12.2004
		US 7405135 B2	29.07.2008
		JP 4714688 B2	29.06.2011
		KR 20060021864 A	08.03.2006
		US 2004241902 A1	02.12.2004
		CN 100292589 C	27.05.2009
		TW 200509220 A	01.03.2005
		SG 116943 A1	27.01.2006
		SG 116943 B	31.03.2008
CN 10311729 A	22.05.2013	None	

国际检索报告

国际申请号

PCT/CN2014/070148

<p>A. 主题的分类</p> <p>H01L 29/06(2006.01)i; H01L 29/778(2006.01)i; H01L 21/335(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L29; H01L21</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CPEA;DWPI;SIPOABS;CNKI:氮化物 高压 器件 硅 衬底 成核 缓冲 源 漏 栅 隔离 绝缘 nitride high voltage device silicon nucleation buffer source drain gate isolating</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 103117294A (苏州晶湛半导体有限公司) 2013年 5月 22日 (2013 - 05 - 22) 权利要求1-15</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 102569390A (中国科学院微电子研究所) 2012年 7月 11日 (2012 - 07 - 11) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>EP 2306500A2 (FUJITSU LTD) 2011年 4月 06日 (2011 - 04 - 06) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 101145516A (中国电子科技集团公司第五十五研究所) 2008年 3月 19日 (2008 - 03 - 19) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 1795538A (S. O. I探测硅绝缘技术公司) 2006年 6月 28日 (2006 - 06 - 28) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 103117294A (苏州晶湛半导体有限公司) 2013年 5月 22日 (2013 - 05 - 22) 权利要求1-15	1-15	A	CN 102569390A (中国科学院微电子研究所) 2012年 7月 11日 (2012 - 07 - 11) 全文	1-15	A	EP 2306500A2 (FUJITSU LTD) 2011年 4月 06日 (2011 - 04 - 06) 全文	1-15	A	CN 101145516A (中国电子科技集团公司第五十五研究所) 2008年 3月 19日 (2008 - 03 - 19) 全文	1-15	A	CN 1795538A (S. O. I探测硅绝缘技术公司) 2006年 6月 28日 (2006 - 06 - 28) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 103117294A (苏州晶湛半导体有限公司) 2013年 5月 22日 (2013 - 05 - 22) 权利要求1-15	1-15																		
A	CN 102569390A (中国科学院微电子研究所) 2012年 7月 11日 (2012 - 07 - 11) 全文	1-15																		
A	EP 2306500A2 (FUJITSU LTD) 2011年 4月 06日 (2011 - 04 - 06) 全文	1-15																		
A	CN 101145516A (中国电子科技集团公司第五十五研究所) 2008年 3月 19日 (2008 - 03 - 19) 全文	1-15																		
A	CN 1795538A (S. O. I探测硅绝缘技术公司) 2006年 6月 28日 (2006 - 06 - 28) 全文	1-15																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <table border="0"> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td>“&amp;” 同族专利的文件</td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件	“P” 公布日先于国际申请日但迟于所要求的优先权日的文件									
“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																			
“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																			
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																			
“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件																			
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																				
国际检索实际完成的日期	国际检索报告邮寄日期																			
2014年 4月 03日	2014年 4月 16日																			
ISA/CN的名称和邮寄地址	授权官员																			
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 中国	王琳																			
传真号 (86-10)62019451	电话号码 (86-10)62411812																			

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2014/070148

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 102569390A	2012年 7月 11日	无	
EP 2306500A2	2011年 4月 06日	US 2011079771A1	2011年 4月 07日
		EP 2306500A3	2011年 9月 14日
		CN 102034859A	2011年 4月 27日
		CN 102034859B	2013年 1月 23日
		JP 2011082216A	2011年 4月 21日
		US 2013105862A1	2013年 5月 02日
		US 8357602B2	2013年 1月 22日
		EP 2306500B1	2013年 4月 03日
		TW 201130131A	2011年 9月 01日
CN 101145516A	2008年 3月 19日	CN 100592470C	2010年 2月 24日
CN 1795538A	2006年 6月 28日	KR 100742322B1	2007年 7月 24日
		TW I337375B	2011年 2月 11日
		EP 1629526A1	2006年 3月 01日
		US 7009270B2	2006年 3月 07日
		WO 2004109781A1	2004年 12月 16日
		FR 2855650A1	2004年 12月 03日
		US 7405135B2	2008年 7月 29日
		JP 4714688B2	2011年 6月 29日
		KR 20060021864A	2006年 3月 08日
		US 2004241902A1	2004年 12月 02日
		CN 100492589C	2009年 5月 27日
		TW 200509220A	2005年 3月 01日
		SG 116943A1	2006年 1月 27日
		SG 116943B	2008年 3月 31日
CN 103117294A	2013年 5月 22日	无	

表 PCT/ISA/210 (同族专利附件) (2009年7月)