

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-62457

(P2010-62457A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/338 (2006.01)	H O 1 L 29/80 Q	4 K O 3 O
H O 1 L 29/812 (2006.01)	C 2 3 C 16/27	5 F O 4 5
C 2 3 C 16/27 (2006.01)	C 2 3 C 16/511	5 F O 5 8
C 2 3 C 16/511 (2006.01)	H O 1 L 21/205	5 F 1 O 2
H O 1 L 21/205 (2006.01)	H O 1 L 21/312 A	
審査請求 有 請求項の数 11 O L (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2008-228654 (P2008-228654)
 (22) 出願日 平成20年9月5日(2008.9.5)

(出願人による申告)平成20年度、総務省「ダイヤモンド・高周波電力デバイスの開発とマイクロ波・ミリ波電力増幅器への応用に関する研究開発」委託事業、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 000004226
 日本電信電話株式会社
 東京都千代田区大手町二丁目3番1号
 (74) 代理人 100077481
 弁理士 谷 義一
 (74) 代理人 100088915
 弁理士 阿部 和夫
 (72) 発明者 嘉数 誠
 東京都千代田区大手町二丁目3番1号 日
 本電信電話株式会社内
 (72) 発明者 植田 研二
 東京都千代田区大手町二丁目3番1号 日
 本電信電話株式会社内

最終頁に続く

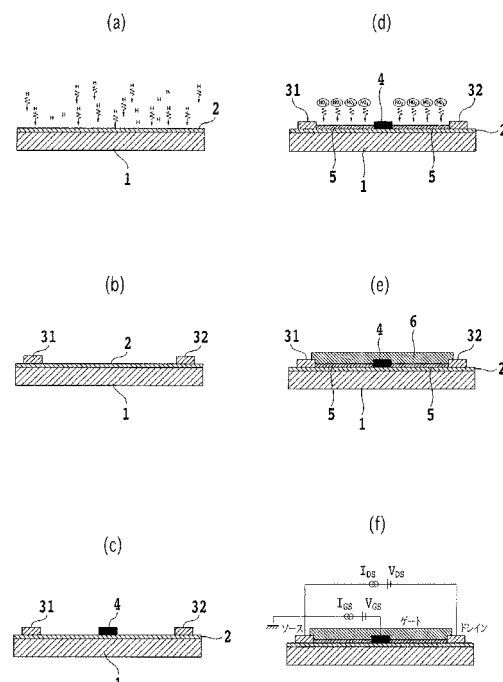
(54) 【発明の名称】 ダイヤモンド電界効果トランジスタ及びその作製方法

(57) 【要約】

【課題】最高動作温度が高くドレイン電流密度が大きい、かつ、長時間の大電力動作にも耐える信頼性のある、実用的なダイヤモンドFETを提供すること。

【解決手段】ダイヤモンド結晶1を用意し、マイクロ波CVD装置のリアクター内で水素プラズマ(Hで表す)を照射し、水素を含む表面層2を形成する(図1(a))。第1の表面層2上の一部の領域に、空間的に分離して、厚さ600nmの金薄膜31、32を蒸着する。これは、各ソース電極31、ドレイン電極32になる。ソース電極31とドレイン電極32との間に、空間的に分離して、Al薄膜4を蒸着する(図1(c))。このAl薄膜4はゲート電極4になる。試料にNO₂を供給し、第1の表面層2上に第2の表面層5を形成する(図1(d))。露出した第2の表面層5全体を覆うように保護層6を第2の表面層5上に堆積させる(図1(e))。

【選択図】図1



【特許請求の範囲】

【請求項 1】

ダイヤモンド結晶基板と、
前記ダイヤモンド結晶基板上に水素原子で終端された第 1 の表面層と、
前記ダイヤモンド結晶基板の第 1 の表面層上に形成された、窒素と酸素、硫黄と酸素、及び酸素のみのいずれかから成る第 2 の表面層と、
前記第 2 の表面層上に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部と、
を備えたことを特徴とするダイヤモンド電界効果トランジスタ。

10

【請求項 2】

ダイヤモンド結晶基板と、
前記ダイヤモンド結晶基板上に水素原子で終端された第 1 の表面層と、
前記第 2 の表面層上に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部と、
前記ダイヤモンド結晶基板の第 1 の表面層上に形成された、窒素と酸素、硫黄と酸素、及び酸素のみのいずれかから成る第 2 の表面層と、
を備えたことを特徴とするダイヤモンド電界効果トランジスタ。

【請求項 3】

前記第 2 の表面層上に形成されたフッ素を含む化合物からなる保護層をさらに備えたことを特徴とする請求項 1 又は 2 に記載のダイヤモンド電界効果トランジスタ。

20

【請求項 4】

前記第 2 の表面層は、 NO 又は NO_2 からなることを特徴とする請求項 1 乃至 3 のいずれかに記載のダイヤモンド電界効果トランジスタ。

【請求項 5】

ダイヤモンド結晶基板と、
前記ダイヤモンド結晶基板上に形成された水素原子で終端された第 1 の表面層と、
前記第 1 の表面層上に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部と、
前記第 1 の表面層上に形成されたフッ素を含む化合物からなる保護層と
を備えたことを特徴とするダイヤモンド電界効果トランジスタ。

30

【請求項 6】

前記保護層は、アモルファスフロロポリマー、ポリテトラフルオロエチレン、テトラフルオロエチレン及びフッ素を含むポリジメチルグルタリイミドのいずれかからなることを特徴とする請求項 3 乃至 5 のいずれかに記載のダイヤモンド電界効果トランジスタ。

【請求項 7】

ダイヤモンド結晶基板表面に水素ラジカルを吸着させる第 1 の工程と、
前記水素ラジカルが吸着した表面に窒素と酸素、硫黄と酸素、及び酸素のみのいずれかを含む第 1 の化合物原料を吸着させる第 2 の工程と、
前記水素ラジカルが吸着した表面に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部を形成する第 3 の工程と
を含むことを特徴とするダイヤモンド電界効果トランジスタ作製方法。

40

【請求項 8】

ダイヤモンド結晶基板表面に水素ラジカルを吸着させる第 1 の工程と、
前記水素ラジカルが吸着した表面に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部を形成する第 2 の工程と、
前記水素ラジカルが吸着した表面に窒素と酸素、硫黄と酸素、及び酸素のみのいずれかを含む第 1 の化合物原料を吸着させる第 3 の工程と
を含むことを特徴とするダイヤモンド電界効果トランジスタ作製方法。

【請求項 9】

前記第 1 の化合物原料が吸着した表面にフッ素を含む第 2 の化合物原料を堆積させる第

50

4の工程をさらに含むことを特徴とする請求項7又は8に記載のダイヤモンド電界効果トランジスタ作製方法。

【請求項10】

前記第1の化合物原料は、NO又はNO₂であることを特徴とする請求項7乃至9のいずれかに記載のダイヤモンド電界効果トランジスタ作製方法。

【請求項11】

前記第2の化合物原料は、アモルファスフロロポリマー、ポリテトラフルオロエチレン、テトラフルオロエチレン及びフッ素を含むポリジメチルグルタルイミドのいずれかであることを特徴とする請求項9又は10に記載のダイヤモンド電界効果トランジスタ作製方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイヤモンド電界効果トランジスタ及びその作製方法に関し、より詳細には、室温以上でも安定な表面層を有するダイヤモンド電界効果トランジスタ及びその作製方法に関する。

【背景技術】

【0002】

ダイヤモンド半導体は、半導体最大の絶縁耐圧、熱伝導性を有するばかりでなく、電子や正孔の移動度やドリフト速度も高く、もしダイヤモンド・トランジスタが実用化できれば、既存の半導体の性能を遥かに超える、最高の性能を持つ高周波電力トランジスタが実用可能になる（非特許文献1参照）。

20

【0003】

図6に、従来の水素終端ダイヤモンド電界効果トランジスタ（FET）の作製工程を示す。ダイヤモンド結晶層1を用意し、そのダイヤモンド結晶層1をCVDリアクター内で水素プラズマに曝し、ダイヤモンド表面を水素ラジカル（Hで表す）で終端する（図6（a））。そのようにして水素を含む表面層2を形成する。次に、水素を含む表面層2上の一部の領域に、金薄膜31、32を空間的に分離して蒸着する（図6（b））。それが各々ソース電極31、ドレイン電極32になる。次に、ソース電極31とドレイン電極32との間に、空間的に分離して、Al薄膜4を蒸着する。これがゲート電極4になる（図6（c））。次に、試料に二酸化炭素（CO₂）又は水（H₂O）を吸着させ、CO₂又はH₂Oを含む表面層55を形成する。（図6（d））。このデバイスを動作させる場合の配線を図6（f）に示す。

30

【0004】

このような従来技術に基づき作製したダイヤモンドFET（ゲート長10μm）のドレイン電流電圧特性を図7（a）に示す。従来技術によるダイヤモンドFETの特性は、ゲート電圧-3Vにおける最大ドレイン電流密度は5mA/mmであった。

【0005】

【非特許文献1】嘉数 誠 外、「ダイヤモンドMESFETの高周波特性」、応用物理、2004年、第73巻、第3号、pp.363-367

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、図8に、従来の水素終端ダイヤモンドFETのゲート電圧-3Vでのドレイン電流密度の試料温度特性を示すように、昇温すると、室温から140℃にかけてドレイン電流密度は徐々に減少するという課題があった。これは、表面層2の二酸化炭素（CO₂）又は水（H₂O）が蒸発してしまうためで、昇温によって一度減少したドレイン電流密度は、再び室温に戻してもドレイン電流密度は元に戻らない。以下の記述では、ドレイン電流密度が急激に減少する試料温度をT_cと呼ぶことにする。

【0007】

50

従来技術によれば、(1) 試料を昇温すると、図6(e)に示すように、水を含む表面層55は100で消失してしまい、ドレイン電流は劇的に減少するという課題があった。また、(2) 試料を真空状態に曝した場合も、図6(e)に示すように、表面層55は蒸発してしまうため、ドレイン電流が劇的に減少してデバイス動作しなくなるという課題があった。従来のダイヤモンドFETは、このような根本的課題を抱えていたため、実用化まで至っていなかった。

【0008】

本発明は、このような課題に鑑みてなされたもので、その目的とするところは、最高動作温度が高くドレイン電流密度が大きい、かつ、長時間の大電力動作にも耐える信頼性のある、実用的なダイヤモンドFETを提供することにある。

10

【課題を解決するための手段】

【0009】

このような目的を達成するために、請求項1に記載の発明は、ダイヤモンド電界効果トランジスタであって、ダイヤモンド結晶基板と、前記ダイヤモンド結晶基板上に水素原子で終端された第1の表面層と、前記ダイヤモンド結晶基板の第1の表面層上に形成された、窒素と酸素、硫黄と酸素、及び酸素のみのいずれかから成る第2の表面層と、前記第2の表面層上に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部とを備えたことを特徴とする。

【0010】

請求項2に記載の発明は、ダイヤモンド電界効果トランジスタであって、ダイヤモンド結晶基板と、前記ダイヤモンド結晶基板上に水素原子で終端された第1の表面層と、前記第2の表面層上に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部と、前記ダイヤモンド結晶基板の第1の表面層上に形成された、窒素と酸素、硫黄と酸素、及び酸素のみのいずれかから成る第2の表面層とを備えたことを特徴とする。

20

【0011】

請求項3に記載の発明は、請求項1又は2に記載のダイヤモンド電界効果トランジスタにおいて、前記第2の表面層上に形成されたフッ素を含む化合物からなる保護層をさらに備えたことを特徴とする。

【0012】

請求項4に記載の発明は、請求項1乃至3のいずれかに記載のダイヤモンド電界効果トランジスタにおいて、前記第2の表面層が、NO又はNO₂からなることを特徴とする。

30

【0013】

請求項5に記載の発明は、ダイヤモンド電界効果トランジスタであって、ダイヤモンド結晶基板と、前記ダイヤモンド結晶基板上に形成された水素原子で終端された第1の表面層と、前記第1の表面層上に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部と、前記第1の表面層上に形成されたフッ素を含む化合物からなる保護層とを備えたことを特徴とする。

【0014】

請求項6に記載の発明は、請求項3乃至5のいずれかに記載のダイヤモンド電界効果トランジスタにおいて、前記保護層が、アモルファスフロロポリマー、ポリテトラフルオロエチレン、テトラフルオロエチレン及びフッ素を含むポリジメチルグルタリイミドのいずれかからなることを特徴とする。

40

【0015】

請求項7に記載の発明は、ダイヤモンド電界効果トランジスタ作製方法であって、ダイヤモンド結晶基板表面に水素ラジカルを吸着させる第1の工程と、前記水素ラジカルが吸着した表面に窒素と酸素、硫黄と酸素、及び酸素のみのいずれかを含有する第1の化合物原料を吸着させる第2の工程と、前記水素ラジカルが吸着した表面に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部を形成する第3の工程とを含むことを特徴とする。

50

【 0 0 1 6 】

請求項 8 に記載の発明は、ダイヤモンド電界効果トランジスタ作製方法であって、ダイヤモンド結晶基板表面に水素ラジカルを吸着させる第 1 の工程と、前記水素ラジカルが吸着した表面に互いに離間して形成されたソース電極、ゲート電極、ドレイン電極からなる電極部を形成する第 2 の工程と、前記水素ラジカルが吸着した表面に窒素と酸素、硫黄と酸素、及び酸素のみのいずれかを含む第 1 の化合物原料を吸着させる第 3 の工程とを含むことを特徴とする。

【 0 0 1 7 】

請求項 9 に記載の発明は、請求項 7 又は 8 に記載のダイヤモンド電界効果トランジスタ作製方法において、前記第 1 の化合物原料が吸着した表面にフッ素を含む第 2 の化合物原料を堆積させる第 4 の工程をさらに含むことを特徴とする。

10

【 0 0 1 8 】

請求項 10 に記載の発明は、請求項 7 乃至 9 のいずれかに記載のダイヤモンド電界効果トランジスタ作製方法において、前記第 1 の化合物原料は、 NO 又は NO_2 であることを特徴とする。

【 0 0 1 9 】

請求項 11 に記載の発明は、請求項 9 又は 10 に記載のダイヤモンド電界効果トランジスタ作製方法において、前記第 2 の化合物原料が、アモルファスフロロポリマー、ポリテトラフルオロエチレン、テトラフルオロエチレン及びフッ素を含むポリジメチルグルタルイミドのいずれかであることを特徴とする。

20

【 0 0 2 0 】

このようにして、水素終端ダイヤモンド表面を CO_2 又は H_2O なる表面層より格段に安定な NO_2 、 SO_2 なる表面層を形成することにより、また、表面層をポリテトラフルオロエチレン (PTFE) などの重合化合物からなる保護層で覆うことによって、表面層を更に安定化させ、長時間の大電力動作にも耐える信頼性のある、実用的なダイヤモンド FET が可能になる。

【発明の効果】

【 0 0 2 1 】

本発明によれば、最高動作温度が高くドレイン電流密度が大きい、かつ、長時間の大電力動作にも耐える信頼性のある、実用的なダイヤモンド FET が可能になる。

30

【発明を実施するための最良の形態】

【 0 0 2 2 】

以下、図面を参照しながら本発明の実施形態について詳細に説明する。

【 0 0 2 3 】

(実施形態 1)

図 1 (a) ~ (e) に、本発明の実施形態 1 に係るダイヤモンド FET の作製工程を示す。マイクロ波プラズマ CVD 装置などで結晶成長したダイヤモンド結晶 1 を用意し、マイクロ波 CVD 装置のリアクター内で水素プラズマ (H で表す) を照射し、水素を含む表面層 2 を形成する (図 1 (a))。マイクロ波プラズマ CVD 装置で、水素プラズマ雰囲気内で結晶成長したダイヤモンド結晶 1 表面は、既に水素を含む第 1 の表面層 2 を形成しているため、第 1 の表面層 2 が十分形成されている場合、改めて水素プラズマ照射処理をしなくても良い。

40

【 0 0 2 4 】

次に、第 1 の表面層 2 上の一部の領域に、空間的に分離して、厚さ 600 nm の金薄膜 31、32 を蒸着する。これは、各ソース電極 31、ドレイン電極 32 になる。

【 0 0 2 5 】

次に、ソース電極 31 とドレイン電極 32 との間に、空間的に分離して、Al 薄膜 4 を蒸着する (図 1 (c))。この Al 薄膜 4 はゲート電極 4 になる。

【 0 0 2 6 】

次に、試料に NO_2 を供給し、第 1 の表面層 2 上に第 2 の表面層 5 を形成する (図 1 (

50

d))。また、第2の表面層5は、ソース電極31とゲート電極4間、ゲート電極4とドレイン電極32間を結ぶように形成する。

【0027】

次に、露出した第2の表面層5全体を覆うように、ポリテトラフルオロエチレン(PTFE)、テトラフルオロエチレンからなる保護層6を第2の表面層5上に堆積させる(図1(e))。図9に、本発明の実施形態1に係るダイヤモンドFETの透過型電子顕微鏡(TEM)断面図を示す。

【0028】

このようにして作製された本発明のダイヤモンドFETに対し、図1(f)のように配線してドレイン電流電圧特性を測定し、その結果を図7(b)に示す。本発明のダイヤモンドFETのゲート電圧-3Vにおける最大ドレイン電流密度は180mA/mmと従来の約30倍になり、トランジスタ特性は大きく向上している。

【0029】

図8に、本発明のダイヤモンドFETと従来のダイヤモンドFETのドレイン電流の試料温度特性を示す。従来のダイヤモンドFETでは、室温から140℃にかけて、第2の表面層55が蒸発してしまうため、ドレイン電流は急激に減少する。それに対して、本発明のダイヤモンドFETは、第2の表面層5が安定しているため、300℃までFET動作する。

【0030】

表1は、本発明の実施形態1に係るゲート長10μmのダイヤモンドFETにおけるドレイン電流密度($I_{D\text{MAX}}$)と最高動作温度(T_C)をまとめたものである。

【0031】

【表1】

表1

第2の表面層 55	保護層6	ドレイン電流密度 (mA/mm)	最大動作温度 (℃)
NO	PTFE	160	260
NO ₂	PTFE	180	260
SO ₂	PTFE	200	260
O ₃	PTFE	150	250
NO ₂	テトラフルオロエチレン	160	250
NO ₂	フッ素化ポリミド	160	250
NO ₂	AF1600	160	250
NO ₂	AF2400	160	250
NO ₂	C ₂ F ₄ とパーフルオロアルコキシエチレン	150	250
NO ₂	Fを含むPMMA	180	300
NO ₂	PMGI	180	600
NO ₂	AlF ₃	160	250
NO ₂	CaF ₂	150	250
NO ₂	CeF ₃	180	300
NO ₂	LiF	180	600
NO ₂	MgF ₂	160	250
NO ₂	NdF ₃	150	250
NO ₂	NaF	180	300

【0032】

本発明の実施形態1に係るゲート長10μmダイヤモンドFETにおいて、保護層6にP

T F Eを用い、表面層 2 を、 NO 、 NO_2 、 SO_2 、 O_3 にした場合、($I_{\text{D M A X}}$ 、 T_c)は各々、表1のようになり、従来の方法による場合(6 mA/mm、100)より大幅に上昇する。

【0033】

また、本発明の実施形態1に係るダイヤモンドFETにおいて、表面層 2 に、 NO_2 にし、保護層をフッ素化ポリミド、AF1600(TFE(テトラフルオロエチレン)とPDD(ジオキソール)からなるアモルファスフロロポリマーでガラス転移点が160のもの)、AF2400(TFE(テトラフルオロエチレン)とPDD(ジオキソール)からなるアモルファスフロロポリマーでガラス転移点が240のもの)、テトラフルオロエチレン、 C_2F_4 とパーフルオロアルコキシエチレン、Fを含むPMMMA(分子鎖内の水素の一部をフッ素で置換したポリメタクリル酸メチル樹脂)、PMGI(ポリメチルグルタリイミド)、 AlF_3 、 CaF_2 、 CeF_3 、 LiF 、 MgF_2 、 NdF_3 、 NaF を用いた場合、($I_{\text{D M A X}}$ 、 T_c)は各々、表1のようになり、従来の方法による場合(6 mA/mm、100)より大幅に上昇する。

10

【0034】

(実施形態2)

図2に、本発明の実施形態2に係るダイヤモンドFETの構造を示す。実施形態2では、実施形態1の図1(a)~(d)までの工程を行い、図1(e)の工程を行わない。

【0035】

本発明の実施形態2に係るゲート長を10 μm のダイヤモンドFETにおいて、表面層 2 として NO_2 を用いた場合、FETのドレイン電流密度($I_{\text{D M A X}}$)と最高動作温度(T_c)は各々(180 mA/mm、220)になる。保護層が無い分だけ実施形態1よりも T_c が低い、従来ダイヤモンドFETの場合の(6 mA/mm、100)より大幅に上昇する。

20

【0036】

(実施形態3)

図3に、本発明の実施形態3に係るダイヤモンドFETの構成を示す。実施形態3では、実施形態1の図1(a)~(c)、(e)の工程を行い、図1(d)の工程を行わない。

【0037】

本発明の実施形態3に係るゲート長を10 μm のダイヤモンドFETにおいて、保護層 6 としてPTFEを用いた場合、FETのドレイン電流密度($I_{\text{D M A X}}$)と最高動作温度(T_c)は(100 mA/mm、260)になる。表面層 2 が無い分だけ、実施形態1の場合よりも $I_{\text{D M A X}}$ が低い、従来ダイヤモンドFETの場合の(6 mA/mm、100)より大幅に上昇する。

30

【0038】

(実施形態4)

図4に、本発明の実施形態4に係るダイヤモンドFETの作製工程を示す。実施形態4と実施形態1との差異は、電極設置前に第2の表面層5を形成する点にある。

【0039】

マイクロ波プラズマCVD装置などで結晶成長したダイヤモンド結晶1を用意し、マイクロ波CVD装置のリアクター内で水素プラズマ(Hで表す)を照射し、水素を含む表面層2を形成する(図4(a))。マイクロ波プラズマCVD装置で、水素プラズマ雰囲気内で結晶成長したダイヤモンド結晶1表面は、既に水素を含む表面層2を形成しているので、第1の表面層2が十分形成されている場合、改めて水素プラズマ照射処理をしなくても良い。

40

【0040】

次に、試料に NO_2 を供給し、第1の表面層2上に第2の表面層5を形成する(図4(b))。

【0041】

50

次に、第2の表面層5上の一部領域に、空間的に分離して、厚さ600nmの金薄膜31、32を蒸着する。これは、各々ソース電極31、ドレイン電極32になる(図4(c))。

【0042】

次に、ソース電極31、ドレイン電極32との間に、空間的に分離して、Al薄膜4を蒸着する(図4(d))。このAl薄膜4はゲート電極4になる。

【0043】

次に、第2の表面層5上全体を覆うように、ポリテトラフルオロエチレン(PTFE)、テトラフルオロエチレンからなる保護層6を堆積させる(図4(e))。

【0044】

このようにして作製された本発明のダイヤモンドFETに対し、図4(f)のように配線してドレイン電流電圧特性を測定し、その結果を図7(b)に示す。本発明のダイヤモンドFETのゲート電圧-3Vにおける最大ドレイン電流密度は180mA/mmと従来の約30倍になり、トランジスタ特性は大きく向上している。

【0045】

図8に、本発明によって作製したFETのドレイン電流の試料温度特性を示す。従来の方法では、室温から140℃にかけて、第2の表面層55が蒸発してしまうため、ドレイン電流は急激に減少する。それに対して、本発明によれば、300℃まで第2の表面層5が安定して、FET動作した。

【0046】

表2は、このようにして作製した本発明の実施形態4に係るゲート長を10μmのダイヤモンドFETのドレイン電流密度($I_{D\text{MAX}}$)と最高動作温度(T_C)をまとめたものである。

【0047】

【表2】

表2

第2の表面層 55	保護層6	ドレイン電流密度 (mA/mm)	最大動作温度 (℃)
NO	PTFE	160	260
NO ₂	PTFE	180	260
SO ₂	PTFE	200	260
O ₃	PTFE	150	250
NO ₂	テトラフルオロエチレン	160	250
NO ₂	フッ素化ポリミド	160	250
NO ₂	AF1600	160	250
NO ₂	AF2400	160	250
NO ₂	C ₂ F ₄ とパーフルオロアルコキシエチレン	150	250
NO ₂	Fを含むPMMA	180	300
NO ₂	PMGI	180	600
NO ₂	AlF ₃	160	250
NO ₂	CaF ₂	150	250
NO ₂	CeF ₃	180	300
NO ₂	LiF	180	600
NO ₂	MgF ₂	160	250
NO ₂	NdF ₃	150	250
NO ₂	NaF	180	300

10

20

30

40

50

【 0 0 4 8 】

本発明の実施形態4に係るゲート長 $10\ \mu\text{m}$ ダイヤモンド FET において、保護層 6 を PTFE を用い、表面層 2 を、 NO 、 NO_2 、 SO_2 、 O_3 にした場合、($I_{\text{D M A X}}$ 、 T_c) は各々、表 2 のようになり、従来の方法による場合 (6mA/mm 、 100) より大幅に上昇する。

【 0 0 4 9 】

また、本発明の実施形態4に係るダイヤモンド FET において、表面層 2 を、 NO_2 にし、保護層をフッ素化ポリミド、AF1600、AF2400、テトラフルオロエチレン、 C_2F_4 とパーフルオロアルコキシエチレン、F を含む PMMA、PMGI、 AlF_3 、 CaF_2 、 CeF_3 、 LiF 、 MgF_2 、 NdF_3 、 NaF を用いた場合、($I_{\text{D M A X}}$ 、 T_c) は各々、表 2 のようになり、従来の方法による場合 (6mA/mm 、 100) より大幅に上昇する。

10

【 0 0 5 0 】

(実施形態 5)

図 5 に、本発明の実施形態 5 に係るダイヤモンド FET の構造を示す。実施形態 5 では、実施形態 4 の図 4 (a) ~ (d) までの工程を行い、図 4 (e) の工程を行わない。

【 0 0 5 1 】

本発明の実施形態 5 に係るゲート長 $10\ \mu\text{m}$ のダイヤモンド FET において、表面層 2 として NO_2 を用いた場合、FET のドレイン電流密度 ($I_{\text{D M A X}}$) と最高動作温度 (T_c) は各々 (180mA/mm 、 220) になる。保護層がないだけ、実施形態 1 よりも T_c が低い、従来の方法による場合 (6mA/mm 、 100) より大幅に上昇する。

20

【図面の簡単な説明】

【 0 0 5 2 】

【図 1】(a) ~ (e) は、本発明の実施形態 1 に係るダイヤモンド FET の作製工程を示す図であり、(f) は、ドレイン電流電圧特性の測定方法を示す図である。

【図 2】本発明の実施形態 2 に係るダイヤモンド FET の構造を示す図である。

【図 3】本発明の実施形態 3 に係るダイヤモンド FET の構成を示す図である。

【図 4】(a) ~ (e) は、本発明の実施形態 4 に係るダイヤモンド FET の作製工程を示す図であり、(f) は、ドレイン電流電圧特性の測定方法を示す図である。

30

【図 5】本発明の実施形態 5 に係るダイヤモンド FET の構造を示す図である。

【図 6】(a) ~ (e) は、従来のダイヤモンド FET の作製工程を示す図であり、(f) は、ドレイン電流電圧特性の測定方法を示す図である。

【図 7】(a) は、従来のダイヤモンド FET のドレイン電流電圧特性を示す図であり、(b) は、本発明のダイヤモンド FET のドレイン電流電圧特性を示す図である。

【図 8】本発明によって作製したダイヤモンド FET のドレイン電流の試料温度特性を示す図である。

【図 9】本発明の実施形態 1 に係るダイヤモンド FET の透過型電子顕微鏡 (TEM) 断面図である。

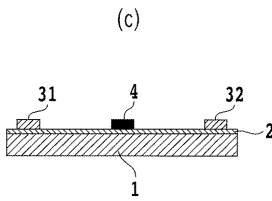
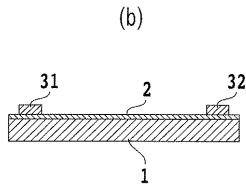
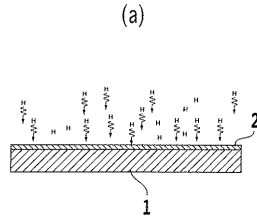
【符号の説明】

40

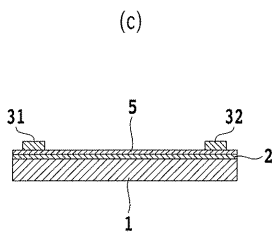
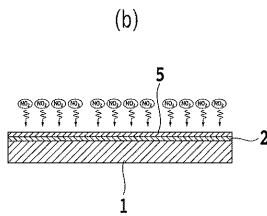
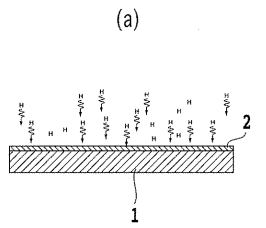
【 0 0 5 3 】

- 1 ダイヤモンド結晶膜
- 2 水素を含む第 1 の表面層
- 3 1 ソース電極 (Au)
- 3 2 ドレイン電極 (Au)
- 4 ゲート電極 (Al)
- 5 NO_2 を含む第 2 の表面層
- 5 5 CO_2 、 H_2O を含む第 2 の表面層
- 6 ポリテトラフルオロエチレン (PTFE) を含む保護層

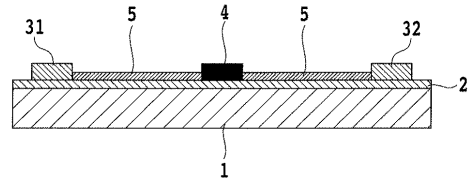
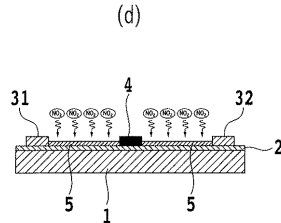
【図 1】



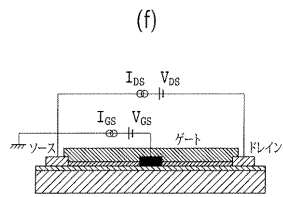
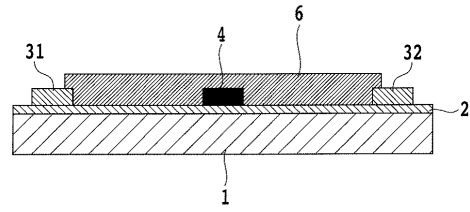
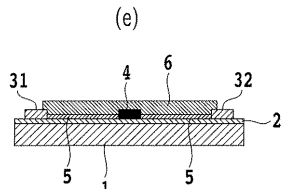
【図 4】



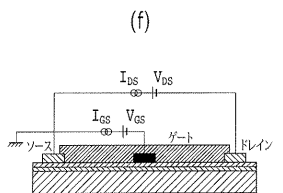
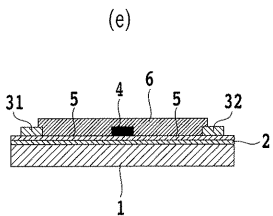
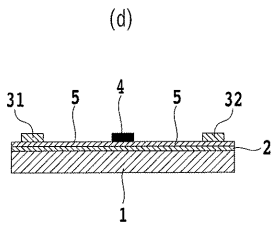
【図 2】



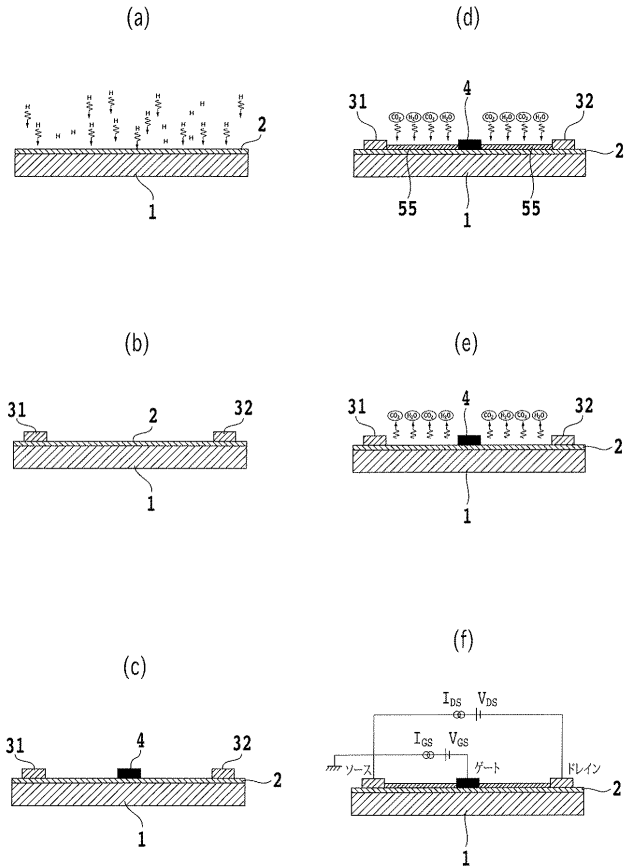
【図 3】



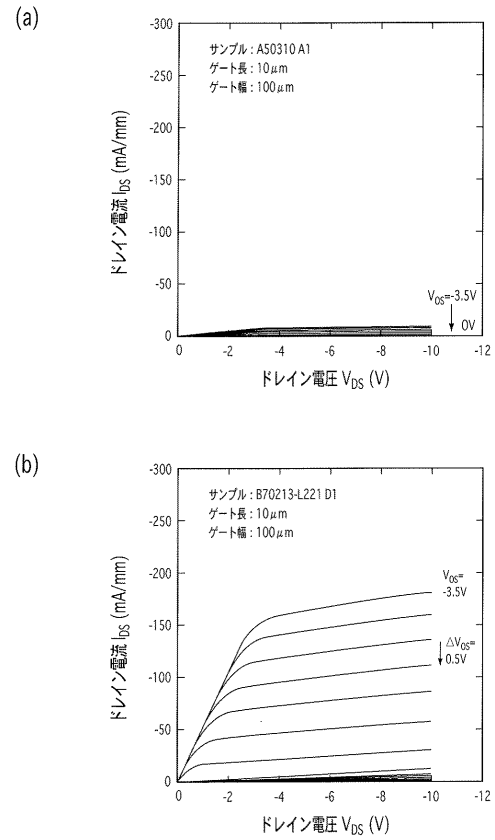
【図 5】



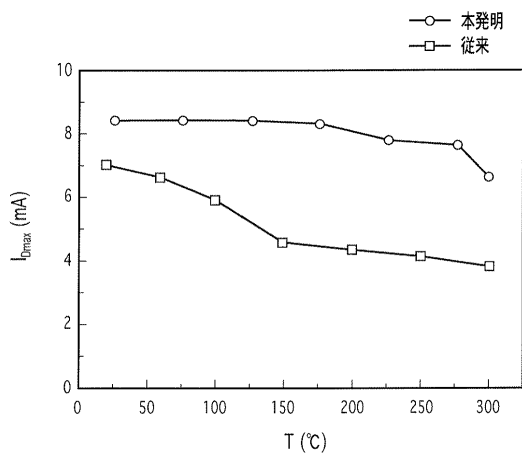
【図 6】



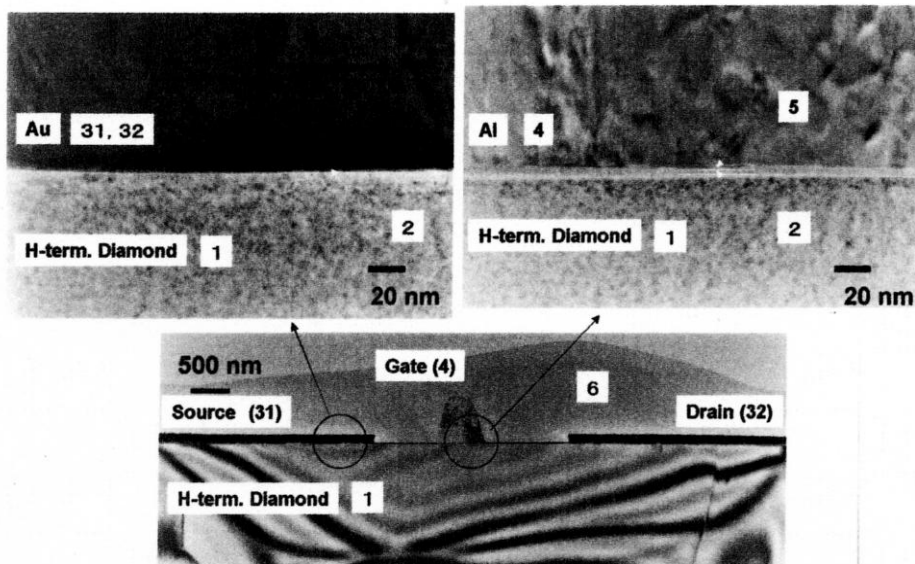
【図 7】



【図 8】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/312 (2006.01) H 0 1 L 21/314 A
H 0 1 L 21/314 (2006.01)

(72)発明者 影島 博之

東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株式会社内

F ターム(参考) 4K030 AA17 FA01 LA11

5F045 AA09 AB07 BB16 CA06 DA68

5F058 AA10 AC05 AE01 AE10 AH03 BA20 BC20 BJ03

5F102 FA00 GB01 GC01 GD01 GJ02 GL02 GT02 GV05 GV06 HC01