

公 告 本

申請日期	85.10.14
案 號	85112490
類 別	G01R 3/18

(以上各欄由本局填註)

A4
C4

312751

發 明 專 利 說 明 書

一、發明 名稱	中 文	最小脈衝寬度檢測器及門鎖器
	英 文	MINIMUM PULSE WIDTH DETECTOR AND LATCH
二、發明 人	姓 名	艾 戴 文 (Steven Craig Eplett)
	國 籍	美國籍
	住、居所	美國德州豪斯登市邁佛街9701號 9701 Meyer Forest Drive, Apt. No. 3304, Houston, Texas 77096, USA
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉 (William E. Hiller)

裝 訂 線

經濟部中央標準局員工消費合作社印製

312751

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期：西元1995年 案號：60/003,235，有 無主張優先權
9月5日

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之領域

本發明係關於一種脈衝檢測電路，尤指一種將一輸入脈衝展寬為一輸出脈衝，而最少持續時間之電路。

發明之背景

在先前技藝，有控制電路響應一輸入信號以產生一控制第二電路之操作之輸出信號。例如，控制電路可產生一控制信號，以供啓動及中止第二電路。控制電路及第二電路通常設計為以相似速度操作，以便第二電路可響應控制信號上之任何變化而充份響應。

然而有些電路配置，其中控制電路及受控制電路相互協調不是很好。例如，請考慮一種以極高速度操作，並產生持續時間不超過2-3毫微秒之輸出脈衝之控制電路，以及一種相對較慢作用諸如電壓供給泵電路之受控制電路。開啓及關閉供給泵電路可能需時長達20毫微秒。為了足夠之電荷泵送以保證所需之電源電壓，應響應所有控制信號脈衝而開啓電壓供給泵電路。相對較慢之電壓供給泵電路將會錯失對有些很快速控制脈衝之響應。這將會導致無法保持所需之電源電壓以供操作半導體晶片上之全部電路配置。

發明之概述

上述問題藉一種包括信號轉移檢測電路之脈衝檢測電路予以解決，其響應一中間信號轉移供進入一預定狀態，並產生一輸出信號電平有一持續時間等於或大於一預定時間。響應預定狀態及一來自控制電路之輸入信號轉移之信號

五、發明說明 (2)

轉移檢測電路藉設定或重設信號轉移檢測電路而閃鎖輸入信號轉移，並藉以產生中間信號轉移。

脈衝檢測電路之優點為其將轉移閃鎖於來自控制電路之極短寬度輸入信號脈衝，以控制一較慢操作之受控制電路。這保證來自控制電路之輸入信號之快速連串轉移可自脈衝檢測電路產生相同數之輸出轉移，但以一在受控制電路響應能力以內之速率。

附圖之簡要說明

圖1為一種脈衝檢測電路之邏輯圖；

圖2為狀態圖，其呈現一順序邏輯圖，或圖1之脈衝檢測電路所步進通過之狀態順序；

圖3為一電路之示意圖，其可用以完成圖1之實施例；

圖4為另一電路之示意圖，其可用以完成圖1之實施例；以及

圖5為本發明之普遍化，其允許緩衝任意數之轉移。

詳細說明

現請參照圖1，有一脈衝檢測電路20，其包括一信號轉移檢測電路30及一脈衝展寬器裝置40。一控制電路22產生一輸入信號IN，其包括供控制一遠為較慢之受控制電路24之脈衝。可包括極短脈衝寬度及快速出現連續轉移之輸入信號IN通過輸入端子51，直接經由導線52加至信號轉移檢測電路30之信號。同時，反相器54使輸入信號IN反相，並且反相之輸入信號IN經由導線56加至信號轉移檢測電路30之另一輸入。輸入信號轉移導使脈衝檢測電路20（一種順

五、發明說明(3)

序邏輯電路)步進通過一序列預定狀態。在脈衝檢測電路20之每一狀態,對輸出端子58產生一輸出信號,以供控制操作或響應遠較控制電路22為慢之受控制電路24。

信號轉移檢測電路30包括 $\bar{R} - \bar{S}$ 觸發電路32及一對"或"閘34, 36。觸發電路32有一低電平信號重設輸入端子 \bar{R} 及一低電平信號設定輸入端子 \bar{S} 。至此二端子 \bar{R} 及 \bar{S} 之輸入分別通過"或"閘36及34。如果任一或二輸入為在邏輯一電平,則"或"閘各產生輸出邏輯一。二輸入均在邏輯零電平時,輸出為邏輯零電平。 $\bar{R} - \bar{S}$ 觸發電路32予以設定至邏輯一信號狀態,並於邏輯零信號加至輸入端子 \bar{S} 時在其輸出端子Q產生邏輯一。反之, $\bar{R} - \bar{S}$ 觸發電路32予以重設至零狀態,並於邏輯零信號加至輸入端子 \bar{R} 時在輸出端子Q產生邏輯零信號。在觸發電路32之輸出端子Q所產生之信號係一在脈衝檢測電路20之中間信號。在輸出端子Q產生輸出端子Q上之中間信號之補信號。

脈衝展寬器裝置40包括一種與信號轉移檢測電路30相似之雙"或"閘42, 43及 $\bar{R} - \bar{S}$ 觸發電路41組態。來自電路30真輸出Q之中間信號通過導線44加至"或"閘43之輸入,其控制觸發電路之輸入端子 \bar{R} 。來自電路30互補輸出 \bar{Q} 之中間信號之補信號通過導線45加至"或"閘42之輸入,其控制觸發電路41之輸入端子 \bar{S} 。

在脈衝展寬器裝置40內,真及互補輸出端子Q及 \bar{Q} 分別產生真及補信號一及零,供觸發電路41之一狀態。一延遲元件46互相連接在觸發電路41之輸出端子Q與"或"閘42之

五、發明說明(4)

第二輸入之間，以提供延遲之反饋信號至"或"閘42。另一延遲元件47同樣互相連接在觸發電路41之輸出端子 \bar{Q} 與"或"閘43之第二輸入之間，以供提供另一延遲之反饋信號至"或"閘43。延遲元件46及47響應輸入變低而緩慢輸出零，但在輸入變高時快速輸出一。產生零輸出之延遲係由受控制電路24之響應時間所確定。

脈衝檢測電路20之輸出端子58與觸發電路41之真輸出相連接。此同一真輸出端子 Q 通過導線62予以連接，將端子58上所產生之輸出信號反饋至信號轉移檢測電路30之"或"閘34之第二輸入。在輸出端子 \bar{Q} 所產生之補信號同樣反饋至信號轉移檢測電路30之"或"閘36之第二輸入。

現請參照圖1及2，其為圖1中所揭示電路20之預定順序邏輯狀態圖，說明電路20之操作步進通過該順序中之若干預定步驟。

在圖2中，包括若干數字之橢圓形表示每一狀態。在每一橢圓之上中央，一二位十進制數，例如71-76標示該狀態。有四個二進制數字示在圖1之電路20內不同節點之信號電平。請由左至右參閱，二進制數字分別表示節點或導線44，62，64及66上之信號電平。在橢圓之下中央，有另一二進制數字表示在電路20之輸出端子58供預定狀態之邏輯信號電平。

開始說明該序列預定狀態，吾人首先考慮每當輸入端子51上之輸入信號為低邏輯電平或零時為一種穩定狀態之狀態。在狀態71，觸發電路32及41設定在其一狀態，在其輸

五、發明說明(5)

出端子Q及在導線44及62產生高信號或一。導線64及66上分別有一高信號電平及一低電平信號在穩態。其後在輸入端子51上之輸入信號升高至高邏輯電平或一時，觸發電路32及41均重設至其零狀態，並且電路自狀態71移動或步進至狀態72。

狀態72為一種不穩定狀態，其在導線44及62上，在觸發電路32及41之輸出Q產生低電平信號或零，如在表示狀態72之橢圓之二最左二進制數字所示。導線44上之低電平將高電平在內部儲存於51。導線64及66上之信號為在高電平，亦即一。電路20之輸出導線58上之輸出信號為在低電平或零。51之內部儲存升高電平導致輸出導線58之自先前狀態71之高電平轉移至在狀態72之目前低電平。由於狀態72為不穩定，將予說明之二事件之任一事件將會導使電路20步進至次一順序狀態。

低電平信號或零加至輸入端子51時，如果電路20為在狀態72，電路20便步進至狀態73。觸發電路41保持重設在其零狀態，並且在導線62上在輸出Q出現低電平。導線44上之高電平將低電平在內部儲存於51。導線64及66上之信號保持在高邏輯電平。低電平信號保持在輸出端子58上。狀態73為一種不穩定狀態，隨後將說明自其退出。

如果電路20為在狀態72，並且導線64上在延遲元件46之輸出之信號在零加至輸入端子51前自高邏輯電平降低至低邏輯電平，電路20便步進至狀態75而非狀態73。除了狀態75在輸入端子51上之信號變為低邏輯電平或零後也為穩定

五、發明說明(6)

外，狀態75為狀態71之模擬或補狀態。在狀態75，觸發電路32及41予以重設，以便在導線44及62上在其輸出端子Q之信號均為在低電平或零。導線64及66上之信號分別在低及高邏輯電平。電路20保持在穩定狀態75，直到導線51上之輸入信號變為低邏輯電平或零，出現此情形時，電路20步進至不穩定狀態76。

請回頭參照狀態73，在導線64從延遲元件46出來之信號自高邏輯電平降至低邏輯電平或零時，電路20上步進脫離狀態73並進入狀態76。保持在狀態73，直到延遲元件46在導線64輸出零，藉以使輸出端子58保持在低電平足夠長，以允許受控制電路24操作。

在狀態76時，觸發電路32及41均設定在一，並且導線44及62產生高邏輯電平信號或一。導線64及66上及輸出端子58上之信號為在高邏輯電平。輸入端子51上之輸入信號變至高邏輯電平前，如果在導線66來自延遲電路47之信號自高邏輯電平降至低邏輯電平或零，電路20便步進至先前所述之狀態71。

如果在狀態76時，輸入端子51上之輸入信號在導線66上之信號降至低邏輯電平前變至高邏輯電平，電路20便步進至不穩定狀態74。在狀態74，觸發電路32重設至其零狀態，並且觸發電路41設定至其一狀態。導線44及62上之信號分別為低邏輯電平及高邏輯電平。導線44上之低電平在內部將高電平儲存於51。導線64及66上之信號為在高電平。電路20保持在狀態74，直到在導線66來自延遲元件47之信

五、發明說明(7)

號降至低邏輯電平或零。保持在狀態74，直到延遲元件47在導線66輸出零，藉以使輸出端子58保持在高電平足夠長，以允許受控制電路24操作。

導線66上之信號降至低電平時，電路20自狀態74步進至不穩定狀態72。狀態72先前已在本文說明。

現請參照圖3及4，圖示二不同之電路配置，其可用以構成脈衝檢測電路20，圖3及4各示一"或"閘，其輸出連接至二輸入反及閘之一輸入。在圖1之脈衝檢測電路20，圖2或圖3之二電路予以交叉連接，以形成每一有二"或"閘之 $\bar{R} - \bar{S}$ 觸發電路。亦即，每一反及閘之輸出連接至另一反及閘之第二輸入。輸出端子Q及 \bar{Q} 為分別取自二反及閘。

現請參照圖5，圖示一種配置，其中二信號轉移檢測電路30彼此串列連接，並另與脈衝展寬器電路70串列連接。除了導線反饋至最後信號轉移電路30而非線上第一信號轉移電路外，脈衝展寬器電路70係與圖1之脈衝展寬器電路40相似。圖5之此種配置提供一脈衝檢測電路80，其將閃鎖或緩衝一單一另外之輸入信號邊緣或轉移，超過圖1中所示之脈衝檢測電路。

置於與其他輸入轉移檢測電路串列之每一另外輸入轉移檢測電路30將會閃鎖或緩衝加至輸入信號導線52之輸入信號之一另外邊緣或轉移。

以上所述說明本發明之若干例證性實施例。此等實施例連同由於其而為顯而易知之其他實施例，係視為在後附申請專利範圍之範圍以內。

四、中文發明摘要 (發明之名稱：最小脈衝寬度檢測器及門鎖器)

一脈衝檢測電路(20)響應一中間信號轉移(在端子44)，供進入一預定狀態，並產生一輸出信號電平(在輸出端子58)有一持續時間等於或大於一預定延遲時間。一響應預定狀態(在導線62)及一來自控制電路(22)之輸入信號轉移(在輸入端子51)之信號轉移檢測電路(32)藉設定或重設信號轉移檢測電路而門鎖輸入信號轉移，並藉以產生中間信號轉移。因此脈衝檢測電路將轉移門鎖於來自控制電路之極短寬度輸入信號脈衝，以控制一較慢操作之受控制電路。額外之轉移予以儲存，直到受控制電路準備響應另一轉移。

英文發明摘要 (發明之名稱：MINIMUM PULSE WIDTH DETECTOR AND LATCH)

A pulse detection circuit (20) responds to an intermediate signal transition (at terminal 44) for entering a predetermined state and producing an output signal level (at output terminal 58) having a duration equal to or greater than a predetermined delay period. A signal transition detection circuit (32), responsive to the predetermined state (on lead 62) and an input signal transition (at input terminal 51) from a control circuit (22), latches the input signal transition by either a setting or a resetting of the signal transition detection circuit and thereby producing the intermediate signal transition. Thus the pulse detection circuit latches the transitions in very short width input signal pulses from the control circuit to control a slower operating controlled circuit. Extra transitions are stored until the controlled circuit is ready to respond to another transition.

六、申請專利範圍

1. 一種電路包含：

一脈衝展寬器，響應一中間信號轉移，供進入一預定狀態，並產生一有持續時間等於或大於一特定延遲時間之輸出信號電平；以及

一信號轉移檢測電路，響應該預定狀態及一輸入信號轉移，供設定或重設信號轉移檢測電路藉以閉鎖輸入信號轉移，並從而產生中間信號轉移。

2. 一種電路包含：

一脈衝展寬器，響應一中間信號轉移，供進入一預定狀態，並產生一有持續時間等於或大於一特定延遲時間之輸出信號電平；以及

許多信號轉移檢測電路，串聯連接並響應該預定狀態及多個輸入信號轉移，供設定或重設該許多信號轉移檢測電路藉以閉鎖多個輸入信號轉移，並產生中間信號轉移供每一輸入信號轉移。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

312750

312751

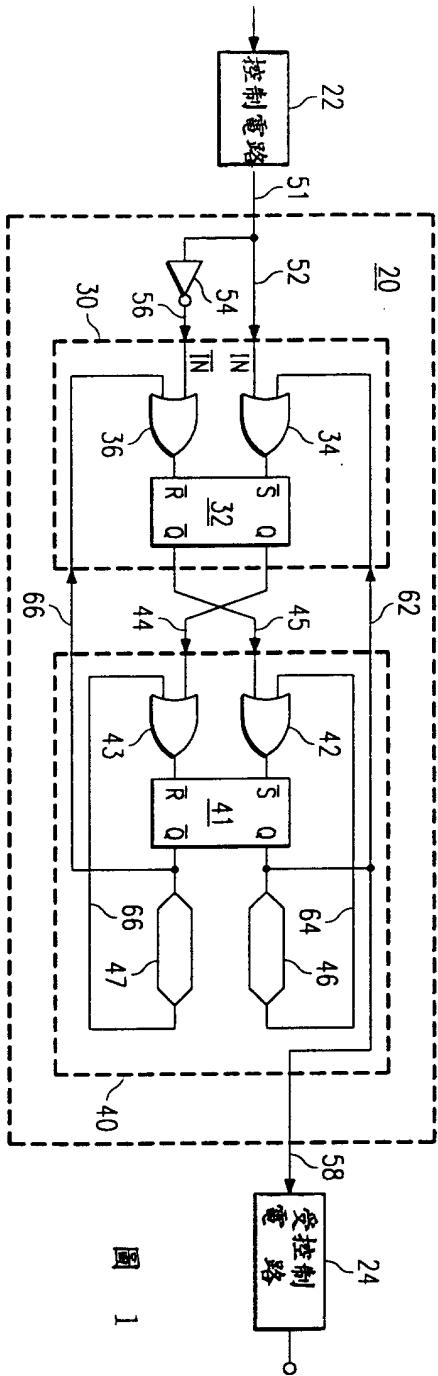


圖 1

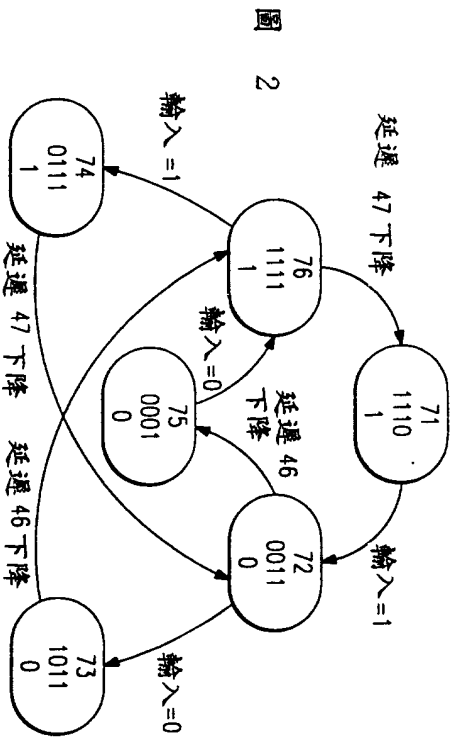


圖 2

819750

312751

TI-19746
2 of 3

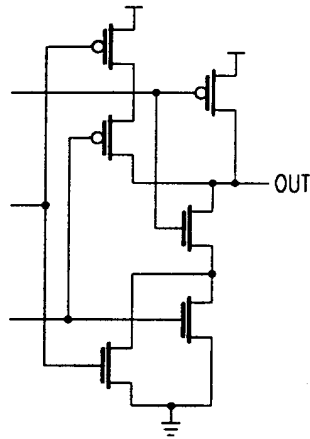


圖 3

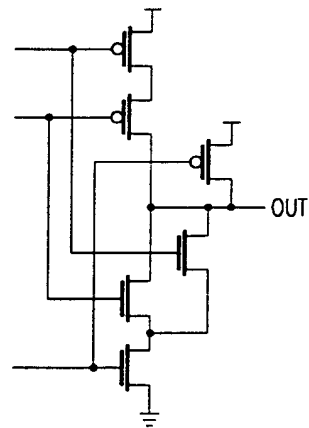


圖 4

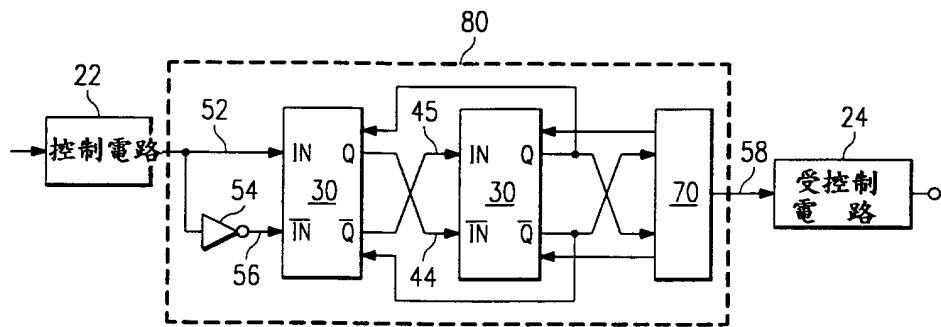


圖 5