

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-508409

(P2006-508409A)

(43) 公表日 平成18年3月9日(2006.3.9)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G06F 13/362 (2006.01)</b>	G06F 13/362 510D	5B061
<b>G06F 1/04 (2006.01)</b>	G06F 1/04 301C	5B079

審査請求 未請求 予備審査請求 有 (全 29 頁)

(21) 出願番号 特願2003-575244 (P2003-575244)  
 (86) (22) 出願日 平成15年3月5日(2003.3.5)  
 (85) 翻訳文提出日 平成16年9月29日(2004.9.29)  
 (86) 国際出願番号 PCT/US2003/007107  
 (87) 国際公開番号 W02003/077094  
 (87) 国際公開日 平成15年9月18日(2003.9.18)  
 (31) 優先権主張番号 10/094,053  
 (32) 優先日 平成14年3月8日(2002.3.8)  
 (33) 優先権主張国 米国(US)

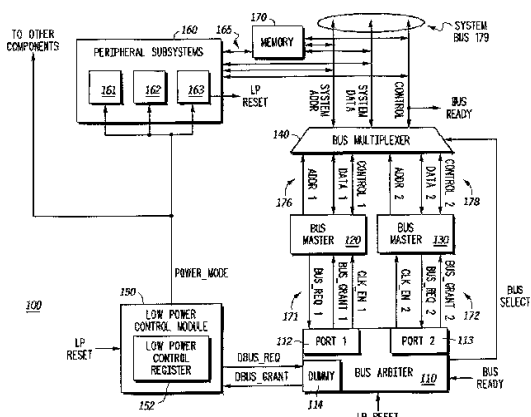
(71) 出願人 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国テキサス州78729, オ  
 ースティン, ウェスト・パーマー・レーン  
 7700  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 モイヤー、ウィリアム シー、  
 アメリカ合衆国 78620 テキサス州  
 ドリッピング スプリングス ピア ブ  
 ランチ ロード 1005

最終頁に続く

(54) 【発明の名称】 データ処理システムを低電力化するシステムおよび方法

## (57) 【要約】

低電力装置の復帰可能な状態を特定するシステムおよび方法について説明する。複数のバスマスタへのシステムバスアクセスを許可するアービタ(110、310、または410)を有する低電力装置(100、300、または400)が、低電力動作モードを起動するように設定される。低電力装置内の低電力コントローラ(150、350、または450)は、低電力モードを起動する要求をバスアービタに与える。バスアービタは、バスマスタへのバス要求の許可を停止し、システムバスが現在のバスアクセスをすべて処理する時期を特定する。システムバスがアイドル状態になると、バスアービタは、低電力コントローラにバス許可信号を返す。バスマスタに関連するクロックは、ディスエーブルされてバスアービタを一時停止するとともに、低電力装置の低電力化を可能にする。



**【特許請求の範囲】****【請求項 1】**

低電力モードへの移行を判定するステップと、  
前記低電力モードへの移行の判定に応答して、アービタ（１１０、３１０、または４１０）にバス要求を与えるステップと、  
前記バス要求に応答して、前記アービタに関連する第１のバスマスタ（１２０または１３０）の少なくとも一部に与えられた第１のクロックをディスエーブルするステップと、  
から成る方法。

**【請求項 2】**

前記バス要求に応答して、前記アービタに関連する第２のバスマスタの少なくとも一部に与えられた第２のクロックをディスエーブルするステップをさらに含む、請求項 1 記載の方法。 10

**【請求項 3】**

前記バス要求に関連するバス許可信号を受け取るステップをさらに含む、請求項 1 記載の方法。

**【請求項 4】**

前記第１のクロックをディスエーブルするステップは、前記バス許可信号を受け取るステップに応答して行なわれる、請求項 3 記載の方法。

**【請求項 5】**

前記バス許可信号を受け取るステップに応答して、前記第１のバスマスタに加え、システムの第１の部分への電力を低減するステップをさらに含む、請求項 3 記載の方法。 20

**【請求項 6】**

電力モードを示すレジスタ（１５２、３５２、または４５２）と、  
前記レジスタに接続され、電力モードをモニタすると共に、定格電力モードとは異なる低電力モードが示された場合に、第１のバスマスタおよび第２のバスマスタの少なくとも一方に関連するバス要求の処理を防止する、アービタ（１１０、３１０、または４１０）と、  
から成るシステム。

**【請求項 7】**

前記アービタは、前記低消費電力モードが特定された場合に低電力バス要求を処理するとともに、低電力バス要求が発生された後に、前記バスマスタのバス要求のうちの少なくとも１つの処理を防止する請求項 6 記載のシステム。 30

**【請求項 8】**

前記アービタは、前記第１のバスマスタおよび第２のバスマスタの少なくとも一方の少なくとも一部に与えられたクロック信号をディスエーブルする、請求項 6 記載のシステム。

**【請求項 9】**

複数の切り替えられるシステムバス（１７９）と、  
第１のバスマスタ（１２０または１３０）と、  
第２のバスマスタ（１２０または１３０）と、  
１つが複数の切り替えられるシステムバスの各１つに関連付けられている、複数のアービタ（１１０、３１０、または４１０）と、  
制御モジュール（１５０、３５０、または４５０）と、から成るシステムであって、制御モジュール（１５０、３５０、または４５０）が、  
電力モードを特定し、  
前記電力モードが定格電力モードよりも低い場合に、前記複数のアービタのサブセットにバス要求を提供し、  
前記複数のアービタの前記サブセットから、前記バス要求に関連するバス許可を受け取り、  
前記第１のバスマスタまたは第２のバスマスタの少なくとも一方に関連するクロック 40 50

をディスエーブルするものである、システム。

【請求項 10】

前記制御モジュールは、前記バス許可の受け取りに基づいて、低電力モードを示す信号を与えるのにさらに使用される、請求項 9 記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体装置に関し、特に半導体装置の低電力モードを実現するシステムおよび方法に関する。

【背景技術】

【0002】

低電力の携帯機器の使用が次第に一般的になっている。例えば、セル式電話機、携帯情報端末 (PDA) 等の携帯端末は、ますます普及している。多くのマイクロプロセッサ装置が、電力節約に対処すべく、1つまたは2つ以上の低電力状態を備えるように設計されている。電力の節約により、バッテリー寿命を延ばすことができるので、携帯端末をさらに長時間動作させることができる。

【0003】

最新のマイクロコントローラおよびマイクロプロセッサにおける、低電力状態を実現する1つの方法は、低電力命令を与えることである。低電力命令の実行により、装置は、シャットダウンシーケンスを初期化でき、それによって、装置は、装置が低電力状態からその後復帰できるような方法によって、シャットダウンに対する準備をする。例えば、低電力マイクロプロセッサがメモリアクセスサイクル中にシャットダウンされる場合、プロセッサをメモリのような外部装置よりも前にディスエーブル (disable) して、要求されたデータを戻すことができるであろう。プロセッサが、起動後すぐにこれらの終了サイクルの発生を予期している場合、プロセッサは、発生しないメモリアクセスを事前に察しているので、それは装置を異常停止させてしまう。しかし、低電力命令を実行することによって、公知の方法で低電力モードに移行した後に動作を終了するような方法で、プロセッサに関連するマシンをシャットダウン状態にすることができる。

【0004】

多くのマイクロプロセッサコアが、既知条件の低電力状態に移行する低電力命令の使用をサポートしているが、そのような命令の使用および他の方法は、すべてのマイクロプロセッサコアで普遍的に利用可能というわけではない。そのようなマイクロプロセッサコアを低電力装置で使用することが望ましい場合、低電力動作モードに移行する代替方法が定義される必要がある。また、DMA装置および他のシステム機能ブロックのようなバスマスタ装置は、低電力モード命令を直接実行しなくてもよく、同様の明白な方法によってそのような装置を低電力状態に移行させることが、低電力システムの要件でもある。したがって、効率的な方法で低電力動作モードに移行できることが有用である。

【発明を実施するための最良の形態】

【0005】

本開示の特定の実施形態を本明細書で提示した図面に示し、説明する。本開示の種々の目的、利点、特徴、および特性のみならず、他の方法、関連する構成要素の動作および機能、ならびに製造上の部品の組み合わせおよび経済性が、そのすべてがこの明細書の一部を構成する、添付の図面に関する以下の説明および請求項を考慮することによって、明らかにされるであろう。

【0006】

本発明の少なくとも1つの実施形態は、装置を低電力動作モードに移行させる方法を提供する。低電力コントローラが、バスアービタ (bus arbiter) に、低電力モードを起動するバス要求を行う。その要求は、バスアービタによって受け取られた他の要求よりも高い優先順位で処理される。バスアービタは、インタフェース接続されたバスマスタからの新しい要求の承認を停止し、システムバスが現在のバスアクセスを処理し終え

10

20

30

40

50

るまで待つ。いったん、システムバスがアイドル状態になると、バスアービタは、低電力コントローラのバス要求を承認し、これはシステムが低電力動作モードを自由に取れることを示す。一実施形態において、バスアービタに関連するバスマスタが一時停止され、低電力消費を可能にする。本発明の特定の実施形態において、バスアービタは、低電力コントローラにバス許可信号を返し、低電力コントローラが低電力動作モードを自由に取れることを示す。この方法によって、バスマスタとしても作動する装置を復帰可能な状態に移行させることができ、そのような装置は、バスアービタのサポートによって安全な低電力モードに容易にシャットダウンされる。

#### 【0007】

図1に低電力装置100の一部を示す。このような低電力装置の特定の例としては、携帯型PDA、電話機を始めとする携帯型通信装置、ラジオ、および他の装置を挙げることができる。低電力装置100は、バスアービタ110、バスマスタ120、バスマスタ130、バスマルチプレクサ140、低電力制御モジュール150、周辺サブシステム160、およびメモリ170を備えている。

#### 【0008】

バスアービタ110は、次の信号を与える：バスマスタ120へのバス許可1(bus\_\_grant1)およびクロックイネーブル1(clk\_\_en1)信号、バスマスタ130へのクロックイネーブル2(clk\_\_en2)およびバス許可2(bus\_\_grant2)信号、バスマルチプレクサ140へのバス選択信号、低電力制御モジュール150への低電力バス許可(dbus\_\_grant)信号。バスマスタ120は、次の信号を与える：バスマルチプレクサ140に接続された双方向バス176へのアドレス1(addr1)、データ1(data1)、およびコントロール1信号、バスアービタ110へのバス要求1(bus\_\_req1)信号。バスマスタ130は、次の信号を与える：バスマルチプレクサ140との間にあるバス178へのアドレス2、データ2、およびコントロール2信号、バスアービタ110へのバス要求2(bus\_\_req2)信号。ハンドシェイクコントロール171は、バスマスタ120に関連し、バスアービタ110の第1のポート112にインタフェース接続されているが、バス要求1と、バス要求1にตอบสนองしてバスアービタ110によって与えられるバス許可1(bus\_\_grant1)と、バスマスタ120のクロックをイネーブルまたはディスエーブルするのに使用されるクロックイネーブル1(clk\_\_en1)とを含む。同様に、ハンドシェイクコントロール172は、バスマスタ130に関連し、バスアービタ110の第2のポート113にインタフェース接続されているが、バス要求2と、バス要求2にตอบสนองしてバスアービタ110によって提供されるバス許可2(bus\_\_grant2)と、バスマスタ130のクロックをイネーブルまたはディスエーブルするのに使用されるクロックイネーブル2(clk\_\_en2)とを含む。バスマルチプレクサ140は、バスマスタ120およびバスマスタ130にそれぞれ関連する各ローカルシステムバス176および178との間で情報の送受信を行う。さらに、バスマルチプレクサ140は、システムバス179との間で情報の送受信を行う。低電力制御モジュール150は、バスアービタ110への低電力バス要求(dbus\_\_req)と、周辺サブシステム160、および低電力装置100の残りの部分への電力モードインジケータ(power\_\_mode)とを与える。周辺サブシステム160は、バスインタフェース165を介してメモリ170にインタフェース接続するとともに、低電力制御モジュール150に低電力リセット(lp\_\_reset)を与える。メモリ170は、システムバス179およびバスインタフェース165を介して周辺サブシステム160にインタフェース接続している。周辺サブシステム160も、システムバス179に接続している。

#### 【0009】

動作の際、低電力制御モジュール150が、低電力装置100の低電力モードを起動する。低電力制御モジュール150は、低電力制御レジスタ152を含んでいる。一実施形態において、低電力制御モジュール150は、低電力制御レジスタ152の値に基づいて、低電力装置100が低電力モードに設定されるべき時期を判定する。低電力装置100

が低電力モードに移行するとき、低電力制御レジスタ152は設定される。例えば、ユーザがキーパッド（図示されない）を始めとするユーザインタフェースを作動していない場合に、低電力装置100のユーザ動作をモニタするアプリケーション（図示されない）または周辺サブシステム160のサブシステムが、低電力制御レジスタ152を設定できる。代替的に、低電力装置100に電力を供給するのに使用されるパワーセル（図示しない）が低電力になり、低電力装置100が低電力モードに移行できる場合に、低電力制御レジスタ152を設定してもよい。したがって、ユーザはパワーセルを交換するのに、または所望のデータをバックアップするのに必要な手段を講じる時間を持つことができる。さらに、いくつかの実施形態において、低電力制御レジスタ152は、バス転送によって低電力制御レジスタ152へのアクセスを可能にするために、システムバス179にインタフェース接続されていてもよい。

10

#### 【0010】

いったん、低電力制御レジスタ152が設定されたことを低電力制御モジュール150が検出すると、低電力制御モジュール150は、バスアービタ110に低電力バス要求（`dbus_req`）を与えることができる。低電力バス要求は、バスアービタ110に与えられるバス要求信号を表し、該低電力バス要求は、システムバス179へのアクセスに使用されるのではなく、バスアービタ110へ指示を与えるのに使用される。同様に、バスアービタ110によって与えられる低電力バス許可信号（`dbus_grant`）は、低電力バス要求を承認するために使用される。一実施形態において、低電力制御モジュール150は、バスアービタ110に低電力バス要求`dbus_req`をアサートした後、バスアービタ110からの低電力バス許可信号`dbus_grant`信号の受け取りを待つ。

20

#### 【0011】

低電力制御モジュール150が`dbus_grant`信号を受け取ると、低電力制御モジュール150は、電力モードインジケータを与えて、周辺サブシステム160、および低電力装置100の他の部分を低電力状態に移行させることができる。一実施形態において、低電力制御モジュール150は設定を適用して、周辺サブシステム160に与えられる電力を低減する。一実施形態において、低電力制御モジュール150は、低電力装置100が低電力モードから定格電力モードに移行されるべきことを指示する低電力リセット信号（`LP_RESET`）を待つ。したがって、低電力制御モジュール150は、低電力リセット信号に応答して、周辺サブシステム160を通常動作モードに復帰させることができる。定格電力モードは、低電力装置100の一般的な機能が利用可能な通常動作モードを表わしている。さらに、通常動作モード中、低電力装置100は、低電力動作モード中に消費される電力量よりも大きな、通常の電力量を消費し得る。本発明の範囲から逸脱することなく、低電力モードを特定する他の方法を利用できることが理解されるべきであろう。さらに、低電力制御モジュール150は、ここに説明した以外の手段を講じて、低電力装置100を低電力モードに移行させることができる。さらに、本発明の範囲または精神から逸脱することなく、低電力リセット（`LP_RESET`）ではなく、低電力モードを終了すべきことを示す代替の手段を使用してもよい。

30

#### 【0012】

バスアービタ110は、バスマスタ120、バスマスタ130、および低電力制御モジュール150のような複数のリクエスタからの要求を受け取り、リクエスタの1つ、すなわちバスマスタ120や130が、システムバス179にアクセスするのを許可するために使用される。一実施形態において、バスアービタ110は、アービトレーション方式を利用して、バスマスタ120に関連する第1のポート112、またはバスマスタ130に関連する第2のポート113のいずれか一方からのバスアクセス要求を認識する。例えば、バスアービタ110は、バスアービタ110が第1のポート112または第2のポート113からの複数の許可要求を交互に認識するラウンドロビンアービトレーション（`round-robin arbitration`）を利用できる。いったんポートが選択されると、バスアービタ110の第1のポート112または第2のポート113は、バスマ

40

50

スタ 120 または バスマスタ 130 のような関連するバスマスタに、バス許可信号、すなわちバス許可 1 またはバス許可 2 をそれぞれ与える。一実施形態において、バスマスタ 110 は、バスマルチプレクサ 140 へも制御信号を与え、アドレス、データ、およびコントロール信号のような情報を、選択されたポート（すなわち第 1 のポート 112 または第 2 のポート 113）に関連する利用可能なバスマスタの 1 つ（すなわちバスマスタ 120 またはバスマスタ 130）からそれぞれ受け取る。バスマスタ 120 およびバスマスタ 130 は、バスマスタ装置を表わす。例えば、バスマスタ 120 および 130 は、中央処理装置（CPU）のような低電力装置 100 に組み込まれたプロセッサを含むことができる。バスマスタ 120 および 130 は、ダイレクトメモリアクセス（DMA）エンジンまたは他のプロセッサを含むこともできる。

10

#### 【0013】

一実施形態において、バスアービタ 110 は、低電力制御モジュール 150 から低電力バス要求信号を受け取る低電力ポート 114 を含んでいる。バスアービタ 110 は、追加のリクエストとしての低電力制御モジュール 150 からの要求を処理できる。例えば、バスアービタ 110 は、第 1 のポート 112、第 2 のポート 113、および低電力ポート 114 によって受け取られた複数の要求の間の仲裁を行う（*arbitrate*）ことができる。一実施形態において、バスアービタ 110 が低電力バス要求信号を受け取ると、バスアービタ 110 は、バスレディ信号を待つ。バスレディ信号は、システムバス 179 によって使用される信号であって、システムバス 179 上の未処理要求が処理された時期を示す信号である。いったんバスレディ信号が受け取られると、バスアービタ 110 は、低電力制御モジュール 150 に、低電力装置 100 を低電力モードに設定できることを示す低電力バス許可信号を与えることができる。

20

#### 【0014】

図示の実施形態において、バスアービタ 110 が低電力制御モジュール 150 に低電力バス許可信号を与えると、バスアービタ 110 は、クロックイネーブル信号、すなわちクロックイネーブル 1 およびクロックイネーブル 2 をも利用して、バスマスタ 120 およびバスマスタ 130 に関連するクロックをそれぞれディスエーブルする。一実施形態において、いったんシステムバス 179 が未処理要求を処理してしまうと、バスマスタ 120 および 130 は、システムバス 179 からの応答を待っていない状態になるので、バスマスタ 120 および 130 は、復帰可能な状態にあると考えられる。バスアービタ 110 は、低電力動作のために、バスマスタ 120 および 130 へのクロックをディスエーブルすることによって、バスマスタ 120 および 130 をこの復帰可能な状態に維持できる。さらに、バスアービタ 110 は、第 1 のポート 112 および第 2 のポート 113 からのさらなる要求が承認されない運転モードを起動することができる。バスアービタ 110 は、低電力リセット信号がアサートされて通常動作モードに戻るべき時期を決定するまで待機することができる。したがって、低電力リセット信号がアサートされると、バスアービタ 110 は、クロックイネーブル 1 およびクロックイネーブル 2 信号を使用して、バスマスタ 120 および 130 へのクロックを再イネーブルでき、第 1 のポート 112 および第 2 のポート 113 から受け取った複数の要求の間の仲裁処理に戻ることができる。

30

#### 【0015】

代替の実施形態において、バスアービタ 110 は、低電力リセット信号 *LP RESET* に直接応答しなくてもよく、その代わりに、低電力動作モードがもはや望まれておらず通常モードへの復帰が発生すべきことを示すポート 114 を介した低電力バス要求のネゲーション（*negation*）を待っているだけでもよい。

40

#### 【0016】

一実施形態において、バスアービタ 110 は、さらに、受け取った要求の優先順位を付けることができる。例えば、できるだけ早く低電力モードに入ることが望ましいとする。その場合、バスアービタ 110 は、バスマスタ 120 およびバスマスタ 130 からの新しい要求を無視して、順番を変えて低電力ポート 114 からの低電力バス要求を処理できる。バスマスタ 120 および 130 からのバスアクセス要求よりも高い優先順位を低電力制

50

御モジュール 150 からの低電力バス要求に与えることによって、バスアービタ 110 は確実に、低電力モードを速やかに実行可能にする。優先順位は、低電力装置 100 の要望に応じて変更できる。例えば、それほど厳格でない低電力動作が望ましい場合、低電力ポート 114 を通して受け取られた低電力バス要求の優先順位は、バスマスタ 120 からの要求よりも低いかれどもバスマスタ 130 からの要求よりも高いようにすることができる。代替的に、低電力ポート 114 に関連する優先順位を、固定優先順位に設定することもできる。

#### 【0017】

バスマルチプレクサ 140 は、バスマスタ 120 および 130 にそれぞれ関連するローカルバス 176 および 178 を、システムバス 179 に接続するために使用される。一実施形態において、バスマルチプレクサ 140 によって選択されるバスマスタは、バスアービタ 110 によって与えられるバス選択信号によって特定される。例えば、バス選択信号が、バスマスタ 120 が選択されるべきことを指示すれば、バスマルチプレクサ 140 は、システムバス 179 のシステムアドレス、システムデータ、およびコントロール線に、ローカルバス 176 からのアドレス 1、データ 1、およびコントロール 1 の信号線をそれぞれ接続する。代わりに、バス選択信号が、バスマスタ 130 が選択されるべきことを指示すれば、バスマルチプレクサ 140 は、システムバス 179 のシステムアドレス、システムデータ、およびコントロール線に、ローカルバス 178 のアドレス 2、データ 2、およびコントロール 2 の信号線を接続できる。

#### 【0018】

システムバス 179 は、バスマスタ 120 および 130 を、メモリ 170、周辺サブシステム 160、および他のシステム構成要素（図示されない）に接続するために使用できる。したがって、バスマスタ 120 および 130 は、システムバス 179 に接続されたメモリ 170 および周辺装置 160 のような低電力装置 100 の構成要素に書き込み（write）、または読み出し（read）すべきデータを与えることができる。一実施形態において、システムバス 179 に沿って送信されたアドレス情報およびデータはインタリーブされる。システムバス 179 のシステムアドレス線上で送信されるアドレスは、システムバス 179 のシステムデータ線からのデータの次の群に書き込むバスアドレスを示している。データがシステムデータ線上でアクセスされている間、新しいアドレスは、データの新しい群の新しいアドレスを示すシステムアドレス線上に置くことができる。本発明の範囲から逸脱することなく、システムバス 179 のようなシステムバスに沿ったアドレス情報およびデータを通す他の形態を組み込むことは十分に理解されるべきであろう。

#### 【0019】

周辺サブシステム 160 は、システムバス 179 に接続されるとともに、バスインタフェース 165 を介してメモリ 170 に接続できる。周辺サブシステム 160 は、低電力装置 100 のクロスセクションを処理するためのいくつかの構成要素を含んでいる。例えば、第 1 のサブシステム 161 は、低電力装置 100 の映像を処理するために使用できる。第 2 のサブシステム 162 は、低電力装置 100 の音声を処理するために使用できる。さらに、第 3 のサブシステム 163 は、キーパッドへのユーザ入力のようなユーザインタフェースを処理するために使用できる。サブシステム 161 ~ 163 は、低電力制御モジュール 150 によって与えられた低電力モードインジケータにตอบสนองして、パワーダウンモードに移行させることができる。パワーダウンされることをすべてのサブシステムが望んでいるとは限らないことは十分に理解されるべきであろう。例えば、サブシステム 163 は、低電力モードの間にユーザ入力をモニタするのに使用できる。その場合、ユーザがキーパッドを軽く叩くような方法で低電力装置 100 へのアクセスを試みると、第 3 のサブシステム 163 は、低電力リセット信号をアサートして、低電力装置 100 を低電力モードから復帰させ、通常動作モードに戻すことができる。周辺サブシステム 160 に関して説明したシステムに加えて、またはその代わりに、他のサブシステムが使用できることは十分に理解されるべきであろう。さらに、本発明の範囲から逸脱することなく、低電力モードから復帰する時期を検出する他の手段を使用できる。

10

20

30

40

50

## 【 0 0 2 0 】

ここで図 2 を参照すると、本発明の一実施形態による、図 1 のバスアービタの一部の特定の機能を表す状態図が示され、図 2 全体を状態図 2 0 0 と称する。バスアービタ 1 1 0 (図 1) は、バスマスタ 1 2 0 および 1 3 0 (図 1) のような現在のリクエストを特定して、バスアクセスを許可する。低電力制御モジュール 1 5 0 (図 1) のような制御装置は、追加のリクエストとして処理される。バスアービタ 1 1 0 は、低電力装置のシステムバス上の未処理バスアクセスが処理されてしまったときだけ、低電力装置の低電力動作の実行を許可するのに使用できる。一実施形態において、バスアービタは、ラウンドロビンアービトレーションのようなアービトレーション方式によって、第 1 のバスマスタに関連する第 1 のポートと、第 2 のバスマスタに関連する第 2 のポートとの間で切り替わる。低電力制御装置への要求は、バスマスタからの要求よりも高い優先順位で処理される。したがって、低電力モードに移行する制御装置からの要求は、すぐに実行可能である。

10

## 【 0 0 2 1 】

一実施形態において、バスアービタは、システムリセット信号 (SYSTEM\_RESET) のアサーションによるような起動またはリセットが発生するとすぐに、経路 2 1 1 を経由して状態 2 1 0 から開始する。状態 2 1 0 で、バスアービタは、第 1 のポートが第 1 のバスマスタにアクセスするのを許可する。バスアクセスの要求が状態 2 1 0 の第 1 のポート上で未処理の場合、バスアービタは、バスアクセス要求を許可する。上に説明したように、バスアービタは、この要求を第 1 のバスマスタへ許可するために、第 1 のバスマスタにバス許可信号をアサートするとともに、バスマルチプレクサにバス選択信号を与えて、ローカルバス線を第 1 のバスマスタに関連するシステムバスに接続する。一実施形態において、バスレディ (BUS\_READY) 信号がオフまたは「0」値に設定され、システムバスが現在の要求を処理するのに使用されていることを示している間、バスアービタは、経路 2 1 2 を経由して状態 2 1 0 にとどまっている。代替的に、バスレディ信号がオン状態に設定され、かつ制御装置からの低電力バス要求 (DBUS\_REQ) 信号がアサートされない場合、バスアービタは、経路 2 1 4 を経由して状態 2 2 0 に移動する。状態 2 2 0 で、バスアービタは、第 2 のポートが第 2 のバスマスタにアクセスすることを許可する。状態 2 1 0 と同様に、第 2 のバスマスタからの要求が第 2 のポート上にある場合、バスアービタは、その要求を許可し、バスが要求を処理してしまうまで、経路 2 2 2 を経由して状態 2 2 0 にとどまっている。いったんバスレディ信号がアサートされるか、第 2 のポート上に要求が未処理になっていない場合、バスアービタは、経路 2 2 4 によって状態 2 1 0 に戻る。したがって、バスアービタは、第 1 のポートと第 2 のポート間で切り替わり、制御装置からの低電力バス要求信号がアサートされるまで、ラウンドロビン方法で利用可能な要求を処理できる。

20

30

## 【 0 0 2 2 】

状態 2 1 0 および 2 2 0 にいる間に、制御装置からの低電力バス要求信号がアサートされ、かつバスレディ信号がアサートされると、バスアービタは、それぞれ経路 2 1 6 または経路 2 2 6 を経由して状態 2 4 0 に切り替わる。状態 2 4 0 にいる間、バスアービタは、低電力モードの実行を開始する。一実施形態において、バスアービタは、第 1 および第 2 のバスマスタのようなバスマスタに関連したクロックをディスエーブルできる。バスアービタは、制御装置に要求許可信号 (DBUS\_GRANT) を与えて、バスマスタと低電力装置が復帰可能な状態にあり、かつ制御装置が低電力装置の他の構成要素を低電力モードに移行できることを示すこともできる。バスアービタは、低電力リセット信号が経路 2 4 2 によってアサートされるまで状態 2 4 0 にとどまることができる。一実施形態において、低電力リセット信号は、低電力装置が低電力の実行状態から復帰されるべきことを示している。状態 2 4 0 にいる間に低電力リセット信号がアサートされた場合、バスアービタは、経路 2 4 4 を介して状態 2 1 0 に戻り、第 1 のポートおよび第 2 のポート間のアービトレーションを継続する。本発明の範囲から逸脱することなく、バスマスタと制御装置間の他の仲裁方法が実現できることは十分に理解されるべきであろう。

40

## 【 0 0 2 3 】

50



ここで図 3 を参照すると、本発明の一実施形態による、図 1 のバスアービタの一部の特定の機能を表わす他の状態図が示される。バスアービタ 1 1 0 のポート 1 1 2 ( 図 1 ) のようなバスアービタに関連する異なったポートが、異なるバスマスタ間の要求を処理するのに使用される。特定のバスポートは、バス要求が関連するバスマスタから受け取られるか、または低電力モードが起動されるべきことを示す低電力バス要求が受け取られるかのいずれかまで、アイドル状態 2 6 0 にとどまることができる。

#### 【 0 0 2 4 】

一実施形態において、バスポートは、処理を開始するか、またはリセット信号 ( S Y S T E M \_ R E S E T ) のアサーションによって、経路 2 6 4 を経由してアイドル状態 2 6 0 にリセットされる。バスポートは、アイドル状態 2 6 0 の間、低電力バス要求信号または関連するバスマスタからのバス要求信号 ( B U S \_ R E Q ) のいずれかのアサーションを待つ。バス要求信号がアサートされない場合、バスポートは、経路 2 6 3 を経由して状態 2 6 0 にとどまっている。バス要求信号がアサートされ、低電力バス要求信号がアサートされない場合、バスポートは、経路 2 6 2 を通って状態 2 7 0 に移行する。状態 2 7 0 で、バスポートは、バスアービタからの許可信号を待つ。アービタによってバス許可信号がアサートされない場合、バスポートは、経路 2 7 5 によって状態 2 7 0 にとどまっている。いったん、バス許可信号がアサートされると、バスポートは、関連するバスマスタにバス許可信号をアサートする。次に、バスポートは、経路 2 7 1 によって状態 2 8 0 に移行する。状態 2 8 0 で、バスポートは許可されたバス要求が終了したことを示すバスレディ信号を待つ。バスポートは、バスレディ信号がアサートされない間、経路 2 8 2 によって状態 2 8 0 にとどまっている。バスレディ信号がアサートされると、バスポートは、経路 2 8 4 によって状態に 2 6 0 に戻る。

#### 【 0 0 2 5 】

バスポートがアイドル状態 2 6 0 の間に低電力バス要求信号がアサートされると、バスポートは、低電力状態 2 6 5 に移行する。低電力状態 2 6 5 において、バスポートは、関連するバスマスタに与えられるクロックイネーブル信号をアサート停止する ( d e - a s s e r t ) 。したがって、バスポートが状態 2 6 5 にいる間、バスマスタに関連するクロックは、ディスエーブルされるので、バスマスタが低電力モードにすることが可能になる。低電力リセット信号 ( L P \_ R E S E T ) が、経路 2 6 6 によってアサート停止され、「 0 」またはオフ状態にある間、バスポートは、低電力状態 2 6 5 にとどまっている。低電力リセット信号がアサートされると、バスポートは、経路 2 6 7 によってアイドル状態 2 6 0 に戻ることができる。したがって、いったん、バスポートがアイドル状態 2 6 0 に移行すると、クロックイネーブル信号は、再アサート可能になり、関連するバスマスタのクロックを再イネーブルできる。

#### 【 0 0 2 6 】

ここで図 4 を参照すると、本発明の一実施形態による、複数のバスマスタと 1 つのバスアービタを有するシステムを図示するブロック図が示され、図 4 全体を装置 3 0 0 と称する。低電力装置 3 0 0 は、図 1 の低電力装置 1 0 0 と類似の動作をする。バスアービタ 3 1 0 は、バスマスタ 1 2 0 またはバスマスタ 1 3 0 の 1 つを選択して、システムバス 1 7 9 のアクセスを許可する。低電力制御モジュール 3 5 0 が、低電力装置 3 0 0 の低電力モードを起動する。バスアービタ 3 1 0 は、低電力装置 3 0 0 が低電力動作モードに復帰可能な状態になる時期を特定するために使用される。

#### 【 0 0 2 7 】

注意すべき低電力装置 3 0 0 と低電力装置 1 0 0 の動作上の違いは、低電力制御モジュール 1 5 0 ( 図 1 ) と比較した低電力制御モジュール 3 5 0 の動作、およびバスアービタ 1 1 0 ( 図 1 ) と比較したバスアービタ 3 1 0 の動作である。特に、バスアービタ 1 1 0 によってクロックイネーブル信号が与えられ、低電力装置 1 0 0 のバスマスタ 1 2 0 および 1 3 0 に関連するクロックをイネーブルおよびディスエーブルしていたが、低電力装置 3 0 0 にクロックイネーブル信号を与えるのは、低電力制御モジュール 3 5 0 である。

#### 【 0 0 2 8 】

10

20

30

40

50

低電力制御モジュール350は、低電力制御レジスタ352の設定を監視する。低電力制御レジスタ352は、低電力制御レジスタ152(図1)と類似の動作をする。低電力装置300が低電力動作モードに移行されることが決定されると、外部構成要素が、低電力制御レジスタ352の少なくとも一部を設定する。低電力制御レジスタ352が設定されると、低電力制御モジュール350は、低電力ポート314を通して、バスアービタ310に低電力バス要求信号を与える。低電力制御モジュール350は、バスアービタ310からの低電力バス許可信号を待つ。低電力制御モジュール350は、バスアービタ310からの低電力バス許可信号を受け取るとすぐに、次に説明するように、クロックイネーブル信号であるclk\_en1およびclk\_en2によって、バスマスタ120およびバスマスタ130のクロックをディスエーブルする。

10

#### 【0029】

一実施形態において、低電力制御モジュール350は、バスマスタ120と130の両方のクロックをディスエーブルする。代替的に、低電力制御モジュール350は、バスマスタ120またはバスマスタ130の一方のみのクロックをディスエーブルしてもよい。例えば、バスマスタ120によって行なわれる動作が重要なので、低電力モード中はディスエーブルされるべきでない場合、低電力制御モジュールは、バスマスタ130に関連するクロックのみをディスエーブルできる。低電力制御モジュール350は、周辺サブシステム160、および低電力装置300の他の構成要素に電力モードインジケータを与えることもできる。したがって、周辺サブシステム160、および低電力装置300の他の構成要素は、低電力動作モードに設定できる。本発明の範囲から逸脱することなく、低電力装置300を低電力動作モードに移行させる他の対策を講じることができるのは認識されるべきであろう。さらに、本発明の範囲から逸脱することなく、バスマスタ120およびバスマスタ130をディスエーブルする他の方法を利用することもできる。

20

#### 【0030】

上に説明したように、バスアービタ310は、システムバス179へのアクセスを許可されるバスマスタ120またはバスマスタ130の1つを選択する。バスアービタ310は、アービトレーション方式に従って、バスマスタ120に関連する第1のポート312、またはバスマスタ130に関連する第2のポート313のいずれか一方からの要求を認識することができる。さらに、バスアービタ310は、低電力制御モジュール350からの要求を、低電力ポート314を通して処理するように選択できる。一実施形態において、バスアービタ310が低電力ポート314を通して低電力バス要求信号を認識すると、バスアービタ310は、システムバス179からバスレディ信号がアサートされるのを待つ。バスアービタ310は、未処理要求がすべてシステムバス179によって処理されてしまったことと、低電力装置300が低電力動作モードに移行するための復帰可能な状態にあることを示すバスレディ信号の出力に応答して、低電力制御モジュール350に低電力バス許可信号を与えることができる。

30

#### 【0031】

ここで図5を参照すると、本発明の一実施形態による、図4のバスアービタの特定の実施形態を実現する状態図が示され、図5全体を状態図250と称する。バスアービタは、第1のバスマスタに関連する第1のポートのイネーブルと第2のバスマスタに関連する第2のポートのイネーブルとの間で切り替わる。図示の実施形態において、バスアービタは、ラウンドロビンアービトレーションを利用して、利用可能なポートの中の1つを選択する。

40

#### 【0032】

状態図250は、図2の状態図200と類似の動作をする。低電力バス要求信号がアサートされないとき、バスアービタは、第1のポートをイネーブルするのに使用される状態210と第2のポートをイネーブルするのに使用される状態220との間で切り替わる。一実施形態において、バスレディ信号と低電力バス要求信号とが両方ともアサートされる場合、バスアービタは、状態210または状態220のいずれかから状態230に、経路231または経路233を経由してそれぞれ切り替わる。状態230で、バスアービタは

50

、低電力バス許可信号をアサートして、バスアービタに関連する低電力装置が復帰可能な状態にあり、かつ低電力動作モードに移行できることを示す。状態 230 にいる間、バスアービタは、低電力リセット信号がアサートされるのを待つ。低電力リセット信号は、バスアービタに関連する低電力装置が通常動作モードに戻るべきことを示している。低電力リセット信号がオフ状態または「0」値に設定されている間、バスアービタは、経路 232 を経由して状態 230 にとどまっている。代替的に、低電力リセット信号がアサートされた場合、バスアービタは、経路 234 を経由して状態 210 に戻り、バスアービタは、利用可能なバスマスタの 1 つから受け取った複数の要求の間の仲裁を実行する。

#### 【0033】

ここで図 6 を参照すると、本発明の一実施形態による、図 4 の低電力制御モジュール 350 の特定の部分を図示するブロック図が示され、図 6 全体をブロック図 360 と称する。ブロック図 360 は、制御レジスタ、すなわち図 4 の低電力装置 300 のような低電力装置内の低電力動作をイネーブルする低電力制御レジスタ 352 を含んでいる。特に、ブロック図 360 は、クロックイネーブル信号、すなわち低電力制御モジュール 350 によって使用されるクロックイネーブル 1 (clk\_en1)、およびクロックイネーブル 2 (clk\_en2) をアサート (assert) およびアサート停止 (de-assert) することに使用され、NAND ゲート 354 および 356 を使用してバスマスタ 120 およびバスマスタ 130 (図 1) をイネーブルおよびディスエーブルできる。

#### 【0034】

第 1 の NAND ゲート 354 は、バスマスタ 120 へのクロックイネーブル 1 信号を与えるのに使用される。動作の際、制御レジスタの低電力イネーブルマスタ 1 のビット 361 または低電力バス許可信号のいずれかがオフ状態にあるか、または「0」値に設定されていると、NAND ゲート 354 は、アサートされたクロックイネーブル 1 信号をバスマスタ 120 に与え、バスマスタ 120 に関連するクロックをイネーブルする。また、低電力イネーブルマスタ 1 のビット 361 と低電力バス許可信号が共にアサートされるか、またはオン状態にあると、NAND ゲート 354 は、クロックイネーブル 1 をオフ状態に設定し、バスマスタ 120 内のクロックをディスエーブルする。同様に、低電力制御レジスタ 352 および低電力バス許可信号の低電力イネーブルマスタ 2 のビット 362 の値に基づいて、NAND ゲート 356 は、クロックイネーブル 2 信号をアサートまたはアサート停止することにより、バスマスタ 130 のクロックをイネーブルまたはディスエーブルできる。低電力リセットビット 363 は、低電力リセット信号のアサーションによって設定される。低電力リセット信号は、低電力装置 300 のサブシステム 163 を始めとするサブシステムによって使用され、低電力装置 300 が通常動作モードに復帰すべき時期を示す。本発明の範囲から逸脱することなく、クロックイネーブル 1 およびクロックイネーブル 2 のようなクロックイネーブル信号を発生させる他の方法が実現できることは十分に理解されるべきであろう。

#### 【0035】

ここで図 7 を参照すると、本発明の一実施形態による、バスアービタによって制御される複数のバスマスタを有するシステムを図示したブロック図が示され、図 7 全体を低電力装置 400 と称する。低電力装置 400 は、低電力装置 300 と類似の動作をする。バスアービタ 410 は、低電力装置 400 が低電力動作モードに移行できる復帰可能な状態を特定する。バスアービタ 410 は、低電力制御モジュール 450 に低電力イネーブル信号を与えて、低電力モードが起動されていることを示す。低電力イネーブル信号 (LP\_ENABLE) に応答して、低電力制御モジュール 450 は、バスマスタ 120 およびバスマスタ 130 へのクロックをディスエーブルできる。

#### 【0036】

図 4 では、低電力モードを起動する時期を特定するために、低電力装置 300 の低電力制御モジュール 350 (図 4) が使用されたが、図 7 では、低電力装置 400 の低電力を起動する時期を特定するのはバスアービタ 410 である。バスアービタ 410 は、ポート 412 および 413 を通して、バスマスタ 120 またはバスマスタ 130 へのバス許可要

10

20

30

40

50

求の中からいずれかを別々に選択する。バスアービタ410は、ラウンドロビンアービトレーションのようなアービトレーション方式を使用して、ポート412またはポート413からの要求を選択して許可できる。図示の実施形態において、バスアービタ410は、低電力制御レジスタ452を備えている。バスアービタ410の外部にある、低電力装置400の構成要素またはサブシステムは、低電力装置が低電力動作モードに設定可能であることを示す特定の値に低電力制御レジスタ452を設定できる。一方、バスアービタ410は、低電力モードが起動されるべき時期を特定することができる。低電力制御レジスタ452の設定が終了すると、バスアービタ410は、低電力装置400が復帰可能な状態になるのを待つ。一実施形態において、バスアービタ410は、バスマスタ120および130に関連するバス要求の許可を停止し、システムバス179からのバスレディ信号のアサーションを待つ。上に説明したように、バスレディ信号は、すべての未処理バス要求の処理をシステムバス179が終了したことを示す。したがって、低電力装置400は、システムバス179に沿ったデータの損失または不完全な転送を発生させることなく、シャットダウンまたは低電力モードに移行できる。図示の実施形態において、バスアービタ410は、低電力制御モジュール450に低電力イネーブル信号をさらに与える。

10

#### 【0037】

低電力制御モジュール450は、バスマスタ120および130に、クロックイネーブル信号、すなわちクロックイネーブル1およびクロックイネーブル2を与える。クロックイネーブル信号は、バスマスタ120および130に関連するクロックをイネーブルおよびディスエーブルするのに使用される。低電力制御モジュール450がバスアービタ410から低電力イネーブル信号(LP\_ENABLE)を受け取ると、低電力制御モジュール450は、クロックイネーブル信号をアサート停止するか、オフ状態に置くことができる。したがって、低電力イネーブル信号がアサートされると、低電力制御モジュール450は、バスマスタ120および130のクロックをディスエーブルすることができる。同様に、低電力イネーブル信号がアサートされると、低電力制御モジュールは、周辺サブシステム160に電力モードインジケータをさらに与えて、サブシステム161~163をシャットダウンまたは低電力動作モードに移行できることを示すことができる。低電力制御モジュール450は、低電力モードがアクティブであることを、低電力装置400の他の部分に知らせることもできる。

20

#### 【0038】

低電力リセット信号は、低電力装置400を低電力モードから呼び覚ますのに使用できる。低電源リセット信号がアサートされると、低電力制御モジュール450は、クロックイネーブル、すなわちクロックイネーブル1およびクロックイネーブル2を再アサートすることによって、バスマスタ120および130のクロックを再度イネーブルすることができる。さらに、低電力制御モジュール450は、電力モードインジケータの値を変更し、周辺サブシステム160および低電力装置400の他の部分に通知して、通常動作モードに復帰させることができる。低電力リセット信号がアサートされると、バスアービタ410は、低電力イネーブル信号をアサート停止して、ポート412およびポート413間の仲裁を継続できる。

30

#### 【0039】

ここで図8を参照すると、本発明の一実施形態によるバス要求信号をゲート制御する論理回路を含んだ図7のバスアービタの一部が示される。バスアービタ410の図示された部分は、低電力モードが起動される時期を示す低電力制御レジスタ452と、要求を通過または阻止するANDゲート432と、バスマスタ120のような第1のバスマスタに関連するバス要求1(bus\_req1)と、要求を通過または阻止するANDゲート431と、バスマスタ130のような第2のバスマスタに関連するバス要求2(bus\_req2)とを含んでいる。一連のアービトレーション論理回路420が、ANDゲート432またはANDゲート431によって渡された要求を選択するために使用される。バスアービタ410の図示された部分は、低電力装置400のような装置が低電力動作モードに移行できることを示す低電力イネーブル信号をアサートするANDゲート435を含んで

40

50

いる。

【0040】

動作の際、低電力制御レジスタ452の低電力ビット436がアサートされると、ANDゲート432および431は、両方の要求、すなわちバス要求1とバス要求2を阻止する。低電力ビット436がオフ状態の場合には、ANDゲート432および431は、要求、すなわちバス要求1およびバス要求2を通過させる。したがって、低電力ビット436がアサートされないと、アービトレーション論理回路420は、バス要求を単に受け取れるだけである。ANDゲート435は、バスレディ信号と低電力ビット436の両方がアサートされる場合にのみ低電力イネーブル信号をアサートする。上に説明したように、システムバス179(図7)のようなシステムバスが、未処理バス要求をすべて処理し終えた場合には、バスレディ信号のみがアサートされる。

10

【0041】

ここで図9を参照すると、本発明の一実施形態による、複数のバスマスタと複数のバスアービタを有するシステムを表すブロック図が示され、図9全体をシステム500と称する。システム500は、クロスバースイッチ510に要求を与える第1のバスマスタ540および第2のバスマスタ530を含んでいる。クロスバースイッチ510は、第1の多重システムバス551、第2の多重システムバス552、およびn番目の多重システム553を含む複数の多重システムバスの1つへの要求を処理する。一実施形態において、クロスバースイッチ510は、バスマスタ540のローカルシステムバス545に接続された第1のバスルータ516と、第2のバスマスタ530のローカルシステムバス535に接続された第2のバスルータ517とを含んでいる。バスルータ516および517は、第1のアービタ512、第2のアービタ513、およびn番目のアービタ514を含む複数のアービタの1つを通して、受け取った要求を処理する。複数のアービタの各アービタは、複数の多重システムバスの1つの多重システムバスに関連付けられている。低電力コントローラ520は、低電力モードが起動されるべき時期を特定するのに使用され、バスマスタ530および540に関連するクロックをディスエーブルして、バスマスタ530および540を低電力モードに移行させることができる。

20

【0042】

クロスバースイッチ510は、バスマスタ540および530から関連するシステムバスへの要求を処理する。第1のバスルータ516は、バスマスタ540に関連するシステムバスを特定する。一実施形態において、バスルータ516は、バスマスタ540からの要求に関連付けられたアドレスによって、関連するシステムバスを特定する。例えば、アドレスの第1のブロックは、第1の多重システムバス551に関連付けられ、アドレスの第2のブロックは、第2の多重システムバス552に関連付けられる。バスルータ516は、特定された多重システムバスに関連したアービタに要求を与える。例えば、要求が第1の多重システム551に関連付けられている場合、バスルータ516は、第1のアービタ512に要求を与え、要求が第2の多重システムバス552に関連付けられている場合、バスルータ516は、第2のアービタ513に要求を与える。同様に、第2のバスルータ517は、バスマスタ530から受け取った要求を、複数のアービタの1つに与える。アービタ512~514は各々、バスルータ516および/またはバスルータ517から受け取った要求の中から選択する。いったん、第1のアービタ512のようなアービタが要求を選択すると、クロスバースイッチ510は、第1の多重システムバス551を始めとする関連の多重システムバスに要求を与える。一実施形態において、アービタ512~514は、低電力コントローラ520からの要求をさらに受け取ることができる。システム500は、2つのバスマスタ、すなわちバスマスタ540および530を有するように説明したが、本発明の精神および範囲から逸脱せずに、他のバスマスタが含まれていてもよく、サポートされるバスマスタの数が変更できることは理解されるべきであろう。

30

40

【0043】

低電力コントローラ520は、システム500内の低電力動作を起動する。一実施形態において、システム500のサブシステムは、低電力コントローラ520に関連する信号

50

またはレジスタ値をアサートして、低電力モードが起動されるべき時期を示すことができる。低電力コントローラ520が、低電力モードが起動されるべきことを特定すると、低電力コントローラ520は、アービタ512~514の個々にバス要求を与える。低電力コントローラ520からのバス要求が受け取られると、バスアービタ512~514は、低電力コントローラ520に、バス許可信号、BUS\_\_GRANT1、BUS\_\_GRANT2、およびBUS\_\_GRANT3を返す。バス許可要求は、アービタ512~514に関連するそれぞれの多重システムバス551~553が未処理要求をすべて処理し終えたことを示している。一実施形態において、低電力コントローラ520は、低電力動作を起動する前に、アービタ512~514のすべてからのバス許可が受け取られるまで待機する。いったん、すべてのバス許可が受け取られると、低電力コントローラ520は、バスマスタ530および540に与えるクロックイネーブル信号をアサート停止し、システム500の一部に低電力状態インジケータPOWER\_\_MODEをアサートできる。したがって、低電力コントローラ520は、バスマスタ530および540、および多重システムバス551~553に関連するすべてのバスアクセスが処理されてしまったときだけバスマスタ530および540をディスエーブルし、システム500を、低電力動作モードを起動する復帰可能な状態にとどめることができる。本発明の代替の実施形態は、バスマスタ530または540が、アービタ512~514からのそれぞれのバス許可が受け取られると、未処理の転送がすべて終了したことを判定した後に、バスマスタ530および540へのクロックをディスエーブルすることができる。

#### 【0044】

ここで図10を参照すると、本発明の一実施形態の特定の動作を図示したタイミング図が示される。図示の実施形態では、2つのバスマスタ、すなわちCPUと第2の代替のバスマスタ(ALT)が、低電力装置100(図1)のようなシステムに存在する。CPUが、システムバス179(図1)のようなバスの所有権を取得したい場合、バス要求(CPU\_\_BUSREQ)をアサートする。バスアービタ110(図1)のようなバスアービタは、バス許可信号(CPU\_\_BUSGRANT)をアサートして、CPUにバスの所有権を許可する。ALTバスマスタがバスの所有権を取得したい場合、ALTバスマスタがバス要求(ALT\_\_BUSREQ)をアサートする。バスアービタは、バス許可信号(ALT\_\_BUSGRANT)をアサートして、ALTバスマスタにバスの所有権を許可する。CPUは、先ずアドレス位置ADDR Aに読み出しアクセスを行ない、次にアドレス位置ADDR Bに書き込みアクセスを行う。ALTは、先ずアドレス位置ADDR Xに書き込みアクセスを行ない、次にアドレス位置ADDR Yに読み出しアクセスを行う。

#### 【0045】

バスアービタは、バスアービトレーション優先順位決定機構によって、共有のシステムバスに対するCPUのアクセスとALTのアクセスの相対順位を判定する。複数の優先順位決定方式が利用可能であり、早入れ早出し(first-come first-serve)、ラウンドロビン(round-robin)、および固定優先順位(fixed priority)のような方式が当業界でよく知られている。本発明は、CPUバスマスタとALTバスマスタ間の優先順位については、特定の方式に依存していないので、この実施例では、ALTがCPUよりも高い優先順位を有する簡単な固定方式を示している。

#### 【0046】

本発明の一実施形態によれば、追加の要求入力(LPWR\_\_BUSREQ)が、低電力制御モジュール150(図1)のような低電力モード制御装置(LPMC)によってバスアービタに与えられる。バスアービタは、低電力モード制御装置に、追加の出力バス許可信号、LPWR\_\_BUSGNTを与える。低電力モード制御装置は、一連の出力信号POWER\_\_MODEを与え、システムの現在の運転モードを示す。図には、CPUマスタおよびALTマスタへのクロック発生を制御するクロックイネーブル信号が示されている。低電力動作は、CPUへのCPUクロックイネーブル信号、CPU\_\_CLKEN、および

A L T マスタへの代替クロックイネーブル信号、A L T \_ C L K E N をネゲートする（ネゲートすることによってサポートされている。これらの信号のネゲーションは、これらの装置に対するクロック発生を一時停止するので、消費電力を低減できる。図示の実施例において、低電力動作モードは、C P U マスタおよびA L T マスタによって行なわれたアクセスの間に起動される。

#### 【 0 0 4 7 】

クロックサイクル1において、システムは、通常モードを示す電力モード信号P O W E R \_ M O D E によって示されるような通常動作モードで動作している。クロックサイクル1が始まると、C P U は、C P U \_ B U S R E Q をアサートして、C P U がシステムバスの所有権を望んでいたことを示し、C P U が転送を開始していることを示すC P U \_ T R E Q 信号をアサートし、所望のアクセス位置に対応するA D D R A でC P U アドレス線、C P U \_ A D D R を駆動する。C P U \_ W R I T E 信号はネゲートされ、アクセスが読み出しであることを示す。A L T マスタは、サイクル1でバス所有権を要求していないので、バスアービタはC P U にバス所有権を許可し、サイクル1でC P U \_ B U S G N T をアサートする。バスアービタは、制御信号A D D R \_ S E L を使ってシステムバス信号H A D D R およびH W R I T E 上にそれぞれ駆動されるC P U \_ A D D R およびC P U \_ W R I T E を選択する。システムバス転送要求H T R E Q がアサートされ、転送がシステムバス上で要求されていることを示す。他のアクセスが既に処理されているので、転送が始まり、転送のアドレスフェーズは、サイクル1の終わりで終了する。位置A D D R A への転送のデータフェーズがサイクル2で始まり、H B U S Y 信号がアサートされ、システムのデータバスが使用中であることを示す。図示の実施例では、個別の読み出し/書き込みデータバスを示しているが、代替の実施形態では、単一の双方向データバスを使用することもできる。

#### 【 0 0 4 8 】

サイクル2で、システム読み出しデータバスH R D A T A は、アドレス位置A D D R A に対応するシステム、または装置によって、A D D R A に対応するデータで駆動される。バスアービタは、既にD A T A \_ S E L 信号を駆動していて、データフェーズがC P U に属することを示している。H R D A T A からのデータは、C P U \_ R D A T A 信号としてC P U に与えられる。応答装置は、システムバスレディ信号H R E A D Y のアサーションを発生させ、要求データが既に与えられたことを示す。サイクル2の終わりで、位置A D D R A へのアクセスのデータフェーズは終了し、C P U は、読み出しデータを内部にラッチしている。サイクル2の間、C P U はC P U \_ B U S R E Q をアサートし続け、C P U は、位置A D D R B への次のアクセスを要求していて、C P U \_ A D D R 信号上にA D D R B を駆動し、C P U \_ W R I T E をアサートして、要求されたアクセスが書き込みサイクルであること示している。またサイクル2の間、A L T マスタは、A L T \_ B U S R E Q をアサートして、それがシステムバスの所有権を望んでいることを示し、A L T \_ T R E Q をアサートして値A D D R X でA L T \_ A D D R を駆動し、A L T マスタが、位置A D D R X にアクセスが行われるべきことを要求していることを示す。A L T \_ W R I T E 信号もアサートされ、要求されたアクセスが書き込みであること示す。バスアービタは、C P U \_ B U S R E Q およびA L T \_ B U S R E Q を受け取り、A L T マスタがシステムバスの所有権を許可されるべきことを決定する。バスアービタは、C P U \_ B U S G N T をネゲートし、A L T \_ B U S G N T をアサートし、A D D R \_ S E L 信号を変更して、システムバス信号H A D D R およびH W R I T E 上にそれぞれ駆動されるA L T \_ A D D R およびA L T \_ W R I T E 信号を選択することによって、サイクル2で始まるアドレスフェーズの間バス所有権をA L T マスタに与え、C P U からのアドレスバスの所有権を保留する。H T R E Q 信号は、サイクル2の間アサートされ続け、他のシステムバス転送が要求されていることを示す。現在のデータフェーズが、C P U がバス所有権を許可された前のアドレスフェーズに関連付けられているので、バスマスタは、D A T A \_ S E L 信号を駆動して、現在のデータフェーズの間C P U を選択する。

#### 【 0 0 4 9 】

サイクル3の間、位置ADDR Xに対応するデータフェーズが発生し、ALTマスタは、DATA XでALT\_WRDATAを駆動する。バスアービタは、DATA\_SEL信号を駆動し、システム書き込みバスHWRDATAに接続されるALT\_WRDATAを選択することで、書き込み用にアクセスされた装置にDATA Xを与えることができる。サイクル3の間、HBUSYはアサートされ続け、システムデータバスが使用中であることを示す。アドレス位置ADDR Xに対応するアクセスされた装置は、システムバスレディ信号HREADYのアサーションを発生させ、書き込みデータが受け取り中であることを示す。サイクル3の終わりで、位置ADDR Xへのアクセスのデータフェーズは終了する。サイクル3の間、CPUは、CPU\_ADDR上にCPU\_BUSREQ、CPU\_TREQ、およびADDR Bを駆動し続け、システムバス所有権のみならず、10  
 サイクルが依然として要求されていることを示す。ALTマスタも、ALT\_BUSREQおよびALT\_TREQを駆動し続け、ALT\_ADDRバス上にADDR Yを駆動して、システムバス所有権のみならず、サイクルが依然として要求されていることを示す。ALT\_WRITE信号がネゲートされ、ADDR YへのALTマスタアクセスが読み出しサイクルであることを示す。サイクル3で、低電力コントローラは、バスアービタにLPWR\_BUSREQをアサートして、低電力モードへの移行に備える。本発明の一実施形態によれば、この要求は、すべての可能性のある要求のなかで最高の優先順位を割り当てられる。LPWR\_BUSREQのアサーションは、アービタに、他のすべてのリクエストへのバス許可をネゲートさせるので、サイクル3で、CPU\_BUSGNTおよびALT\_BUSGNTはネゲートされ、CPUまたはALTマスタのいずれもがバス20  
 所有権を許可されないことを示す。バスマスタの要求からバス所有権を削除したことにより、アドレスフェーズがサイクル3で起動されないの、システムバス転送要求信号HTREQは、サイクル3でネゲートされる。転送が要求されていないので、システムアドレスバス、HADDRは、有効であると思なされないが、バスアービタは、デフォルトによって駆動されるALT\_ADDRまたはCPU\_ADDRのいずれかを選択し得る。サイクル3で、システムデータバスが、位置ADDR Xへのアクセスのデータフェーズで使用されているので、HBUSYがアサートされ続ける。

#### 【0050】

サイクル4で、HBUSYはネゲートし、システムデータバスがここでアイドル状態であることを示す。この時点で、バスアービタは、低電力コントローラにLPWR\_GNT30  
 信号をアサートして、システムバス動作が休止状態になったことを示すので、ここで安全に低電力動作モードに移行することができる。次に、クロックイネーブル信号CPU\_CLKENおよびALT\_CLKENが、サイクル4でネゲートされ、CPUマスタおよびALTマスタのさらなるクロックを一時停止し、それによって、システムの電力消費を最小限に抑えることができる。サイクル5で、低電力コントローラは、POWER\_MODE信号を変更して、低電力スリープ状態に移行してしまったことを示す。低電力モード制御装置がLPWR\_BUSREQをアサートし続けている間、低電力スリープ状態は有効であり、CPU\_CLKENおよびALT\_CLKENはネゲートされ続け、システムの電力消費は最小限に抑えられる。

#### 【0051】

いったん、システムイベントが通常動作モードへの復帰を指示すると、低電力コントローラは、バスアービタへのLPWR\_BUSREQをネゲートする。図10において、このことは、クロックサイクルN中に発生する。LPWR\_BUSREQがネゲートされると、バスアービタは、LPWR\_BUSGNTをネゲートし、CPUマスタとALTマスタ間のアービトレーションが再開される。アービトレーション優先順位に基づいて、バスアービタは、サイクルNでALTマスタへのシステムバス所有権を許可し、ADDR\_SELをそれに応じて駆動することによって、システムバスHADDRは、ADDR Yで駆動され、HWRITEがネゲートされる。HTREQがサイクルNでアサートされ、新しいシステムバス転送が要求されていることを示す。サイクルNとN+1の間、CPUは、CPU\_ADDR上にCPU\_BUSREQ、CPU\_TREQ、およびADDR B40  
 50



を駆動し続け、システムバス所有権のみならず、サイクルが依然として要求されていることを示す。サイクルN+1において、ALTマスタは、ALT\_\_BUSREQおよびALT\_\_TREQをネゲートして、システムバスの所有権がもはや望まれていないこと、転送が要求されていないことを示す。バスアービタは、CPUにシステムバス所有権を移譲するために、ALT\_\_BUSGNTをネゲートし、CPU\_\_BUSGNTをアサートする。バスアービタは、ADDR\_\_SEL信号を駆動して、CPU\_\_ADDRおよびCPU\_\_WRITE信号をHADDRおよびHWRITEのそれぞれに接続する。HADDRが値ADDR Bで駆動され、HWRITEがアサートされ、CPUが要求したアクセスが書き込みサイクルであることを示す。

#### 【0052】

10

サイクルN+1の間、HBUSYがアサートされ、システムデータバスがデータフェーズに使用されていることを示す。サイクルN+1の間、読み出しデータが、システム読み出しデータバスHRDATAとして、アドレス位置ADDR Yに対応する装置によって返され、システムバスレディ信号HREADYのアサーションを発生させて、読み出しデータが与えられていることを示すとともに、バスアービタがDATA-SELを駆動して、このデータフェーズがALTマスタ用であることを示す。ALTマスタは、サイクルN+1で、返ってきた読み出しDATA Yをラッチし、サイクルN+1の終わりで、位置ADDR Yへのアクセスのデータフェーズは終了する。

#### 【0053】

サイクルN+2の間、バスアービタは、DATA\_\_SELを駆動して、CPU\_\_WRDATA信号上にアサートされた書き込みデータをシステムバス書き込みデータ信号HWRRDATAと結合されるようにする。サイクルN+2の間、HBUSYはアサートされ続け、システムデータバスが使用中であることを示す。ADDR Bに対応するアクセスされた装置は、システムバスレディ信号HREADYのアサーションを発生させ、書き込みデータが受け取り中であることを示す。サイクルN+2の終わりで、位置ADDR Bへのアクセスのデータフェーズは終了する。CPUは、CPU\_\_TREQおよびCPU\_\_BUSREQをネゲートし、転送がそれ以上要求されていないこと、システムバス所有権がもはや望まれていないことを示す。サイクルN+3の間、HBUSYはネゲートされ、システムデータバスがアイドル状態であることを示す。

20

#### 【0054】

30

バスアービトレーション動作およびシステムバスハンドオフの他の実施例は、当業界で公知であり、上述の実施例は、本発明の範囲をここに示した厳密なシーケンスまたはプロトコルに限定することを意図しているものではない。バスアービトレーションに関して代替のバスマスタとして作動することによって、低電力コントローラは、低電力モードへの移行を適切な境界で確実にを行い、かつ低電力モードをイネーブルする前、かつCPUおよび代替のマスタ論理回路のクロックゲーティングを行なう前に、未処理のシステムバスアクセスを確実に終了させることができる。

#### 【0055】

図10に示した低電力アービトレーション動作の実施例は、システム500(図9)のように複数のシステムバスが存在しているシステムに拡張することができる。このような環境では、低電力コントローラ520(図5)のような低電力コントローラは、すべてのシステムバスの所有権を要求する。現在のバス動作が終了すると、低電力コントローラは、すべてのシステムバスの所有権を最終的に許可される。この処理は、逐一発生してもよいし、同時にまたは任意の組み合わせで発生してもよい。いったん、すべてのシステムバスの所有権が全部取得されると、低電力コントローラは、次にシステムを低電力モードに強制的に移行することができる。代替的に、低電力コントローラは、その特定のバスの所有権が低電力コントローラに許可されるとすぐに、所与のシステムバスに関連するブロック、ユニット、または構成要素を低電力モードに移行させることもできる。特定のブロックまたはユニットが複数のシステムバスに関連付けられている場合、ブロックがアイドル状態なのか、または未処理のバスアクセスがそのブロックまたはユニットに存在しないよ

40

50

うなバスサイクルの境界に達したのかのいずれかを判定できるまで、そのブロックの低電力モードへの移行は、延期される。

【0056】

ここで図11を参照すると、本発明の他の実施形態に関連する信号タイミングを図示したタイミング図が示される。図示の実施形態において、3つのシステムバスが存在し、2つのバスマスタであるCPUマスタおよびALTマスタに相互接続されている。この実施例において、CPUは、先ずアドレス位置ADDR Aに読み出しアクセスを行ない、次にアドレス位置ADDR Bに書き込みアクセスを行う。ALTは、先ずアドレス位置ADDR Xに書き込みアクセスを行ない、次にアドレス位置ADDR Yに読み出しアクセスを行う。各システムバスに関連するバスアービタは、バスアービトレーション優先順位機構によって、それぞれのシステムバスに対するCPUのアクセスとALTのアクセスの相対順位を判定する。複数の優先順位決定方式が利用可能で、早入れ早出し、ラウンドロビン、および固定優先順位のような方式が当業界でよく知られている。本発明は、CPUバスマスタとALTバスマスタ間の優先順位については、特定の方式に依存していないので、この実施例については、ALTがCPUよりも高い優先順位を有する簡単な固定方式を示している。代替の実施形態は、異なる優先順位方式を取り入れてもよく、各特定のシステムバスに対して異なる方式を取り入れることもできる。

10

【0057】

図示の実施例において、CPUマスタおよびALTマスタは、クロスバースイッチ510(図9)のような完全に相互接続されたクロスバースイッチによって、システムバス1、2、および3に相互接続される。スイッチの各システムバス出力で、制御論理回路は、CPU信号CPU\_\_TREQおよびCPU\_\_ADDRならびにALTマスタ信号ALT\_\_TREQおよびALT\_\_ADDRを受け取る。本発明の一実施形態において、各システムバスは、システムアドレス空間の特定の部分に対応している。CPU\_\_ADDRおよびALT\_\_ADDRの一部を復号することによって、各個々のシステムバス接続は、CPUまたはALTマスタによって現在要求されているアクセスが、その特定のシステムバスに目標設定されているかどうかを判定する。各転送要求は、特定のアクセスアドレスに基づいて、複数のシステムバス接続の1つに目標設定しているので、この復号機構は、CPUマスタおよびALTマスタによる「黙示の」バス要求に備えている。各バスマスタからのアクセスアドレスの一部を復号することによって、特定のシステムバスに対する要求がなされているという判定は、容易に行われる。両方のバスマスタが、同一のサイクルで、同じシステムバスポートに該当するアクセス要求を示した場合、複数の要求間のアービトレーションは、各システムのバスアービタによって行なわれる。本発明の代替の実施形態は、各バスマスタから複数のシステムバスアービタの各々に、明示のバス要求を与えてもよい。

20

30

【0058】

本発明の一実施形態によれば、追加の明示の要求入力(LPWR\_\_BUSREQ)は、低電力モード制御装置によって、複数のシステムバスアービタの各々に与えられる。各バスアービタは、低電力モード制御装置に追加のバス許可出力信号を与える。図示の実施例において、システムバス1、2、および3にそれぞれ対応するLPWR\_\_BUSGNT1、LPWR\_\_BUSGNT2、およびLPWR\_\_BUSGNT3の3つの信号が与えられる。低電力モード制御装置は、一連の出力信号POWER\_\_MODEを与え、システムの現在の運転モードを示す。2つのバスマスタ、すなわちCPUマスタおよびALTマスタへのクロック発生を制御するクロックイネーブル信号を図示している。低電力動作は、クロックイネーブル信号、すなわちCPUへのCPU\_\_CLKENと、ALTマスタへのALT\_\_CLKENをネゲートすることによってサポートされる。これらの信号のネゲーションは、これらのユニットに対するクロック発生を一時停止するので、消費電力を低減できる。図示の実施例において、低電力動作モードは、CPUマスタおよびALTマスタによって行なわれるアクセスの間で起動される。

40

【0059】

50

クロックサイクル1において、システムは、標準モードを信号する電力モード信号POWER\_\_MODEによって示されるような通常動作モードで動作している。クロックサイクル1が始まると、CPUは、CPU\_\_TREQをアサートして、CPUが転送を要求していること示し、所望のアクセス位置に対応するADDR AでCPU\_\_ADDRを駆動する。CPU\_\_WRITEはネゲートされ、アクセスが読み出しであることを示す。この実施例では、ADDR Aは、システムバス1に関連する位置に一致する。またサイクル1で、ALTマスタは、ALT\_\_TREQをアサートして、ALTマスタが転送を要求していることを示し、所望のアクセス位置に対応するADDR XでALT\_\_ADDRを駆動する。ALT\_\_WRITEがアサートされ、アクセスが書き込みであることを示す。この実施例では、ADDR Xは、システムバス2に関連する位置に一致する。サイクル1で、ALTマスタは、システムバス1へのバス転送を要求していないので、システムバスアービタ1は、CPUにバスの所有権を許可し、システムバス1信号HADDR1およびHWRITE1上に駆動されるCPU\_\_ADDRおよびCPU\_\_WRITEを選択する。システムバス1転送要求HTREQ1がアサートされ、転送がシステムバス1上で要求されていることを示す。他のアクセスは既に処理されているので、転送が始まり、転送のアドレスフェーズは、サイクル1の終わりで終了する。またサイクル1で、システムバスアービタ2は、ALTマスタにバス所有権を許可し、システムバス2信号HADDR2およびHWRITE2上に駆動されるALT\_\_ADDRおよびALT\_\_WRITEを選択する。システムバス2転送要求HTREQ2がアサートされ、転送がシステムバス2上で要求されていることを示す。他のアクセスは既に処理されているので、転送が始まり、転送のアドレスフェーズは、サイクル1の終わりで終了する。CPUマスタおよびALTマスタによって要求されたアクセスは、異なったシステムバスに対応するアドレス向けだったので、これらのアクセスは、同時に行なわれることに注意されたい。

#### 【0060】

システムバス1上の位置ADDR Aへの転送のデータフェーズがサイクル2で始まり、HBUSY1がアサートされ、システムデータバス1が使用中であることを示す。システムバス2上の位置ADDR Xへの転送のデータフェーズがサイクル2で始まり、HBUSY2がアサートされ、システムデータバス2が使用中であることを示す。図示の実施例では、個別の読み出し/書き込みデータバスを示しているが、代替の実施形態では、単一の双方向データバスを使用することもできる。サイクル2で、システム読み出しデータバス1であるHRDATA1は、アドレス位置ADDR Aに対応する装置によって、ADDR Aに対応するデータで駆動される。HRDATA1からのデータは、CPU\_\_RDATAとしてCPUに与えられる。応答装置は、システムバス1レディ信号HREADY1のアサーションを発生させ、要求データが既に与えられたことを示し、その後CPU\_\_READYがアサートされる。

#### 【0061】

サイクル2の終わりで、位置ADDR Aへのアクセスのデータフェーズは終了し、CPUは、読み出しデータを内部にラッチしている。サイクル2の間、システム書き込みデータバス2であるHWRDATA2は、アドレス位置ADDR Xに対応するALTマスタのALT\_\_WRDATAバスから書き込みデータで駆動される。この転送では、応答装置が使用中であり、サイクル2で書き込み転送を終了できないので、応答装置は、システムバス2レディ信号HREADY2をネゲートし、書き込みデータがまだ受け取られていないことを示す。サイクル2の終わりで、転送がまだ終了していないので、位置ADDR Xへのアクセスのデータフェーズは延長される。ALT\_\_READYはネゲートされ、データフェーズが延長されなければならないことをALTマスタに知らせる。サイクル2の間、CPUは、CPU\_\_TREQをアサートし続けて位置ADDR Bへの次のアクセスを要求し、ADDR BをCPU\_\_ADDR信号上に駆動し、CPU\_\_WRITEをアサートして、要求されたアクセスが書き込みサイクルであることを示す。またサイクル2の間、ALTマスタはALT\_\_TREQをアサートし、値ADDR YでALT\_\_ADDRを既に駆動していて、ALTマスタが、位置ADDR Yに他のアクセスが行なわれる

ことを要求していることを示す。A L T \_ W R I T E はネゲートされ、要求されたアクセスが読み出しであることを示す。

【 0 0 6 2 】

サイクル 1 および 2 の間、システムバス 3 に対応する位置へのアクセスが要求されていないので、ネゲートされた H B U S Y 3 によって示されるように、システムバス 3 はアイドル状態のままである。この実施例では、システムバス 3 に対するアクセスが要求されないもので、すべてのシステムバス 3 信号が示されているものではないことは注意されるべきであろう。サイクル 2 で、低電力コントローラは、システムを低電力モードに移行させることを望んでいるので、L P W R \_ B U S R E Q をシステムバスアービタ 1、2、および 3 にアサートする。システムバス 3 が現在アイドル状態にあるので、サイクル 2 で、システムバスアービタ 3 は、L P W R \_ B U S R E Q を受け取り、L P W R \_ B U S G N T 3 をアサートする。低電力バス要求が未処理なので、サイクル 2 で、システムバスの 1 および 2 の転送要求信号 H T R E Q 1 および H T R E Q 2 は、それぞれのシステムバス制御装置によってネゲートされ、新しい転送の起動が防止される。

10

【 0 0 6 3 】

サイクル 3 で、システムバス 1 信号 H B U S Y 1 がネゲートされ、システムバス 1 が現在アイドル状態であり、バスサイクルの境界に来たので、システムバス 1 のバスアービタは、L P W R \_ B U S G N T 1 をアサートすることを低電力コントローラに知らせる。またサイクル 3 で、システムバス 2 の H R E A D Y 2 信号が位置 A D D R X に対応する装置によってアサートされ、これはサイクル 1 で起動された書き込みサイクルが現在終了していることを示す。サイクル 4 で、システムバス 2 は、アイドル状態になり、H B U S Y 2 信号がネゲートされる。バストランザクションが進行中ではないので、システムバス 2 のバスアービタは、低電力コントローラに L P W R \_ B U S G N T 2 をアサートする。この時点で、低電力コントローラは、すべてのシステムバスのバス所有権を取得しており、システムバス動作が休止状態に達したことを示すため、ここで安全に低電力動作モードに移行することができる。サイクル 4 で、次にクロックイネーブル信号、すなわち C P U \_ C L K E N および A L T \_ C L K E N がネゲートされ、C P U マスタおよび A L T マスタのさらなるクロックを一時停止し、それによってシステムの電力消費を最小限に抑えることができる。サイクル 5 で、低電力コントローラは、P O W E R \_ M O D E 信号を変更して、低電力スリープ状態に移行したことを示す。低電力スリープ状態は、低電力モード制御装置が L P W R \_ B U S R E Q および C P U \_ C L K E N をアサートし続けている間、有効状態が続き、A L T \_ C L K E N はネゲートされ続けて、システムの電力消費が最小限に抑えられる。

20

30

【 0 0 6 4 】

いったん、システムイベントが通常動作モードへの復帰を指示すると、低電力コントローラは、すべてのシステムバスアービタへの L P W R \_ B U S R E Q をネゲートする。図 11 において、このことは、クロックサイクル N 中に発生する。L P W R \_ B U S R E Q がネゲートされると、システムバスアービタ 1、2、および 3 は、L P W R \_ B U S G N T 1、L P W R \_ B U S G N T 2、および L P W R \_ B U S G N T 3 をそれぞれネゲートし、C P U マスタと A L T マスタ間のアービトレーションが再開される。C P U マスタおよび A L T マスタはいずれも、未処理アクセス要求 ( C P U \_ T R E Q および A L T \_ T R E Q が両方ともアサートされる ) を有している。C P U は、システムバス 2 に対応する位置 A D D R B に書き込みを要求し、A L T マスタは、システムバス 1 に対応する A D D R Y に読み出しアクセスを要求している。システムバス 1 および 2 へのアクセスにはコンフリクトが存在しないので、両方のアクセスがサイクル N で起動される。転送の残りは、サイクル N + 1 ~ N + 3 に示され、上に説明したプロトコルに従う。

40

【 0 0 6 5 】

バスアービトレーション動作およびシステムバスハンドオフの他の実施例は、当業界で公知であり、所与の実施例は、この本発明の範囲をここに示した厳密なシーケンスまたはプロトコルに限定することを意図するものではない。バスアービトレーションに関して代

50

替のバスマスタとして作動することによって、低電力コントローラは、低電力モードへの移行を適切な境界で確実にいき、かつ低電力モードをイネーブルする前、かつCPUおよび代替のマスタ論理回路のクロックゲーティングを行なう前に、複数のシステムバス上の未処理のシステムバスアクセスを確実に終了させることができる。図11は、すべてのシステムバスがアイドル状態であった後に発生したクロックゲーティングを示しているが、代替の実施形態は、各システムバスが休止状態になったときに、システム要素のサブセットを、クロックゲート制御されたまたは他の低電力状態に移行させてもよい。

【0066】

ここに説明したシステムは、情報処理システムの一部であってもよい。用語「情報処理システム」は、情報を処理することができる、またはあるソースから他のソースに情報を転送することができる、任意のシステムを意味している。情報処理システムは、コンピュータのような単一の装置、携帯情報端末(PDA)のような携帯型計算器、ケーブルセットトップボックス、セルラー電話のようなインターネット対応装置等であってもよい。あるいは情報処理システムは、そのような装置の集合体を指していてもよい。ここに説明したシステムは、低電力装置の低電力動作モードを起動する復帰可能な状態の特定という利点を持つことは理解されるべきであろう。

【0067】

上記実施形態の詳細な説明において、その実施形態の一部を構成する添付図面について説明し、本開示を実施できる特定の実施形態を図示した。これらの実施形態について、当業者が本開示を実施できる程度に十分詳細に説明したが、他の実施形態を利用できるとともに、本開示の精神または範囲から逸脱することなく、論理的、機械的、および電氣的な変更がなされてもよいことは理解されるはずである。当業者を本開示を実施可能にするのに必要でない細部の説明を避けるために、ここでの説明は、当業者に周知の特定の情報を省略している場合がある。さらに、本開示の教示を取り入れた他の多くの様々な実施形態が、当業者によって容易に構成され得るであろう。したがって、本開示は、ここに述べた特定の形態に限定するように意図されているものではなく、これとは逆に、本開示は、本開示の精神および範囲の中に適切に含まれ得るこのような他の変更物、改変物、および等価物を包含するようことを意図する。したがって、上記の詳細な説明は限定的な意味で解釈されるべきでなく、本開示の範囲は、添付の請求項によってのみ定義される。

【図面の簡単な説明】

【0068】

【図1】本発明の一実施形態による、バスアービタによって制御される複数のバスマスタを有するシステムを示すブロック図。

【図2】本発明の一実施形態による、図1のバスアービタの一部の特定の機能を示す状態図。

【図3】本発明の一実施形態による、図1のバスアービタの一部の機能に対する特定の実施形態を実現する他の状態図。

【図4】本発明の一実施形態による、複数のバスマスタおよび1つのバスアービタを有するシステムを示すブロック図。

【図5】本発明の一実施形態による、図4のバスアービタの他の特定の実施形態を実現する状態図。

【図6】本発明の一実施形態による、レジスタを含む図4の低電力制御モジュールの特定の部分を示すブロック図。

【図7】本発明の一実施形態による、バスアービタによって制御される複数のバスマスタを有するシステムを示すブロック図。

【図8】本発明の一実施形態による、バス要求信号のゲート制御する論理回路を含んだ図7のバスアービタの一部を示すブロック図。

【図9】本発明の一実施形態による、複数のバスマスタおよび複数のバスアービタを有するシステムを示すブロック図。

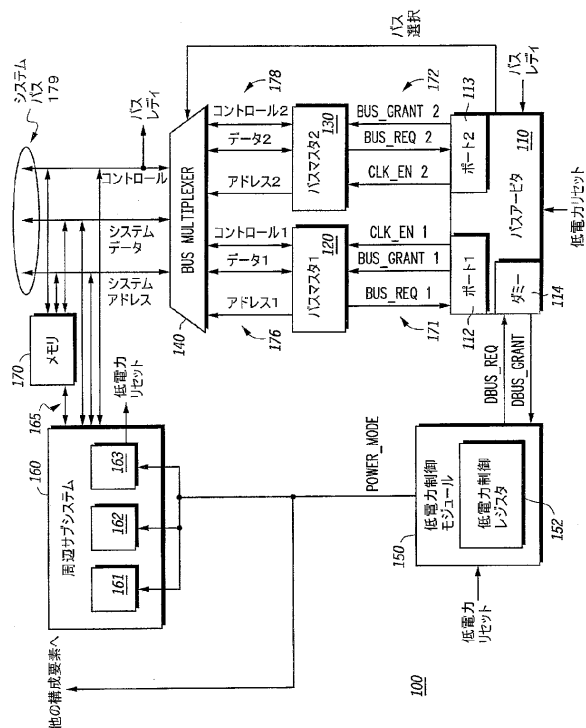
【図10A】本発明の特定の実施形態による、システム内の信号を示すタイミング図。

【図10B】本発明の特定の実施形態による、システム内の信号を示すタイミング図。

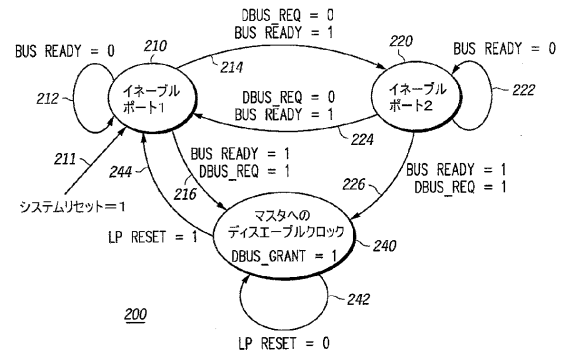
【図11A】本発明の特定の実施形態による、システム内の信号を示す他のタイミング図。

【図11B】本発明の特定の実施形態による、システム内の信号を示す他のタイミング図。

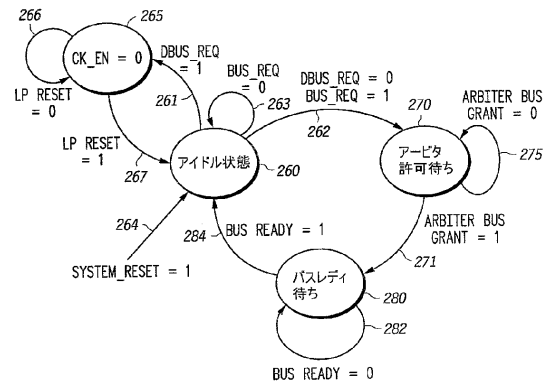
【図1】



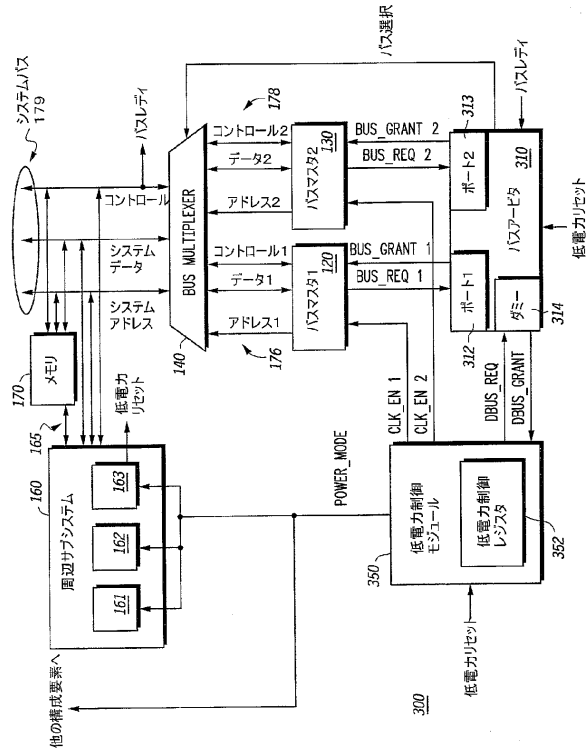
【図2】



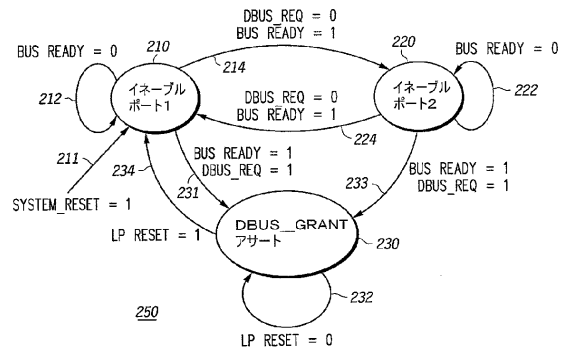
【図3】



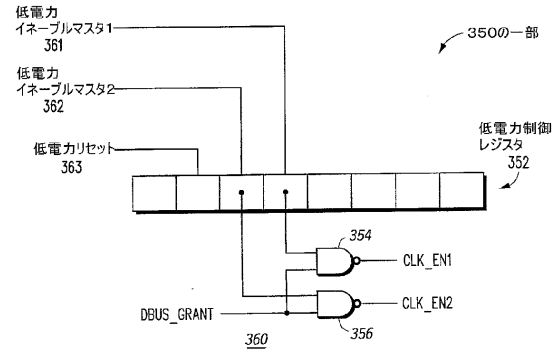
【図 4】



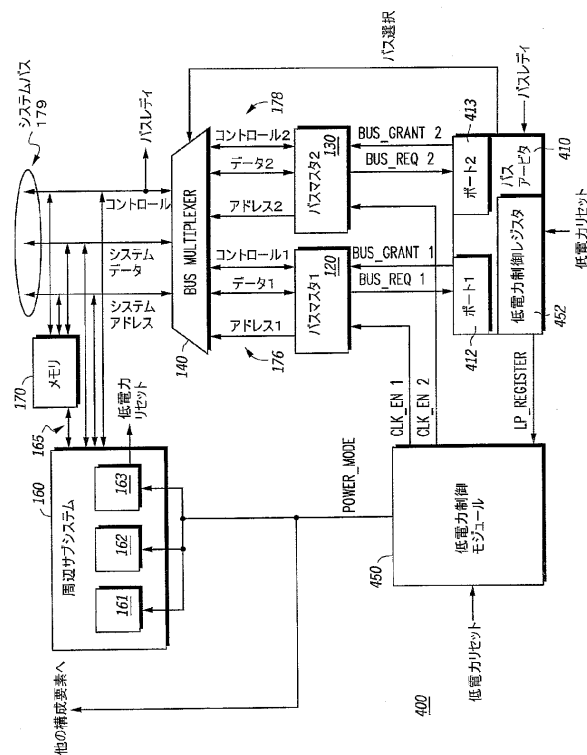
【図 5】



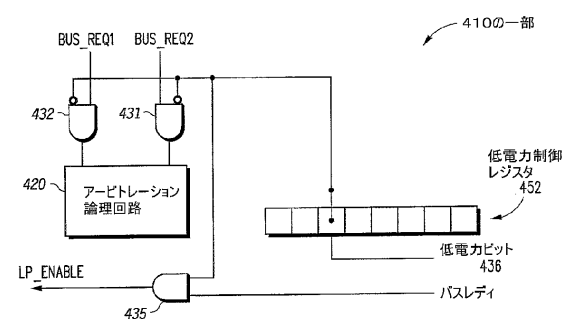
【図 6】



【図 7】



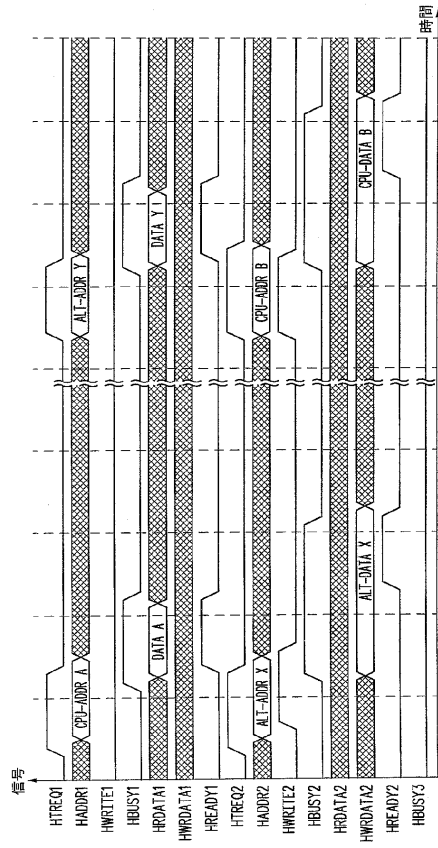
【図 8】







【図 1 1 B】



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No PCT/US 03/07107
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F1/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 471 625 A (CIRCELLO JOSEPH C ET AL) 28 November 1995 (1995-11-28) abstract column 1, line 48 -column 2, line 27 column 3, line 29 -column 3, line 38 column 3, line 50 -column 3, line 60 column 4, line 58 -column 5, line 8 column 5, line 56 -column 6, line 13 column 8, line 4 -column 8, line 18 figures 1,3,4	1-10
X	EP 0 644 475 A (ADVANCED MICRO DEVICES INC) 22 March 1995 (1995-03-22) column 2, line 25 -column 2, line 57 column 7, line 13 -column 7, line 29 column 9, line 48 -column 10, line 8; figures 2-6 --- -/--	1-7,9,10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search  30 March 2004		Date of mailing of the international search report  06/04/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  Leineweber, H

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/US 03/07107

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 070 215 A (DESCHEPPER TODD J ET AL) 30 May 2000 (2000-05-30) abstract column 5, line 19 -column 5, line 28 column 5, line 50 -column 5, line 67 figures 2-4,7 -----	6,7

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 03/07107

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5471625	A	28-11-1995	NONE	
EP 0644475	A	22-03-1995	US 6163848 A	19-12-2000
			US 5600839 A	04-02-1997
			EP 0644475 A2	22-03-1995
			JP 7152449 A	16-06-1995
			JP 7152450 A	16-06-1995
			AT 231254 T	15-02-2003
			DE 69529362 D1	20-02-2003
			DE 69529362 T2	30-10-2003
			EP 0679982 A1	02-11-1995
			JP 7302132 A	14-11-1995
			US 5628019 A	06-05-1997
US 6070215	A	30-05-2000	NONE	

## フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 ミラー、ブライアン エム.

アメリカ合衆国 7 8 7 1 7 テキサス州 オースティン ガレナ ドライブ 1 5 1 5 0

(72)発明者 フィッツシモンズ、マイケル ディー.

アメリカ合衆国 7 8 7 3 1 テキサス州 オースティン ノース キャピタル オブ テキサス  
ハイウェイ 7 7 0 0 ナンバー 7 2 3

Fターム(参考) 5B061 BB01 BC01 RR03 SS03

5B079 AA02 BA12 BC01